

(由本局填寫)

|           |
|-----------|
| 承辦人代碼：    |
| 大 類：      |
| I P C 分類： |

A6  
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權美國 1999年7月26日 09/360,612 ☒有 ☐無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝

訂

線

## 五、發明說明( 1 )

### 發明背景

#### 1. 發明範疇

本發明一般來說與電腦系統有關，尤其是與處理器結構有關。

#### 2. 說明

某些處理器設計成可對其用於多媒體運作的指令集結構(ISA)提供延伸，例如：由位於加州聖塔克拉拉的英特爾公司(Intel Corporation)生產的Pentium® II、Pentium® III以及Celeron™處理器所支援之MMX™指令便實施許多對於多媒體應用非常有用的功能，像是數位訊號處理、聲音以及影像處理。這些指令支援在多媒體以及通訊資料類型上的「單一指令多重資料」(SIMD)運作。雖然使用這些指令在執行已知功能方面要比之前存在的指令集合還要有改進，並且獨立的MMX™指令在某些處理方面較有效率，但是現實上仍舊存在許多對加快多媒體處理的阻礙。例如：許多區塊式影像與視訊處理演算法(像是聯合圖像專業團體(JPEG)以及移動圖片專業團體(MPEG)方法)的實施都會產生資料，儲存在一組暫存器內當成MMX™指令可存取的運算體，在矩陣數學運算期間經過置換。在暫存器之間置換資料會遭致顯著的額外負擔，因此會減慢整體處理器處理多媒體的處理量。因此在處理器界內，許多避免這些延遲或將其減至最低的技術就有長足的進步。

### 發明總結

本發明的具體實施例是一種處理器，其具有第一組用於

## 五、發明說明( 2 )

儲存資料矩陣的暫存器、耦合至第一組並且用於儲存資料矩陣置換副本的第二組暫存器。

本發明的其他具體實施例是一種使用兩組暫存器供處理器進行矩陣處理之用的方法。該方法包含：將資料矩陣存入第一組暫存器，第一組暫存器擁有第一數量的暫存器，每個暫存器具有第一數量的儲存單元，每個儲存單元儲存一個矩陣元素；以及將資料矩陣置換放入第二組暫存器，第二組暫存器擁有第二數量的暫存器，每個暫存器具有第二數量的儲存單元。該方法也包含參考第一組暫存器之一以便在一列資料矩陣上運作，以及參考第二組暫存器之一以便在資料矩陣的一欄上運作。

## 圖式之簡單說明

從下列本發明的詳細說明中將會對本發明的特色與優點有通盤的了解，其中

圖1為依照先前技藝的一組MMX™暫存器圖式；

圖2為該組MMX™暫存器儲存了8像素乘上8像素影像資料區塊之圖式；

圖3為該組MMX™暫存器儲存了置換過的8像素乘上8像素影像資料區塊之圖式；

圖4為依照本發明具體實施例連接至MMX™暫存器集的虛擬MMX™暫存器集之圖式；

圖5為該組虛擬MMX™暫存器儲存了置換過的8像素乘上8像素影像資料區塊之圖式；以及

圖6為一系統圖式，其擁有一處理器，而該處理器具有依

## 五、發明說明( 3 )

照本發明具體實施例的MMX™暫存器集以及虛擬MMX™暫存器集。

## 詳細說明

本發明的具體實施例包含一種延伸MMX™暫存器讓其在二維(2-D)矩陣運算中更有效率的方法與裝置。

規格書內參考本發明的「一個具體實施例」或「具體實施例」意味著，與該具體實施例有關連所說明的特定功能、結構或特性包含在本發明的至少一個具體實施例內。因此，出現在整個規格書內許多地方的「在一個具體實施例內」一詞並不一定全都參照到同一個具體實施例。

在執行指令時，處理器通常會參考一個(含)以上的暫存器運算體，對於MMX™指令而言，該暫存器運算體可為一個(含)以上稱為MMX™暫存器的一組特殊暫存器。圖1為依照先前技藝的一組MMX™暫存器圖式。在圖1顯示的暫存器集10內，其中有八個標示為mm0 12到mm7 14的MMX™暫存器。在其他具體實施例內，暫存器的數量可高於或低於八個。每個暫存器都包含許多資料單元，其如圖式般從低單元16排列到高單元18。在一個具體實施例內，一個單元包含一個位元組。在其他具體實施例內，一個單元可包含一個字元、一個雙字元或其他儲存單元。在至少一個已知的系統內，每個MMX™暫存器的單元(即是位元組)數量為八個，而在其他系統內則可使用其他數量的單元。欲使用MMX™暫存器以有效實施SIMD多媒體處理，欲處理的資料都應該以將許多相關資料項目配置於單一

## 五、發明說明( 4 )

MMX™暫存器內這種方法來校準。例如：假設要將8個像素乘上8個像素的影像資料區塊如圖2所示般排列於MMX™暫存器內，一個單元內代表一個像素值 $P(i,j)$ 並且整組暫存器代表一個矩陣。該8個像素乘上8個像素的區塊可能是較大影像的一部分。在此範例中，區塊影像資料的第一列儲存在第一MMX™暫存器mm0 12內，而第一列的第一欄儲存在mm0的低單元內，並且第一列的最後一欄則儲存在mm0的高單元內，影像資料的第二列儲存在第二MMX™暫存器mm1 20內，第二列的第一欄儲存在mm1的低單元內，並且第二列的最後一欄則儲存在mm1的高單元內，以此類推。

一旦資料如圖式般儲存在MMX™暫存器內，處理器就可執行指令以在一個8x8矩陣的列上有效地運算。這種處理通常用於區塊式成像應用程式以及其他應用程式中。例如：所有列0的資料都可使用下列所示的單一MMX™指令新增到列3的資料內。

PADDB MM0, MM3；將列0新增到列3並且將結果儲存在列0內。

不過，若要一次在一個8x8矩陣的欄位上運算就會出問題，因為每個行的資料都由八個MMX™暫存器所共有。例如：第一欄的資料分別屬於mm0 12到mm7 14的低單元，而最後一欄的資料則分別屬於mm0到mm7的高單元。為了能夠持續獲得使用MMX™ SIMD處理的好處，有必要如圖3所示來置換8x8矩陣，矩陣置換是很普遍的數學運算。在

## 五、發明說明 ( 5 )

置換之後，第一MMX™暫存器mm0 12會儲存原來的第一欄資料，而原來第一欄的第一列則儲存在低單元16內，而原來第一欄的最後一列則儲存在高單元18內，如圖所示。同樣地，如圖式般其他MMX™暫存器儲存8x8矩陣的欄位。

雖然可使用已知的封包與解封包指令執行8x8矩陣的置換，但此處理非常不具效率並且會遭致嚴重的處理負擔。一般來說，可藉由執行四個4x4矩陣置換(其中在Pentium®III處理器上每個置換需要至少12個處理週期)來實施8x8矩陣。因此，僅使用至少64個週期就能代表資料，如此使用一個MMX™指令就能在一已知欄位的八個元件上運算。

本發明的具體實施例利用在處理器內提供一組額外的暫存器來幫助多媒體處理，克服了置換MMX™暫存器還要透過一系列封包與解封包指令之需求。在本發明的具體實施例內，在處理器結構內設計有一組同等的「鏡射」MMX™暫存器，此暫存器集稱為虛擬MMX暫存器集或VMX集。圖4為依照本發明具體實施例連接至MMX™暫存器集的虛擬MMX™暫存器集之圖式。在一個具體實施例內，MMX™暫存器集10內MMX™暫存器的數量與VMX暫存器集22內提供的VMX暫存器數量相同。此外在一個具體實施例內，VMX暫存器的數量大於或等於每個MMX™暫存器內單元(取決於實施情況，可能是一個位元組、字元、雙字元或其他儲存單元)的數量。VMX暫存器集22儲存來自

## 五、發明說明( 6 )

MMX™暫存器集的置換過矩陣資料，並且不管何時在MMX™集內任何暫存器的任何單元遭到修改後暫存器更新邏輯23就會自動更新。因此，載入一列MMX™暫存器集10會自動載入一欄VMX暫存器集22。例如：來自第一MMX™暫存器mm0 12的資料會自動儲存在VMX暫存器VM0至VM7的低單元內，來自第二MMX™暫存器mm1 20的資料會自動儲存在VMX暫存器的第二低單元內，以此類推。

回頭參閱圖2，若如圖示般MMX™暫存器會載入標示為P0,0至P7,7的8x8矩陣，然後暫存器更新邏輯會如圖5內所示將至換過的矩陣載入VMX暫存器內。為了在矩陣的列元件上運算，程式會簡單參考MMX™暫存器mm0 12至mm7 14之一(含)以上。不過若要在矩陣的欄元件上運算，則用參考VMX暫存器vm0 24至vm7 26的程式代替。因為MMX™暫存器在處理器硬體內有鏡射的VMX暫存器，所以並沒有不一致的問題。需要時參考適當的暫存器，便可使用暫存器集來運算所有MMX™指令。程式內並不需要改變指令集，只需要改變運算體參考即可。

本發明具體實施例超過現有處理器架構的優點在於，本發明對於矩陣運算提供較大的平行度，這可藉由避免耗費成本的欄運算置換來達成，其中該運算要透過許多封包與解封包指令的執行來完成。

有一本發明如何實施的範例是，在許多影像處理法則內用於處理8像素乘上8像素區塊的「離散餘弦轉換」(DCT)

## 五、發明說明( 7 )

演算法。目前欲執行 $8 \times 8$  DCT處理時，包含先執行 $1 \times 8$ 欄轉換、置換 $8 \times 8$ 矩陣、執行另一個 $1 \times 8$ 欄轉換，然後再次置換結果以取得DCT係數。目前在Pentium®等級處理器上執行的最佳DCT大約耗用300個處理週期。在此量之中，大約有100個週期用於執行 $8 \times 8$ 矩陣的置換運算。因此，實施本發明可改善大約30%的DCT處理。反向DCT<sub>s</sub>也可達成類似的效能進步。雖然在此討論DCT範例，不過本發明的具體實施例對於任何矩陣運算都很有用，包含那些用於許多影像與視訊壓縮演算法內的演算。

雖然上面以二維(2-D)矩陣來探討本發明，但此概念可修改適用於三維或多維。例如：處理器的設計可包含第三暫存器集，用於儲存其他矩陣資料的置換。

圖6為一系統圖式，其擁有一處理器，而該處理器具有依照本發明具體實施例的MMX™暫存器集以及虛擬MMX™暫存器集。系統50包含耦合至記憶體54的處理器52，處理器52包含許多業界內已知的元件，為了清晰起見，圖6內已經省略的許多元件。指令記憶體56儲存著會參考一個(含)以上MMX™暫存器10或一個(含)以上VMX暫存器22的指令。暫存器更新邏輯23會在MMX™暫存器改變時協調VMX暫存器22的自動更新。多工器(MUX)58選擇來自MMX™暫存器或VMX暫存器的資料，輸入到演算邏輯單元(ALU)60，而ALU則產生資料給資料記憶體62。

本發明讓MMX™暫存器可用更直觀的方法來操縱。加上鏡射暫存器集後，任何區塊式演算法的實施都可簡化並且



## 五、發明說明( 8 )

提昇效能。某些可從本發明中獲致好處的應用範例包含：  
用於視訊壓縮演算法的離散餘弦轉換(DCT)、三維(3-D)圖  
形演算法內的矩陣轉換等等。

本發明雖然以實例具體實施例來做說明，但此說明並沒  
有限制之意。對於精通此技藝的人士而言，許多實例具體  
實施例的修改以及本發明的其他具體實施例都在本發明的  
精神與領域之內。

## 圖示代表符號說明

|            |               |
|------------|---------------|
| 10         | MMX™ 暫存器集     |
| 12, 14, 20 | MMX™ 暫存器      |
| 16         | 低單元 Low unit  |
| 18         | 高單元 High unit |
| 22         | VMX 暫存器集      |
| 23         | 暫存器更新邏輯       |
| 24, 26     | VMX 暫存器       |
| 50         | 系統            |
| 52         | 處理器           |
| 54         | 記憶體           |
| 56         | 指令記憶體         |
| 58         | 多工器           |
| 60         | 演算邏輯單元        |
| 62         | 資料記憶體         |

## 四、中文發明摘要（發明之名稱：

## 二維矩陣處理用的暫存器

一種擁有兩組暫存器的處理器。第一組儲存一資料矩陣，而第二組則儲存資料矩陣位置調換過的副本。當第一組任何列的任何部份經過修改，則第二組置換副本內對應欄的部份也會跟著修改。一種使用兩組暫存器供處理器進行矩陣處理之用的方法包含：將資料矩陣存入第一組暫存器，第一組暫存器擁有第一數量的暫存器，每個暫存器具有第一數量的儲存單元，每個儲存單元儲存一個矩陣元素；以及將資料矩陣置換放入第二組暫存器，第二組暫存器擁有第二數量的暫存器，每個暫存器具有第二數量的儲存單元。該方法也包含參考第一組暫存器之一以便在一列資料矩陣上運作，以及參考第二組暫存器之一以便在一欄資料矩陣上運作。

## 英文發明摘要（發明之名稱：REGISTERS FOR 2-D MATRIX PROCESSING

A processor has at least two sets of registers. The first set stores a matrix of data, and the second set stores a transposed copy of the matrix of data. When any portion of any row of the first set is modified, the corresponding portion of the column of the transposed copy in the second set is also automatically modified. A method of using two sets of registers for matrix processing by a processor includes storing a matrix of data into a first set of registers, the first set of registers having a first number of registers, each register comprising a first number of storage units, each storage unit storing an element of the matrix, and transposing the matrix of data into a second set of registers, the second set of registers having a second number of registers, each register comprising a second number of storage units. The method also includes referencing one of the first set of registers to operate on a row of the matrix of data, and referencing one of the second set of registers to operate on a column of the matrix of data.

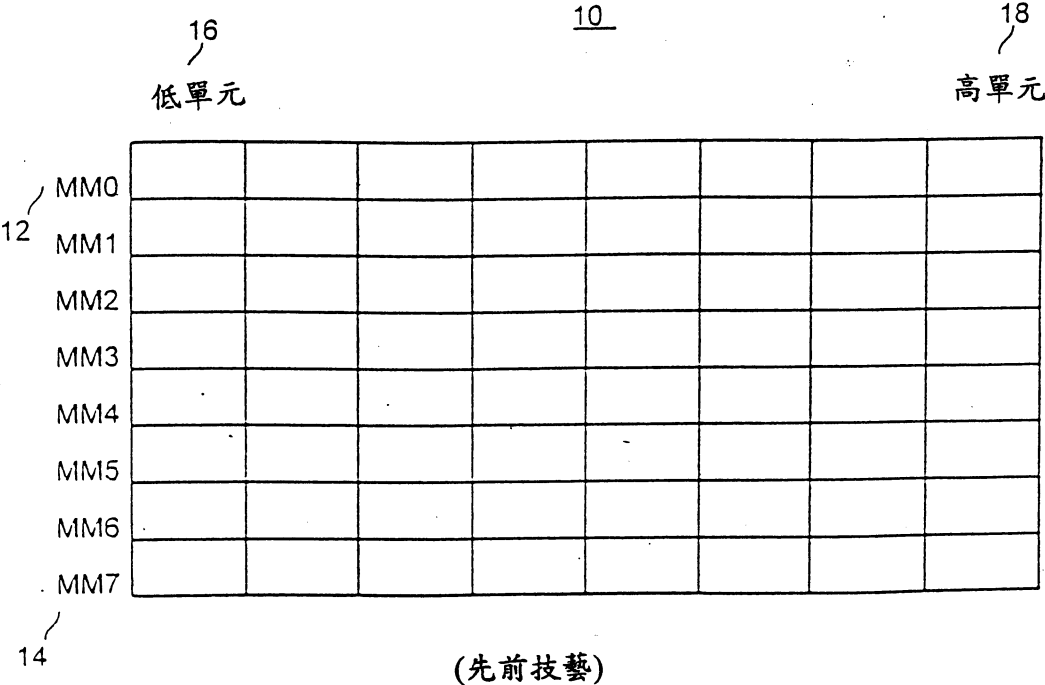


圖 1

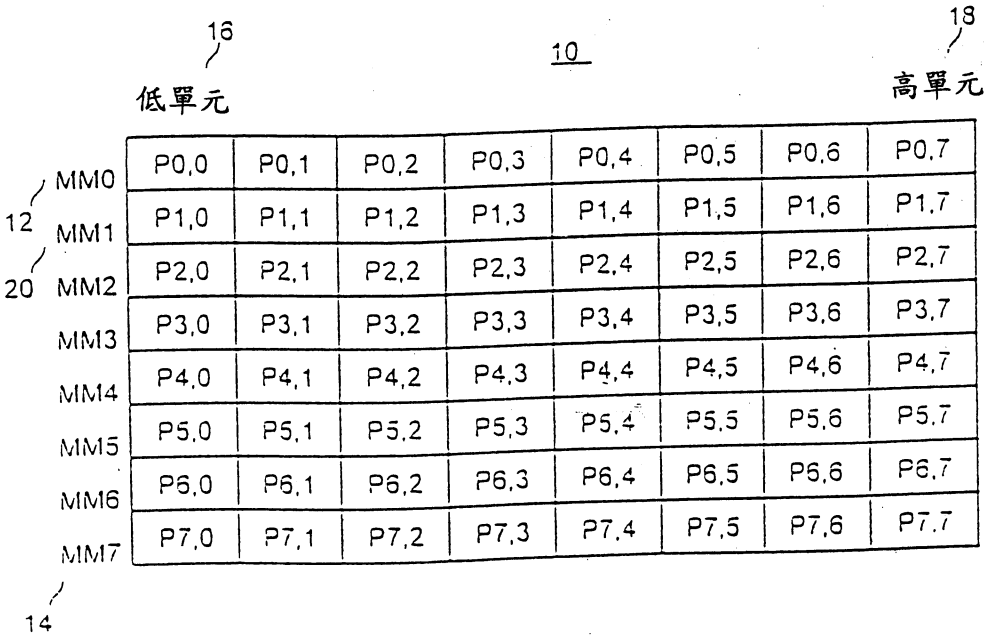


圖2

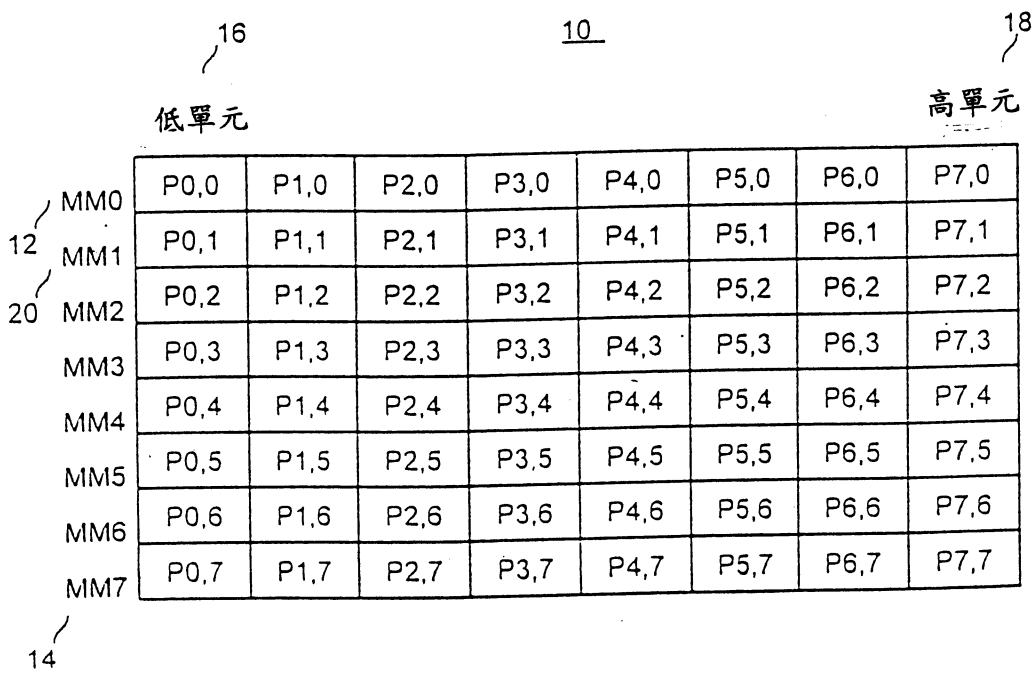


圖3

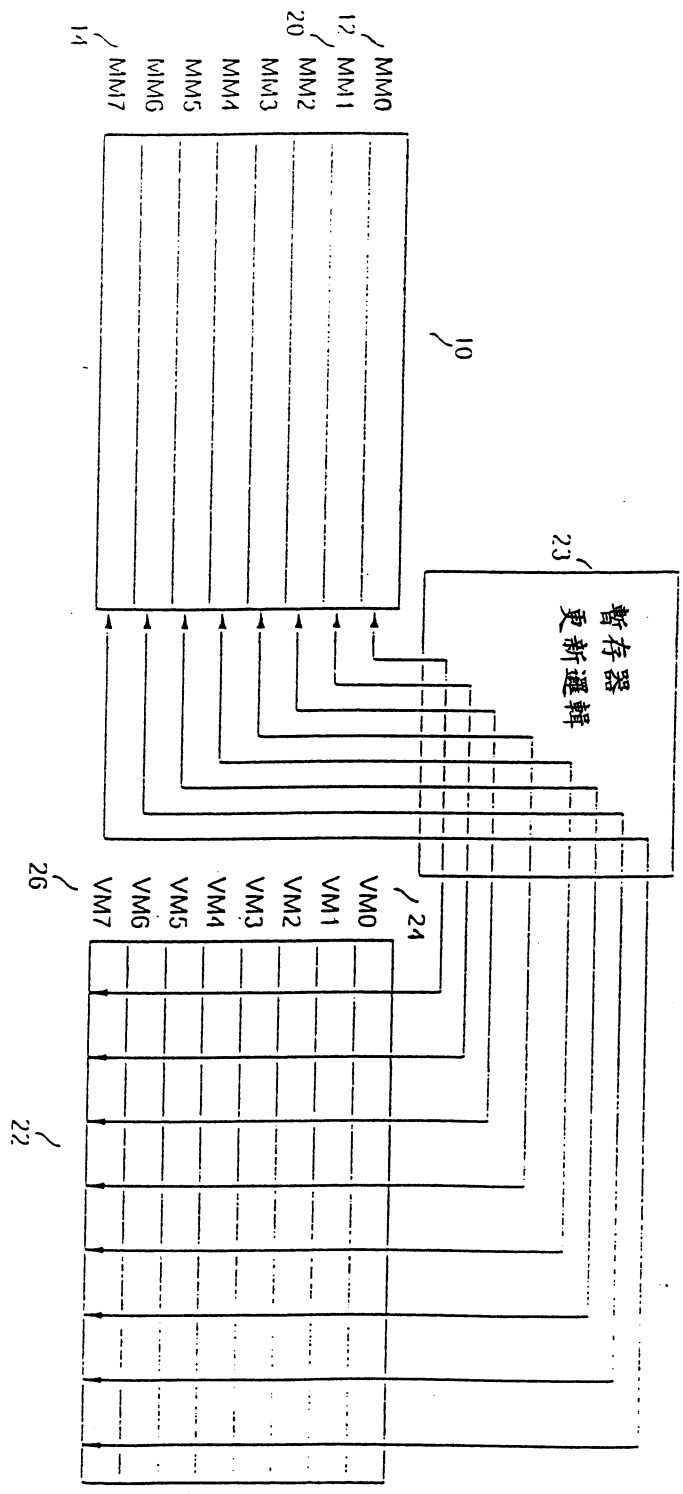


圖 4

|    |     | 低單元  |      |      |      | 高單元  |      |      |      |
|----|-----|------|------|------|------|------|------|------|------|
| 24 | VM0 | P0,0 | P1,0 | P2,0 | P3,0 | P4,0 | P5,0 | P6,0 | P7,0 |
|    | VM1 | P0,1 | P1,1 | P2,1 | P3,1 | P4,1 | P5,1 | P6,1 | P7,1 |
|    | VM2 | P0,2 | P1,2 | P2,2 | P3,2 | P4,2 | P5,2 | P6,2 | P7,2 |
|    | VM3 | P0,3 | P1,3 | P2,3 | P3,3 | P4,3 | P5,3 | P6,3 | P7,3 |
|    | VM4 | P0,4 | P1,4 | P2,4 | P3,4 | P4,4 | P5,4 | P6,4 | P7,4 |
|    | VM5 | P0,5 | P1,5 | P2,5 | P3,5 | P4,5 | P5,5 | P6,5 | P7,5 |
|    | VM6 | P0,6 | P1,6 | P2,6 | P3,6 | P4,6 | P5,6 | P6,6 | P7,6 |
|    | VM7 | P0,7 | P1,7 | P2,7 | P3,7 | P4,7 | P5,7 | P6,7 | P7,7 |
| 26 |     |      |      |      |      |      |      |      |      |

圖5

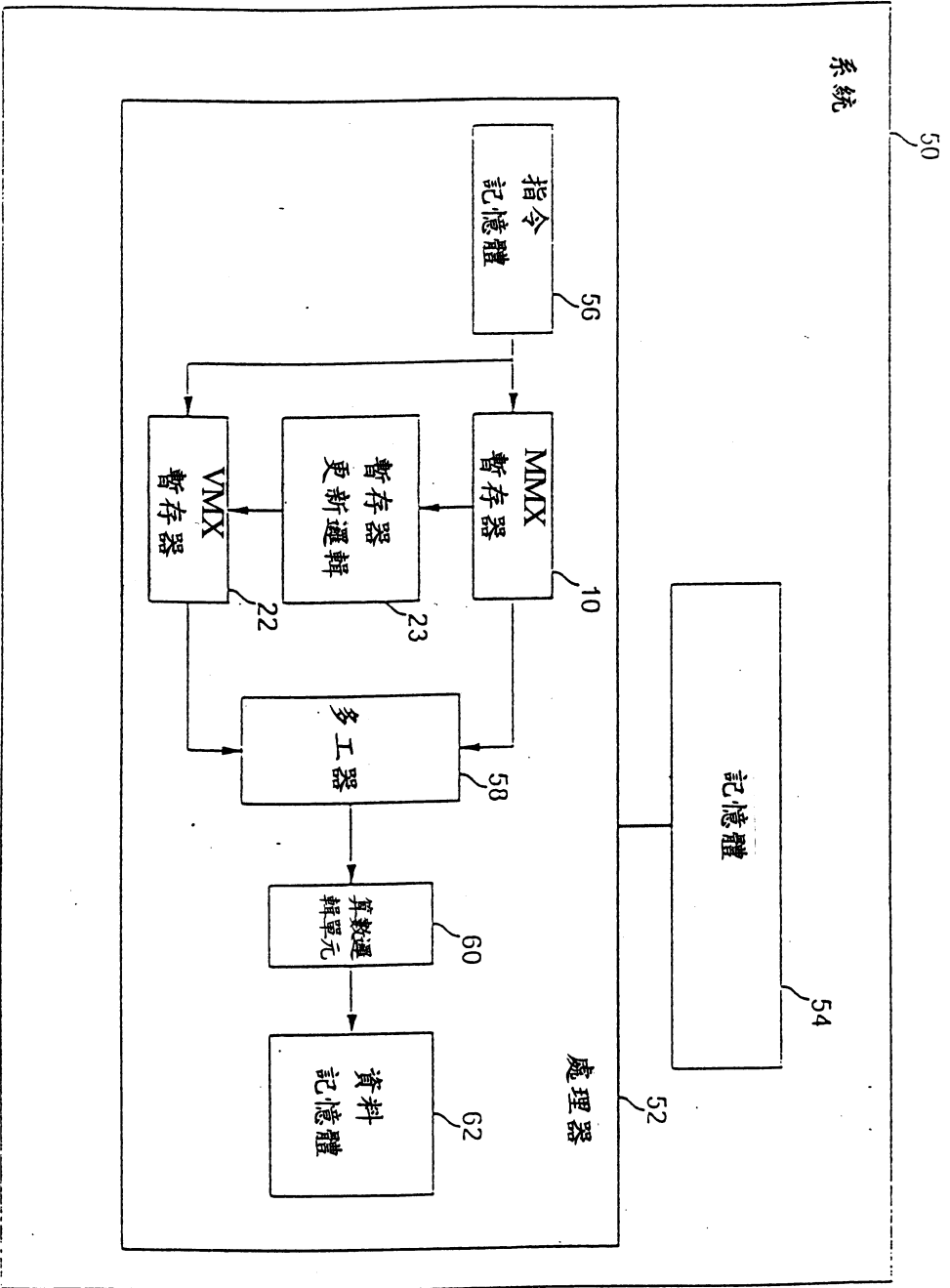


圖6





I243332

|      |           |
|------|-----------|
| 申請日期 | 89, 6, 30 |
| 案 號  | 89112946  |
| 類 別  | G06F 9/30 |

A4  
C4

中文說明書替換本(93 年 12 月)

( 以上各欄由本局填註 )

| 發 明 專 利 說 明 書   |               |                                     |
|-----------------|---------------|-------------------------------------|
| 一、發明<br>新 型 名 稱 | 中 文           | 二維矩陣處理用的暫存器                         |
|                 | 英 文           | REGISTERS FOR 2-D MATRIX PROCESSING |
| 二、發明<br>創 作 人   | 姓 名           | 喬治 K. 陳                             |
|                 | 國 籍           | 美國                                  |
|                 | 住、居所          | 美國俄勒岡州波特蘭市西北法蘭西斯卡路15115號            |
| 三、申請人           | 姓 名<br>(名 稱)  | 美商英特爾公司                             |
|                 | 國 籍           | 美國                                  |
|                 | 住、居所<br>(事務所) | 美國加州聖塔卡拉瓦市米遜大學路2200號                |
|                 | 代 表 人<br>姓 名  | F. 湯姆士. 當烈二世                        |

裝  
訂  
線

## 六、申請專利範圍

1. 一種二維矩陣處理器，包含：
  - 一第一組暫存器，儲存一資料矩陣；以及
  - 一第二組暫存器，儲存一資料矩陣之轉置；以及
  - 自動修改該第二組暫存器之邏輯，以維護儲存於該第一組暫存器中之資料矩陣與儲存於該第二組暫存器中之資料矩陣轉置之間之關係，以響應修改該第一組暫存器之一指令。
2. 如申請專利範圍第1項之處理器，其中第一組暫存器內資料矩陣列的修改會自動導致第二組暫存器內資料矩陣轉置對應欄的修改。
3. 如申請專利範圍第1項之處理器，其中該第一組暫存器包含一第一數量的暫存器，每暫存器包含一第一數量的儲存單元，該第二組暫存器包含一第二數量的暫存器，每暫存器包含一第二數量的儲存單元，並且第二數量的儲存單元大於或等於第一數量的暫存器。
4. 如申請專利範圍第3項之處理器，其中第一數量的暫存器等於第二數量的暫存器。
5. 如申請專利範圍第4項之處理器，其中該第一組暫存器包含MMX™暫存器，該第一數量為八，並且資料矩陣包含影像資料。
6. 如申請專利範圍第1項之處理器，其中該處理器執行一參考第一組暫存器之一以便在一列資料矩陣上運算之指令，以及執行一參考第二組暫存器之一以便在一欄資料矩陣上運算之指令。

## 六、申請專利範圍

7. 一種由處理器使用兩組暫存器用於矩陣處理的方法，包含：

將資料矩陣存入第一組暫存器，該第一組暫存器包含一第一數量的暫存器，每暫存器包含一第一數量的儲存單元，每儲存單元儲存一矩陣元素：

將資料矩陣轉置放入第二組暫存器，該第二組暫存器包含一第二數量的暫存器，每暫存器包含一第二數量的儲存單元；

自動修改該第二組暫存器，以維護儲存於該第一組暫存器中之資料矩陣與儲存於該第二組暫存器中之資料矩陣轉置之間之關係，以響應修改該第一組暫存器之一指令；

參考第一組暫存器之一以便在一列資料矩陣上運算，以及參考第二組暫存器之一以便在一欄資料矩陣上運算。

8. 如申請專利範圍第7項之方法，進一步包含修改第一組暫存器內的資料矩陣列，以及自動修改第二組暫存器內資料矩陣轉置的對應欄。
9. 如申請專利範圍第7項之方法，進一步包含在第二組暫存器之一內儲存的欄資料上執行轉換運算。
10. 如申請專利範圍第9項之方法，其中執行轉換運算包含在第二組暫存器之一內儲存的欄資料上執行離散餘弦轉換運算。
11. 如申請專利範圍第7項之方法，其中該第二數量的暫存器大於或等於該第一數量的暫存器。

## 六、申請專利範圍

12. 如申請專利範圍第7項之方法，其中該第一數量的暫存器等於第二數量的暫存器。
13. 如申請專利範圍第7項之方法，其中該第一組暫存器包含MMX™暫存器，該第一數量為八，並且資料矩陣包含影像資料。
14. 一種二維矩陣處理系統，包含：
  - 一記憶體；
  - 一耦合置該記憶體的處理器，該處理器包含：
    - 一第一組暫存器，儲存一資料矩陣；
    - 一第二組暫存器，儲存資料矩陣之轉置；以及
  - 自動修改該第二組暫存器之邏輯，以維護儲存於該第一組暫存器中之資料矩陣與儲存於該第二組暫存器中之資料矩陣轉置之間之關係，以響應修改該第一組暫存器之一指令。
15. 如申請專利範圍第14項之系統，其中第一組暫存器內資料矩陣列的修改會自動導致第二組暫存器內資料矩陣轉置對應欄的修改。
16. 如申請專利範圍第14項之系統，其中該第一組暫存器包含一第一數量的暫存器，每暫存器包含一第一數量的儲存單元，該第二組暫存器包含一第二數量的暫存器，每暫存器包含一第二數量的儲存單元，並且第二數量的儲存單元大於或等於第一數量的暫存器。
17. 如申請專利範圍第16項之系統，其中該第一數量的暫存器等於第二數量的暫存器。

## 六、申請專利範圍

18. 如申請專利範圍第17項之系統，其中該第一組暫存器包含MMX™暫存器，該第一數量為八，並且資料矩陣包含影像資料。
19. 如申請專利範圍第14項之系統，其中該處理器執行一參考第一組暫存器之一以便在一列資料矩陣上運算之指令，以及執行一參考第二組暫存器之一以便在一欄資料矩陣上運算之指令。
20. 一種由處理器使用兩組暫存器用於影像資料矩陣的離散餘弦轉換(DCT)處理之方法，包含：

將矩陣儲存於第一組暫存器內，該第一組暫存器包含一第一數量的暫存器，每暫存器包含一第一數量的儲存單元，每儲存單元儲存一矩陣元件；

將矩陣轉置至第二組暫存器內，該第二組暫存器包含一第二數量的暫存器，每暫存器包含一第二數量的儲存單元；

自動修改該第二組暫存器，以維護儲存於該第一組暫存器中之資料矩陣與儲存於該第二組暫存器中之資料矩陣轉置之間之關係，以響應修改該第一組暫存器之一指令；以及

利用參考第二組暫存器之一在矩陣欄上運算，以執行至少部份DCT處理。
21. 如申請專利範圍第20項之方法，進一步包含修改第一組暫存器內的資料矩陣列，以及自動修改第二組暫存器內資料矩陣轉置的對應欄。