

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4150373号
(P4150373)

(45) 発行日 平成20年9月17日 (2008. 9. 17)

(24) 登録日 平成20年7月4日 (2008. 7. 4)

(51) Int. Cl.	F I
H03K 17/687 (2006.01)	H03K 17/687 A
H01L 21/822 (2006.01)	H01L 27/04 H
H01L 27/04 (2006.01)	H01L 27/04 M
H03K 19/0175 (2006.01)	H03K 19/00 1 O 1 R

請求項の数 2 (全 12 頁)

(21) 出願番号	特願2004-371520 (P2004-371520)	(73) 特許権者	000006747
(22) 出願日	平成16年12月22日 (2004. 12. 22)		株式会社リコー
(65) 公開番号	特開2006-180226 (P2006-180226A)		東京都大田区中馬込 1 丁目 3 番 6 号
(43) 公開日	平成18年7月6日 (2006. 7. 6)	(74) 代理人	100084250
審査請求日	平成19年1月17日 (2007. 1. 17)		弁理士 丸山 隆夫
早期審査対象出願		(72) 発明者	福村 慶二
前置審査			東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内
		審査官	白井 亮

最終頁に続く

(54) 【発明の名称】 パワースイッチ IC 及びパワースイッチ制御方法

(57) 【特許請求の範囲】

【請求項 1】

電源 A、B、C (電源 A の電位 > 電源 B の電位 > 電源 C の電位) に接続されたラインをそれぞれオンオフする N c h パワー M O S トランジスタと、

前記電源 A を電源とし、前記電源 A、B、C のうちのいずれかが一つがオフした場合にリセット出力端子のリセット出力を L レベルにし、前記電源 A の電源入力が入力された場合には全ての電源出力をオフし、前記電源 B もしくは前記電源 C の電源入力が入力された場合には前記電源 B 及び前記電源 C の電源出力をオフする制御手段と、

前記電源 A を電源とし、前記 N c h パワー M O S トランジスタの出力電位が閾値を下回ると出力電位 V D E T を前記制御手段に入力する異常検出回路と、

前記電源 A を電源とし、前記制御手段からのリセット信号を反転してリセット出力端子に出力する第 1 のインバータ回路とを備えたパワースイッチ IC において、

前記電源 A をゲート入力とし、前記電源 B を電源とする第 2 のインバータ回路と、

前記電源 A をゲート入力とし、前記電源 C を電源とする第 3 のインバータ回路と、

前記リセット出力端子と G N D との間にソース及びドレインが接続され、前記第 2 のインバータ回路の出力がゲート入力される第 1 のリセット出力側 N c h M O S トランジスタと、

前記リセット出力端子と G N D との間にソース及びドレインが接続され、前記第 3 のインバータ回路の出力がゲート入力される第 2 のリセット出力側 N c h M O S トランジスタと、

10

20

前記第 2 のインバータ回路の出力と前記第 3 のインバータ回路の出力とをゲート入力とし、前記電源 A を電源とする NOR ゲートと、

前記 NOR ゲートの出力をゲート入力とし、前記電源 A を電源とする第 4 のインバータ回路と、

前記第 4 のインバータ回路の出力をゲート入力とし、前記電源 A をオンオフする N c h パワー MOS トランジスタのゲートと G N D との間にソース及びドレインが接続され、前記制御手段が前記 N c h パワー MOS トランジスタを駆動する能力より大きい能力を有する第 1 の電源側 N c h MOS トランジスタと、

前記第 2 のインバータ回路の出力をゲート入力とし、前記電源 B をオンオフする N c h パワー MOS トランジスタのゲートと G N D との間にソース及びドレインが接続され、前記制御手段が前記 N c h パワー MOS トランジスタを駆動する能力より大きい能力を有する第 2 の電源側 N c h MOS トランジスタと、

前記第 3 のインバータ回路の出力をゲート入力とし、前記電源 C をオンオフする N c h パワー MOS トランジスタのゲートと G N D との間にソース及びドレインが接続され、前記制御手段が前記 N c h パワー MOS トランジスタを駆動する能力より大きい能力を有する第 3 の電源側 N c h MOS トランジスタとを備え、

前記電源 A の電位が 0 V まで低下して前記第 1 のインバータ回路の入力電位が不定となり前記リセット出力端子の電位の L レベルを前記第 1 のインバータ回路で維持できなくなる異常が発生した場合、前記電源 A の電位が前記第 2 のインバータ回路の閾値まで低下すると前記第 2 のインバータ回路の出力が H レベルとなり、前記第 2 の電源側の N c h MOS トランジスタがオン状態になって、前記第 2 の電源側の N c h MOS トランジスタが前記制御手段による前記各 N c h パワー MOS トランジスタの駆動力に打ち勝って前記電源 B 側の N c h パワー MOS トランジスタをオフ状態にし、

前記電源 A の電位が前記第 2 のインバータ回路の閾値より低い前記第 3 のインバータ回路の閾値まで低下すると前記第 3 のインバータ回路の出力が H レベルとなり、前記リセット出力端子の電位は L レベルを維持し、前記第 3 の電源側の N c h MOS トランジスタがオン状態になって、前記第 3 の電源側の N c h MOS トランジスタが前記制御手段による前記各 N c h パワー MOS トランジスタの駆動力に打ち勝って前記電源 C 側の N c h パワー MOS トランジスタをオフ状態にし、

前記第 1 の電源側の N c h MOS トランジスタがオン状態になって、前記第 1 の電源側の N c h MOS トランジスタが前記制御手段による前記各 N c h パワー MOS トランジスタの駆動力に打ち勝って前記電源 A 側の N c h パワー MOS トランジスタをオフ状態にすることを特徴とするパワースイッチ I C。

【請求項 2】

電源 A、B、C（電源 A の電位 > 電源 B の電位 > 電源 C の電位）に接続されたラインをそれぞれオンオフする P c h パワー MOS トランジスタと、

前記電源 A を電源とし、前記電源 A、B、C のうちのいずれかが一つがオフした場合にリセット出力端子のリセット出力を L レベルにし、前記電源 A の電源入力がオフした場合には全ての電源出力をオフし、前記電源 B もしくは前記電源 C の電源入力がオフした場合には前記電源 B 及び前記電源 C の電源出力をオフする制御手段と、

前記電源 A を電源とし、前記 P c h パワー MOS トランジスタの出力電位が閾値を下回ると出力電位 V D E T を前記制御手段に入力する異常検出回路と、

前記電源 A を電源とし、前記制御手段からのリセット信号を反転してリセット出力端子に出力する第 1 のインバータ回路とを備えたパワースイッチ I C において、

前記電源 A をゲート入力とし、前記電源 B を電源とする第 2 のインバータ回路と、

前記電源 A をゲート入力とし、前記電源 C を電源とする第 3 のインバータ回路と、

前記リセット出力端子と G N D との間にソース及びドレインが接続され、前記第 2 のインバータ回路の出力がゲート入力される第 1 のリセット出力側 N c h MOS トランジスタと、

前記リセット出力端子と G N D との間にソース及びドレインが接続され、前記第 3 のイ

10

20

30

40

50

ンバータ回路の出力がゲート入力される第2のリセット出力側NchMOSトランジスタと、

前記第2のインバータ回路の出力と前記第3のインバータ回路の出力とをゲート入力とし、前記電源Aを電源とするNORゲートと、

前記NORゲートの出力をゲート入力とし、電源Aと電源AをオンオフするPchパワーMOSトランジスタのゲートとの間にソース及びドレインが接続され、前記制御手段が前記PchパワーMOSトランジスタを駆動する能力より大きい能力を有する第1の電源側PchMOSトランジスタと、

前記電源Bを電源とし、前記第2のインバータ回路の出力をゲート入力とする第5のインバータ回路と、

10

前記電源Cを電源とし、前記第3のインバータ回路の出力をゲート入力とする第6のインバータ回路と、

前記第5のインバータ回路の出力を入力とし、前記電源Bと前記電源BをオンオフするPchパワーMOSトランジスタのゲートとの間にソース及びドレインが接続され、前記制御手段が前記PchパワーMOSトランジスタを駆動する能力より大きい能力を有する第2の電源側PchMOSトランジスタと、

前記第6のインバータ回路の出力をゲート入力とし、前記電源Cと前記電源CをオンオフするPchパワーMOSトランジスタのゲートとの間にソース及びドレインが接続され、前記制御回路が前記PchパワーMOSトランジスタを駆動する能力より大きい能力を有する第3の電源側PchMOSトランジスタとを備え、

20

前記電源Aの電位が0Vまで低下して前記第1のインバータ回路の入力電位が不定となり前記リセット出力端子の電位のLレベルを前記第1のインバータ回路で維持できなくなる異常が発生した場合、前記電源Aの電位が前記第2のインバータ回路の閾値まで低下すると前記第2のインバータ回路の出力がHレベルとなり、前記第5のインバータ回路の出力がLレベルとなり、前記第2の電源側のPchMOSトランジスタがオン状態になって、前記第2の電源側のPchMOSトランジスタが前記制御手段による前記各PchパワーMOSトランジスタの駆動力に打ち勝って前記電源B側のPchパワーMOSトランジスタをオフ状態にし、

前記電源Aの電位が前記第2のインバータ回路の閾値より低い前記第3のインバータ回路の閾値まで低下すると前記第3のインバータ回路の出力がHレベルとなり、前記第6のインバータ回路の出力がLレベルとなり、前記リセット出力端子の電位はLレベルを維持し、前記第3の電源側のPchMOSトランジスタがオン状態になって、前記第3の電源側のPchMOSトランジスタが前記制御手段による前記各PchパワーMOSトランジスタの駆動力に打ち勝って前記電源C側のPchパワーMOSトランジスタをオフ状態にし、

30

前記第1の電源側のPchMOSトランジスタがオン状態になって、前記第1の電源側のPchMOSトランジスタが前記制御手段による前記各PchパワーMOSトランジスタの駆動力に打ち勝って前記電源A側のPchパワーMOSトランジスタをオフ状態にするようにすることを特徴とするパワースイッチIC。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、パワースイッチIC及びパワースイッチ制御方法に関し、特に多電源が供給される機器の電源の異常を検出するパワースイッチIC及びパワースイッチ制御方法に関する。

【背景技術】

【0002】

現在のノートパソコンは、PCカードスロットを搭載することが一般的である。また、デスクトップパソコンでも拡張ボードを追加することでPCカードを扱うことができる。このPCカードに代わる次世代カードとして「Express Card（登録商標）」

50

が業界団体により制定され、このExpress Cardを搭載したパソコンが2004年末頃から出荷される。

Express Card用のカードスロットには3.3V、3.3V AUX（補助電源入力）、1.5Vの三系統の電源が供給される。このカードスロットから見て、この三系統の電源のすぐ上流にはパワースイッチICが配置される。Express Card用のパワースイッチICに必要な機能としては、3.3V、3.3V AUX、1.5Vの電源入力のうちのいずれかがオフした場合にリセット出力をLレベルにするものがある。

【0003】

また、3.3V AUXの電源入力がオフした場合には全ての電源出力がオフすること、3.3Vの電源入力がオフした場合には3.3V及び1.5Vの電源出力がオフすること、1.5Vの電源入力がオフした場合にも3.3V及び1.5Vの電源出力がオフすること、が必要な機能として要求されている。

これらの機能を実現するために、3.3V、3.3V AUX、1.5Vの電源入力以外にパワースイッチICを動作させるための電源を設けることが行われている。

【0004】

図4は従来のパワースイッチICのブロック図である。

SW1、SW2、SW3はNchパワーMOSトランジスタであり、それぞれIN1、IN2、IN3をOUT1、OUT2、OUT3に接続するスイッチの機能を有する。

SW1、SW2、SW3のゲートはゲートコントロール回路に接続され、SW1、SW2、SW3の各ドレインは異常検出回路に接続されている。異常検出回路の出力VDETはゲートコントロール回路に接続されると共にタイミングコントロール回路に接続されている。タイミングコントロール回路にはVDET信号とリセット信号とが入力され、タイミングコントロール回路の出力はインバータ回路INV0に入力される。

同図のイネーブル入力は1本であるが、OUT1、OUT2、OUT3を出力するか否かの組み合わせを作るために複数本としてもよい。

ゲートコントロール回路は、イネーブル入力と異常検出回路の出力（VDET）を受けてどのNchパワーMOSトランジスタをオンさせるかを制御する。

OUT1、2、3の立ち上がり時間、立ち下がり時間を所望の仕様とするために、NchパワーMOSトランジスタのゲート電位を制御する。

異常検出回路はOUT1、2、3が規格内の電位であるか否かを監視する。

タイミングコントロール回路は、リセット入力の変化に応じてリセット出力を変化させ、VDETの変化に応じてリセット出力を変化させる。

これらゲートコントロール回路、タイミングコントロール回路、異常検出回路、INV0は、Vcc端子（ピンともいう。）から電源供給を受けて動作する。これらの各回路の動作のため、IN1、IN2、IN3は供給されている必要はない（例えば、非特許文献1参照。）。

【0005】

また、チップ面積の増大を抑制しつつ、電源切断機能と出力短絡検出機能を有し、電源回路の小型化と低コスト化を図ることができる電源制御用ICである半導体集積回路を提供するものが開発されている。

この回路は、電源電位がマイナスへ、基準電位がプラスへ入力されるコンパレータと、出力短絡検出回路と、コンパレータの出力信号と、出力短絡検出回路の出力信号が入力されるOR回路とで構成され、これらの回路を電源制御用IC内に組み込むことで、電源切断機能と出力短絡検出機能とを持たせ、電源回路を構成する部品点数の削減を図り、電源回路の小型化と低コスト化とを図るものである（例えば、特許文献1参照。）。

【特許文献1】特開2001-244412号公報

【非特許文献1】ローム社製品仕様書

【発明の開示】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 0 6 】

ところで、上述した非特許文献 1 及び特許文献 1 記載の技術では、ＩＣの内部回路専用電源が必要となるが、内部回路専用電源を搭載することはホストシステムにとってコストアップの要因となってしまう。また、内部回路用の電源ピンの数だけピン数が増加し、ＩＣ自体のコストアップの要因ともなってしまう。

そこで、本発明の目的は、多電源のうちの所望の電源入力に異常が生じた場合にオフすることができる安価なパワースイッチＩＣ及びパワースイッチ制御方法を提供することにある。

【課題を解決するための手段】

【 0 0 0 7 】

上記課題を解決するために、請求項 1 記載の発明は、電源 A、B、C（電源 A の電位電源 B の電位 > 電源 C の電位）に接続されたラインをそれぞれオンオフする N c h パワー M O S トランジスタと、前記電源 A を電源とし、前記電源 A、B、C のうちのいずれかが一つがオフした場合にリセット出力端子のリセット出力を L レベルにし、前記電源 A の電源入力がオフした場合には全ての電源出力をオフし、前記電源 B もしくは前記電源 C の電源入力がオフした場合には前記電源 B 及び前記電源 C の電源出力をオフする制御手段と、前記電源 A を電源とし、前記 N c h パワー M O S トランジスタの出力電位が閾値を下回ると出力電位 V D E T を前記制御手段に入力する異常検出回路と、前記電源 A を電源とし、前記制御手段からのリセット信号を反転してリセット出力端子に出力する第 1 のインバータ回路とを備えたパワースイッチ I C において、前記電源 A をゲート入力とし、前記電源 B を電源とする第 2 のインバータ回路と、前記電源 A をゲート入力とし、前記電源 C を電源とする第 3 のインバータ回路と、前記リセット出力端子と G N D との間にソース及びドレインが接続され、前記第 2 のインバータ回路の出力がゲート入力される第 1 のリセット出力側 N c h M O S トランジスタと、前記リセット出力端子と G N D との間にソース及びドレインが接続され、前記第 3 のインバータ回路の出力がゲート入力される第 2 のリセット出力側 N c h M O S トランジスタと、前記第 2 のインバータ回路の出力と前記第 3 のインバータ回路の出力とをゲート入力とし、前記電源 A を電源とする N O R ゲートと、前記 N O R ゲートの出力をゲート入力とし、前記電源 A を電源とする第 4 のインバータ回路と、前記第 4 のインバータ回路の出力をゲート入力とし、前記電源 A をオンオフする N c h パワー M O S トランジスタのゲートと G N D との間にソース及びドレインが接続され、前記制御手段が前記 N c h パワー M O S トランジスタを駆動する能力より大きい能力を有する第 1 の電源側 N c h M O S トランジスタと、前記第 2 のインバータ回路の出力をゲート入力とし、前記電源 B をオンオフする N c h パワー M O S トランジスタのゲートと G N D との間にソース及びドレインが接続され、前記制御手段が前記 N c h パワー M O S トランジスタを駆動する能力より大きい能力を有する第 2 の電源側 N c h M O S トランジスタと、前記第 3 のインバータ回路の出力をゲート入力とし、前記電源 C をオンオフする N c h パワー M O S トランジスタのゲートと G N D との間にソース及びドレインが接続され、前記制御手段が前記 N c h パワー M O S トランジスタを駆動する能力より大きい能力を有する第 3 の電源側 N c h M O S トランジスタとを備え、前記電源 A の電位が 0 V まで低下して前記第 1 のインバータ回路の入力電位が不定となり前記リセット出力端子の電位の L レベルを前記第 1 のインバータ回路で維持できなくなる異常が発生した場合、前記電源 A の電位が前記第 2 のインバータ回路の閾値まで低下すると前記第 2 のインバータ回路の出力が H レベルとなり、前記第 2 の電源側の N c h M O S トランジスタがオン状態になって、前記第 2 の電源側の N c h M O S トランジスタが前記制御手段による前記各 N c h パワー M O S トランジスタの駆動力に打ち勝って前記電源 B 側の N c h パワー M O S トランジスタをオフ状態にし、前記電源 A の電位が前記第 2 のインバータ回路の閾値より低い前記第 3 のインバータ回路の閾値まで低下すると前記第 3 のインバータ回路の出力が H レベルとなり、前記リセット出力端子の電位は L レベルを維持し、前記第 3 の電源側の N c h M O S トランジスタがオン状態になって、前記第 3 の電源側の N c h M O S トランジスタが前記制御手段による前記各 N c h パワー M O S トランジスタの駆動力に打ち勝って前記電源 C

10

20

30

40

50

側のN c hパワーM O Sトランジスタをオフ状態にし、前記第1の電源側のN c h M O Sトランジスタがオン状態になって、前記第1の電源側のN c h M O Sトランジスタが前記制御手段による前記各N c hパワーM O Sトランジスタの駆動力に打ち勝って前記電源A側のN c hパワーM O Sトランジスタをオフ状態にすることを特徴とする。

【0008】

請求項2記載の発明は、電源A、B、C（電源Aの電位 > 電源Bの電位 > 電源Cの電位）に接続されたラインをそれぞれオンオフするP c hパワーM O Sトランジスタと、前記電源Aを電源とし、前記電源A、B、Cのうちのいずれかが一つがオフした場合にリセット出力端子のリセット出力をLレベルにし、前記電源Aの電源入力が入力された場合には全ての電源出力をオフし、前記電源Bもしくは前記電源Cの電源入力が入力された場合には前記電源B及び前記電源Cの電源出力をオフする制御手段と、前記電源Aを電源とし、前記P c hパワーM O Sトランジスタの出力電位が閾値を下回ると出力電位V D E Tを前記制御手段に入力する異常検出回路と、前記電源Aを電源とし、前記制御手段からのリセット信号を反転してリセット出力端子に出力する第1のインバータ回路とを備えたパワースイッチI Cにおいて、前記電源Aをゲート入力とし、前記電源Bを電源とする第2のインバータ回路と、前記電源Aをゲート入力とし、前記電源Cを電源とする第3のインバータ回路と、前記リセット出力端子とG N Dとの間にソース及びドレインが接続され、前記第2のインバータ回路の出力がゲート入力される第1のリセット出力側N c h M O Sトランジスタと、前記リセット出力端子とG N Dとの間にソース及びドレインが接続され、前記第3のインバータ回路の出力がゲート入力される第2のリセット出力側N c h M O Sトランジスタと、前記第2のインバータ回路の出力と前記第3のインバータ回路の出力とをゲート入力とし、前記電源Aを電源とするN O Rゲートと、前記N O Rゲートの出力をゲート入力とし、電源Aと電源AをオンオフするP c hパワーM O Sトランジスタのゲートとの間にソース及びドレインが接続され、前記制御手段が前記P c hパワーM O Sトランジスタを駆動する能力より大きい能力を有する第1の電源側P c h M O Sトランジスタと、前記電源Bを電源とし、前記第2のインバータ回路の出力をゲート入力とする第5のインバータ回路と、前記電源Cを電源とし、前記第3のインバータ回路の出力をゲート入力とする第6のインバータ回路と、前記第5のインバータ回路の出力を入力とし、前記電源Bと前記電源BをオンオフするP c hパワーM O Sトランジスタのゲートとの間にソース及びドレインが接続され、前記制御手段が前記P c hパワーM O Sトランジスタを駆動する能力より大きい能力を有する第2の電源側P c h M O Sトランジスタと、前記第6のインバータ回路の出力をゲート入力とし、前記電源Cと前記電源CをオンオフするP c hパワーM O Sトランジスタのゲートとの間にソース及びドレインが接続され、前記制御回路が前記P c hパワーM O Sトランジスタを駆動する能力より大きい能力を有する第3の電源側P c h M O Sトランジスタとを備え、前記電源Aの電位が0 Vまで低下して前記第1のインバータ回路の入力電位が不定となり前記リセット出力端子の電位のLレベルを前記第1のインバータ回路で維持できなくなる異常が発生した場合、前記電源Aの電位が前記第2のインバータ回路の閾値まで低下すると前記第2のインバータ回路の出力がHレベルとなり、前記第5のインバータ回路の出力がLレベルとなり、前記第2の電源側のP c h M O Sトランジスタがオン状態になって、前記第2の電源側のP c h M O Sトランジスタが前記制御手段による前記各P c hパワーM O Sトランジスタの駆動力に打ち勝って前記電源B側のP c hパワーM O Sトランジスタをオフ状態にし、前記電源Aの電位が前記第2のインバータ回路の閾値より低い前記第3のインバータ回路の閾値まで低下すると前記第3のインバータ回路の出力がHレベルとなり、前記第6のインバータ回路の出力がLレベルとなり、前記リセット出力端子の電位はLレベルを維持し、前記第3の電源側のP c h M O Sトランジスタがオン状態になって、前記第3の電源側のP c h M O Sトランジスタが前記制御手段による前記各P c hパワーM O Sトランジスタの駆動力に打ち勝って前記電源C側のP c hパワーM O Sトランジスタをオフ状態にし、前記第1の電源側のP c h M O Sトランジスタがオン状態になって、前記第1の電源側のP c h M O Sトランジスタが前記制御手段による前記各P c hパワーM O Sトランジスタの駆動力に打ち勝って前記電源

10

20

30

40

50

A側のPchパワーMOSトランジスタをオフ状態にすることを特徴とする。

【発明の効果】

【0011】

本発明によれば、パワーMOSトランジスタへの電源入力のみ用い、その電源入力以外に制御回路用の電源入力を必要としないので、パワースイッチICの電源ピンの数が増加することがなくICを安価に製造することができ、所望の電源入力をオフすることができる。

【発明を実施するための最良の形態】

【0012】

本実施形態のパワースイッチICは、複数のNchパワーMOSトランジスタを集積したパワースイッチICで各NchパワーMOSトランジスタのソースに異なる電源が入力されており、そのうちの1つの電源Aを用いて、すべてのNchパワーMOSトランジスタを制御する制御回路を動作させるパワースイッチICにおいて、制御回路は、電源Aをゲート入力とし、電源A以外の電源を用いる複数のインバータ回路と、リセット出力端子とGNDとの間にソース及びドレインが並列接続され、各インバータ回路の出力端子が各ゲート端子に接続される複数個のリセット出力側NchMOSトランジスタと、各NchパワーMOSトランジスタのゲートとGNDとの間に設けられ、インバータ回路の出力がゲートに接続され、電源A以外の電源が入力され、異常が生じるとNchパワーMOSトランジスタをオフにする電源側NchMOSトランジスタとを含むことを特徴とする。

【0013】

上記構成に加え、本実施形態のパワースイッチICは、インバータ回路の出力がゲートに入力されたNORゲートと、NORゲートの出力がゲートに入力されたNOR側インバータ回路と、電源Aがソースに入力された電源A側NchパワーMOSトランジスタのゲートとGNDとの間に設けられ、NOR側インバータの出力がゲートに入力され、異常が生じると電源A側NchパワーMOSトランジスタをオフにする他のNchMOSトランジスタとを含むのが好ましい。

【0014】

また、本実施形態のパワースイッチICは、複数のPchパワーMOSトランジスタを集積したパワースイッチICで各PchパワーMOSトランジスタのソースに異なる電源が入力されており、そのうちの1つの電源Aを用いて、すべてのPchパワーMOSトランジスタを制御する制御回路を動作させるパワースイッチICにおいて、制御回路は、電源Aをゲート入力とし、電源A以外の電源を用いる複数の一段目インバータ回路と、一段目インバータ回路の出力をゲート入力とし、電源A以外の電源を用いる複数の二段目インバータ回路と、リセット出力端子とGNDとの間にソース及びドレインが並列接続され、各ゲート端子に一段目インバータ回路の出力が接続されるリセット出力側NchMOSトランジスタと、各パワーPchMOSトランジスタのゲートとソースとの間に設けられ、二段目インバータ回路の出力が接続され、電源A以外の電源が入力され、異常が生じるとPchパワーMOSトランジスタをオフにする電源側PchMOSトランジスタとを含むことを特徴とする。

【0015】

上記構成に加え、本実施形態のパワースイッチICは、インバータ回路の出力がゲートに入力されたNORゲートと、NORゲートの出力がゲートに入力され、電源Aがソースに接続され、ドレインが電源A側PchパワーMOSトランジスタのゲートに接続され、異常が生じると電源A側PchパワーMOSトランジスタをオフにする他のPchMOSトランジスタとを含むのが好ましい。

【実施例】

【0016】

〔実施例1〕

本発明に係るパワースイッチICの一実施例について説明する。図1は本発明に係るパワースイッチICの一実施例を示すブロック図である。尚、図4に示した従来例と同様の

10

20

30

40

50

要素には共通の符号を用いた。

異なる電源 A、B、C（電源 A の電位 > 電源 B の電位 > 電源 C の電位）の電位（例えば、3.3V、3.3V A U X、1.5V）が入力される入力端子 I N 1、I N 2、I N 3にそれぞれ N c h パワー M O S トランジスタ S W 1、S W 2、S W 3 のソースが接続されている。各 N c h パワー M O S トランジスタ S W 1、S W 2、S W 3 のドレインは出力端子 O U T 1、O U T 2、O U T 3 にそれぞれ接続されている。

【0017】

各 N c h パワー M O S トランジスタ S W 1、S W 2、S W 3 のゲートにはゲートコントロール回路の出力端子がそれぞれ接続されている。各出力端子 O U T 1、O U T 2、O U T 3 は異常検出回路の入力端子にそれぞれ接続されている。異常検出回路の出力端子はゲートコントロール回路の入力端子及びタイミングコントロール回路の入力端子に接続され、出力電位 V D E T がゲートコントロール回路及びタイミングコントロール回路（二つで一つの制御手段を構成している。）に入力される。ゲートコントロール回路にはイネーブル入力端子からイネーブル信号が入力され、タイミングコントロール回路にはリセット入力端子からリセット信号が入力される。タイミングコントロール回路の出力端子は第 1 のインバータ回路 I N V 0 の入力端子に接続されインバータ回路 I N V 0 の出力端子はリセット出力端子に接続されている。

所望の電源 A としての 3.3V の電源が入力された入力端子 I N 1 は、ゲートコントロール回路、タイミングコントロール回路、異常検出回路、インバータ回路 I N V 0、後述する 2 入力ノアゲート回路 N O R 1、第 4 のインバータ回路 I N V 3 の電源端子に接続されている他、第 2 のインバータ回路 I N V 1、第 3 のインバータ回路 I N V 2 のゲート入力となっている。すなわち、ゲートコントロール回路、タイミングコントロール回路、異常検出回路、インバータ回路 I N V 3 は I N 1 端子から電源供給を受けて動作する。

【0018】

一方のインバータ回路 I N V 1 の出力端子は、第 1 のリセット出力側 N c h M O S トランジスタとしての N c h M O S トランジスタ M 1、第 2 の電源側 N c h M O S トランジスタとしての M 3 のゲート及び 2 入力ノアゲート回路 N O R 1 のゲートに接続されている。他方のインバータ回路 I N V 2 の出力端子は、第 2 のリセット出力側 N c h M O S トランジスタとしての N c h M O S トランジスタ M 2、第 3 の電源側 N c h M O S トランジスタとしての M 4 のゲート及び 2 入力ノアゲート回路 N O R 1 のゲートに接続されている。

N c h M O S トランジスタ M 3 のソースは接地され、ドレインは N c h パワー M O S トランジスタ S W 2 のゲートに接続されている。N c h M O S トランジスタ M 4 のソースは接地され、ドレインは N c h パワー M O S トランジスタ S W 3 のゲートに接続されている。

【0019】

N c h M O S トランジスタ M 1、M 2 のソースは共に接地され、ドレインは共にリセット出力端子に接続されている。

2 入力ノアゲート回路 N O R 1 の出力端子はインバータ回路 I N V 3 の入力端子に接続され、インバータ回路 I N V 3 の出力端子は第 1 のリセット出力側 N c h M O S トランジスタとしての N c h M O S トランジスタ M 5 のゲートに接続されている。N c h M O S トランジスタ M 5 のソースは接地され、ドレインは N c h パワー M O S トランジスタ S W 1 のゲートに接続されている。

これらインバータ回路 I N V 1、I N V 2、I N V 3、N c h M O S トランジスタ M 1 ~ M 5、2 入力ノアゲート回路 N O R 1 で制御回路が構成されている。

【0020】

次に図 1 に示したパワースイッチ I C の動作について説明する。

ここでは、入力端子 I N 1（A U X I N）、I N 2（3.3V I N）、I N 3（1.5V I N）にそれぞれ電源電位が入力されて N c h パワー M O S トランジスタの出力が正常であれば、リセット出力は“H”レベルを出力する。このような“H”レベルの状態では I N 1 が取り除かれた場合について述べる。

まず、リセット出力については、入力端子 I N 1 への電源電位の入力を取り除かれると、入力端子 I N 1 のノード（電気回路理論における節点もしくは接続点）に残っている電荷がパワースイッチ I C の消費電流により放電され、電位は徐々に低下する（図 2 参照）。

図 2 は図 1 に示したパワースイッチ I C の動作を説明するためのタイミングチャートである。図 2 において横軸は時間軸を示し、上から入力端子 I N 3、I N 2、I N 1、ノード N 1、N 2、及びリセット端子の電位軸を示す。横向きの波線は G N D 電位を示す。尚、入力端子 I N 2 の電位 > 入力端子 I N 3 の電位としている。

入力端子 I N 1（A U X I N）の電位の低下と共に出力端子 O U T の電位も低下し、出力端子 O U T 1 の電位が異常検出回路の閾値を下回ると、リセット端子の電位は“ L ”レベルになる。入力端子 I N 1 の電位が 0 V まで低下すると、インバータ回路 I N V 0 の入力電位が不定となるため、リセット端子の電位の“ L ”レベルを I N V 0 で維持することができなくなる。

【 0 0 2 1 】

しかし、ノード N 1、N 2 が“ H ”レベルになっているので、N c h M O S トランジスタ M 1、M 2 によりリセット端子の電位の“ L ”レベルを維持することができる。

ノード N 1 は t 2 で“ H ”レベルになる。t 2 で入力端子 I N 1 の電位が V 2 まで低下している（電位 V 2 はインバータ回路 I N V 1 の閾値である。）。ノード N 2 は t 3 で“ H ”レベルになる。t 3 で入力端子 I N 1 が電位 V 3 まで低下している（電位 V 3 はインバータ回路 I N V 2 の閾値である。）。

次に N c h パワー M O S トランジスタの出力について説明する。

ノード N 1 の電位が“ H ”レベルになることで N c h M O S トランジスタ M 3 がオン状態になり、パワー M O S トランジスタ S W 2 のゲート電位が 0 V となり、N c h パワー M O S トランジスタ S W 2 がオフ状態になる。同様に、ノード N 2 の電位が“ H ”レベルになって N c h パワー M O S トランジスタ S W 3 がオフ状態になる。また、ノード N 1 またはノード N 2 の電位が“ H ”レベルになることで N c h パワー M O S トランジスタ S W 1 がオフ状態になる。

【 0 0 2 2 】

ここで、ゲートコントロール回路が N c h パワー M O S トランジスタ S W 1、S W 2、S W 3 を駆動する能力より N c h M O S トランジスタ M 3、M 4、M 5 の能力を十分大きくしておくことが好ましい。これは、時刻 t 2、t 3 で N c h M O S トランジスタ M 3、M 4 がオンするが、この時入力端子 I N 1 のレベルはまだ高く、入力端子 I N 1 のレベルがゲートコントロール回路を動作させうるだけの高さであると、ゲートコントロール回路から N c h M O S トランジスタ S W 1、S W 2、S W 3 を駆動できてしまう。その駆動力に打ち勝って N c h パワー M O S トランジスタ S W 1、S W 2、S W 3 をオフさせるためである。

【 0 0 2 3 】

〔実施例 2〕

図 3 は本発明に係るパワースイッチ I C の他の実施例を示すブロック図である。

図 3 に示したパワースイッチ I C と図 1 に示したパワースイッチ I C との相違点は、P c h M O S トランジスタを用いた点である。P c h M O S トランジスタと N c h M O S トランジスタとはゲート入力に対するオンオフが逆の特性を有するため、インバータ回路 I N V 1、I N V 2 の後段にそれぞれ第 5 のインバータ回路としてのインバータ回路 I N V 4、第 6 のインバータ回路としての I N V 5 が接続され、2 入力ノアゲート N O R 1 の後段にはインバータ回路を用いずに直接第 1 の電源側 P c h M O S トランジスタとしての P c h M O S トランジスタ M 5 のゲートが接続され、第 2 の電源側 P c h M O S トランジスタとしての P c h M O S トランジスタ M 3、第 3 の電源側 P c h M O S トランジスタとしての P c h M O S トランジスタ M 4、第 1 の電源側 P c h M O S トランジスタとしての P c h M O S トランジスタ M 5 のソースは接地されずに各 P c h パワー M O S トランジスタ S W 1、S W 2、S W 3 のソースに接続されている。

インバータ回路 $INV1$ 、 $INV2$ のゲート入力を入力端子 $IN1$ に入力される電源であり、入力端子 $IN1$ に入力される電源は、ゲートコントロール回路、異常検出回路、タイミングコントロール回路、インバータ回路 $INV0$ の電源となっており、 $PchMOS$ トランジスタ $M5$ のドレインに接続されている。 $PchMOS$ トランジスタ $M5$ のソースは Pch パワー MOS トランジスタ $SW1$ のソースに接続されている。 $PchMOS$ トランジスタ $M3$ 、 $M4$ のソースは接地されずにそれぞれ Pch パワー MOS トランジスタ $SW2$ 、 $SW3$ のゲートに接続されている。2入力ノアゲート回路 $NOR1$ の出力は $PchMOS$ トランジスタ $M5$ のゲートに接続されている。

図3に示すパワースイッチ IC も図1に示したパワースイッチ IC と同様の効果が得られる。

10

【0024】

〔効果〕

パワー MOS トランジスタへの電源入力のみ用い、その電源入力以外に制御回路用の電源入力を必要としないので、パワースイッチ IC の電源ピンの数が増加することがなく IC を安価に製造することができる。また、パワー MOS トランジスタのいずれかの電源入力がオフしたときに、リセット出力を機能させることや所望の電源入力をオフすることができる。また、ホストシステム（例えば、パソコンのマザーボード）の基板上にパワースイッチの制御回路用の電源を新たに用意する必要がないので、ホストシステムを安価に製造できる。さらに、 IC 自体の電源をパワー MOS の電源入力から取ることができるので、 IC 及びホストシステムにとってコストダウン及び IC パッケージが小さくなることによりスペースを縮小することができる。

20

【産業上の利用可能性】

【0025】

本発明は、Express Cardを搭載可能なパソコンに利用することができる。

【図面の簡単な説明】

【0026】

【図1】本発明に係るパワースイッチ IC の一実施例を示すブロック図である。

【図2】図1に示したパワースイッチ IC の動作を説明するためのタイミングチャートである。

【図3】本発明に係るパワースイッチ IC の他の実施例を示すブロック図である。

30

【図4】従来のパワー IC スイッチのブロック図である。

【符号の説明】

【0027】

$IN1 \sim IN3$ 入力端子

$INV0 \sim INV$ インバータ回路

$M1 \sim M5$ $NchMOS$ トランジスタ ($PchMOS$ トランジスタ)

$N1$ 、 $N2$ 、 $N4$ ノード

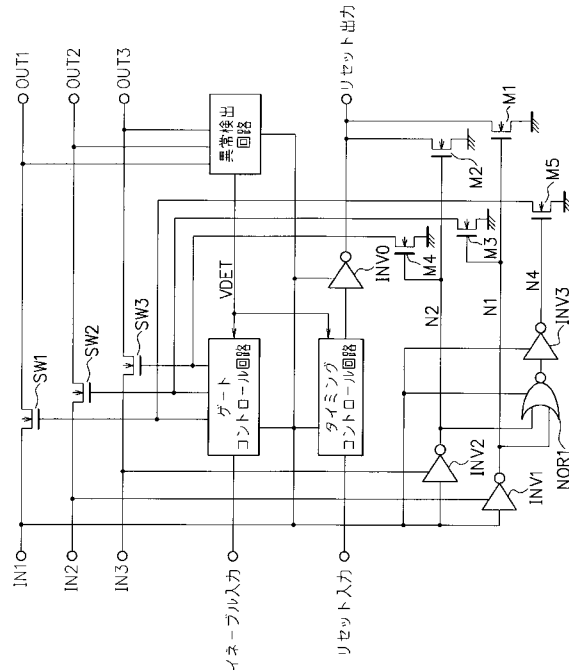
$NOR1$ 2入力ノアゲート

$OUT1 \sim OUT3$ 出力端子

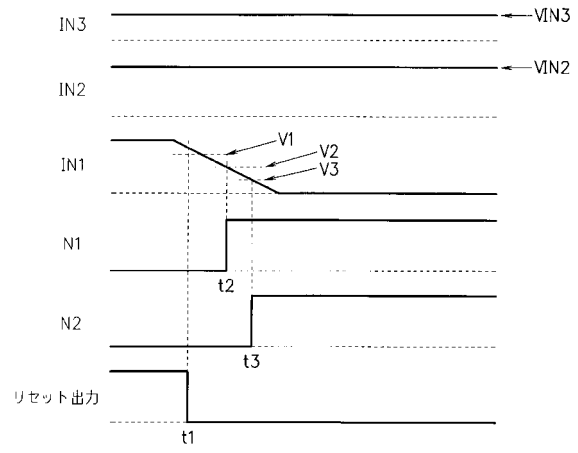
$SW1 \sim SW3$ Nch パワー MOS トランジスタ (Pch パワー MOS トランジスタ)

40

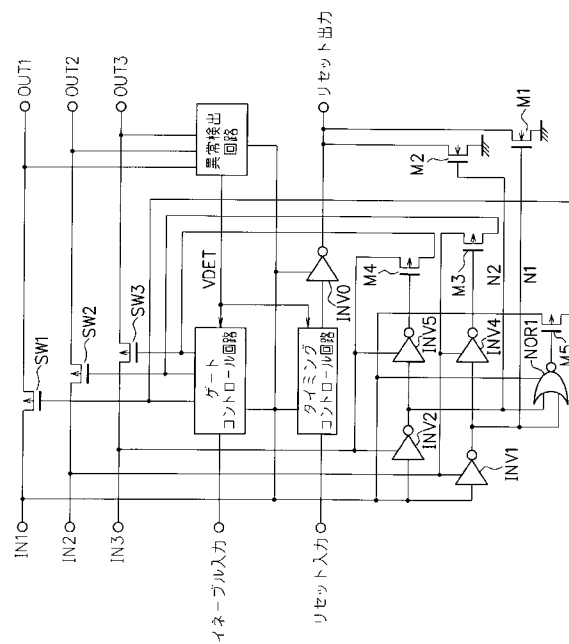
【図 1】



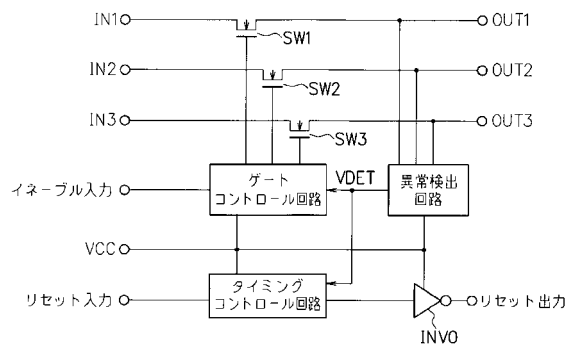
【図 2】



【図 3】



【図 4】



フロントページの続き

(56)参考文献 特開平 0 9 - 0 0 6 4 9 3 (J P , A)
特開 2 0 0 4 - 3 1 8 8 3 7 (J P , A)
特開 2 0 0 1 - 2 4 4 4 1 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 6 F 1 / 2 6 - 1 / 3 2
G 0 6 K 1 7 / 0 0