

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6126264号
(P6126264)

(45) 発行日 平成29年5月10日 (2017.5.10)

(24) 登録日 平成29年4月14日 (2017.4.14)

(51) Int.Cl.	F I
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 2 7 F
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 1 8 B
H O 5 B 33/10 (2006.01)	H O 1 L 29/78 6 1 9 A
H O 5 B 33/14 (2006.01)	H O 5 B 33/10
H O 1 L 51/50 (2006.01)	H O 5 B 33/14 Z
請求項の数 3 (全 70 頁) 最終頁に続く	

(21) 出願番号	特願2016-63111 (P2016-63111)	(73) 特許権者	000153878
(22) 出願日	平成28年3月28日 (2016.3.28)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2015-22063 (P2015-22063) の分割	(72) 発明者	山崎 舜平
原出願日	平成22年7月7日 (2010.7.7)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2016-157957 (P2016-157957A)		半導体エネルギー研究所内
(43) 公開日	平成28年9月1日 (2016.9.1)	(72) 発明者	大原 宏樹
審査請求日	平成28年3月29日 (2016.3.29)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2009-164197 (P2009-164197)		半導体エネルギー研究所内
(32) 優先日	平成21年7月10日 (2009.7.10)	(72) 発明者	坂田 淳一郎
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
		(72) 発明者	佐々木 俊成
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

基板上方に電極層を形成する工程と、
 前記電極層上方に絶縁層を形成する工程と、
 前記絶縁層上方に酸化物半導体層を形成する工程と、
 前記酸化物半導体層上方に酸化物絶縁層を形成する工程と、
 加熱処理を行うことにより、前記酸化物絶縁層中の酸素を前記酸化物半導体層に供給する工程と、
 前記加熱処理の後、酸素を導入した雰囲気下において、前記基板を冷却する工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 2】

請求項 1 において、
 前記加熱処理を行うことにより、前記酸化物半導体層の脱水化又は脱水素化を行うことを特徴とする半導体装置の作製方法。

【請求項 3】

請求項 1 又は 2 において、
 前記加熱処理は、酸素ガス雰囲気下、不活性ガス雰囲気下、又は減圧下において行うことを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

酸化物半導体を用いる半導体装置及びその作製方法に関する。

【 0 0 0 2 】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【 背景技術 】

【 0 0 0 3 】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百 nm 程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタは IC や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。また、金属酸化物の一例である酸化インジウムは、液晶ディスプレイなどで必要とされる透明電極材料として用いられている。

10

【 0 0 0 4 】

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛などがある。このような半導体特性を示す金属酸化物をチャネル形成領域とする薄膜トランジスタが既に知られている（特許文献 1 乃至 4、非特許文献 1）。

【 0 0 0 5 】

ところで、金属酸化物は一元系酸化物のみでなく多元系酸化物も知られている。例えば、ホモガス相を有する $\text{InGaO}_3(\text{ZnO})_m$ （ m ：自然数）は、In、Ga 及び Zn を有する多元系酸化物半導体（In-Ga-Zn-O 系酸化物ともいう。）として知られている（非特許文献 2 乃至 4）。

20

【 0 0 0 6 】

また、上記のような In-Ga-Zn-O 系酸化物で構成される酸化物半導体を薄膜トランジスタのチャネル層に適用可能であることが確認されている（特許文献 5、非特許文献 5 及び 6）。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【特許文献 1】特開昭 60-198861 号公報

30

【特許文献 2】特開平 8-264794 号公報

【特許文献 3】特表平 11-505377 号公報

【特許文献 4】特開 2000-150900 号公報

【特許文献 5】特開 2004-103957 号公報

【 非特許文献 】

【 0 0 0 8 】

【非特許文献 1】M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, 「A ferroelectric transparent thin-film transistor」、Appl. Phys. Lett.、17 June 1996、Vol. 68 p. 3650-3652

40

【非特許文献 2】M. Nakamura, N. Kimizuka, and T. Mohri, 「The Phase Relations in the In_2O_3 - Ga_2ZnO_4 - ZnO System at 1350 °C」、J. Solid State Chem.、1991、Vol. 93, p. 298-315

【非特許文献 3】N. Kimizuka, M. Isobe, and M. Nakamura, 「Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m = 3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_3$ 」

50

O)m (m = 7, 8, 9, and 16) in the In₂O₃-ZnGa₂O₄-ZnO System」、J. Solid State Chem.、1995、Vol. 116、p. 170 - 178

【非特許文献4】中村真佐樹、君塚昇、毛利尚彦、磯部光正、「ホモロガス相、InFeO₃(ZnO)_m (m: 自然数) とその同型化合物の合成および結晶構造」、固体物理、1993年、Vol. 28、No. 5、p. 317 - 327

【非特許文献5】K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono、「Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor」、SCIENCE、2003、Vol. 300、p. 1269 - 1272

【非特許文献6】K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono、「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」、NATURE、2004、Vol. 432 p. 488 - 492

【発明の概要】

【発明が解決しようとする課題】

【0009】

安定した電気特性を有する薄膜トランジスタを有する、信頼性のよい半導体装置を作製することを課題の一とする。

【課題を解決するための手段】

【0010】

チャネル形成領域を含む半導体層を酸化物半導体膜とする薄膜トランジスタを有する半導体装置の作製方法において、酸化物半導体膜の純度を高め、不純物である水分などを低減する加熱処理（脱水化または脱水素化のための加熱処理）を行う。また、酸化物半導体膜内だけでなく、ソース電極層、ドレイン電極層及びゲート絶縁層内に存在する水分などの不純物を加熱処理によって低減し、酸化物半導体膜とその上下に接して設けられる膜の界面に存在する水分などの不純物を加熱処理によって低減する。

【0011】

酸化物半導体層を形成し、酸化物半導体層に接して保護膜となる酸化物絶縁膜を形成した後に、脱水化または脱水素化のための加熱処理を行う。加熱処理は、窒素、酸素または希ガス（アルゴン、ヘリウムなど）の不活性気体雰囲気下、或いは減圧下での200 以上700 以下、好ましくは350 以上基板の歪み点未満の加熱処理を行い、ソース電極層、ドレイン電極層、ゲート絶縁層及び酸化物半導体膜の含有水分等を低減する。また、この加熱処理を行うことにより、酸化物半導体層に接して保護膜となる酸化物絶縁膜を形成する際に酸化物半導体層が受けるプラズマダメージを回復させることができる。また、この加熱処理を行うことにより、薄膜トランジスタの電気的特性のばらつきを軽減することができる。

【0012】

加熱処理によって膜中の含有水分等を低減させ、プラズマダメージを回復させた酸化物半導体層を用いて、薄膜トランジスタの電気特性を向上させるとともに、量産性と高性能の両方を備えた薄膜トランジスタを実現する。

【0013】

本明細書では、窒素、酸素、または希ガス（アルゴン、ヘリウムなど）の不活性気体雰囲気下、或いは減圧下での加熱処理を脱水化または脱水素化のための加熱処理と呼ぶ。本明細書では、この加熱処理によってH₂として脱離させていることのみを脱水素化と呼んでいるわけではなく、H、OHなどを脱離することを含めて脱水化または脱水素化と便宜上呼ぶこととする。

【0014】

なお、酸化物半導体層に接して保護膜となる酸化物絶縁膜は、水分や、水素イオンや、 OH^- などの不純物をブロックする無機絶縁膜を用いる。代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜または酸化窒化アルミニウム膜を用いる。また、酸化物絶縁膜の上に窒化珪素膜または窒化アルミニウム膜を積層してもよい。

【0015】

本明細書で開示する本発明の一態様は、耐熱性導電性材料を含むゲート電極層を形成し、ゲート電極層上にゲート絶縁層を形成し、ゲート絶縁層上に酸化物半導体層を形成し、酸化物半導体層上に、耐熱性導電性材料を含む、ソース電極層及びドレイン電極層を形成し、接続電極層をゲート電極層または、ソース電極層及びドレイン電極層と同じ工程で形成し、ゲート絶縁層、酸化物半導体層、接続電極層、ソース電極層及びドレイン電極層上に酸化物半導体層の一部と接する酸化物絶縁膜を形成し、酸化物絶縁膜を形成した後、酸化物半導体層を脱水化または脱水素化することを特徴とする半導体装置の作製方法である。

10

【0016】

上記構成は、上記課題の少なくとも一つを解決する。

【0017】

また、本発明の他の一態様は、絶縁表面を有する基板上に、耐熱性導電性材料を含むゲート電極層を形成し、ゲート電極層上にゲート絶縁層を形成し、ゲート絶縁層上に酸化物半導体層を形成し、酸化物半導体層上に、耐熱性導電性材料を含む、ソース電極層及びドレイン電極層を形成し、接続電極層をゲート電極層または、ソース電極層及びドレイン電極層と同じ工程で形成し、ゲート絶縁層、酸化物半導体層、接続電極層、ソース電極層及びドレイン電極層上に酸化物半導体層の一部と接する酸化物絶縁膜を形成し、酸化物絶縁膜を形成した後、酸化物半導体層を脱水化または脱水素化し、酸化物絶縁膜の一部を除去して、ソース電極層に達する第1のコンタクトホールと、接続電極層の両端部に達する第3のコンタクトホール及び第4のコンタクトホールとを形成し、酸化物絶縁膜及びゲート絶縁層の一部を除去して、ゲート電極層に達する第2のコンタクトホールを形成し、酸化物絶縁膜上に、第1のコンタクトホールを介してソース電極層と接続するソース配線と、第2のコンタクトホールを介してゲート電極層と接続し、第3のコンタクトホールを介して接続電極層と接続する第1のゲート配線と、第4のコンタクトホールを介して接続電極層と接続する第2のゲート配線とを形成することを特徴とする半導体装置の作製方法である。

20

30

【0018】

また、本発明の他の一態様は、絶縁表面を有する基板上に、耐熱性導電性材料を含むゲート電極層を形成し、ゲート電極層上にゲート絶縁層を形成し、ゲート絶縁層上に酸化物半導体層を形成し、酸化物半導体層上に、耐熱性導電性材料を含む、ソース電極層及びドレイン電極層を形成し、接続電極層をゲート電極層または、ソース電極層及びドレイン電極層と同じ工程で形成し、ゲート絶縁層、酸化物半導体層、接続電極層、ソース電極層及びドレイン電極層上に酸化物半導体層の一部と接する酸化物絶縁膜を形成し、酸化物絶縁膜を形成した後、酸化物半導体層を脱水化または脱水素化し、酸化物絶縁膜の一部を除去して、ソース電極層に達する第1のコンタクトホールと、接続電極層の両端部に達する第3のコンタクトホール及び第4のコンタクトホールとを形成し、酸化物絶縁膜及びゲート絶縁層の一部を除去して、ゲート電極層に達する第2のコンタクトホールを形成し、酸化物絶縁膜上に、第1のコンタクトホールを介してソース電極層と接続し、第3のコンタクトホールを介して接続電極層と接続する第1のソース配線と、第4のコンタクトホールを介して接続電極層と接続する第2のソース配線と、第2のコンタクトホールを介してゲート電極層と接続するゲート配線とを形成することを特徴とする半導体装置の作製方法である。

40

【0019】

上記作製方法の構成において、脱水化または脱水素化は窒素雰囲気、酸素雰囲気、または希ガス雰囲気、或いは減圧下の加熱であることが好ましく、酸化物半導体層を、350

50

以上基板の歪み点未満の温度で加熱することがさらに好ましい。加熱後は徐冷することが好ましい。

【0020】

また、耐熱性導電性材料として、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素、または元素を成分とする合金、または元素を成分とする窒化物のいずれかを単層または積層で用いることが好ましい。また、ソース配線及びゲート配線を、ソース電極層及びドレイン電極層より抵抗率の低い低抵抗導電性材料を用いて形成することが好ましい。また、低抵抗導電性材料として、アルミニウムまたは銅を用いることが好ましい。

【0021】

また、本発明の他の一態様は、絶縁表面を有する基板上に、第1のマスクを用いて形成されたゲート電極層と、ゲート電極層上にゲート絶縁層と、ゲート絶縁層上に第2のマスクを用いて形成された酸化半導体層と、酸化半導体層上に、第3のマスクを用いて形成されたソース電極層及びドレイン電極層と、ゲート電極層、またはソース電極層及びドレイン電極層と同じ層に形成された接続電極層と、ゲート絶縁層、酸化半導体層、ソース電極層及びドレイン電極層を覆い、且つ、酸化半導体層の一部と接する酸化絶縁膜と、酸化絶縁膜上に第4のマスクを用いて形成されたゲート配線、第1のソース配線及び第2のソース配線とを有し、第1のソース配線は、ソース電極層と電気的に接続し、ゲート配線は、ゲート電極層と電気的に接続し、第1のソース配線及び第2のソース配線は、接続電極層と電気的に接続し、接続電極層は、酸化絶縁膜を介してゲート配線と重なる半導体装置である。ここでマスクとは、フォトリソマスクのことを指す。

【0022】

また、本発明の他の一態様は、絶縁表面を有する基板上に、第1のマスクを用いて形成されたゲート電極層と、ゲート電極層上にゲート絶縁層と、ゲート絶縁層上に第2のマスクを用いて形成された酸化半導体層と、酸化半導体層上に、第3のマスクを用いて形成されたソース電極層及びドレイン電極層と、ゲート電極層、またはソース電極層及びドレイン電極層と同じ層に形成された接続電極層と、ゲート絶縁層、酸化半導体層、ソース電極層及びドレイン電極層を覆い、且つ、酸化半導体層の一部と接する酸化絶縁膜と、酸化絶縁膜上に第4のマスクを用いて形成されたゲート配線、第1のソース配線及び第2のソース配線とを有し、第1のソース配線は、ソース電極層と電気的に接続し、ゲート配線は、ゲート電極層と電気的に接続し、第1のソース配線及び第2のソース配線は、接続電極層と電気的に接続し、接続電極層は、酸化絶縁膜を介してゲート配線と重なる半導体装置である。ここでマスクとは、フォトリソマスクのことを指す。

【0023】

上記半導体装置の構成において、ゲート電極層、接続電極層、ソース電極層及びドレイン電極層は、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素、または元素を成分とする合金、または元素を成分とする窒化物のいずれかを単層または積層で用いることが好ましい。また、ソース配線及びゲート配線は、ソース電極層及びドレイン電極層より抵抗率の低い低抵抗導電性材料であることが好ましく、アルミニウムまたは銅であることがさらに好ましい。

【0024】

本明細書中で用いる酸化半導体は、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される薄膜を形成し、その薄膜を酸化半導体層として用いた薄膜トランジスタを作製する。ただし、 m は必ずしも整数にはならない。なお、 M は、 Ga 、 Fe 、 Ni 、 Mn 及び Co から選ばれた一の金属元素または複数の金属元素を示す。例えば M として、 Ga の場合があるものの他、 Ga と Ni または Ga と Fe など、 Ga 以外の上記金属元素が含まれる場合がある。また、上記酸化半導体において、 M として含まれる金属元素の他に、不純物元素として Fe 、 Ni その他の遷移金属元素、または該遷移金属の酸化物が含まれているものがある。本明細書においては、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される構造の酸化半導体層のうち、 M として Ga を含む構造の酸化半導体を In-Ga-Zn-O 系

10

20

30

40

50

酸化物半導体とよび、その薄膜を In-Ga-Zn-O 系非単結晶膜とも呼ぶ。

【0025】

また、酸化物半導体層に適用する酸化物半導体として上記の他にも、 In-Sn-Zn-O 系、 In-Al-Zn-O 系、 Sn-Ga-Zn-O 系、 Al-Ga-Zn-O 系、 Sn-Al-Zn-O 系、 In-Zn-O 系、 Sn-Zn-O 系、 Al-Zn-O 系、 In-O 系、 Sn-O 系、 Zn-O 系の酸化物半導体を適用することができる。また上記酸化物半導体層に酸化珪素を含ませてもよい。酸化物半導体層に結晶化を阻害する酸化珪素 (SiO_x ($x > 0$)) を含ませることで、製造プロセス中において酸化物半導体層の形成後に加熱処理した場合に、結晶化してしまうのを抑制することができる。なお、酸化物半導体層は非晶質な状態であることが好ましく、一部結晶化していてもよい。

10

【0026】

また、加熱処理の条件または酸化物半導体層の材料によっては、酸化物半導体層が非晶質な状態から微結晶状態または多結晶状態となる場合もある。

【0027】

また、薄膜トランジスタは静電気などにより破壊されやすいため、ゲート配線またはソース配線に対して、駆動回路保護用の保護回路を同一基板上に設けることが好ましい。保護回路は、酸化物半導体を用いた非線形素子を用いて構成することが好ましい。

【0028】

また、ゲート絶縁層、及び酸化物半導体膜を大気に触れさせることなく連続的に処理（連続処理、インサイチュ (*in situ*) 工程、連続成膜とも呼ぶ）してもよい。大気に触れさせることなく連続処理することで、ゲート絶縁層と酸化物半導体膜の界面が、水やハイドロカーボンなどの、大気成分や大気中に浮遊する不純物に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

20

【0029】

本明細書中で連続処理とは、 PCVD 法またはスパッタリング法で行う第1の処理工程から PCVD 法またはスパッタリング法で行う第2の処理工程までの一連のプロセス中、被処理基板の置かれている雰囲気が大気等の汚染雰囲気に触れることなく、常に真空中または不活性ガス雰囲気（窒素雰囲気または希ガス雰囲気）で制御されていることを言う。連続処理を行うことにより、清浄化された被処理基板の水分等の再付着を回避して成膜などの処理を行うことができる。

30

【0030】

同一チャンバー内で第1の処理工程から第2の処理工程までの一連のプロセスを行うことは本明細書における連続処理の範囲にあるとする。

【0031】

また、異なるチャンバーで第1の処理工程から第2の処理工程までの一連のプロセスを行う場合、第1の処理工程を終えた後、大気にふれることなくチャンバー間を基板搬送して第2の処理を施すことも本明細書における連続処理の範囲にあるとする。

【0032】

なお、第1の処理工程と第2の処理工程の間に、基板搬送工程、アライメント工程、徐冷工程、または第2の工程に必要な温度とするため基板を加熱または冷却する工程等を有しても、本明細書における連続処理の範囲にあるとする。

40

【0033】

ただし、洗浄工程、ウェットエッチング、レジスト形成といった液体を用いる工程が第1の処理工程と第2の処理工程の間にある場合、本明細書でいう連続処理の範囲には当てはまらないとする。

【発明の効果】

【0034】

安定した電気特性を有する薄膜トランジスタを作製することができる。また、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を作製することができる。

50

【図面の簡単な説明】

【 0 0 3 5 】

【図 1】本発明の一態様を示す作製工程の断面図である。
 【図 2】本発明の一態様を示す作製工程の平面図である。
 【図 3】本発明の一態様を示す半導体装置を説明する図である。
 【図 4】本発明の一態様を示す作製工程の断面図である。
 【図 5】本発明の一態様を示す作製工程の平面図である。
 【図 6】本発明の一態様を示す半導体装置を説明する図である。
 【図 7】本発明の一態様を示す半導体装置の作製方法を説明する断面図。
 【図 8】本発明の一態様を示す半導体装置の作製方法を説明する断面図。
 【図 9】本発明の一態様を示す半導体装置の作製方法を説明する断面図。
 【図 10】本発明の一態様を示す半導体装置の作製方法を説明する平面図。
 【図 11】本発明の一態様を示す半導体装置の作製方法を説明する平面図。
 【図 12】本発明の一態様を示す半導体装置の作製方法を説明する平面図。
 【図 13】本発明の一態様を示す半導体装置の作製方法を説明する平面図。
 【図 14】本発明の一態様を示す半導体装置を説明する図。

10

【図 15】電気炉の断面図を示す図である。
 【図 16】電気炉の断面図を示す図である。
 【図 17】本発明の一態様を示す半導体装置を説明する図である。
 【図 18】本発明の一態様を示す半導体装置を説明する図である。
 【図 19】本発明の一態様を示す半導体装置を説明する図である。
 【図 20】本発明の一態様を示す半導体装置を説明する図である。
 【図 21】本発明の一態様を示す半導体装置を説明する図である。
 【図 22】表示装置のブロック図を説明する図。
 【図 23】信号線駆動回路の構成を説明する図。
 【図 24】シフトレジスタの構成を示す回路図。
 【図 25】シフトレジスタの等価回路を示す図及び該シフトレジスタの動作を説明するタイミングチャート。

20

【図 26】半導体装置を説明する図。
 【図 27】半導体装置を説明する図。
 【図 28】半導体装置を説明する図。
 【図 29】半導体装置の画素等価回路を説明する図。
 【図 30】半導体装置を説明する図。
 【図 31】半導体装置を説明する図。
 【図 32】電子書籍の一例を示す外観図。
 【図 33】テレビジョン装置およびデジタルフォトフレームの例を示す外観図。
 【図 34】遊技機の例を示す外観図。
 【図 35】携帯型のコンピュータおよび携帯電話機の一例を示す外観図。

30

【発明を実施するための形態】

【 0 0 3 6 】

40

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 3 7 】

(実施の形態 1)

図 3 (A) は半導体装置の有する薄膜トランジスタ 4 6 1 の平面図であり、図 3 (B) は図 3 (A) の線 C 1 - C 2 における断面図である。薄膜トランジスタ 4 6 1 は逆スタガ型の薄膜トランジスタであり、絶縁表面を有する基板である基板 4 0 0 上にゲート電極層 4 0 1 が設けられ、ゲート電極層 4 0 1 の上にゲート絶縁層 4 0 2 が設けられ、ゲート絶縁

50

層 4 0 2 の上に酸化物半導体層 4 0 3 が設けられ、酸化物半導体層 4 0 3 の上にソース電極層またはドレイン電極層 4 0 5 a、4 0 5 b が設けられている。また、ゲート絶縁層 4 0 2、酸化物半導体層 4 0 3、ソース電極層 4 0 5 a 及びドレイン電極層 4 0 5 b を覆い、酸化物半導体層 4 0 3 の一部と接する酸化物絶縁膜 4 0 7 が設けられている。

【 0 0 3 8 】

また、酸化物絶縁膜 4 0 7 には、ソース電極層 4 0 5 a に達する第 1 のコンタクトホール 4 2 1 と、ゲート電極層 4 0 1 に達する第 2 のコンタクトホール 4 2 2 と、接続電極層 4 2 0 の両端部に達する第 3 のコンタクトホール 4 2 3 及び第 4 のコンタクトホール 4 2 4 が設けられている。ここで、本実施の形態では、ソース配線及びゲート配線を同じ層に形成するので、第 1 のゲート配線 4 2 6 と第 2 のゲート配線 4 2 7 は、ソース配線 4 2 5 を挟むように形成される。第 1 のゲート配線 4 2 6 と第 2 のゲート配線 4 2 7 は、ソース配線 4 2 5 と重なるように形成された接続電極層 4 2 0 を介して電氣的に接続される。ここで、ソース配線 4 2 5 は、第 1 のコンタクトホール 4 2 1 を介してソース電極層 4 0 5 a と電氣的に接続される。また、第 1 のゲート配線 4 2 6 は、第 2 のコンタクトホール 4 2 2 を介してゲート電極層 4 0 1 と電氣的に接続される。また、第 1 のゲート配線 4 2 6 及び第 2 のゲート配線 4 2 7 は、第 3 のコンタクトホール 4 2 3 及び第 4 のコンタクトホール 4 2 4 を介して接続電極層 4 2 0 と電氣的に接続される。また、ソース配線 4 2 5、第 1 のゲート配線 4 2 6 及び第 2 のゲート配線 4 2 7 は酸化物半導体層 4 0 3 の外周部より外側に延在している。

【 0 0 3 9 】

酸化物半導体層 4 0 3 は、酸化物半導体層 4 0 3 に接して保護膜として機能する酸化物絶縁膜 4 0 7 の形成後に不純物である水分などを低減する加熱処理（脱水化または脱水素化のための加熱処理）が行われる。

【 0 0 4 0 】

また、酸化物半導体層 4 0 3 内だけでなく、ゲート絶縁層 4 0 2、ソース電極層 4 0 5 a 及びドレイン電極層 4 0 5 b 内、及び酸化物半導体層 4 0 3 とその上下に接して設けられる膜との界面、具体的にはゲート絶縁層 4 0 2 と酸化物半導体層 4 0 3 の界面、及び酸化物絶縁膜 4 0 7 と酸化物半導体層 4 0 3 の界面に存在する水分などの不純物を低減する。加熱処理によって酸化物半導体層 4 0 3 内の含有水分等を低減させることで、薄膜トランジスタの電気特性を向上させることができる。

【 0 0 4 1 】

また、この加熱処理により酸化物半導体層 4 0 3 において、酸化物絶縁膜 4 0 7 を形成する際に酸化物半導体層 4 0 3 が受けるプラズマダメージが回復されている。

【 0 0 4 2 】

ゲート電極層 4 0 1、接続電極層 4 2 0、ソース電極層またはドレイン電極層 4 0 5 a、4 0 5 b は、耐熱性導電性材料を含むことが好ましい。耐熱性導電性材料としては、チタン、タンタル、タングステン、モリブデン、クロム、ネオジウム、スカンジウムから選ばれた元素、または元素を成分とする合金、または元素を成分とする窒化物のいずれかを用いることができる。また、ゲート電極層 4 0 1、接続電極層 4 2 0、ソース電極層またはドレイン電極層 4 0 5 a、4 0 5 b は、チタン、タンタル、タングステン、モリブデン、クロム、ネオジウム、スカンジウムから選ばれた元素、または元素を成分とする合金、または元素を成分とする窒化物のいずれかの積層構造としてもよい。例えば、第 1 層目に窒化タングステン、第 2 層目にタングステンという組み合わせや、第 1 層目に窒化モリブデン、第 2 層目にタングステンという組み合わせや、第 1 層目に窒化チタン、第 2 層目にチタンという組み合わせにすればよい。

【 0 0 4 3 】

また、接続電極層 4 2 0、ソース電極層またはドレイン電極層 4 0 5 a、4 0 5 b に用いる耐熱性導電性材料としては、インジウム、スズまたは亜鉛のいずれかを含む透明導電性酸化物を用いてもよい。例えば、酸化インジウム（ In_2O_3 ）や酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITO と略記する）を用いるのが好ましい。また、透明

導電性酸化物に酸化シリコンのような絶縁性酸化物を加えた物を用いてもよい。

【 0 0 4 4 】

透明導電性酸化物に酸化シリコンのような絶縁性酸化物を含ませることにより、該透明導電性酸化物の結晶化を抑制し、非晶質構造とすることができる。透明導電性酸化物の結晶化を抑制し、非晶質構造とすることにより、加熱処理を行っても、透明導電性酸化物の結晶化又は微結晶粒の生成を防ぐことができる。

【 0 0 4 5 】

ゲート電極層 4 0 1、接続電極層 4 2 0、ソース電極層またはドレイン電極層 4 0 5 a、4 0 5 b に上記のような耐熱性導電材料を含ませることにより、ゲート電極層 4 0 1、接続電極層 4 2 0、ソース電極層またはドレイン電極層 4 0 5 a、4 0 5 b は、酸化物絶縁膜 4 0 7 形成後に行う加熱処理に耐えることができる。

10

【 0 0 4 6 】

ソース配線 4 2 5、第 1 のゲート配線 4 2 6 及び第 2 のゲート配線 4 2 7 は、ソース電極層 4 0 5 a 及びドレイン電極層 4 0 5 b より抵抗率の低い低抵抗導電性材料であることが好ましく、特にアルミニウムまたは銅が好ましい。ソース配線 4 2 5、第 1 のゲート配線 4 2 6 及び第 2 のゲート配線 4 2 7 として低抵抗導電性材料を用いることによって、配線抵抗の低減等を図ることができる。

【 0 0 4 7 】

アルミニウムまたは銅などの低抵抗導電性材料は、耐熱性が低い、上記のように、酸化物絶縁膜形成後の加熱処理の後にソース配線 4 2 5、第 1 のゲート配線 4 2 6 及び第 2 のゲート配線 4 2 7 を設けることにより、ソース配線 4 2 5、第 1 のゲート配線 4 2 6 及び第 2 のゲート配線 4 2 7 に上記のような低抵抗導電性材料を使用することができる。

20

【 0 0 4 8 】

チャネル形成領域を含む酸化物半導体層 4 0 3 としては、半導体特性を有する酸化物材料を用いればよく、代表的には、In - Ga - Zn - O 系非単結晶を用いる。

【 0 0 4 9 】

また、図 3 (C) に示すように、第 1 のソース配線 4 2 8 と第 2 のソース配線 4 2 9 が、ゲート配線 4 3 0 を挟むように形成され、ゲート配線 4 3 0 と重なるように形成された接続電極層 4 2 0 を介して電氣的に接続されるようにしても良い。ここで、第 1 のソース配線 4 2 8 は、第 1 のコンタクトホール 4 2 1 を介してソース電極層 4 0 5 a と電氣的に接続される。また、ゲート配線 4 3 0 は、第 2 のコンタクトホール 4 2 2 を介してゲート電極層 4 0 1 と電氣的に接続される。また、第 1 のソース配線 4 2 8 及び第 2 のソース配線 4 2 9 は、接続電極層 4 2 0 の両端部に達する第 3 のコンタクトホール 4 2 3 及び第 4 のコンタクトホール 4 2 4 を介して接続電極層 4 2 0 と電氣的に接続される。他の部分に関しては、上述した図 3 (A) 及び図 3 (B) に示す薄膜トランジスタと同様である。

30

【 0 0 5 0 】

また、図 3 (D) に示すように、ソース電極層 4 0 5 a がゲート配線 4 3 0 と重なるように形成され、第 1 のソース配線 4 2 8 と第 2 のソース配線 4 2 9 が、ソース電極層 4 0 5 a を介して電氣的に接続されるようにしても良い。ここで、第 1 のソース配線 4 2 8 は、第 1 のコンタクトホール 4 2 1 を介してソース電極層 4 0 5 a と電氣的に接続される。第 2 のソース配線 4 2 9 は、ソース電極層 4 0 5 a 上に設けられた第 3 のコンタクトホール 4 9 0 を介してソース電極層 4 0 5 a と電氣的に接続される。他の部分に関しては、上述した図 3 (C) に示す薄膜トランジスタと同様である。

40

【 0 0 5 1 】

図 3 (A) 及び図 3 (B) に示す薄膜トランジスタ 4 6 1 の作製工程の断面図を図 1 (A) 乃至図 1 (E) に、作製工程の平面図を図 2 (A) 乃至図 2 (D) に示す。

【 0 0 5 2 】

まず、絶縁表面を有する基板である基板 4 0 0 上に、フォトリソグラフィ工程によりゲート電極層 4 0 1 を設ける。

【 0 0 5 3 】

50

使用することができるガラス基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。透光性を有する基板 400 にはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0054】

また、基板 400 としては、後の加熱処理の温度が高い場合には、歪み点が 730 以上のものを用いると良い。また、基板 400 には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられる。なお、ホウ酸と比較して酸化バリウム (BaO) を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いることが

10

【0055】

なお、上記の基板 400 に代えて、セラミック基板、石英ガラス基板、石英基板、サファイア基板などの絶縁体でなる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。

【0056】

下地膜となる絶縁膜を基板 400 とゲート電極層 401 の間に設けてもよい。下地膜は、基板 400 からの不純物元素の拡散を防止する機能があり、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、または酸化窒化珪素膜から選ばれた一または複数の膜による積層構造により形成することができる。

20

【0057】

後の工程で加熱処理を行うため、ゲート電極層 401 の材料は、耐熱性導電性材料を含むことが好ましい。耐熱性導電性材料としては、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素、または元素を成分とする合金、または元素を成分とする窒化物のいずれかを用いることができる。また、ゲート電極層 401 は、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素、または元素を成分とする合金、または元素を成分とする窒化物のいずれかの単層または積層構造としてもよい。例えば、第 1 層目に窒化タングステン、第 2 層目にタングステンという組み合わせや、第 1 層目に窒化モリブデン、第 2 層目にタングステンという組み合わせや、第 1 層目に窒化チタン、第 2 層目にチタンという組み合わせにしてもよい。ただし、ゲート電極層 401 の材料は、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが好ましい。

30

【0058】

また、このとき、ゲート電極層 401 と同時に、後の工程でソース電極層 405a 及びドレイン電極層 405b と同時に形成する接続電極層 420 を形成してもよい。その場合、ソース電極層 405a 及びドレイン電極層 405b を形成する際に接続電極層 420 を形成しなくてもよい。

【0059】

次いで、ゲート電極層 401 上にゲート絶縁層 402 を形成する。

【0060】

ゲート絶縁層は、プラズマ CVD 法またはスパッタリング法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層または窒化酸化珪素層を単層でまたは積層して形成することができる。例えば、成膜ガスとして、 SiH_4 、酸素及び窒素を用いてプラズマ CVD 法により酸化窒化珪素層を形成すればよい。

40

【0061】

次いで、ゲート絶縁層 402 上に、酸化物半導体膜を形成する。

【0062】

なお、酸化物半導体膜をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層 402 の表面に付着している成膜時に発生する粉状物質 (パーティクル、ごみともいう) を除去することが好ましい。逆ス

50

パッタとは、アルゴン雰囲気下で基板にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。

【0063】

酸化物半導体膜は、In-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタリング法により成膜する。また、酸化物半導体膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス（代表的にはアルゴン）及び酸素雰囲気下においてスパッタリング法により形成することができる。

【0064】

ゲート絶縁層402、及び酸化物半導体膜を大気に触れさせることなく連続的に形成してもよい。大気に触れさせることなく成膜することで、界面が、水やヒドロカーボンなどの、大気成分や大気中に浮遊する不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

【0065】

フォトリソグラフィ工程により、酸化物半導体膜を島状の酸化物半導体層に加工する。

【0066】

次いで、ゲート絶縁層402、及び酸化物半導体層上に第1の導電膜を形成する。

【0067】

後の工程で加熱処理を行うため、第1の導電膜の材料は、耐熱性導電性材料を含むことが好ましい。耐熱性導電性材料としては、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素、または元素を成分とする合金、または元素を成分とする窒化物のいずれかを用いることができる。また、第1の導電膜は、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素、または元素を成分とする合金、または元素を成分とする窒化物のいずれかの単層または積層構造としてもよい。例えば、第1層目に窒化タングステン、第2層目にタングステンという組み合わせや、第1層目に窒化モリブデン、第2層目にタングステンという組み合わせや、第1層目に窒化チタン、第2層目にチタンという組み合わせにしてもよい。ただし、第1の導電膜の材料は、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが好ましい。

【0068】

また、第1の導電膜に用いる耐熱性導電性材料としては、インジウム、スズまたは亜鉛のいずれかを含む透明導電性酸化物を用いてもよい。例えば、酸化インジウム(In_2O_3)や酸化インジウム酸化スズ合金($\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITOと略記する)を用いるのが好ましい。また、透明導電性酸化物に酸化シリコンのような絶縁性酸化物を加えた物を用いてもよい。

【0069】

透明導電性酸化物に酸化シリコンのような絶縁性酸化物を含ませることにより、該透明導電性酸化物の結晶化を抑制し、非晶質構造とすることができる。透明導電性酸化物の結晶化を抑制し、非晶質構造とすることにより、加熱処理を行っても、透明導電性酸化物の結晶化又は微結晶粒の生成を防ぐことができる。

【0070】

フォトリソグラフィ工程により、酸化物半導体層及び第1の導電膜を、酸化物半導体層432、ソース電極層またはドレイン電極層405a、405b、及び接続電極層420を形成する(図1(A)及び図2(A)参照。)。なお、酸化物半導体層は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層432となる。

【0071】

また、ゲート電極層401と同時に接続電極層420を形成した場合、接続電極層420を形成しなくてもよい。また、図3(D)に示すような構造とする場合も、接続電極層420を形成しなくてもよい。

10

20

30

40

50

【0072】

ゲート絶縁層402、酸化物半導体層432、ソース電極層405a及びドレイン電極層405bを覆い、酸化物半導体層432の一部と接する酸化物絶縁膜407を形成する(図1(B)参照)。酸化物絶縁膜407は、少なくとも1nm以上の膜厚とし、CVD法、スパッタリング法など、酸化物絶縁膜407に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。ここでは、酸化物絶縁膜407は、スパッタリング法を用いて形成する。酸化物半導体層432の一部と接して形成される酸化物絶縁膜407は、水分や、水素イオンや、 OH^- などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜又は酸化窒化アルミニウム膜を用いる。また、酸化物絶縁膜407の上に接して窒化珪素膜又は窒化アルミニウム膜を積層してもよい。窒化珪素膜は水分や、水素イオンや、 OH^- などの不純物を含まず、これらが外部から侵入することをブロックする。

10

【0073】

また、後で行う加熱処理後に酸素雰囲気下で徐冷することによって酸化物半導体層の表面近傍に酸素を高濃度に含む領域を形成でき、酸化物半導体層を十分に高抵抗化できる場合には、酸化物絶縁膜407に代えて窒化珪素膜を形成してもよい。例えば、基板の温度が加熱時の最高温度から少なくとも50 ~ 100 程度低くなるまで徐冷すれば良い。

【0074】

本実施の形態では、酸化物絶縁膜407として膜厚300nmの酸化珪素膜を成膜する。成膜時の基板温度は、室温以上300 以下とすればよく、本実施の形態では100 とする。酸化珪素膜のスパッタリング法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガス(代表的にはアルゴン)及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び酸素雰囲気下でスパッタリング法により酸化珪素膜を形成することができる。

20

【0075】

次いで、ソース電極層405a、ドレイン電極層405b、ゲート絶縁層402、酸化物絶縁膜407及び酸化物半導体層432に酸素ガス雰囲気下、不活性ガス雰囲気(窒素、またはヘリウム、ネオン、アルゴン等)下或いは減圧下において加熱処理を行って、酸化物半導体層403を形成する。(図1(C)及び図2(B)参照)。加熱処理の温度は、200 以上700 以下、好ましくは350 以上基板400の歪み点未満とする。ソース電極層405a、ドレイン電極層405b、ゲート絶縁層402、酸化物絶縁膜407及び酸化物半導体層403を上記雰囲気下で加熱処理することで、ソース電極層405a、ドレイン電極層405b、ゲート絶縁層402、酸化物半導体層403及び酸化物半導体層403とその上下に接して設けられる膜との界面に含まれる水素及び水などの不純物を除去することができる。加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶膜または多結晶膜となる場合もある。

30

【0076】

酸化物半導体層432に接して保護膜となる酸化物絶縁膜407を形成する際に、酸化物半導体層432がプラズマダメージを受ける危険性があるが、この加熱処理を行うことにより、酸化物半導体層432が受けたプラズマダメージを回復させることができる。

40

【0077】

また、この熱処理によって、酸化物絶縁膜407中の酸素が固相拡散によって、酸化物半導体層403に供給される。よって、酸化物半導体層403が高抵抗化されるので、電気特性が良好で信頼性のよい薄膜トランジスタを作製することができる。

【0078】

また、この加熱処理を行うことにより、薄膜トランジスタの電気的特性のばらつきを軽減することができる。

【0079】

50

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。また、加熱処理後は、酸素雰囲気下で徐冷することが好ましい。例えば、基板の温度が加熱時の最高温度から少なくとも50～100程度低くなるまで徐冷すれば良い。

【0080】

また、加熱処理は、電気炉を用いた加熱方法、加熱した気体を用いるGRTA(Gas Rapid Thermal Anneal)法またはランプ光を用いるLRTA(Lamp Rapid Thermal Anneal)法などの瞬間加熱方法などを用いることができる。

10

【0081】

ここで、ソース電極層405a、ドレイン電極層405b、ゲート絶縁層402、酸化物絶縁膜407及び酸化物半導体層432の加熱処理の一形態として、電気炉601を用いた加熱方法について、図15を用いて説明する。

【0082】

図15は、電気炉601の概略図である。チャンバー602の外側にはヒーター603が設けられており、チャンバー602を加熱する。また、チャンバー602内には、基板604を搭載するサセプター605が設けられており、チャンバー602内に基板604を搬入または搬出する。また、チャンバー602にはガス供給手段606及び排気手段607が設けられている。ガス供給手段606により、チャンバー602にガスを導入する。また、排気手段607により、チャンバー602内を排気する、またはチャンバー602内を減圧にする。なお、電気炉601の昇温特性を0.1/min以上20/min以下とすることが好ましい。また、電気炉601の降温特性を0.1/min以上15/min以下とすることが好ましい。

20

【0083】

ガス供給手段606は、ガス供給源611a、ガス供給源611b、圧力調整弁612a、圧力調整弁612b、精製器613a、精製器613b、マスフローコントローラ614a、マスフローコントローラ614b、ストップバルブ615a、ストップバルブ615bを有する。本実施の形態では、ガス供給源611a、ガス供給源611bとチャンバー602の間に精製器613a、精製器613bを設けることが好ましい。精製器613a、精製器613bを設けることで、ガス供給源611a、ガス供給源611bからチャンバー602内に導入されるガスの、水、水素などの不純物を、当該精製器613a、精製器613bによって除去することで、チャンバー602内への水、水素などの侵入を低減することができる。

30

【0084】

本実施の形態では、ガス供給源611a、ガス供給源611bから、窒素または希ガスをチャンバー602に導入し、チャンバー内を酸素、窒素または希ガス雰囲気とし、200以上700以下、好ましくは350以上基板400の歪み点未満に加熱されたチャンバー602において、基板400上に形成された酸化物半導体層432を加熱することで、酸化物半導体層432の脱水化または脱水素化を行うことができる。

40

【0085】

または、排気手段によって減圧下で、200以上700以下、好ましくは350以上基板400の歪み点未満に加熱されたチャンバー602において、基板400上に形成された酸化物半導体層432を加熱することで、酸化物半導体層432の脱水化または脱水素化を行うことができる。

【0086】

次に、ガス供給源611aから、窒素または希ガスをチャンバー602への導入を止めると共に、ヒーターをオフ状態にする。次に、ガス供給源611bから酸素をチャンバー6

50

02内に導入し、加熱装置のチャンバー602を徐々に冷却する。即ち、チャンバー602内を酸素雰囲気とし、基板604を徐々に冷却する。ここでは、ガス供給源611bからチャンバー602内に導入する酸素に、水、水素などの不純物が含まれないことが好ましい。または、ガス供給源611bからチャンバー602内に導入する酸素の純度を6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち、酸素中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0087】

この結果、後に形成される薄膜トランジスタの信頼性を高めることができる。

【0088】

なお、減圧下で加熱処理を行った場合は、加熱処理後にチャンバー602に酸素を流して圧力を大気圧に戻して冷却すればよい。

【0089】

また、ガス供給源611bから酸素をチャンバー602に導入すると同時に、ヘリウム、ネオン、アルゴンなどの希ガスまたは窒素の一方または両方をチャンバー602内に導入してもよい。

【0090】

また、加熱装置のチャンバー602内の基板604を300℃まで冷却した後、基板604を室温の雰囲気に移動してもよい。この結果、基板604の冷却時間を短縮することができる。

【0091】

また、加熱装置がマルチチャンバーの場合、加熱処理と冷却処理を異なるチャンバーで行うことができる。代表的には、酸素、窒素または希ガスが充填され、且つ200℃以上700℃以下、好ましくは350℃以上基板400の歪み点未満に加熱された第1のチャンバーにおいて、基板上の酸化物半導体層を加熱する。次に、窒素または希ガスが導入された搬送室を経て、酸素が充填され、且つ100℃以下、好ましくは室温である第2のチャンバーに、上記加熱処理された基板を移動し、冷却処理を行う。以上の工程により、スループットを向上させることができる。

【0092】

また、不活性ガス雰囲気下或いは減圧下の加熱処理後の酸化物半導体層432の状態は、非晶質な状態であることが好ましいが、一部結晶化してもよい。

【0093】

以上のように、酸化物半導体層に接して保護膜となる酸化物絶縁膜形成後の加熱処理を行うことによってソース電極層、ドレイン電極層、ゲート絶縁層、酸化物絶縁膜及び酸化物半導体層内に含まれる不純物(H₂O、H、OHなど)を低減することができる。また、上記加熱処理を行うことにより、酸化物半導体層に接して保護膜となる酸化物絶縁膜を形成する際に酸化物半導体層が受けるプラズマダメージを回復させることができる。また、上記加熱処理を行うことにより、薄膜トランジスタの電気的特性のばらつきを軽減することができる。以上より、薄膜トランジスタ461の電気特性及び信頼性を向上することができる。

【0094】

次に、酸化物絶縁膜407に第1のコンタクトホール421、第2のコンタクトホール422、第3のコンタクトホール423および第4のコンタクトホール424を形成する(図1(D)及び図2(C)参照。)。まず、エッチングによって酸化物絶縁膜407の一部を除去することにより、ソース電極層405aに達する第1のコンタクトホール421と、ゲート電極層401に達する第2のコンタクトホール422の一部と、接続電極層420の両端部に達する第3のコンタクトホール423及び第4のコンタクトホール424とを形成する。さらに、エッチングによってゲート絶縁層402の一部を除去することにより、ゲート電極層401に達する第2のコンタクトホール422を形成する。

【0095】

次に、酸化物絶縁膜407上に第2の導電膜を成膜する。ここで、第2の導電膜は、第1

10

20

30

40

50

のコンタクトホール４２１、第２のコンタクトホール４２２、第３のコンタクトホール４２３および第４のコンタクトホール４２４を介して、ソース電極層４０５a、ゲート電極層４０１及び接続電極層４２０と接続される。

【００９６】

第２の導電膜は、ソース電極層４０５a及びドレイン電極層４０５bより抵抗率の低い低抵抗導電性材料であることが好ましく、特にアルミニウムまたは銅が好ましい。第２の導電膜として低抵抗導電性材料を用いることによって、配線抵抗の低減等を図ることができる。

【００９７】

アルミニウムまたは銅などの低抵抗導電性材料は、耐熱性が低いが、第２の導電膜は加熱処理後に設けることができるため、アルミニウムまたは銅などの低抵抗導電性材料を用いることができる。

10

【００９８】

次に、フォトリソグラフィ工程により、第２の導電膜を加工し、酸化絶縁膜４０７上にソース配線４２５、第１のゲート配線４２６及び第２のゲート配線４２７を形成する（図１（Ｅ）及び図２（Ｄ）参照。）。ソース配線４２５は接続電極層４２０と重なり、第１のコンタクトホール４２１を介してソース電極層４０５aと接続するように形成される。ソース配線４２５を挟むように第１のゲート配線４２６と第２のゲート配線４２７が形成される。ここで、第１のゲート配線４２６は、第２のコンタクトホール４２２を介してゲート電極層４０１と接続され、第３のコンタクトホール４２３を介して接続電極層４２０と接続されるように形成される。また、第２のゲート配線４２７は、第４のコンタクトホール４２４を介して接続電極層４２０と接続されるように形成される。よって、第１のゲート配線４２６と第２のゲート配線４２７は、接続電極層４２０を介して電氣的に接続される。

20

【００９９】

以上の工程より、薄膜トランジスタ４６１を形成することができる。また、図３（Ｃ）及び図３（Ｄ）に示す構造についても同様の工程で作製することができる。

【０１００】

上述のように、酸化半導体層に接して保護膜となる酸化絶縁膜形成後の加熱処理を行うことによってソース電極層、ドレイン電極層、ゲート絶縁層及び酸化半導体層内に含まれる不純物（ H_2O 、 H 、 OH など）を低減することができる。また、上述の加熱処理を行うことにより、酸化半導体層に接して保護膜となる酸化絶縁膜を形成する際に酸化半導体層が受けるプラズマダメージを回復させることができる。また、上述の加熱処理を行うことにより、薄膜トランジスタの電氣的特性のばらつきを軽減することができる。よって、薄膜トランジスタ４６１の信頼性を向上することができる。

30

【０１０１】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【０１０２】

（実施の形態２）

40

半導体装置及び半導体装置の作製方法を図４乃至図６を用いて説明する。実施の形態１と同一部分または同様な機能を有する部分、及び工程は、実施の形態１と同様に行うことができ、繰り返しの説明は省略する。

【０１０３】

図６（Ａ）は半導体装置の有する薄膜トランジスタ４６０の平面図であり、図６（Ｂ）は図６（Ａ）の線Ｄ１－Ｄ２における断面図である。薄膜トランジスタ４６０は逆スタガ型の薄膜トランジスタであり、絶縁表面を有する基板である基板４５０上にゲート電極層４５１が設けられ、ゲート電極層４５１の上にゲート絶縁層４５２が設けられ、ゲート絶縁層４５２の上にソース電極層またはドレイン電極層４５５a、４５５bが設けられ、ソース電極層またはドレイン電極層４５５a、４５５b及びゲート絶縁層４５２の上に酸化物

50

半導体層 4 5 3 が設けられている。また、ゲート絶縁層 4 5 2、酸化物半導体層 4 5 3、ソース電極層 4 5 5 a 及びドレイン電極層 4 5 5 b を覆い、酸化物半導体層 4 5 3 と接する酸化物絶縁膜 4 5 7 が設けられている。酸化物半導体層 4 5 3 は、 In-Ga-Zn-O 系非単結晶を用いる。

【0104】

また、酸化物絶縁膜 4 5 7 には、ソース電極層 4 5 5 a に達する第 1 のコンタクトホール 4 7 1 と、ゲート電極層 4 5 1 に達する第 2 のコンタクトホール 4 7 2 と、接続電極層 4 7 0 の両端部に達する第 3 のコンタクトホール 4 7 3 及び第 4 のコンタクトホール 4 7 4 が設けられている。ここで、本実施の形態では、ソース配線及びドレイン配線を同じ層に形成するので、第 1 のゲート配線 4 7 6 と第 2 のゲート配線 4 7 7 は、ソース配線 4 7 5 を挟むように形成される。第 1 のゲート配線 4 7 6 と第 2 のゲート配線 4 7 7 は、ソース配線 4 7 5 と重なるように形成された接続電極層 4 7 0 を介して電氣的に接続される。ここで、ソース配線 4 7 5 は、第 1 のコンタクトホール 4 7 1 を介してソース電極層 4 5 5 a と電氣的に接続される。また、第 1 のゲート配線 4 7 6 は、第 2 のコンタクトホール 4 7 2 を介してゲート電極層 4 5 1 と電氣的に接続される。また、第 1 のゲート配線 4 7 6 及び第 2 のゲート配線 4 7 7 は、第 3 のコンタクトホール 4 7 3 及び第 4 のコンタクトホール 4 7 4 を介して接続電極層 4 7 0 と電氣的に接続される。また、ソース配線 4 7 5、第 1 のゲート配線 4 7 6 及び第 2 のゲート配線 4 7 7 は酸化物半導体層 4 5 3 の外周部より外側に延在している。

【0105】

酸化物半導体層 4 5 3 は、酸化物半導体層 4 5 3 に接して保護膜として機能する酸化物絶縁膜 4 5 7 の形成後に不純物である水分などを低減する加熱処理（脱水化または脱水素化のための加熱処理）が行われる。

【0106】

また、酸化物半導体層 4 5 3 内だけでなく、ゲート絶縁層 4 5 2、ソース電極層 4 5 5 a 及びドレイン電極層 4 5 5 b 内、及び上下に接して設けられる膜と酸化物半導体層 4 5 3 の界面、具体的にはゲート絶縁層 4 5 2 と酸化物半導体層 4 5 3 の界面、及び酸化物絶縁膜 4 5 7 と酸化物半導体層 4 5 3 の界面に存在する水分などの不純物を低減する。加熱処理によって酸化物半導体層 4 5 3 内の含有水分等を低減させることで、薄膜トランジスタの電気特性を向上させることができる。

【0107】

また、この加熱処理により酸化物半導体層 4 5 3 において、酸化物絶縁膜 4 5 7 を形成する際に酸化物半導体層 4 5 3 が受けるプラズマダメージが回復されている。

【0108】

ゲート電極層 4 5 1、接続電極層 4 7 0、ソース電極層またはドレイン電極層 4 5 5 a、4 5 5 b は、耐熱性導電性材料を含むことが好ましい。耐熱性導電性材料としては、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素、または元素を成分とする合金、または元素を成分とする窒化物のいずれかを用いることができる。また、ゲート電極層 4 5 1、接続電極層 4 7 0、ソース電極層またはドレイン電極層 4 5 5 a、4 5 5 b は、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素、または元素を成分とする合金、または元素を成分とする窒化物のいずれかの積層構造としてもよい。例えば、第 1 層目に窒化タングステン、第 2 層目にタングステンという組み合わせや、第 1 層目に窒化モリブデン、第 2 層目にタングステンという組み合わせや、第 1 層目に窒化チタン、第 2 層目にチタンという組み合わせにすればよい。

【0109】

また、接続電極層 4 7 0、ソース電極層またはドレイン電極層 4 5 5 a、4 5 5 b に用いる耐熱性導電性材料としては、インジウム、スズまたは亜鉛のいずれかを含む透明導電性酸化物を用いてもよい。例えば、酸化インジウム (In_2O_3) や酸化インジウム酸化スズ合金 ($\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITO と略記する) を用いるのが好ましい。また、透明

導電性酸化物に酸化シリコンのような絶縁性酸化物を加えた物を用いてもよい。

【0110】

透明導電性酸化物に酸化シリコンのような絶縁性酸化物を含ませることにより、該透明導電性酸化物の結晶化を抑制し、非晶質構造とすることができる。透明導電性酸化物の結晶化を抑制し、非晶質構造とすることにより、加熱処理を行っても、透明導電性酸化物の結晶化又は微結晶粒の生成を防ぐことができる。

【0111】

ゲート電極層451、接続電極層470、ソース電極層またはドレイン電極層455a、455bに上記のような耐熱性導電材料を含ませることにより、ゲート電極層451、接続電極層470、ソース電極層またはドレイン電極層455a、455bは酸化物絶縁膜457形成後に行う加熱処理に耐えることができる。

10

【0112】

ソース配線475、第1のゲート配線476及び第2のゲート配線477は、ソース電極層455a及びドレイン電極層455bより抵抗率の低い低抵抗導電性材料であることが好ましく、特にアルミニウムまたは銅が好ましい。ソース配線475、第1のゲート配線476及び第2のゲート配線477として低抵抗導電性材料を用いることによって、配線抵抗の低減等を図ることができる。

【0113】

アルミニウムまたは銅などの低抵抗導電性材料は、耐熱性が低い、上記のように、ソース配線475、第1のゲート配線476及び第2のゲート配線477を設けることにより、酸化物絶縁膜形成後の加熱処理の後でソース配線475、第1のゲート配線476及び第2のゲート配線477を形成することができる。よって、ソース配線475、第1のゲート配線476及び第2のゲート配線477として、アルミニウムまたは銅などの低抵抗導電性材料を用いることができる。

20

【0114】

チャンネル形成領域を含む酸化物半導体層453としては、半導体特性を有する酸化物材料を用いればよく、代表的には、In-Ga-Zn-O系非単結晶を用いる。

【0115】

また、図6(C)に示すように、第1のソース配線478と第2のソース配線479が、ゲート配線480を挟むように形成され、ゲート配線480と重なるように形成された接続電極層470を介して電氣的に接続されるようにしても良い。ここで、第1のソース配線478は、第1のコンタクトホール471を介してソース電極層455aと電氣的に接続される。また、ゲート配線480は、第2のコンタクトホール472を介してゲート電極層451と電氣的に接続される。また、第1のソース配線478及び第2のソース配線479は、接続電極層470の両端部に達する第3のコンタクトホール473及び第4のコンタクトホール474を介して接続電極層470と電氣的に接続される。他の部分に関しては、上述した図6(A)及び図6(B)に示す薄膜トランジスタと同様である。

30

【0116】

また、図6(D)に示すように、ソース電極層455aがゲート配線480と重なるように形成され、第1のソース配線478と第2のソース配線479が、ソース電極層455aを介して電氣的に接続されるようにしても良い。ここで、第1のソース配線478は、第1のコンタクトホール471を介してソース電極層455aと電氣的に接続される。第2のソース配線479は、ソース電極層455a上に設けられた第3のコンタクトホール491を介してソース電極層455aと電氣的に接続される。他の部分に関しては、上述した図6(C)に示す薄膜トランジスタと同様である。

40

【0117】

図6(A)及び図6(B)に示す薄膜トランジスタ460の作製工程の断面図を図4(A)乃至図4(E)に、作製工程の平面図を図5(A)乃至図5(D)に示す。

【0118】

絶縁表面を有する基板である基板450上にゲート電極層451を設ける。なお、下地膜

50

となる絶縁膜を基板 4 5 0 とゲート電極層 4 5 1 の間に設けてもよい。ゲート電極層 4 5 1 の材料は、実施の形態 1 に示すゲート電極層 4 0 1 と同様に形成することができる。

【 0 1 1 9 】

また、実施の形態 1 と同様に、ゲート電極層 4 5 1 と同時に、後の工程でソース電極層 4 5 5 a 及びドレイン電極層 4 5 5 b と同時に形成する接続電極層 4 7 0 を形成してもよい。その場合、ソース電極層 4 5 5 a 及びドレイン電極層 4 5 5 b を形成する際に接続電極層 4 7 0 を形成しなくてもよい。

【 0 1 2 0 】

ゲート電極層 4 5 1 上にゲート絶縁層 4 5 2 を形成する。ゲート絶縁層 4 5 2 は、実施の形態 1 に示すゲート絶縁層 4 0 2 と同様に形成することができる。

10

【 0 1 2 1 】

ゲート絶縁層 4 5 2 上に、第 1 の導電膜を形成し、フォトリソグラフィ工程により島状のソース電極層またはドレイン電極層 4 5 5 a、4 5 5 b 及び接続電極層 4 7 0 に加工する。第 1 の導電膜の材料は、実施の形態 1 に示す第 1 の導電膜の材料と同様のものを用いることができる。ソース電極層またはドレイン電極層 4 5 5 a、4 5 5 b は、実施の形態 1 に示すソース電極層またはドレイン電極層 4 0 5 a、4 0 5 b と同様に形成することができる。

【 0 1 2 2 】

また、ゲート電極層 4 5 1 と同時に接続電極層 4 7 0 を形成した場合、ここで接続電極層 4 7 0 を形成しなくてもよい。また、図 6 (D) に示すような構造とする場合も、接続電極層 4 7 0 を形成しなくてもよい。

20

【 0 1 2 3 】

次に、ゲート絶縁層 4 5 2、及びソース電極層またはドレイン電極層 4 5 5 a、4 5 5 b 上に酸化物半導体膜を形成し、フォトリソグラフィ工程により島状の酸化物半導体層 4 8 2 に加工する (図 4 (A) 及び図 5 (A) 参照。) 。

【 0 1 2 4 】

酸化物半導体層 4 8 2 は、チャネル形成領域となるため、実施の形態 1 の酸化物半導体層 4 3 2 と同様に形成する。

【 0 1 2 5 】

なお、酸化物半導体層 4 8 2 をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層 4 5 2 の表面に付着している成膜時に発生する粉状物質 (パーティクル、ごみともいう) を除去することが好ましい。

30

【 0 1 2 6 】

次いで、スパッタリング法または P C V D 法により、ゲート絶縁層 4 5 2、酸化物半導体層 4 8 2、ソース電極層 4 5 5 a 及びドレイン電極層 4 5 5 b を覆い、酸化物半導体層 4 8 2 の一部と接する酸化物絶縁膜 4 5 7 を形成する (図 4 (B) 参照。) 。酸化物絶縁膜 4 5 7 も実施の形態 1 で示す酸化物絶縁膜 4 0 7 と同様に形成することができる。本実施の形態では、酸化物絶縁膜 4 5 7 として膜厚 3 0 0 n m の酸化珪素膜を成膜する。成膜時の基板温度は、室温以上 3 0 0 以下とすればよく、本実施の形態では 1 0 0 とする。

40

【 0 1 2 7 】

次いで、ソース電極層 4 5 5 a、ドレイン電極層 4 5 5 b、ゲート絶縁層 4 5 2、酸化物絶縁膜 4 5 7 及び酸化物半導体層 4 8 2 に酸素ガス雰囲気下、不活性ガス雰囲気 (窒素、またはヘリウム、ネオン、アルゴン等) 下或いは減圧下において加熱処理を行って、酸化物半導体層 4 5 3 を形成する。 (図 4 (C) 及び図 5 (B) 参照。) 。加熱処理の温度は、2 0 0 以上 7 0 0 以下、好ましくは 3 5 0 以上基板 4 5 0 の歪み点未満とする。ソース電極層 4 5 5 a、ドレイン電極層 4 5 5 b、ゲート絶縁層 4 5 2、酸化物絶縁膜 4 5 7 及び酸化物半導体層 4 5 3 を上記雰囲気下で加熱処理することで、ソース電極層 4 5 5 a、ドレイン電極層 4 5 5 b、ゲート絶縁層 4 5 2、酸化物半導体層 4 5 3、酸化物絶縁膜 4 5 7 及び酸化物半導体層 4 5 3 とその上下に接して設けられる膜との界面に含まれ

50

る水素及び水などの不純物を除去することができる。加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶膜または多結晶膜となる場合もある。

【0128】

酸化物半導体層482に接して保護膜となる酸化物絶縁膜457を形成する際に、酸化物半導体層482がプラズマダメージを受ける危険性があるが、この加熱処理を行うことにより、酸化物半導体層482が受けたプラズマダメージを回復させることができる。

【0129】

また、この熱処理によって、酸化物絶縁膜407中の酸素が固相拡散によって、酸化物半導体層403に供給される。よって、酸化物半導体層403が高抵抗化されるので、電気特性が良好で信頼性のよい薄膜トランジスタを作製することができる。

10

【0130】

また、この加熱処理を行うことにより、薄膜トランジスタの電気的特性のばらつきを軽減することができる。

【0131】

なお、脱水化または脱水素化のための加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。また、加熱処理後は、酸素雰囲気下で徐冷することが好ましい。例えば、基板の温度が加熱時の最高温度から少なくとも50 ~ 100 程度低くなるまで徐冷すれば良い。

20

【0132】

また、加熱処理は、電気炉を用いた加熱方法、加熱した気体を用いるGRTA(Gas Rapid Thermal Anneal)法またはランプ光を用いるLRTA(Lamp Rapid Thermal Anneal)法などの瞬間加熱方法などを用いることができる。

【0133】

ここで、酸化物半導体層482の加熱処理の一形態として、電気炉1601を用いた加熱方法について、図16を用いて説明する。

30

【0134】

図16は、電気炉1601の概略図である。チャンバー1602の外側にはヒーター1603が設けられており、チャンバー1602を加熱する。また、チャンバー1602内には、基板1604を搭載するサセプター1605が設けられており、チャンバー1602内に基板1604を搬入または搬出する。また、チャンバー1602にはガス供給手段1606及び排気手段1607が設けられている。ガス供給手段1606により、チャンバー1602にガスを導入する。また、排気手段1607により、チャンバー1602内を排気する、またはチャンバー1602内を減圧にする。なお、電気炉1601の昇温特性を0.1/min以上20/min以下とすることが好ましい。また、電気炉1601の降温特性を0.1/min以上15/min以下とすることが好ましい。

40

【0135】

ガス供給手段1606は、ガス供給源1611、圧力調整弁1612、精製器1613、マスフローコントローラ1614、ストップバルブ1615を有する。本実施の形態では、ガス供給源1611とチャンバー1602の間に精製器1613を設けることが好ましい。精製器1613を設けることで、ガス供給源1611からチャンバー1602内に導入されるガスの、水、水素などの不純物を、当該精製器1613によって除去することが可能であり、チャンバー1602内への水、水素などの侵入を低減することができる。

【0136】

本実施の形態では、ガス供給源1611から、酸素、窒素または希ガスをチャンバー1602に導入し、チャンバー内を窒素または希ガス雰囲気とし、200 以上700 以下

50

、好ましくは350 以上基板450の歪み点未満に加熱されたチャンバー1602において、基板450上に形成された酸化物半導体層を加熱することで、酸化物半導体層の脱水化または脱水素化を行うことができる。

【0137】

または、排気手段によって減圧下で、200 以上700 以下、好ましくは350 以上基板450の歪み点未満に加熱されたチャンバー1602において、基板450上に形成された酸化物半導体層を加熱することで、酸化物半導体層の脱水化または脱水素化を行うことができる。

【0138】

次に、ヒーターをオフ状態にし、加熱装置のチャンバー1602を徐々に冷却する。

10

【0139】

この結果、後に形成される薄膜トランジスタの信頼性を高めることができる。

【0140】

なお、減圧下で加熱処理を行った場合は、加熱後に不活性ガスを流して大気圧に戻して冷却すればよい。

【0141】

また、加熱装置のチャンバー1602内の基板1604を300 まで冷却した後、基板1604を室温の雰囲気へ移動してもよい。この結果、基板1604の冷却時間を短縮することができる。

【0142】

20

また、加熱装置がマルチチャンバーの場合、加熱処理と冷却処理を異なるチャンバーで行うことができる。代表的には、酸素、窒素または希ガスが充填され、且つ200 以上700 以下、好ましくは350 以上基板450の歪み点未満に加熱された第1のチャンバーにおいて、基板上の酸化物半導体層を加熱する。次に、窒素または希ガスが導入された搬送室を経て、窒素または希ガスが充填され、且つ100 以下、好ましくは室温である第2のチャンバーに、上記加熱処理された基板を移動し、冷却処理を行う。以上の工程により、スループットを向上させることができる

【0143】

また、不活性ガス雰囲気下或いは減圧下の加熱処理後の酸化物半導体層482の状態は、非晶質な状態であることが好ましいが、一部結晶化してもよい。

30

【0144】

以上のように、酸化物半導体層に接して保護膜となる酸化物絶縁膜形成後の加熱処理を行うことによってソース電極層、ドレイン電極層、ゲート絶縁層、酸化物絶縁膜及び酸化物半導体層内に含まれる不純物(H_2O 、 H 、 OH など)を低減することができる。また、上記加熱処理を行うことにより、酸化物半導体層に接して保護膜となる酸化物絶縁膜を形成する際に酸化物半導体層が受けるプラズマダメージを回復させることができる。また、上記加熱処理を行うことにより、薄膜トランジスタの電気的特性のばらつきを軽減することができる。よって、薄膜トランジスタ460の電気特性及び信頼性を向上することができる。

【0145】

40

次に、酸化物絶縁膜457に第1のコンタクトホール471、第2のコンタクトホール472、第3のコンタクトホール473および第4のコンタクトホール474を形成する(図4(D)及び図5(C)参照。)。まず、エッチングによって酸化物絶縁膜457の一部を除去することにより、ソース電極層455aに達する第1のコンタクトホール471と、ゲート電極層451に達する第2のコンタクトホール472の一部と、接続電極層470の両端部に達する第3のコンタクトホール473及び第4のコンタクトホール474とを形成する。さらに、エッチングによってゲート絶縁層452の一部を除去することにより、ゲート電極層451に達する第2のコンタクトホールを形成する。

【0146】

次に、酸化物絶縁膜457上に第2の導電膜を成膜する。ここで、第2の導電膜は、第1

50

のコンタクトホール４７１、第２のコンタクトホール４７２、第３のコンタクトホール４７３および第４のコンタクトホール４７４を介して、ソース電極層４５５ａ、ゲート電極層４５１及び接続電極層４７０と接続される。

【０１４７】

第２の導電膜は、ソース電極層４５５ａ及びドレイン電極層４５５ｂより抵抗率の低い低抵抗導電性材料であることが好ましく、特にアルミニウムまたは銅が好ましい。第２の導電膜として低抵抗導電性材料を用いることによって、配線抵抗の低減等を図ることができる。

【０１４８】

アルミニウムまたは銅などの低抵抗導電性材料は、耐熱性が低いが、第２の導電膜は加熱処理後に設けることができるため、アルミニウムまたは銅などの低抵抗導電性材料を用いることができる。

10

【０１４９】

次に、第２の導電膜をエッチング工程によりエッチングし、酸化物絶縁膜４５７上にソース配線４７５、第１のゲート配線４７６及び第２のゲート配線４７７を形成する（図４（Ｅ）及び図５（Ｄ）参照）。ソース配線４７５は接続電極層４７０と重なり、第１のコンタクトホール４７１を介してソース電極層４５５ａと接続するように形成される。ソース配線４７５を挟むように第１のゲート配線４７６と第２のゲート配線４７７が形成される。ここで、第１のゲート配線４７６は、第２のコンタクトホール４７２を介してゲート電極層４５１と接続され、第３のコンタクトホール４７３を介して接続電極層４７０と接続されるように形成される。また、第２のゲート配線４７７は、第４のコンタクトホール４７４を介して接続電極層４７０と接続されるように形成される。よって、第１のゲート配線４７６と第２のゲート配線４７７は、接続電極層４７０を介して電氣的に接続される。

20

【０１５０】

以上の工程より、薄膜トランジスタ４６０を形成することができる。また、図６（Ｃ）及び図６（Ｄ）に示す構造についても同様の工程で作製することができる。

【０１５１】

上述のように、酸化物半導体層に接して保護膜となる酸化物絶縁膜形成後の加熱処理を行うことによってソース電極層、ドレイン電極層、ゲート絶縁層及び酸化物半導体層内に含まれる不純物（ H_2O 、 H 、 OH など）を低減することができる。また、上述の加熱処理を行うことにより、酸化物半導体層に接して保護膜となる酸化物絶縁膜を形成する際に酸化物半導体層が受けるプラズマダメージを回復させることができる。また、上述の加熱処理を行うことにより、薄膜トランジスタの電氣的特性のばらつきを軽減することができる。よって、薄膜トランジスタ４６０の信頼性を向上することができる。

30

【０１５２】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【０１５３】

（実施の形態３）

40

薄膜トランジスタを含む半導体装置の作製工程について、図７乃至図１３を用いて説明する。図７乃至図９は作製工程の断面図を、図１０乃至図１３は作製工程の平面図を示す。

【０１５４】

図７（Ａ）において、透光性を有する基板１００にはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。なお、上記の基板１００に代えて、セラミック基板、石英ガラス基板、石英基板、サファイア基板などの絶縁体である基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。

【０１５５】

次いで、導電層を基板１００全面に形成した後、第１のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配線及び電極（ゲート

50

電極層 101、容量配線 108、及び第 1 の端子 121) を形成する。このとき少なくともゲート電極層 101 の端部にテーパ形状が形成されるようにエッチングする。

【0156】

ゲート電極層 101、容量配線 108、端子部の第 1 の端子 121 は、実施の形態 1 に示すゲート電極層 401 に示す材料を適宜用いることができる。ゲート電極層 101、容量配線 108、端子部の第 1 の端子 121 は、後の工程の加熱処理に耐えられるように、耐熱性導電性材料で形成するのが好ましく、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、クロム (Cr)、ネオジム (Nd)、スカンジウム (Sc) から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物を用いて単層または積層で形成

10

【0157】

また、このとき、ゲート電極層 101 と同時に、後の工程でソース電極層 105a 及びドレイン電極層 105b と同時に形成する接続電極層 220 を形成してもよい。その場合、ソース電極層 105a 及びドレイン電極層 105b を形成する際に接続電極層 220 を形成しなくてもよい。

【0158】

次いで、ゲート電極層 101 上にゲート絶縁層 102 を全面に成膜する。ゲート絶縁層 102 はスパッタリング法、PCVD 法などを用い、膜厚を 50 ~ 250 nm とする。

【0159】

例えば、ゲート絶縁層 102 としてスパッタリング法により酸化珪素膜を用い、100 nm の厚さで形成する。勿論、ゲート絶縁層 102 はこのような酸化珪素膜に限定されるものでなく、酸化窒化珪素膜、窒化珪素膜、酸化アルミニウム膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。

20

【0160】

次に、ゲート絶縁層 102 上に、酸化物半導体膜 (In-Ga-Zn-O 系非単結晶膜) を成膜する。プラズマ処理後、大気に曝すことなく In-Ga-Zn-O 系非単結晶膜を成膜することは、ゲート絶縁層と半導体膜の界面にゴミや水分を付着させない点で有用である。ここでは、直径 8 インチの In、Ga、及び Zn を含む酸化物半導体ターゲット (In-Ga-Zn-O 系酸化物半導体ターゲット (In₂O₃:Ga₂O₃:ZnO = 1 : 1 : 1)) を用いて、基板とターゲットの間との距離を 170 mm、圧力 0.4 Pa、直流 (DC) 電源 0.5 kW、酸素のみ、アルゴンのみ、またはアルゴン及び酸素雰囲気下で成膜する。なお、パルス直流 (DC) 電源を用いると、ゴミが軽減でき、膜厚分布も均一となるために好ましい。In-Ga-Zn-O 系非単結晶膜の膜厚は、5 nm ~ 200 nm とする。酸化物半導体膜として、In-Ga-Zn-O 系酸化物半導体ターゲットを用いてスパッタリング法により膜厚 50 nm の In-Ga-Zn-O 系非単結晶膜を成膜する。

30

【0161】

スパッタリング法にはスパッタリング用電源に高周波電源を用いる RF スパッタリング法と、DC スパッタリング法があり、さらにパルスのパイアスを与えるパルス DC スパッタリング法もある。RF スパッタリング法は主に絶縁膜を成膜する場合に用いられ、DC スパッタリング法は主に金属膜を成膜する場合に用いられる。

40

【0162】

また、材料の異なるターゲットを複数設置できる多元スパッタリング装置もある。多元スパッタリング装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0163】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタリング装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いる ECR スパッタリング法を用いるスパッタリング装置がある。

50

【0164】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタリングガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアスパッタリング法もある。

【0165】

次に、第2のフォトリソグラフィ工程を行い、レジストマスクを形成し、酸化物半導体膜をエッチングする。例えば燐酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチングにより、不要な部分を除去して酸化物半導体層133を形成する(図7(A)及び図10参照)。なお、ここでのエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

10

【0166】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl_2)、塩化硼素(BCl_3)、塩化珪素(SiCl_4)、四塩化炭素(CCl_4)など)が好ましい。

【0167】

また、ドライエッチングに用いるエッチングガスとして、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF_4)、六弗化硫黄(SF_6)、三弗化窒素(NF_3)、トリフルオロメタン(CHF_3)など)、酸素(O_2)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いることができる。

【0168】

ドライエッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法などを用いることができる。所望の加工形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節する。

20

【0169】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。

【0170】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

30

【0171】

なお、所望の加工形状にエッチングできるように、材料に合わせてエッチング条件(エッチング液、エッチング時間、温度等)を適宜調節する。

【0172】

次に、酸化物半導体層133上に金属材料からなる第1の導電膜132をスパッタリング法や真空蒸着法で形成する(図7(B)参照)。

40

【0173】

第1の導電膜132の材料としては、実施の形態1に示すソース電極層またはドレイン電極層405a、405bと同様の材料を適宜用いることができる。第1の導電膜132は、後の工程の加熱処理に耐えられるように、耐熱性導電性材料で形成するのが好ましく、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、ネオジム(Nd)、スカンジウム(Sc)から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物を用いて単層または積層で形成する。

【0174】

また、第1の導電膜132に用いる耐熱性導電性材料としては、インジウム、スズまたは

50

亜鉛のいずれかを含む透明導電性酸化物を用いてもよい。例えば、酸化インジウム (In_2O_3) や酸化インジウム酸化スズ合金 ($\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITOと略記する) を用いるのが好ましい。また、透明導電性酸化物に酸化シリコンのような絶縁性酸化物を加えた物を用いてもよい。

【0175】

透明導電性酸化物に酸化シリコンのような絶縁性酸化物を含ませることにより、該透明導電性酸化物の結晶化を抑制し、非晶質構造とすることができる。透明導電性酸化物の結晶化を抑制し、非晶質構造とすることにより、加熱処理を行っても、透明導電性酸化物の結晶化又は微結晶粒の生成を防ぐことができる。

【0176】

次に、第3のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去してソース電極層またはドレイン電極層105a、105b、接続電極層220及び第2の端子122を形成する(図7(C)及び図11参照。)。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。例えば、アンモニア過水(過酸化水素:アンモニア:水=5:2:2)を用いたウェットエッチングにより、第1の導電膜132をエッチングしてソース電極層またはドレイン電極層105a、105bを形成してもよい。このエッチング工程において、酸化物半導体層133の露出領域も一部エッチングされ、酸化物半導体層135となる。よってソース電極層またはドレイン電極層105a、105bの間の酸化物半導体層135は膜厚の薄い領域となる。膜厚の薄い領域の厚さは約30nmとなり、さらに結晶化しにくい膜厚となるため、チャンネルとなる部分を非晶質状態に保ちたい場合には有用である。図7(C)においては、ソース電極層またはドレイン電極層105a、105b、酸化物半導体層135のエッチングをドライエッチングによって一度に行うため、ソース電極層またはドレイン電極層105a、105b及び酸化物半導体層135の端部は一致し、連続的な構造となっている。

【0177】

また、この第3のフォトリソグラフィ工程において、ソース電極層またはドレイン電極層105a、105bと同じ材料である第2の端子122を端子部に残す。なお、第2の端子122は後の工程で形成されるソース配線と電気的に接続される。

【0178】

また、ゲート電極層401と同時に接続電極層420を形成した場合、ここで接続電極層420を形成しなくてもよい。

【0179】

また、多階調マスクにより形成した複数(代表的には二種類)の厚さの領域を有するレジストマスクを用いると、レジストマスクの数を減らすことができるため、工程簡略化、低コスト化が図れる。

【0180】

次に、レジストマスクを除去し、ゲート絶縁層102、酸化物半導体層135、ソース電極層またはドレイン電極層105a、105bを覆う保護絶縁層107を形成する(図7(D)参照。)。保護絶縁層107は、少なくとも1nm以上の膜厚とし、CVD法、スパッタリング法など、保護絶縁層107に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。ここでは、保護絶縁層107は、スパッタリング法を用いて形成する。酸化物半導体層135の一部と接して形成される保護絶縁層107は、水分や、水素イオンや、 OH^- などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜または酸化窒化アルミニウム膜を用いる。また、保護絶縁層107の上に接して窒化珪素膜または窒化アルミニウム膜を積層してもよい。窒化珪素膜は水分や、水素イオンや、 OH^- などの不純物を含まず、これらが外部から侵入することをブロックする。

【0181】

また、酸化物半導体層135に接してスパッタリング法またはPCVD法などにより保護

10

20

30

40

50

絶縁層 107 を形成すると、酸化物半導体層 135 において少なくとも保護絶縁層 107 と接する領域を高抵抗化（キャリア濃度が低まる、好ましくは $1 \times 10^{18} / \text{cm}^3$ 未満）し、高抵抗化酸化物半導体領域とすることもできる。

【0182】

次いで、ソース電極層 105a、ドレイン電極層 105b、ゲート絶縁層 102 及び酸化物半導体層 135 に酸素ガス雰囲気下、不活性ガス雰囲気（窒素、またはヘリウム、ネオン、アルゴン等）下或いは減圧下において加熱処理を行って、酸化物半導体層 103 を形成する。（図 8（A）参照。）。加熱処理の温度は、200 以上 700 以下、好ましくは 350 以上基板 100 の歪み点未満とする。ソース電極層 105a、ドレイン電極層 105b、ゲート絶縁層 102 及び酸化物半導体層 103 を上記雰囲気下で加熱処理することで、ソース電極層 105a、ドレイン電極層 105b、ゲート絶縁層 102、酸化物半導体層 103 及び上下に接して設けられる膜と酸化物半導体層 103 の界面に含まれる水素及び水などの不純物を除去することができる。加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶膜または多結晶膜となる場合もある。

10

【0183】

また、酸化物半導体層 133 に接して保護膜となる保護絶縁層 107 を形成する際に、酸化物半導体層 133 がプラズマダメージを受ける危険性があるが、この加熱処理を行うことにより、酸化物半導体層 133 が受けたプラズマダメージを回復させることができる。

【0184】

また、この熱処理によって、保護絶縁層 107 中の酸素が固相拡散によって、酸化物半導体層 103 に供給される。よって、酸化物半導体層 103 が高抵抗化されるので、電気特性が良好で信頼性のよい薄膜トランジスタを作製することができる。

20

【0185】

また、この加熱処理を行うことにより、薄膜トランジスタの電気的特性のばらつきを軽減することができる。また、加熱処理後は、酸素雰囲気下で徐冷することが好ましい。例えば、基板の温度が加熱時の最高温度から少なくとも 50 ~ 100 程度低くなるまで徐冷すれば良い。

【0186】

次に、第 4 のフォトリソグラフィ工程を行い、レジストマスクを形成し、保護絶縁層 107 及びゲート絶縁層 102 のエッチングにより第 1 のコンタクトホール 221、第 2 のコンタクトホール 222、第 3 のコンタクトホール 223 および第 4 のコンタクトホール 224 を形成する（図 8（B）及び図 12 参照。）。まず、エッチングによって保護絶縁層 107 の一部を除去することにより、ソース電極層 105a に達する第 1 のコンタクトホール 221 と、ゲート電極層 101 に達する第 2 のコンタクトホール 222 の一部と、接続電極層 220 の両端部に達する第 3 のコンタクトホール 223 及び第 4 のコンタクトホール 224 とを形成する。さらに、エッチングによってゲート絶縁層 102 の一部を除去することにより、ゲート電極層 101 に達する第 2 のコンタクトホール 222 を形成する。

30

【0187】

また、反射型の表示装置を作製する場合、ここで、ドレイン電極層 105b に達するコンタクトホールを形成し、ソース配線及びゲート配線を形成するときに同時に画素電極層 110 を形成するような構成としてもよい。

40

【0188】

次に、保護絶縁層 107 上に金属材料からなる第 2 の導電膜をスパッタリング法や真空蒸着法で成膜する。ここで、第 2 の導電膜は、第 1 のコンタクトホール 221、第 2 のコンタクトホール 222、第 3 のコンタクトホール 223 および第 4 のコンタクトホール 224 を介して、ソース電極層 105a、ゲート電極層 101 及び接続電極層 220 と接続される。

【0189】

50

第2の導電膜の材料としては、実施の形態1に示す第2の導電膜と同様の材料を適宜用いることができる。ソース電極層105a及びドレイン電極層105bより抵抗率の低い低抵抗導電性材料であることが好ましく、特にアルミニウムまたは銅が好ましい。第2の導電膜として低抵抗導電性材料を用いることによって、配線抵抗の低減等を図ることができる。

【0190】

次に、第5のフォトリソグラフィ工程を行い、レジストマスクを形成し、第2の導電膜のエッチングにより、保護絶縁層107上にソース配線225、第1のゲート配線226及び第2のゲート配線227を形成する(図8(C)及び図12参照。)。ソース配線225は接続電極層220と重なり、第1のコンタクトホール221を介してソース電極層105aと接続するように形成される。ソース配線225を挟むように第1のゲート配線226と第2のゲート配線227が形成される。ここで、第1のゲート配線226は、第2のコンタクトホール222を介してゲート電極層101と接続され、第3のコンタクトホール223を介して接続電極層220と接続されるように形成される。また、第2のゲート配線227は、第4のコンタクトホール224を介して接続電極層220と接続されるように形成される。よって、第1のゲート配線226と第2のゲート配線227は、接続電極層220を介して電氣的に接続される。

【0191】

以上の工程で薄膜トランジスタ170を作製することができる。

【0192】

次に、第6のフォトリソグラフィ工程を行い、レジストマスクを形成し、保護絶縁層107のエッチングによりドレイン電極層105bに達するコンタクトホール125を形成する。また、ここでのエッチングにより第2の端子122に達するコンタクトホール127、第1の端子121に達するコンタクトホール126も形成する。この段階での断面図を図9(A)に示す。なお、コンタクトホール125、コンタクトホール126およびコンタクトホール127の形成は、上述した第4のフォトリソグラフィ工程において同時に行うこともできる。

【0193】

次いで、レジストマスクを除去した後、透明導電膜を成膜する。透明導電膜の材料としては、酸化インジウム(In_2O_3)や酸化インジウム酸化スズ合金($\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITOと略記する)などをスパッタリング法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特にITOのエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金($\text{In}_2\text{O}_3-\text{ZnO}$)を用いても良い。また、透明導電膜を低抵抗化させるための加熱処理を行う場合、酸化物半導体層103を高抵抗化させてトランジスタの電気特性の向上および、電気特性のばらつきを軽減する熱処理と兼ねることができる。

【0194】

次に、第7のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層110を形成する。

【0195】

また、この第7のフォトリソグラフィ工程において、容量部におけるゲート絶縁層102及び保護絶縁層107を誘電体として、容量配線108と画素電極層110とで保持容量が形成される。

【0196】

また、この第7のフォトリソグラフィ工程において、第1の端子121及び第2の端子122をレジストマスクで覆い端子部に形成された透明導電膜128、129を残す。透明導電膜128、129はFPCとの接続に用いられる電極または配線となる。第1の端子121上に形成された透明導電膜128は、ゲート配線の入力端子として機能する接続用の端子電極となる。第2の端子122上に形成された透明導電膜129は、ソース配線の入力端子として機能する接続用の端子電極である。

【 0 1 9 7 】

次いで、レジストマスクを除去し、この段階での断面図を図 9 (B) に示す。なお、この段階での平面図が図 1 3 に相当する。

【 0 1 9 8 】

また、図 1 4 (A 1)、図 1 4 (A 2) は、この段階でのゲート配線端子部の平面図及び断面図をそれぞれ図示している。図 1 4 (A 1) は図 1 4 (A 2) 中の E 1 - E 2 線に沿った断面図に相当する。図 1 4 (A 1) において、保護絶縁膜 1 5 4 上に形成される透明導電膜 1 5 5 は、入力端子として機能する接続用の端子電極である。また、図 1 4 (A 1) において、端子部では、ゲート配線と同じ材料で形成される第 1 の端子 1 5 1 と、ソース配線と同じ材料で形成される接続電極層 1 5 3 とがゲート絶縁層 1 5 2 を介して重なり、透明導電膜 1 5 5 で導通させている。なお、図 9 (B) に図示した透明導電膜 1 2 8 と第 1 の端子 1 2 1 とが接触している部分が、図 1 4 (A 1) の透明導電膜 1 5 5 と第 1 の端子 1 5 1 が接触している部分に対応している。

10

【 0 1 9 9 】

また、図 1 4 (B 1)、及び図 1 4 (B 2) は、図 9 (B) に示すソース配線端子部とは異なるソース配線端子部の平面図及び断面図をそれぞれ図示している。また、図 1 4 (B 1) は図 1 4 (B 2) 中の F 1 - F 2 線に沿った断面図に相当する。図 1 4 (B 1) において、保護絶縁膜 1 5 4 上に形成される透明導電膜 1 5 5 は、入力端子として機能する接続用の端子電極である。また、図 1 4 (B 1) において、端子部では、ゲート配線と同じ材料で形成される電極層 1 5 6 が、ソース配線と電氣的に接続される第 2 の端子 1 5 0 の下方にゲート絶縁層 1 5 2 を介して重なる。電極層 1 5 6 は第 2 の端子 1 5 0 とは電氣的に接続しておらず、電極層 1 5 6 を第 2 の端子 1 5 0 と異なる電位、例えばフローティング、GND、0 V などに設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第 2 の端子 1 5 0 は、保護絶縁膜 1 5 4 を介して透明導電膜 1 5 5 と電氣的に接続している。

20

【 0 2 0 0 】

ゲート配線、ソース配線、及び容量配線は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第 1 の端子、ソース配線と同電位の第 2 の端子、容量配線と同電位の第 3 の端子などが複数並べられて配置される。それぞれの端子の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

30

【 0 2 0 1 】

こうして 7 回のフォトリソグラフィ工程により、7 枚のフォトマスクを使用して、ボトムゲート型のスタガ構造の薄膜トランジスタである薄膜トランジスタ 1 7 0 を有する画素薄膜トランジスタ部、保持容量を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【 0 2 0 2 】

アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定する。なお、対向基板に設けられた対向電極と電氣的に接続する共通電極をアクティブマトリクス基板上に設け、共通電極と電氣的に接続する第 4 の端子を端子部に設ける。この第 4 の端子は、共通電極を固定電位、例えば GND、0 V などに設定するための端子である。

40

【 0 2 0 3 】

また、容量配線を設けず、画素電極を隣り合う画素のゲート配線と保護絶縁膜及びゲート絶縁層を介して重ねて保持容量を形成してもよい。

【 0 2 0 4 】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素

50

電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【0205】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、または動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面黒表示を1フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。

【0206】

また、通常の垂直同期周波数を1.5倍若しくは2倍以上にすることで動画特性を改善する、所謂、倍速駆動と呼ばれる駆動技術もある。

10

【0207】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数のLED（発光ダイオード）光源または複数のEL光源などを用いて面光源を構成し、面光源を構成している各光源を独立して1フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。独立して複数のLEDを制御できるため、液晶層の光学変調の切り替えタイミングに合わせてLEDの発光タイミングを同期させることもできる。この駆動技術は、LEDを部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力の低減効果が図れる。

【0208】

20

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

【0209】

本明細書に開示するnチャネル型のトランジスタは、酸化物半導体膜をチャネル形成領域に用いており、良好な動特性を有するため、これらの駆動技術を組み合わせることができる。

【0210】

また、発光表示装置を作製する場合、有機発光素子の一方の電極（カソードとも呼ぶ）は、低電源電位、例えばGND、0Vなどに設定するため、端子部に、カソードを低電源電位、例えばGND、0Vなどに設定するための第4の端子が設けられる。また、発光表示装置を作製する場合には、ソース配線、及びゲート配線に加えて電源供給線を設ける。従って、端子部には、電源供給線と電氣的に接続する第5の端子を設ける。

30

【0211】

また、発光表示装置を作製する際、各有機発光素子の間に有機樹脂層を用いた隔壁を設ける場合がある。その場合には、有機樹脂層を加熱処理するため、酸化物半導体層103を高抵抗化させてトランジスタの電気特性の向上および、電気特性のばらつきを軽減する熱処理と兼ねることができる。

【0212】

加熱処理によって、不純物である水分などを低減して酸化物半導体膜の純度を高めることができるため、成膜チャンバー内の露点を下げた特殊なスパッタ装置や超高純度の酸化物半導体ターゲットを用いなくとも、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を作製することができる。

40

【0213】

チャネル形成領域の酸化物半導体層は高抵抗化領域であるので、薄膜トランジスタの電気特性は安定化し、オフ電流の増加などを防止することができる。よって、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置とすることが可能となる。

【0214】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0215】

50

(実施の形態 4)

半導体装置及び半導体装置の作製方法を、図 17 を用いて説明する。実施の形態 1 と同一部分または同様な機能を有する部分、及び工程は、実施の形態 1 と同様に行うことができ、繰り返しの説明は省略する。

【0216】

図 17 に示す薄膜トランジスタ 462 は、ゲート電極層 401 及び酸化物半導体層 403 のチャネル領域に重なるように酸化物絶縁膜 407 を介してソース配線 425 と同じ層に導電層 409 を設ける例である。

【0217】

図 17 は半導体装置の有する薄膜トランジスタ 462 の断面図である。薄膜トランジスタ 462 はボトムゲート型の薄膜トランジスタであり、絶縁表面を有する基板である基板 400 上に、ゲート電極層 401、ゲート絶縁層 402、酸化物半導体層 403、ソース電極層またはドレイン電極層 405a、405b、酸化物絶縁膜 407、ソース配線 425 及び導電層 409 を含む。導電層 409 は、ゲート電極層 401 と重なるように、酸化物絶縁膜 407 上に設けられている。なお、図 17 には示していないが、実施の形態 1 と同様にゲート配線、接続電極層も設けられている。

10

【0218】

導電層 409 は、実施の形態 1 に示すソース配線 425 と同様な材料、方法を用いて形成することができる。画素電極層を設ける場合は、画素電極層と同様な材料、方法を用いて形成してもよい。本実施の形態では、導電層 409 としてアルミニウムまたは銅などの低抵抗導電性材料を用いる。

20

【0219】

導電層 409 は、電位がゲート電極層 401 と同じでもよいし、異なっても良く、第 2 のゲート電極層として機能させることもできる。また、導電層 409 がフローティング状態であってもよい。

【0220】

導電層 409 を酸化物半導体層 403 と重なる位置に設けることによって、薄膜トランジスタの信頼性を調べるためのバイアス - 熱ストレス試験（以下、BT 試験という）において、BT 試験前後における薄膜トランジスタ 462 のしきい値電圧の変化量を低減することができる。特に、基板温度を 150 まで上昇させた後にゲートに印加する電圧を - 20V とする - BT 試験において、しきい値電圧の変動を抑えることができる。

30

【0221】

本実施の形態は、実施の形態 1 と自由に組み合わせることができる。

【0222】

(実施の形態 5)

半導体装置及び半導体装置の作製方法を、図 18 を用いて説明する。実施の形態 1 と同一部分または同様な機能を有する部分、及び工程は、実施の形態 1 と同様に行うことができ、繰り返しの説明は省略する。

【0223】

図 18 に示す薄膜トランジスタ 463 は、ゲート電極層 401 及び酸化物半導体層 403 のチャネル領域に重なるように、酸化物絶縁膜 407 及び絶縁層 410 を介して導電層 419 が設けられる形態である。

40

【0224】

図 18 は、半導体装置が有する薄膜トランジスタ 463 の断面図である。薄膜トランジスタ 463 はボトムゲート型の薄膜トランジスタであり、絶縁表面を有する基板である基板 400 上に、ゲート電極層 401、ゲート絶縁層 402、酸化物半導体層 403、ソース領域またはドレイン領域 404a、404b、ソース電極層またはドレイン電極層 405a、405b、酸化物絶縁膜 407、絶縁層 410、ソース配線 425 及び導電層 419 を含む。導電層 419 は、ゲート電極層 401 と重なるように、絶縁層 410 上に設けられている。なお、図 18 には示していないが、実施の形態 1 と同様にゲート配線、接続電

50

極層も設けられている。

【0225】

本実施の形態では、ゲート絶縁層402上に酸化物半導体層を形成した後、酸化物半導体層上にソース領域及びドレイン領域404a、404bを形成する。それからソース電極層405a、405bを形成し、酸化物絶縁膜407を形成する。実施の形態1と同様に、酸化物絶縁膜407形成後に、脱水化または脱水素化の加熱処理を行って酸化物半導体層403を形成する。加熱処理は、酸素ガス雰囲気下または不活性ガス雰囲気（窒素、またはヘリウム、ネオン、アルゴン等）下或いは減圧下において200 以上700 以下、好ましくは350 以上基板400の歪み点未満とする。加熱処理を行った後、不活性雰囲気下または酸素雰囲気下において徐冷を行うのが好ましい。また、この加熱処理により、酸化物絶縁膜407形成時のプラズマダメージを回復することができる。それから、酸化物絶縁膜407にコンタクトホールを形成し、ソース電極層405aと接続されるソース配線425を形成する。

10

【0226】

本実施の形態では、ソース領域及びドレイン領域404a、404bは、Zn-O系多結晶膜またはZn系微結晶膜であり、酸化物半導体層403の成膜条件とは異なる成膜条件で形成され、酸化物半導体層より低抵抗な膜である。また、本実施の形態では、ソース領域及びドレイン領域404a、404bは、多結晶状態または微結晶状態であり、酸化物半導体層403も多結晶状態または微結晶状態である。酸化物半導体層403は第2の加熱処理によって結晶化させて多結晶状態または微結晶状態とすることができる。

20

【0227】

本実施の形態で示す薄膜トランジスタは、酸化物絶縁膜407上に平坦化膜として機能する絶縁層410を積層し、酸化物絶縁膜407及び絶縁層410にソース電極層またはドレイン電極層405bに達する開口を有する酸化物絶縁膜407及び絶縁層410に形成された開口に導電膜を形成し、所望の形状にエッチングして導電層419及び画素電極層411を形成する。このように画素電極層411を形成する工程で、導電層419を形成することができる。本実施の形態では、画素電極層411、導電層419として酸化珪素を含む酸化インジウム酸化スズ合金（酸化珪素を含むIn-Sn-O系酸化物）を用いる。

【0228】

また、導電層419は、ゲート電極層401、ソース電極層またはドレイン電極層405a、405b、ソース配線425と同様な材料及び作製方法を用いて形成してもよい。

30

【0229】

導電層419は、電位がゲート電極層401と同じでもよい。または、異なってもよい。導電層419は、第2のゲート電極層として機能させることもできる。また、導電層419がフローティング状態であってもよい。

【0230】

導電層419を酸化物半導体層403と重なる位置に設けることによって、薄膜トランジスタ463のしきい値電圧の制御を行うことができる。

【0231】

本実施の形態は、実施の形態1と自由に組み合わせることができる。

40

【0232】

（実施の形態6）

本実施の形態では、チャンネルストップ型の薄膜トランジスタ1430の一例について図19（A）、図19（B）及び図19（C）を用いて説明する。また、図19（C）は薄膜トランジスタの上面図の一例であり、図中Z1—Z2の鎖線で切断した断面図が図19（B）に相当する。また、薄膜トランジスタ1430の酸化物半導体層にガリウムを含まない酸化物半導体材料を用いる形態を示す。

【0233】

図19（A）において、基板1400上にゲート電極層1401を形成する。ここで、ゲ

50

ート電極層は、後の工程で行う加熱処理に耐えることができるように、実施の形態 1 に示すような耐熱性導電性材料を用いるのが好ましい。次いで、ゲート電極層 1401 を覆うゲート絶縁層 1402 を形成する。次いで、ゲート絶縁層 1402 上に、酸化物半導体層 1403 を形成する。

【0234】

本実施の形態では、酸化物半導体層 1403 としてスパッタリング法を用いた Sn - Zn - O 系の酸化物半導体を用いる。酸化物半導体層にガリウムを用いないことによって、価格の高いターゲットを用いずに形成することが可能であるため、コストを低減できる。

【0235】

次いで、酸化物半導体層 1403 に接して、チャネル保護層 1418 を形成する。酸化物半導体層 1403 上にチャネル保護層 1418 を形成することによって、後のソース領域及びドレイン領域 1406a、1406b 形成工程時におけるダメージ（エッチング時のプラズマやエッチング剤による膜減りなど）を防ぐことができる。従って薄膜トランジスタ 1430 の信頼性を向上させることができる。

10

【0236】

また、酸化物半導体層 1403 の形成後、大気に触れることなく連続的にチャネル保護層 1418 を形成することもできる。大気に触れさせることなく連続的に処理することで、界面が、水やハイドロカーボンなどの、大気成分や大気中に浮遊する不純物元素に汚染されることなく各種層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

20

【0237】

チャネル保護層 1418 としては、酸素を含む無機材料（酸化珪素、酸化窒化珪素、窒化酸化珪素など）を用いることができる。作製法としては、プラズマ CVD 法や熱 CVD 法などの気相成長法やスパッタリング法を用いることができる。チャネル保護層 1418 は成膜後にエッチングにより形状を加工する。ここでは、スパッタ法により酸化シリコン膜を形成し、フォトリソグラフィによるマスクを用いてエッチング加工することでチャネル保護層 1418 を形成する。

【0238】

次いで、チャネル保護層 1418 及び酸化物半導体層 1403 上にソース領域及びドレイン領域 1406a、1406b を形成する。本実施の形態では、ソース領域及びドレイン領域 1406a、1406b は、Zn - O 系微結晶膜または Zn - O 系多結晶膜であり、酸化物半導体層 1403 の成膜条件とは異なる成膜条件で形成され、より低抵抗な膜である。

30

【0239】

次いで、ソース領域 1406a 上にソース電極層 1405a、ドレイン領域 1406b 上にドレイン電極層 1405b をそれぞれ形成して薄膜トランジスタ 1430 を作製する（図 19（B）参照）。ソース電極層 1405a 及びドレイン電極層 1405b は、実施の形態 1 に示すソース電極層 405a 及びドレイン電極層 405b と同様に形成することができ、耐熱性導電性材料を用いるのが好ましい。また、このとき同時にゲート配線を接続するための接続電極層 1420 を形成する。

40

【0240】

ソース領域及びドレイン領域 1406a、1406b を酸化物半導体層 1403 と、ソース電極層 1405a 及びドレイン電極層 1405b との間に設けることにより、金属層であるソース電極層 1405a、ドレイン電極層 1405b と、酸化物半導体層 1403 との間を良好な接合とすることが可能であり、ショットキー接合に比べて熱的にも安定な動作をする。また低抵抗化により、高いドレイン電圧でも良好な移動度を保持することができる。

【0241】

また、上述したソース領域及びドレイン領域 1406a、1406b を有する構造に限定されず、例えば、ソース領域及びドレイン領域を設けない構造としてもよい。

50

【0242】

次に、ソース電極層1405a及びドレイン電極層1405b及びチャネル保護層1418を覆うように、酸化物絶縁膜1407を形成する。酸化物絶縁膜1407は、少なくとも1nm以上の膜厚とし、CVD法、スパッタリング法など、酸化物絶縁膜1407に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化物絶縁膜1407は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用いる。代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜または酸化窒化アルミニウム膜を用いる。また、酸化物絶縁膜1407の上に接して窒化珪素膜または窒化アルミニウム膜を積層してもよい。

【0243】

次に、脱水化または脱水素化するため、酸素ガス雰囲気下、不活性ガス雰囲気（窒素、またはヘリウム、ネオン、アルゴン等）下、或いは減圧下において加熱処理を行う。加熱処理は、200 以上700 以下、好ましくは350 以上基板1400の歪み点未満とする。また、加熱処理後は、酸素雰囲気下で徐冷することが好ましい。例えば、基板の温度が加熱時の最高温度から少なくとも50 ~ 100 程度低くなるまで徐冷すれば良い。本実施の形態では酸化物半導体層1403は、微結晶状態または多結晶状態とする。また、この加熱処理を行うことにより、薄膜トランジスタの電気的特性のばらつきを軽減することができる。

【0244】

次に、酸化物絶縁膜1407に第1のコンタクトホール、第2のコンタクトホール、第3のコンタクトホールおよび第4のコンタクトホールを形成する。まず、エッチングによって酸化物絶縁膜1407の一部を除去することにより、ソース電極層1405aに達する第1のコンタクトホールと、ゲート電極層1401に達する第2のコンタクトホールの一部と、接続電極層1420の両端部に達する第3のコンタクトホール及び第4のコンタクトホールとを形成する。さらに、エッチングによってゲート絶縁層1402の一部を除去することにより、ゲート電極層1401に達する第2のコンタクトホールを形成する。

【0245】

次に、酸化物絶縁膜1407上に第2の導電膜を成膜し、酸化物絶縁膜1407上にソース配線1425、第1のゲート配線1426及び第2のゲート配線1427を形成する（図19（C）参照。）。第2の導電膜は、実施の形態1に示す第2の導電膜と同様の材料で形成するのが好ましく、アルミニウムまたは銅などの低抵抗導電性材料を用いることが好ましい。ソース配線1425は接続電極層1420と重なり、第1のコンタクトホールを介してソース電極層1405aと接続するように形成される。ソース配線1425を挟むように第1のゲート配線1426と第2のゲート配線1427が形成される。ここで、第1のゲート配線1426は、第2のコンタクトホールを介してゲート電極層1401と接続され、第3のコンタクトホールを介して接続電極層1420と接続されるように形成される。また、第2のゲート配線1427は、第4のコンタクトホールを介して接続電極層1420と接続されるように形成される。よって、第1のゲート配線1426と第2のゲート配線1427は、接続電極層1420を介して電氣的に接続される。

【0246】

以上の工程より、薄膜トランジスタ1430を形成することができる。

【0247】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0248】

（実施の形態7）

半導体装置及び半導体装置の作製方法を、図20（A）及び図20（B）を用いて説明する。実施の形態6と同一部分または同様な機能を有する部分、及び工程は、実施の形態6と同様に行うことができ、繰り返しの説明は省略する。

【0249】

図20(A)に示す薄膜トランジスタ1431はゲート電極層1401及び酸化物半導体層1403のチャネル領域に重なるようにチャネル保護層1418及び酸化物絶縁膜1407を介して導電層1409を設ける例である。

【0250】

図20(A)は半導体装置の有する薄膜トランジスタ1431の断面図である。薄膜トランジスタ1431はボトムゲート型の薄膜トランジスタであり、絶縁表面を有する基板である基板1400上に、ゲート電極層1401、ゲート絶縁層1402、酸化物半導体層1403、ソース領域またはドレイン領域1406a、1406b、及びソース電極層またはドレイン電極層1405a、1405b、酸化物絶縁膜1407、ソース配線1425、導電層1409を含む。導電層1409は、ゲート電極層1401と重なるように、酸化物絶縁膜1407上に設けられている。なお、図20(A)には示していないが、実施の形態1と同様にゲート配線、接続電極層も設けられている。

10

【0251】

実施の形態6と同様に、酸化物絶縁膜1407を形成した後、加熱処理を行って脱水化または脱水素化した酸化物半導体層1403を形成する。

【0252】

本実施の形態において、酸化物半導体層上に形成されるソース領域及びドレイン領域1406a、1406bは、Zn-O系微結晶膜またはZn-O系多結晶膜であり、酸化物半導体層1403の成膜条件とは異なる成膜条件で形成され、酸化物半導体層1403より低抵抗な酸化物半導体層である。また、酸化物半導体層1403は非晶質状態である。

20

【0253】

導電層1409は、実施の形態1に示すソース配線1425と同様な材料、方法を用いて形成することができる。画素電極層を設ける場合は、画素電極層と同様な材料、方法を用いて形成してもよい。本実施の形態では、導電層1409としてアルミニウムまたは銅などの低抵抗導電性材料を用いる。

【0254】

導電層1409は、電位がゲート電極層1401と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層1409がフローティング状態であってもよい。

【0255】

導電層1409を酸化物半導体層1403と重なる位置に設けることによって、薄膜トランジスタの信頼性を調べるためのバイアス-熱ストレス試験(以下、BT試験という)において、BT試験前後における薄膜トランジスタ1431のしきい値電圧の変化量を低減することができる。

30

【0256】

また、図20(B)に図20(A)と一部異なる例を示す。図20(A)と同一部分または同様な機能を有する部分、及び工程は、図20(A)と同様に行うことができ、繰り返しの説明は省略する。

【0257】

図20(B)に示す薄膜トランジスタ1432はゲート電極層1401及び酸化物半導体層1403のチャネル領域に重なるようにチャネル保護層1418、酸化物絶縁膜1407及び絶縁層1408を介して導電層1409を設ける例である。

40

【0258】

薄膜トランジスタ1432は、実施の形態1と同様に、酸化物絶縁膜1407形成後に、脱水化または脱水素化の加熱処理を行って酸化物半導体層1403を形成する。加熱処理は、酸素ガス雰囲気下、不活性ガス雰囲気(窒素、またはヘリウム、ネオン、アルゴン等)下或いは減圧下において200 以上700 以下、好ましくは350 以上基板1400の歪み点未満とする。加熱処理を行った後、不活性雰囲気下または酸素雰囲気下において徐冷を行うのが好ましい。それから、酸化物絶縁膜1407にコンタクトホールを形成し、ソース電極層1405aと接続されるソース配線1425を形成する。

50

【0259】

図20(B)では、酸化物絶縁膜1407上に平坦化膜として機能する絶縁層1408を積層する。

【0260】

また、図20(B)では、ソース領域またはドレイン領域を設けず、酸化物半導体層1403とソース電極層またはドレイン電極層1405a、1405bが直接接する構造となっている。

【0261】

図20(B)の構造においても、導電層1409を酸化物半導体層1403と重なる位置に設けることによって、薄膜トランジスタの信頼性を調べるためのBT試験において、BT試験前後における薄膜トランジスタ1432のしきい値電圧の変化量を低減することができる。

10

【0262】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0263】

(実施の形態8)

本実施の形態では、実施の形態1と構造が一部異なる例を図21に示す。実施の形態1と同一部分または同様な機能を有する部分、及び工程は、実施の形態1と同様に行うことができ、繰り返しの説明は省略する。

20

【0264】

本実施の形態では、第1の酸化物半導体層形成後、第1の酸化物半導体層上に、薄膜トランジスタのソース領域及びドレイン領域(n⁺層、バッファ層ともいう)として用いる第2の酸化物半導体膜を形成した後、導電膜を形成する。

【0265】

次いで、第1の酸化物半導体層、及び第2の酸化物半導体膜、導電膜をエッチング工程により選択的にエッチングし、酸化物半導体層403、及びソース領域またはドレイン領域404a、404b、及びソース電極層またはドレイン電極層405a、405bを形成する。なお、酸化物半導体層403は一部のみがエッチングされ、溝部(凹部)を有する。

30

【0266】

次いで、酸化物半導体層403に接してスパッタリング法またはPCVD法による酸化珪素膜を酸化物絶縁膜407として形成する。低抵抗化した酸化物半導体層に接して形成する酸化物絶縁膜407は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、具体的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜または酸化窒化アルミニウム膜を用いる。さらに酸化物絶縁膜407上に窒化珪素膜または窒化アルミニウム膜を積層してもよい。

【0267】

実施の形態1と同様に、酸化物絶縁膜407形成後に、脱水化または脱水素化の加熱処理を行って酸化物半導体層403を形成する。加熱処理は、酸素ガス雰囲気下または不活性ガス雰囲気(窒素、またはヘリウム、ネオン、アルゴン等)下或いは減圧下において200以上700以下、好ましくは350以上基板400の歪み点未満以上とする。加熱処理を行った後、不活性雰囲気下または酸素雰囲気下において徐冷を行うのが好ましい。また、この加熱処理により、酸化物絶縁膜407形成時のプラズマダメージを回復することができる。それから、酸化物絶縁膜407にコンタクトホールを形成し、ソース電極層405aと接続されるソース配線425を形成する。このようにして薄膜トランジスタ464を作製することができる(図21参照。)。

40

【0268】

図21における構造において、ソース領域またはドレイン領域404a、404bとしてIn-Ga-Zn-O系非単結晶を用いる。また、ソース領域及びドレイン領域404a

50

、404bは、Al-Zn-O系非晶質膜を用いることができる。また、ソース領域及びドレイン領域404a、404bは、窒素を含ませたAl-Zn-O系非晶質膜、即ちAl-Zn-O-N系非晶質膜(AZON膜とも呼ぶ)を用いてもよい。

【0269】

また、酸化物半導体層403とソース電極層の間にソース領域を、酸化物半導体層とドレイン電極層との間にドレイン領域を有する。

【0270】

また、薄膜トランジスタ464のソース領域またはドレイン領域404a、404bとして用いる第2の酸化物半導体層は、チャネル形成領域として用いる第1の酸化物半導体層403の膜厚よりも薄く、且つ、より高い導電率(電気伝導度)を有するのが好ましい。

10

【0271】

またチャネル形成領域として用いる第1の酸化物半導体層403は非晶質構造を有し、ソース領域及びドレイン領域として用いる第2の酸化物半導体層は非晶質構造の中に結晶粒(ナノクリスタル)を含む場合がある。このソース領域及びドレイン領域として用いる第2の酸化物半導体層中の結晶粒(ナノクリスタル)は直径1nm~10nm、代表的には2nm~4nm程度である。

【0272】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0273】

20

(実施の形態9)

本実施の形態では、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

【0274】

画素部に配置する薄膜トランジスタは、実施の形態1乃至実施の形態8に従って形成する。また、実施の形態1乃至実施の形態8に示す薄膜トランジスタはnチャネル型TFTであるため、駆動回路のうち、nチャネル型TFTで構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

【0275】

アクティブマトリクス型表示装置のブロック図の一例を図22(A)に示す。表示装置の基板5300上には、画素部5301、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304を有する。画素部5301には、複数の信号線が信号線駆動回路5304から延伸して配置され、複数の走査線が第1の走査線駆動回路5302、及び第2の走査線駆動回路5303から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に配置されている。また、表示装置の基板5300はFPC(Flexible Printed Circuit)等の接続部を介して、タイミング制御回路5305(コントローラ、制御ICともいう)に接続されている。

30

【0276】

図22(A)では、第1の走査線駆動回路5302、第2の走査線駆動回路5303、信号線駆動回路5304は、画素部5301と同じ基板5300上に形成される。そのため、外部に設ける駆動回路等の部品数が減るので、コストの低減を図ることができる。また、基板5300外部に駆動回路を設けた場合の配線を延伸させることによる接続部での接続数を減らすことができ、信頼性の向上、又は歩留まりの向上を図ることができる。

40

【0277】

なお、タイミング制御回路5305は、第1の走査線駆動回路5302に対し、一例として、第1の走査線駆動回路用スタート信号(GSP1)、走査線駆動回路用クロック信号(GCK1)を供給する。また、タイミング制御回路5305は、第2の走査線駆動回路5303に対し、一例として、第2の走査線駆動回路用スタート信号(GSP2)(スタートパルスともいう)、走査線駆動回路用クロック信号(GCK2)を供給する。信号線

50

駆動回路 5304 に、信号線駆動回路用スタート信号 (SSP)、信号線駆動回路用クロック信号 (SCK)、ビデオ信号用データ (DATA) (単にビデオ信号ともいう)、ラッチ信号 (LAT) を供給するものとする。なお各クロック信号は、周期のずれた複数のクロック信号でもよいし、クロック信号を反転させた信号 (CKB) とともに供給されるものであってもよい。なお、第 1 の走査線駆動回路 5302 と第 2 の走査線駆動回路 5303 との一方を省略することが可能である。

【0278】

図 22 (B) では、駆動周波数が低い回路 (例えば、第 1 の走査線駆動回路 5302、第 2 の走査線駆動回路 5303) を画素部 5301 と同じ基板 5300 に形成し、信号線駆動回路 5304 を画素部 5301 とは別の基板に形成する構成について示している。当該構成により、単結晶半導体を用いたトランジスタと比較すると電界効果移動度が小さい薄膜トランジスタによって、基板 5300 に形成する駆動回路を構成することができる。したがって、表示装置の大型化、工程数の削減、コストの低減、又は歩留まりの向上などを図ることができる。

10

【0279】

また、実施の形態 1 乃至実施の形態 8 に示す薄膜トランジスタは、n チャンネル型 TFT である。図 23 (A)、図 23 (B) では n チャンネル型 TFT で構成する信号線駆動回路の構成、動作について一例を示し説明する。

【0280】

信号線駆動回路は、シフトレジスタ 5601、及びスイッチング回路 5602 を有する。スイッチング回路 5602 は、スイッチング回路 5602_1 ~ 5602_N (N は自然数) という複数の回路を有する。スイッチング回路 5602_1 ~ 5602_N は、各々、薄膜トランジスタ 5603_1 ~ 5603_k (k は自然数) という複数のトランジスタを有する。薄膜トランジスタ 5603_1 ~ 5603_k が、N チャンネル型 TFT である例を説明する。

20

【0281】

信号線駆動回路の接続関係について、スイッチング回路 5602_1 を例にして説明する。薄膜トランジスタ 5603_1 ~ 5603_k の第 1 端子は、各々、配線 5604_1 ~ 5604_k と接続される。薄膜トランジスタ 5603_1 ~ 5603_k の第 2 端子は、各々、信号線 S1 ~ Sk と接続される。薄膜トランジスタ 5603_1 ~ 5603_k のゲートは、配線 5605_1 と接続される。

30

【0282】

シフトレジスタ 5601 は、配線 5605_1 ~ 5605_N に順番に H レベル (H 信号、高電源電位レベル、ともいう) の信号を出力し、スイッチング回路 5602_1 ~ 5602_N を順番に選択する機能を有する。

【0283】

スイッチング回路 5602_1 は、配線 5604_1 ~ 5604_k と信号線 S1 ~ Sk との導通状態 (第 1 端子と第 2 端子との間の導通) に制御する機能、即ち配線 5604_1 ~ 5604_k の電位を信号線 S1 ~ Sk に供給するか否かを制御する機能を有する。このように、スイッチング回路 5602_1 は、セレクタとしての機能を有する。また薄膜トランジスタ 5603_1 ~ 5603_k は、各々、配線 5604_1 ~ 5604_k と信号線 S1 ~ Sk との導通状態を制御する機能、即ち配線 5604_1 ~ 5604_k の電位を信号線 S1 ~ Sk に供給する機能を有する。このように、薄膜トランジスタ 5603_1 ~ 5603_k は、各々、スイッチとしての機能を有する。

40

【0284】

なお、配線 5604_1 ~ 5604_k には、各々、ビデオ信号用データ (DATA) が入力される。ビデオ信号用データ (DATA) は、画像情報又は画像信号に応じたアナログ信号である場合が多い。

【0285】

次に、図 23 (A) の信号線駆動回路の動作について、図 23 (B) のタイミングチャー

50

トを参照して説明する。図 23 (B) には、信号 $S_{out_1} \sim S_{out_N}$ 、及び信号 $V_{data_1} \sim V_{data_k}$ の一例を示す。信号 $S_{out_1} \sim S_{out_N}$ は、各々、シフトレジスタ 5601 の出力信号の一例であり、信号 $V_{data_1} \sim V_{data_k}$ は、各々、配線 5604__1 ~ 5604__k に入力される信号の一例である。なお、信号線駆動回路の 1 動作期間は、表示装置における 1 ゲート選択期間に対応する。1 ゲート選択期間は、一例として、期間 $T_1 \sim$ 期間 T_N に分割される。期間 $T_1 \sim T_N$ は、各々、選択された行に属する画素にビデオ信号用データ (DATA) を書き込むための期間である。

【0286】

期間 $T_1 \sim$ 期間 T_N において、シフトレジスタ 5601 は、H レベルの信号を配線 5605__1 ~ 5605__N に順番に出力する。例えば、期間 T_1 において、シフトレジスタ 5601 は、ハイレベルの信号を配線 5605__1 に出力する。すると、薄膜トランジスタ 5603__1 ~ 5603__k はオンになるので、配線 5604__1 ~ 5604__k と、信号線 $S_1 \sim S_k$ とが導通状態になる。このとき、配線 5604__1 ~ 5604__k には、 $Data(S_1) \sim Data(S_k)$ が入力される。 $Data(S_1) \sim Data(S_k)$ は、各々、薄膜トランジスタ 5603__1 ~ 5603__k を介して、選択される行に属する画素のうち、1 列目 ~ k 列目の画素に書き込まれる。こうして、期間 $T_1 \sim T_N$ において、選択された行に属する画素に、k 列ずつ順番にビデオ信号用データ (DATA) が書き込まれる。

【0287】

以上のように、ビデオ信号用データ (DATA) が複数の列ずつ画素に書き込まれることによって、ビデオ信号用データ (DATA) の数、又は配線の数減らすことができる。よって、外部回路との接続数を減らすことができる。また、ビデオ信号用データ (DATA) が複数の列ずつ画素に書き込まれることによって、書き込み時間を長くすることができ、ビデオ信号用データ (DATA) の書き込み不足を防止することができる。

【0288】

なお、シフトレジスタ 5601 及びスイッチング回路 5602 としては、実施の形態 1 乃至実施の形態 8 に示す薄膜トランジスタで構成される回路を用いることが可能である。この場合、シフトレジスタ 5601 が有する全てのトランジスタの極性を N チャンネル型、又は P チャンネル型のいずれかの極性のみで構成することができる。

【0289】

走査線駆動回路及び / または信号線駆動回路の一部に用いるシフトレジスタの一形態について図 24 及び図 25 を用いて説明する。

【0290】

走査線駆動回路は、シフトレジスタを有している。また場合によってはレベルシフタやバッファ等を有していても良い。走査線駆動回路において、シフトレジスタにクロック信号 (CK) 及びスタートパルス信号 (SP) が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1 ライン分の画素のトランジスタのゲート電極が接続されている。そして、1 ライン分の画素のトランジスタを一斉に ON にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0291】

シフトレジスタは、第 1 のパルス出力回路 10__1 乃至第 N のパルス出力回路 10__N (N は 3 以上の自然数) を有している (図 24 (A) 参照)。図 24 (A) に示すシフトレジスタの第 1 のパルス出力回路 10__1 乃至第 N のパルス出力回路 10__N には、第 1 の配線 11 より第 1 のクロック信号 CK1、第 2 の配線 12 より第 2 のクロック信号 CK2、第 3 の配線 13 より第 3 のクロック信号 CK3、第 4 の配線 14 より第 4 のクロック信号 CK4 が供給される。また第 1 のパルス出力回路 10__1 では、第 5 の配線 15 からのスタートパルス SP1 (第 1 のスタートパルス) が入力される。また 2 段目以降の第 n のパルス出力回路 10__n (n は、2 以上 N 以下の自然数) では、一段前段のパルス出力回

10

20

30

40

50

路からの信号（前段信号OUT（ $n - 1$ ）という）（ n は2以上の自然数）が入力される。また第1のパルス出力回路10__1では、2段後段の第3のパルス出力回路10__3からの信号、または2段目以降の第 n のパルス出力回路10__ n では、2段後段の第（ $n + 2$ ）のパルス出力回路10__（ $n + 2$ ）からの信号（後段信号OUT（ $n + 2$ ）という）が入力される。また各段のパルス出力回路からは、前段及び／または後段のパルス出力回路に入力するための第1の出力信号OUT（1）（SR）、別の配線等に入力される第2の出力信号OUT（1）が出力される。なお、図24（A）に示すように、シフトレジスタの最終段の2つの段には、後段信号OUT（ $n + 2$ ）が入力されないため、一例としては、別途第2のスタートパルスSP2、第3のスタートパルスSP3をそれぞれ入力する構成とすればよい。

10

【0292】

なお、クロック信号（CK）は、一定の間隔でHレベルとLレベル（L信号、低電源電位レベル、ともいう）を繰り返す信号である。ここで、第1のクロック信号（CK1）～第4のクロック信号（CK4）は、順に1/4周期分遅延している。本実施の形態では、第1のクロック信号（CK1）～第4のクロック信号（CK4）を利用して、パルス出力回路の駆動の制御等を行う。なお、クロック信号は、入力される駆動回路に応じて、GCK、SCKということもあるが、ここではCKとして説明を行う

【0293】

第1の入力端子21、第2の入力端子22及び第3の入力端子23は、第1の配線11～第4の配線14のいずれかと電氣的に接続されている。例えば、図24（A）において、第1のパルス出力回路10__1は、第1の入力端子21が第1の配線11と電氣的に接続され、第2の入力端子22が第2の配線12と電氣的に接続され、第3の入力端子23が第3の配線13と電氣的に接続されている。また、第2のパルス出力回路10__2は、第1の入力端子21が第2の配線12と電氣的に接続され、第2の入力端子22が第3の配線13と電氣的に接続され、第3の入力端子23が第4の配線14と電氣的に接続されている。

20

【0294】

第1のパルス出力回路10__1～第Nのパルス出力回路10__Nの各々は、第1の入力端子21、第2の入力端子22、第3の入力端子23、第4の入力端子24、第5の入力端子25、第1の出力端子26、第2の出力端子27を有しているとする（図24（B）参照）。第1のパルス出力回路10__1において、第1の入力端子21に第1のクロック信号CK1が入力され、第2の入力端子22に第2のクロック信号CK2が入力され、第3の入力端子23に第3のクロック信号CK3が入力され、第4の入力端子24にスタートパルスが入力され、第5の入力端子25に後段信号OUT（3）が入力され、第1の出力端子26より第1の出力信号OUT（1）（SR）が出力され、第2の出力端子27より第2の出力信号OUT（1）が出力されていることとなる。

30

【0295】

次に、図24（B）に示したパルス出力回路の具体的な回路構成の一例について、図24（C）で説明する。

【0296】

図24（C）に示したパルス出力回路は、第1のトランジスタ31～第13のトランジスタ43を有している。また、上述した第1の入力端子21～第5の入力端子25、及び第1の出力端子26、第2の出力端子27に加え、第1の高電源電位VDDが供給される電源線51、第2の高電源電位VCCが供給される電源線52、低電源電位VSSが供給される電源線53から、第1のトランジスタ31～第13のトランジスタ43に信号、または電源電位が供給される。ここで図24（C）の各電源線の電源電位の大小関係は、第1の電源電位VDDは第2の電源電位VCC以上の電位とし、第2の電源電位VCCは第3の電源電位VSSより大きい電位とする。なお、第1のクロック信号（CK1）～第4のクロック信号（CK4）は、一定の間隔でHレベルとLレベルを繰り返す信号であるが、HレベルのときVDD、LレベルのときVSSであるとする。なお電源線51の電位VD

40

50

Dを、電源線52の電位VCCより高くすることにより、動作に影響を与えることなく、トランジスタのゲート電極に印加される電位を低く抑えることができ、トランジスタのしきい値のシフトを低減し、劣化を抑制することができる。

【0297】

図24(C)において第1のトランジスタ31は、第1端子が電源線51に電氣的に接続され、第2端子が第9のトランジスタ39の第1端子に電氣的に接続され、ゲート電極が第4の入力端子24に電氣的に接続されている。第2のトランジスタ32は、第1端子が電源線53に電氣的に接続され、第2端子が第9のトランジスタ39の第1端子に電氣的に接続され、ゲート電極が第4のトランジスタ34のゲート電極に電氣的に接続されている。第3のトランジスタ33は、第1端子が第1の入力端子21に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続されている。第4のトランジスタ34は、第1端子が電源線53に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続されている。第5のトランジスタ35は、第1端子が電源線53に電氣的に接続され、第2端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極が第4の入力端子24に電氣的に接続されている。第6のトランジスタ36は、第1端子が電源線52に電氣的に接続され、第2端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極が第5の入力端子25に電氣的に接続されている。第7のトランジスタ37は、第1端子が電源線52に電氣的に接続され、第2端子が第8のトランジスタ38の第2端子に電氣的に接続され、ゲート電極が第3の入力端子23に電氣的に接続されている。第8のトランジスタ38は、第1端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極が第2の入力端子22に電氣的に接続されている。第9のトランジスタ39は、第1端子が第1のトランジスタ31の第2端子及び第2のトランジスタ32の第2端子に電氣的に接続され、第2端子が第3のトランジスタ33のゲート電極及び第10のトランジスタ40のゲート電極に電氣的に接続され、ゲート電極が電源線51に電氣的に接続されている。第10のトランジスタ40は、第1端子が第1の入力端子21に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲート電極が第9のトランジスタ39の第2端子に電氣的に接続されている。第11のトランジスタ41は、第1端子が電源線53に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲート電極が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続されている。第12のトランジスタ42は、第1端子が電源線53に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲート電極が第7のトランジスタ37のゲート電極に電氣的に接続されている。第13のトランジスタ43は、第1端子が電源線53に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続され、ゲート電極が第7のトランジスタ37のゲート電極に電氣的に接続されている。

【0298】

図24(C)において、第3のトランジスタ33のゲート電極、第10のトランジスタ40のゲート電極、及び第9のトランジスタ39の第2端子の接続箇所をノードAとする。また、第2のトランジスタ32のゲート電極、第4のトランジスタ34のゲート電極、第5のトランジスタ35の第2端子、第6のトランジスタ36の第2端子、第8のトランジスタ38の第1端子、及び第11のトランジスタ41のゲート電極の接続箇所をノードBとする。

【0299】

図25(A)に、図24(C)で説明したパルス出力回路を第1のパルス出力回路10__1に適用した場合に、第1の入力端子21乃至第5の入力端子25と第1の出力端子26及び第2の出力端子27に入力または出力される信号を示している。

【0300】

具体的には、第1の入力端子21に第1のクロック信号CK1が入力され、第2の入力端子22に第2のクロック信号CK2が入力され、第3の入力端子23に第3のクロック信

10

20

30

40

50

号 C K 3 が入力され、第 4 の入力端子 2 4 にスタートパルスが入力され、第 5 の入力端子 2 5 に後段信号 O U T (3) が入力され、第 1 の出力端子 2 6 より第 1 の出力信号 O U T (1) (S R) が出力され、第 2 の出力端子 2 7 より第 2 の出力信号 O U T (1) が出力される。

【 0 3 0 1 】

なお、薄膜トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。また、ゲートと重畳した領域にチャネル領域が形成される半導体を有しており、ゲートの電位を制御することで、チャネル領域を介してドレインとソースの間に流れる電流を制御することが出来る。ここで、ソースとドレインとは、薄膜トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第 1 端子、第 2 端子と表記する場合がある。

10

【 0 3 0 2 】

なお図 2 4 (C)、図 2 5 (A)において、ノード A を浮遊状態とすることによりブートストラップ動作を行うための、容量素子を別途設けても良い。またノード B の電位を保持するため、一方の電極をノード B に電氣的に接続した容量素子を別途設けてもよい。

【 0 3 0 3 】

ここで、図 2 5 (A) に示したパルス出力回路を複数具備するシフトレジスタのタイミングチャートについて図 2 5 (B) に示す。なおシフトレジスタが走査線駆動回路である場合、図 2 5 (B) 中の期間 6 1 は垂直帰線期間であり、期間 6 2 はゲート選択期間に相当する。

20

【 0 3 0 4 】

なお、図 2 5 (A) に示すように、ゲートに第 2 の電源電位 V C C が印加される第 9 のトランジスタ 3 9 を設けておくことにより、ブートストラップ動作の前後において、以下のような利点がある。

【 0 3 0 5 】

ゲート電極に第 2 の電位 V C C が印加される第 9 のトランジスタ 3 9 がない場合、ブートストラップ動作によりノード A の電位が上昇すると、第 1 のトランジスタ 3 1 の第 2 端子であるソースの電位が上昇していき、第 1 の電源電位 V D D より大きくなる。そして、第 1 のトランジスタ 3 1 のソースが第 1 端子側、即ち電源線 5 1 側に切り替わる。そのため、第 1 のトランジスタ 3 1 においては、ゲートとソースの間、ゲートとドレインの間ともに、大きなバイアス電圧が印加されるために大きなストレスがかかり、トランジスタの劣化の要因となりうる。そこで、ゲート電極に第 2 の電源電位 V C C が印加される第 9 のトランジスタ 3 9 を設けておくことにより、ブートストラップ動作によりノード A の電位は上昇するものの、第 1 のトランジスタ 3 1 の第 2 端子の電位の上昇を生じないようにすることができる。つまり、第 9 のトランジスタ 3 9 を設けることにより、第 1 のトランジスタ 3 1 のゲートとソースの間に印加される負のバイアス電圧の値を小さくすることができる。よって、本実施の形態の回路構成とすることにより、第 1 のトランジスタ 3 1 のゲートとソースの間に印加される負のバイアス電圧も小さくできるため、ストレスによる第 1 のトランジスタ 3 1 の劣化を抑制することができる。

30

40

【 0 3 0 6 】

なお、第 9 のトランジスタ 3 9 を設ける箇所については、第 1 のトランジスタ 3 1 の第 2 端子と第 3 のトランジスタ 3 3 のゲートとの間に第 1 端子と第 2 端子を介して接続されるように設ける構成であればよい。なお、本実施形態でのパルス出力回路を複数具備するシフトレジスタの場合、走査線駆動回路より段数の多い信号線駆動回路では、第 9 のトランジスタ 3 9 を省略してもよく、トランジスタ数を削減することが利点がある。

【 0 3 0 7 】

なお第 1 のトランジスタ 3 1 乃至第 1 3 のトランジスタ 4 3 の半導体層として、酸化物半導体を用いることにより、薄膜トランジスタのオフ電流を低減すると共に、オン電流及び

50

電界効果移動度を高めることが出来ると共に、劣化の度合いを低減することが出来るため、回路内の誤動作を低減することができる。また酸化物半導体を用いたトランジスタ、アモルファスシリコンを用いたトランジスタに比べ、ゲート電極に高電位が印加されることによるトランジスタの劣化の程度が小さい。そのため、第2の電源電位VCCを供給する電源線に、第1の電源電位VDDを供給しても同様の動作が得られ、且つ回路間を引き回す電源線の数低減することができるため、回路の小型化を図ることが出来る。

【0308】

なお、第7のトランジスタ37のゲート電極に第3の入力端子23によって供給されるクロック信号、第8のトランジスタ38のゲート電極に第2の入力端子22によって供給されるクロック信号は、第7のトランジスタ37のゲート電極に第2の入力端子22によって供給されるクロック信号、第8のトランジスタ38のゲート電極に第3の入力端子23によって供給されるクロック信号となるように、結線関係を入れ替えても同様の作用を奏する。なお、図25(A)に示すシフトレジスタにおいて、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオフ、第8のトランジスタ38がオンの状態、次いで第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態と順次変化することによって、ノードBの電位の低下は、第2の入力端子22の電位が低下することで第7のトランジスタ37のゲート電極に印加される電位の低下及び第3の入力端子23の電位が低下することで第8のトランジスタ38のゲート電極に印加される電位の低下に起因して、2回生じることとなる。一方、図25(A)に示すシフトレジスタを図25(B)に示された期間のように、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオン、第8のトランジスタ38がオフの状態、次いで、第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態と順次変化することによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じるノードBの電位の低下は、第8のトランジスタ38のゲート電極に印加される電位の低下による1回に低減することができる。そのため、第7のトランジスタ37のゲート電極に第3の入力端子23からクロック信号が供給され、第8のトランジスタ38のゲート電極に第2の入力端子22からクロック信号が供給される結線関係とすることが好適である。なぜならば、ノードBの電位の変動回数を低減され、ノイズを低減することが出来るからである。

【0309】

このように、第1の出力端子26及び第2の出力端子27の電位をLレベルに保持する期間に、ノードBに定期的にHレベルの信号が供給される構成とすることにより、パルス出力回路の誤動作を抑制することができる。

【0310】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0311】

(実施の形態10)

薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置(表示装置ともいう)を作製することができる。また、薄膜トランジスタを用いた駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0312】

表示装置は表示素子を含む。表示素子としては液晶素子(液晶表示素子ともいう)、発光素子(発光表示素子ともいう)を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機EL(Electro Luminescence)、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

【0313】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラ

を含むＩＣ等を実装した状態にあるモジュールとを含む。さらに、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【０３１４】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクタ、例えばＦＰＣ（Flexible printed circuit）もしくはＴＡＢ（Tape Automated Bonding）テープもしくはＴＣＰ（Tape Carrier Package）が取り付けられたモジュール、ＴＡＢテープやＴＣＰの先にプリント配線板が設けられたモジュール、または表示素子にＣＯＧ（Chip On Glass）方式によりＩＣ（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

10

【０３１５】

半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図２６を用いて説明する。図２６（Ａ１）（Ａ２）は、第１の基板４００１上に形成された実施の形態１乃至実施の形態８で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタ４０１０、４０１１、及び液晶素子４０１３を、第２の基板４００６との間にシール材４００５によって封止した、パネルの平面図であり、図２６（Ｂ）は、図２６（Ａ１）（Ａ２）のＭ－Ｎにおける断面図に相当する。

20

【０３１６】

第１の基板４００１上に設けられた画素部４００２と、走査線駆動回路４００４とを囲むようにして、シール材４００５が設けられている。また画素部４００２と、走査線駆動回路４００４の上に第２の基板４００６が設けられている。よって画素部４００２と、走査線駆動回路４００４とは、第１の基板４００１とシール材４００５と第２の基板４００６とによって、液晶層４００８と共に封止されている。また第１の基板４００１上のシール材４００５によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路４００３が実装されている。

【０３１７】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、ＣＯＧ方法、ワイヤボンディング方法、或いはＴＡＢ方法などを用いることができる。図２６（Ａ１）は、ＣＯＧ方法により信号線駆動回路４００３を実装する例であり、図２６（Ａ２）は、ＴＡＢ方法により信号線駆動回路４００３を実装する例である。

30

【０３１８】

また第１の基板４００１上に設けられた画素部４００２と、走査線駆動回路４００４は、薄膜トランジスタを複数有しており、図２６（Ｂ）では、画素部４００２に含まれる薄膜トランジスタ４０１０と、走査線駆動回路４００４に含まれる薄膜トランジスタ４０１１とを例示している。薄膜トランジスタ４０１０、４０１１上には絶縁層４０２０、４０２１が設けられている。

40

【０３１９】

薄膜トランジスタ４０１０、４０１１は、実施の形態１乃至実施の形態８で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ４０１０、４０１１はｎチャネル型薄膜トランジスタである。

【０３２０】

また、液晶素子４０１３が有する画素電極層４０３０は、薄膜トランジスタ４０１０と電氣的に接続されている。そして液晶素子４０１３の対向電極層４０３１は第２の基板４００６上に形成されている。画素電極層４０３０と対向電極層４０３１と液晶層４００８とが重なっている部分が、液晶素子４０１３に相当する。なお、画素電極層４０３０、対向電極層４０３１はそれぞれ配向膜として機能する絶縁層４０３２、４０３３が設けられ、

50

絶縁層4032、4033を介して液晶層4008を挟持している。

【0321】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属（代表的にはステンレス）、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【0322】

またスペーサ4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離（セルギャップ）を制御するために設けられている。なお球状のスペーサを用いていても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

【0323】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1msec以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

【0324】

なお透過型液晶表示装置の他に、反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

【0325】

また、液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層（カラーフィルター）、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

【0326】

また、薄膜トランジスタの表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、上記実施の形態で得られた薄膜トランジスタを保護膜や平坦化絶縁膜として機能する絶縁層（絶縁層4020、絶縁層4021）で覆う構成となっている。なお、保護膜は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護膜は、スパッタ法を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、又は窒化酸化アルミニウム膜の単層、又は積層で形成すればよい。保護膜をスパッタ法で形成する例を示すが、特に限定されず種々の方法で形成すればよい。

【0327】

ここでは、保護膜として積層構造の絶縁層4020を形成する。ここでは、絶縁層4020の一層目として、スパッタ法を用いて酸化珪素膜を形成する。保護膜として酸化珪素膜を用いると、ソース電極層及びドレイン電極層として用いるアルミニウム膜のヒロック防止に効果がある。

【0328】

また、保護膜の二層目として絶縁層を形成する。ここでは、絶縁層4020の二層目として、スパッタ法を用いて窒化珪素膜を形成する。保護膜として窒化珪素膜を用いると、ナ

トリウム等の可動イオンが半導体領域中に侵入して、TFTの電気特性を変化させることを抑制することができる。

【0329】

また、保護膜を形成した後に、窒素雰囲気下、又は大気雰囲気下で加熱処理（300以下）を行ってもよい。

【0330】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

10

【0331】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0332】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

20

【0333】

画素電極層4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0334】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が $10000\Omega/\square$ 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1\Omega\cdot\text{cm}$ 以下であることが好ましい。

30

【0335】

導電性高分子としては、いわゆる π 電子共役系導電性高分子を用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0336】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

40

【0337】

接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

【0338】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0339】

50

また図26においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているがこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0340】

図27は、本明細書に開示する作製方法により作製されるTFT基板2600を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

【0341】

図27は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、着色層2605が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組み込まれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

【0342】

液晶表示モジュールには、TN(Twisted Nematic)モード、IPS(In-Plane-Switching)モード、FFS(Fringe Field Switching)モード、MVA(Multi-domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASM(Axially Symmetric aligned Micro-cell)モード、OCB(Optical Compensated Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モードなどを用いることができる。

【0343】

以上の工程により、半導体装置として信頼性の高い液晶表示パネルを作製することができる。

【0344】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0345】

(実施の形態11)

半導体装置として電子ペーパーの例を示す。

【0346】

スイッチング素子と電氣的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置(電気泳動ディスプレイ)も呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【0347】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの(無色を含む)とする。

【0348】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。なお、電気泳動ディスプレイは、液晶表示装置には必要な偏光板は必要ない。

【0349】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0350】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態1乃至実施の形態8に示す薄膜トランジスタによって得られるアクティブマトリクス基板を用いることができる。

10

【0351】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

【0352】

20

図28は、半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ581としては、実施の形態1乃至実施の形態8で示す薄膜トランジスタと同様に作製でき、酸化物半導体層を含む信頼性の高い薄膜トランジスタである。

【0353】

図28の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

【0354】

30

基板580上に形成された薄膜トランジスタ581はボトムゲート構造の薄膜トランジスタであり、半導体層と接する絶縁膜583に覆われている。薄膜トランジスタ581のソース電極層又はドレイン電極層によって第1の電極層587と、絶縁層585に形成する開口で接しており電氣的に接続している。第1の電極層587と基板596上に形成された第2の電極層588との間には黒色領域590a及び白色領域590bを有し、周りに液体で満たされているキャビティ594を含む球形粒子589が設けられており、球形粒子589の周囲は樹脂等の充填材595で充填されている。第1の電極層587が画素電極に相当し、第2の電極層588が共通電極に相当する。第2の電極層588は、薄膜トランジスタ581と同一基板580上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、基板580と基板596の間に配置される導電性粒子を介して第2の電極層588と共通電位線とを電氣的に接続することができる。

40

【0355】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10 μ m~200 μ m程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また

50

、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

【 0 3 5 6 】

以上の工程により、半導体装置として信頼性の高い電子ペーパーを作製することができる。

【 0 3 5 7 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

10

【 0 3 5 8 】

（実施の形態 1 2 ）

半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 E L 素子、後者は無機 E L 素子と呼ばれている。

【 0 3 5 9 】

有機 E L 素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

20

【 0 3 6 0 】

無機 E L 素子は、その素子構成により、分散型無機 E L 素子と薄膜型無機 E L 素子とに分類される。分散型無機 E L 素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー - アクセプター再結合型発光である。薄膜型無機 E L 素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機 E L 素子を用いて説明する。

30

【 0 3 6 1 】

図 2 9 は、半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【 0 3 6 2 】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層をチャンネル形成領域に用いる n チャンネル型のトランジスタを 1 つの画素に 2 つ用いる例を示す。

【 0 3 6 3 】

画素 6 4 0 0 は、スイッチング用トランジスタ 6 4 0 1、発光素子駆動用トランジスタ 6 4 0 2、発光素子 6 4 0 4 及び容量素子 6 4 0 3 を有している。スイッチング用トランジスタ 6 4 0 1 はゲートが走査線 6 4 0 6 に接続され、第 1 電極（ソース電極及びドレイン電極の一方）が信号線 6 4 0 5 に接続され、第 2 電極（ソース電極及びドレイン電極の他方）が発光素子駆動用トランジスタ 6 4 0 2 のゲートに接続されている。発光素子駆動用トランジスタ 6 4 0 2 は、ゲートが容量素子 6 4 0 3 を介して電源線 6 4 0 7 に接続され、第 1 電極が電源線 6 4 0 7 に接続され、第 2 電極が発光素子 6 4 0 4 の第 1 電極（画素電極）に接続されている。発光素子 6 4 0 4 の第 2 電極は共通電極 6 4 0 8 に相当する。共通電極 6 4 0 8 は、同一基板上に形成される共通電位線と電気的に接続される。

40

【 0 3 6 4 】

なお、発光素子 6 4 0 4 の第 2 電極（共通電極 6 4 0 8）には低電源電位が設定されている。なお、低電源電位とは、電源線 6 4 0 7 に設定される高電源電位を基準にして低電源

50

電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子6404に印加して、発光素子6404に電流を流して発光素子6404を発光させるため、高電源電位と低電源電位との電位差が発光素子6404の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

【0365】

なお、容量素子6403は発光素子駆動用トランジスタ6402のゲート容量を代用して省略することも可能である。発光素子駆動用トランジスタ6402のゲート容量については、チャンネル領域とゲート電極との間で容量が形成されていてもよい。

【0366】

ここで、電圧入力電圧駆動方式の場合には、発光素子駆動用トランジスタ6402のゲートには、発光素子駆動用トランジスタ6402が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、発光素子駆動用トランジスタ6402は線形領域で動作させる。発光素子駆動用トランジスタ6402は線形領域で動作させるため、電源線6407の電圧よりも高い電圧を発光素子駆動用トランジスタ6402のゲートにかける。なお、信号線6405には、(電源線電圧+発光素子駆動用トランジスタ6402の V_{th})以上の電圧をかける。

【0367】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図29と同じ画素構成を用いることができる。

【0368】

アナログ階調駆動を行う場合、発光素子駆動用トランジスタ6402のゲートに発光素子6404の順方向電圧+発光素子駆動用トランジスタ6402の V_{th} 以上の電圧をかける。発光素子6404の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、発光素子駆動用トランジスタ6402が飽和領域で動作するようなビデオ信号を入力することで、発光素子6404に電流を流すことができる。発光素子駆動用トランジスタ6402を飽和領域で動作させるため、電源線6407の電位は、発光素子駆動用トランジスタ6402のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子6404にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【0369】

なお、図29に示す画素構成は、これに限定されない。例えば、図29に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

【0370】

次に、発光素子の構成について、図30を用いて説明する。ここでは、発光素子駆動用TFTがn型の場合を例に挙げて、画素の断面構造について説明する。図30(A)(B)(C)の半導体装置に用いられる発光素子駆動用TFTであるTFT7001、7011、7021は、実施の形態1乃至実施の形態8で示す画素に配置される薄膜トランジスタと同様に作製でき、酸化物半導体層を含む信頼性の高い薄膜トランジスタである。

【0371】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、画素構成はどの射出構造の発光素子にも適用することができる。

【0372】

上面射出構造の発光素子について図30(A)を用いて説明する。

【0373】

図30(A)に、発光素子駆動用TFTであるTFT7001がn型で、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図30(A)

10

20

30

40

50

）では、発光素子 7002 の陰極 7003 と発光素子駆動用 TFT である TFT 7001 が電氣的に接続されており、陰極 7003 上に発光層 7004、陽極 7005 が順に積層されている。陰極 7003 は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々の材料を用いることができる。例えば、Ca、Al、MgAg、AlLi 等が望ましい。そして発光層 7004 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極 7003 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極 7005 は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITO と示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電膜を用いても良い。

10

【0374】

また、陰極 7003 の一部を覆って隔壁 7009 を設ける。隔壁 7009 は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁 7009 は、特に感光性の樹脂材料を用い、隔壁 7009 の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁 7009 として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

20

【0375】

陰極 7003 及び陽極 7005 で発光層 7004 を挟んでいる領域が発光素子 7002 に相当する。図 30 (A) に示した画素の場合、発光素子 7002 から発せられる光は、矢印で示すように陽極 7005 側に射出する。

【0376】

次に、下面射出構造の発光素子について図 30 (B) を用いて説明する。発光素子駆動用 TFT 7011 が n 型で、発光素子 7012 から発せられる光が陰極 7013 側に射出する場合の、画素の断面図を示す。図 30 (B) では、発光素子駆動用 TFT 7011 と電氣的に接続された透光性を有する導電膜 7017 上に、発光素子 7012 の陰極 7013 が成膜されており、陰極 7013 上に発光層 7014、陽極 7015 が順に積層されている。なお、陽極 7015 が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜 7016 が成膜されていてもよい。陰極 7013 は、図 30 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度（好ましくは、5 nm ~ 30 nm 程度）とする。例えば 20 nm の膜厚を有するアルミニウム膜を、陰極 7013 として用いることができる。そして発光層 7014 は、図 30 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7015 は光を透過する必要はないが、図 30 (A) と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜 7016 は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

30

40

【0377】

また、導電膜 7017 の一部を覆って隔壁 7019 を設ける。隔壁 7019 は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁 7019 は、特に感光性の樹脂材料を用い、隔壁 7019 の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁 7019 として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0378】

陰極 7013 及び陽極 7015 で、発光層 7014 を挟んでいる領域が発光素子 7012 に相当する。図 30 (B) に示した画素の場合、発光素子 7012 から発せられる光は、

50

矢印で示すように陰極 7 0 1 3 側に射出する。

【 0 3 7 9 】

次に、両面射出構造の発光素子について、図 3 0 (C) を用いて説明する。図 3 0 (C) では、発光素子駆動用 T F T 7 0 2 1 と電氣的に接続された透光性を有する導電膜 7 0 2 7 上に、発光素子 7 0 2 2 の陰極 7 0 2 3 が成膜されており、陰極 7 0 2 3 上に発光層 7 0 2 4、陽極 7 0 2 5 が順に積層されている。陰極 7 0 2 3 は、図 3 0 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 2 0 n m の膜厚を有する A l を、陰極 7 0 2 3 として用いることができる。そして発光層 7 0 2 4 は、図 3 0 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7 0 2 5 は、図 3 0 (A) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

10

【 0 3 8 0 】

また、導電膜 7 0 2 7 の一部を覆って隔壁 7 0 2 9 を設ける。隔壁 7 0 2 9 は、ポリイミド、アクリル、ポリアミド、エポキシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。隔壁 7 0 2 9 は、特に感光性の樹脂材料を用い、隔壁 7 0 2 9 の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁 7 0 2 9 として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【 0 3 8 1 】

陰極 7 0 2 3 と、発光層 7 0 2 4 と、陽極 7 0 2 5 とが重なっている部分が発光素子 7 0 2 2 に相当する。図 3 0 (C) に示した画素の場合、発光素子 7 0 2 2 から発せられる光は、矢印で示すように陽極 7 0 2 5 側と陰極 7 0 2 3 側の両方に射出する。

20

【 0 3 8 2 】

なお、ここでは、発光素子として有機 E L 素子について述べたが、発光素子として無機 E L 素子設けることも可能である。

【 0 3 8 3 】

なお、発光素子の駆動を制御する薄膜トランジスタ（発光素子駆動用 T F T ）と発光素子が電氣的に接続されている例を示したが、発光素子駆動用 T F T と発光素子との間に電流制御用 T F T が接続されている構成であってもよい。

30

【 0 3 8 4 】

なお半導体装置は、図 3 0 に示した構成に限定されるものではなく、本明細書に開示する技術的思想に基づく各種の変形が可能である。

【 0 3 8 5 】

次に、半導体装置の一形態に相当する発光表示パネル（発光パネルともいう）の外観及び断面について、図 3 1 を用いて説明する。図 3 1 は、第 1 の基板上に形成された薄膜トランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの平面図であり、図 3 1 (B) は、図 3 1 (A) の H - I における断面図に相当する。

【 0 3 8 6 】

第 1 の基板 4 5 0 1 上に設けられた画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b を囲むようにして、シール材 4 5 0 5 が設けられている。また画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b の上に第 2 の基板 4 5 0 6 が設けられている。よって画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b は、第 1 の基板 4 5 0 1 とシール材 4 5 0 5 と第 2 の基板 4 5 0 6 とによって、充填材 4 5 0 7 と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

40

【 0 3 8 7 】

また第 1 の基板 4 5 0 1 上に設けられた画素部 4 5 0 2、信号線駆動回路 4 5 0 3 a、4

50

503b、及び走査線駆動回路4504a、4504bは、薄膜トランジスタを複数有しており、図31(B)では、画素部4502に含まれる薄膜トランジスタ4510と、信号線駆動回路4503aに含まれる薄膜トランジスタ4509とを例示している。

【0388】

薄膜トランジスタ4509、4510は、実施の形態1乃至実施の形態8で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタを適用することができる。薄膜トランジスタ4509、4510はnチャネル型薄膜トランジスタである。

【0389】

また4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極層4517は、薄膜トランジスタ4510のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子4511の構成は、第1の電極層4517、電界発光層4512、第2の電極層4513の積層構造であるが、示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

【0390】

隔壁4520は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極層4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0391】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0392】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4513及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化珪素膜、窒化酸化珪素膜、DLC膜等を形成することができる。

【0393】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

【0394】

接続端子電極4515が、発光素子4511が有する第1の電極層4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

【0395】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電氣的に接続されている。

【0396】

発光素子4511からの光の取り出し方向に位置する、第2の基板4506は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0397】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。例えば充填材4507として窒素を用いればよい。

【0398】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板(楕円偏光板を含む)、位相差板($\lambda/4$ 板、 $\lambda/2$ 板)、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により

10

20

30

40

50

反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【 0 3 9 9 】

信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b は、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、図 3 1 の構成に限定されない。

【 0 4 0 0 】

以上の工程により、半導体装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。

【 0 4 0 1 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせる実施することが可能である。

【 0 4 0 2 】

（実施の形態 1 3 ）

本明細書に開示する半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図 3 2 に示す。

【 0 4 0 3 】

図 3 2 は、電子書籍 2 7 0 0 の一例を示している。例えば、電子書籍 2 7 0 0 は、筐体 2 7 0 1 および筐体 2 7 0 3 の 2 つの筐体で構成されている。筐体 2 7 0 1 および筐体 2 7 0 3 は、軸部 2 7 1 1 により一体とされており、該軸部 2 7 1 1 を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【 0 4 0 4 】

筐体 2 7 0 1 には表示部 2 7 0 5 が組み込まれ、筐体 2 7 0 3 には表示部 2 7 0 7 が組み込まれている。表示部 2 7 0 5 および表示部 2 7 0 7 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図 3 2 では表示部 2 7 0 5 ）に文章を表示し、左側の表示部（図 3 2 では表示部 2 7 0 7 ）に画像を表示することができる。

【 0 4 0 5 】

また、図 3 2 では、筐体 2 7 0 1 に操作部などを備えた例を示している。例えば、筐体 2 7 0 1 において、電源 2 7 2 1、操作キー 2 7 2 3、スピーカ 2 7 2 5などを備えている。操作キー 2 7 2 3 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB 端子、または AC アダプタおよび USB ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2 7 0 0 は、電子辞書としての機能を持たせた構成としてもよい。

【 0 4 0 6 】

また、電子書籍 2 7 0 0 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【 0 4 0 7 】

（実施の形態 1 4 ）

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型

10

20

30

40

50

ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【0408】

図33(A)は、テレビジョン装置9600の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

【0409】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。また、リモコン操作機9610に、当該リモコン操作機9610から出力する情報を表示する表示部9607を設ける構成としてもよい。

10

【0410】

なお、テレビジョン装置9600は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【0411】

図33(B)は、デジタルフォトフレーム9700の一例を示している。例えば、デジタルフォトフレーム9700は、筐体9701に表示部9703が組み込まれている。表示部9703は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

20

【0412】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子（USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

30

【0413】

また、デジタルフォトフレーム9700は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0414】

図34(A)は携帯型遊技機であり、筐体9881と筐体9891の2つの筐体で構成されており、連結部9893により、開閉可能に連結されている。筐体9881には表示部9882が組み込まれ、筐体9891には表示部9883が組み込まれている。また、図34(A)に示す携帯型遊技機は、その他、スピーカ部9884、記録媒体挿入部9886、LEDランプ9890、入力手段（操作キー9885、接続端子9887、センサ9888（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン9889）等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図34(A)に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図34(A)に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

40

【0415】

図34(B)は大型遊技機であるスロットマシン9900の一例を示している。スロット

50

マシン 9 9 0 0 は、筐体 9 9 0 1 に表示部 9 9 0 3 が組み込まれている。また、スロットマシン 9 9 0 0 は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン 9 9 0 0 の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

【 0 4 1 6 】

図 3 5 (A) は携帯型のコンピュータの一例を示す斜視図である。

【 0 4 1 7 】

図 3 5 (A) の携帯型のコンピュータは、上部筐体 9 3 0 1 と下部筐体 9 3 0 2 とを接続するヒンジユニットを閉状態として表示部 9 3 0 3 を有する上部筐体 9 3 0 1 と、キーボード 9 3 0 4 を有する下部筐体 9 3 0 2 とを重ねた状態とすることができ、持ち運ぶことが便利であるとともに、使用者がキーボード入力する場合には、ヒンジユニットを開状態として、表示部 9 3 0 3 を見て入力操作を行うことができる。

10

【 0 4 1 8 】

また、下部筐体 9 3 0 2 はキーボード 9 3 0 4 の他に入力操作を行うポインティングデバイス 9 3 0 6 を有する。また、表示部 9 3 0 3 をタッチ入力パネルとすれば、表示部の一部に触れることで入力操作を行うこともできる。また、下部筐体 9 3 0 2 は CPU やハードディスク等の演算機能部を有している。また、下部筐体 9 3 0 2 は他の機器、例えば USB の通信規格に準拠した通信ケーブルが差し込まれる外部接続ポート 9 3 0 5 を有している。

20

【 0 4 1 9 】

上部筐体 9 3 0 1 には更に上部筐体 9 3 0 1 内部にスライドさせて収納可能な表示部 9 3 0 7 を有しており、広い表示画面を実現することができる。また、収納可能な表示部 9 3 0 7 の画面の向きを使用者は調節できる。また、収納可能な表示部 9 3 0 7 をタッチ入力パネルとすれば、収納可能な表示部の一部に触れることで入力操作を行うこともできる。

【 0 4 2 0 】

表示部 9 3 0 3 または収納可能な表示部 9 3 0 7 は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。

【 0 4 2 1 】

また、図 3 5 (A) の携帯型のコンピュータは、受信機などを備えた構成として、テレビ放送を受信して映像を表示部に表示することができる。また、上部筐体 9 3 0 1 と下部筐体 9 3 0 2 とを接続するヒンジユニットを閉状態としたまま、表示部 9 3 0 7 をスライドさせて画面全面を露出させ、画面角度を調節して使用者がテレビ放送を見ることが出来る。この場合には、ヒンジユニットを開状態として表示部 9 3 0 3 を表示させず、さらにテレビ放送を表示するだけの回路の起動のみを行うため、最小限の消費電力とすることができ、バッテリー容量の限られている携帯型のコンピュータにおいて有用である。

30

【 0 4 2 2 】

また、図 3 5 (B) は、腕時計のように使用者の腕に装着可能な形態を有している携帯電話の一例を示す斜視図である。

【 0 4 2 3 】

この携帯電話は、少なくとも電話機能を有する通信装置及びバッテリーを有する本体、本体を腕に装着するためのバンド部 9 2 0 4、腕に対するバンド部の固定状態を調節する調節部 9 2 0 5、表示部 9 2 0 1、スピーカ 9 2 0 7、及びマイク 9 2 0 8 から構成されている。

40

【 0 4 2 4 】

また、本体は、操作スイッチ 9 2 0 3 を有し、電源入力スイッチや、表示切り替えスイッチや、撮像開始指示スイッチの他、例えばボタンを押すとインターネット用のプログラムが起動されるなど、各ファンクションを対応づけることができる。

【 0 4 2 5 】

この携帯電話の入力操作は、表示部 9 2 0 1 に指や入力ペンなどで触れること、又は操作

50

スイッチ 9 2 0 3 の操作、またはマイク 9 2 0 8 への音声入力により行われる。なお、図 3 5 (B) では、表示部 9 2 0 1 に表示された表示ボタン 9 2 0 2 を図示しており、指などで触れることにより入力を行うことができる。

【 0 4 2 6 】

また、本体は、撮影レンズを通して結像される被写体像を電子画像信号に変換する撮像手段を有するカメラ部 9 2 0 6 を有する。なお、特にカメラ部は設けなくともよい。

【 0 4 2 7 】

また、図 3 5 (B) に示す携帯電話は、テレビ放送の受信機などを備えた構成として、テレビ放送を受信して映像を表示部 9 2 0 1 に表示することができ、さらにメモリーなどの記憶装置などを備えた構成として、テレビ放送をメモリーに録画できる。また、図 3 5 (B) に示す携帯電話は、GPS などの位置情報を収集できる機能を有していてもよい。

10

【 0 4 2 8 】

表示部 9 2 0 1 は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。図 3 5 (B) に示す携帯電話は、小型、且つ、軽量であるため、バッテリー容量の限られており、表示部 9 2 0 1 に用いる表示装置は低消費電力で駆動できるパネルを用いることが好ましい。

【 0 4 2 9 】

なお、図 3 5 (B) では「腕」に装着するタイプの電子機器を図示したが、特に限定されず、携行できる形状を有しているものであればよい。

20

【 符号の説明 】

【 0 4 3 0 】

- 1 1 配線
- 1 2 配線
- 1 3 配線
- 1 4 配線
- 1 5 配線
- 2 1 端子
- 2 2 端子
- 2 3 端子
- 2 4 端子
- 2 5 端子
- 2 6 端子
- 2 7 端子
- 3 1 トランジスタ
- 3 2 トランジスタ
- 3 3 トランジスタ
- 3 4 トランジスタ
- 3 5 トランジスタ
- 3 6 トランジスタ
- 3 7 トランジスタ
- 3 8 トランジスタ
- 3 9 トランジスタ
- 4 0 トランジスタ
- 4 1 トランジスタ
- 4 2 トランジスタ
- 4 3 トランジスタ
- 5 1 電源線
- 5 2 電源線
- 5 3 電源線
- 6 1 期間

30

40

50

6 2	期間	
1 0 0	基板	
1 0 1	ゲート電極層	
1 0 2	ゲート絶縁層	
1 0 3	酸化物半導体層	
1 0 5 a	ソース電極層	
1 0 5 b	ドレイン電極層	
1 0 7	保護絶縁層	
1 0 8	容量配線	
1 1 0	画素電極層	10
1 2 1	端子	
1 2 2	端子	
1 2 5	コンタクトホール	
1 2 6	コンタクトホール	
1 2 7	コンタクトホール	
1 2 8	透明導電膜	
1 2 9	透明導電膜	
1 3 2	導電膜	
1 3 3	酸化物半導体層	
1 3 5	酸化物半導体層	20
1 5 0	端子	
1 5 1	端子	
1 5 2	ゲート絶縁層	
1 5 3	接続電極層	
1 5 4	保護絶縁膜	
1 5 5	透明導電膜	
1 5 6	電極層	
1 7 0	薄膜トランジスタ	
2 2 0	接続電極層	
2 2 1	第1のコンタクトホール	30
2 2 2	第2のコンタクトホール	
2 2 3	第3のコンタクトホール	
2 2 4	第4のコンタクトホール	
2 2 5	ソース配線	
2 2 6	第1のゲート配線	
2 2 7	第2のゲート配線	
4 0 0	基板	
4 0 1	ゲート電極層	
4 0 2	ゲート絶縁層	
4 0 3	酸化物半導体層	40
4 0 4 a	ソース領域	
4 0 4 b	ドレイン領域	
4 0 5 a	ソース電極層	
4 0 5 b	ドレイン電極層	
4 0 7	酸化物絶縁膜	
4 0 9	導電層	
4 1 0	絶縁層	
4 1 1	画素電極層	
4 1 9	導電層	
4 2 0	接続電極層	50

4 2 1	第 1 のコンタクトホール	
4 2 2	第 2 のコンタクトホール	
4 2 3	第 3 のコンタクトホール	
4 2 4	第 4 のコンタクトホール	
4 2 5	ソース配線	
4 2 6	第 1 のゲート配線	
4 2 7	第 2 のゲート配線	
4 2 8	第 1 のソース配線	
4 2 9	第 2 のソース配線	
4 3 0	ゲート配線	10
4 3 2	酸化物半導体層	
4 5 0	基板	
4 5 1	ゲート電極層	
4 5 2	ゲート絶縁層	
4 5 3	酸化物半導体層	
4 5 5 a	ソース電極層	
4 5 5 b	ドレイン電極層	
4 5 7	酸化物絶縁膜	
4 6 0	薄膜トランジスタ	
4 6 1	薄膜トランジスタ	20
4 6 2	薄膜トランジスタ	
4 6 3	薄膜トランジスタ	
4 6 4	薄膜トランジスタ	
4 7 0	接続電極層	
4 7 1	第 1 のコンタクトホール	
4 7 2	第 2 のコンタクトホール	
4 7 3	第 3 のコンタクトホール	
4 7 4	第 4 のコンタクトホール	
4 7 5	ソース配線	
4 7 6	第 1 のゲート配線	30
4 7 7	第 2 のゲート配線	
4 7 8	第 1 のソース配線	
4 7 9	第 2 のソース配線	
4 8 0	ゲート配線	
4 8 2	酸化物半導体層	
4 9 0	第 3 のコンタクトホール	
4 9 1	第 3 のコンタクトホール	
5 8 0	基板	
5 8 1	薄膜トランジスタ	
5 8 3	絶縁膜	40
5 8 5	絶縁層	
5 8 7	電極層	
5 8 8	電極層	
5 8 9	球形粒子	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
5 9 4	キャピティ	
5 9 5	充填材	
5 9 6	基板	
6 0 1	電気炉	50

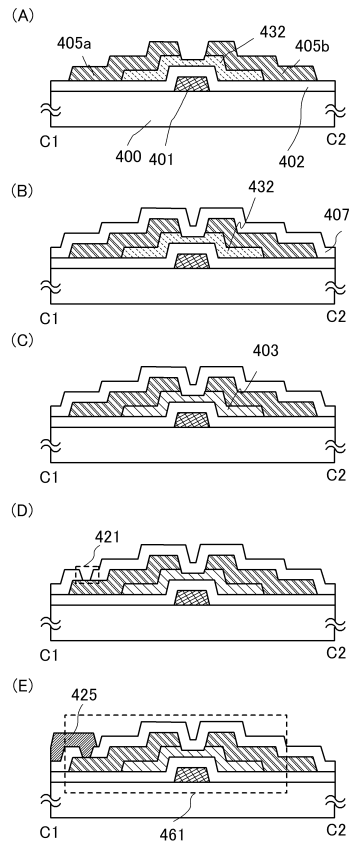
6 0 2	チャンバー	
6 0 3	ヒーター	
6 0 4	基板	
6 0 5	サセプター	
6 0 6	ガス供給手段	
6 0 7	排気手段	
6 1 1 a	ガス供給源	
6 1 1 b	ガス供給源	
6 1 2 a	圧力調整弁	
6 1 2 b	圧力調整弁	10
6 1 3 a	精製器	
6 1 3 b	精製器	
6 1 4 a	マスフローコントローラ	
6 1 4 b	マスフローコントローラ	
6 1 5 a	ストップバルブ	
6 1 5 b	ストップバルブ	
1 4 0 0	基板	
1 4 0 1	ゲート電極層	
1 4 0 2	ゲート絶縁層	
1 4 0 3	酸化物半導体層	20
1 4 0 5 a	ソース電極層	
1 4 0 5 b	ドレイン電極層	
1 4 0 6 a	ソース領域	
1 4 0 6 b	ドレイン領域	
1 4 0 7	酸化物絶縁膜	
1 4 0 8	絶縁層	
1 4 0 9	導電層	
1 4 1 8	チャネル保護層	
1 4 2 0	接続電極層	
1 4 2 5	ソース配線	30
1 4 2 6	第1のゲート配線	
1 4 2 7	第2のゲート配線	
1 4 3 0	薄膜トランジスタ	
1 4 3 1	薄膜トランジスタ	
1 4 3 2	薄膜トランジスタ	
1 6 0 1	電気炉	
1 6 0 2	チャンバー	
1 6 0 3	ヒーター	
1 6 0 4	基板	
1 6 0 5	サセプター	40
1 6 0 6	ガス供給手段	
1 6 0 7	排気手段	
1 6 1 1	ガス供給源	
1 6 1 2	圧力調整弁	
1 6 1 3	精製器	
1 6 1 4	マスフローコントローラ	
1 6 1 5	ストップバルブ	
2 6 0 0	T F T 基板	
2 6 0 1	対向基板	
2 6 0 2	シール材	50

2 6 0 3	画素部	
2 6 0 4	表示素子	
2 6 0 5	着色層	
2 6 0 6	偏光板	
2 6 0 7	偏光板	
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	
2 6 1 1	反射板	
2 6 1 2	回路基板	10
2 6 1 3	拡散板	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	20
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	30
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 0 3 3	絶縁層	40
4 0 3 5	スペーサ	
4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 3 a	信号線駆動回路	
4 5 0 3 b	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	
4 5 0 4 b	走査線駆動回路	
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	50

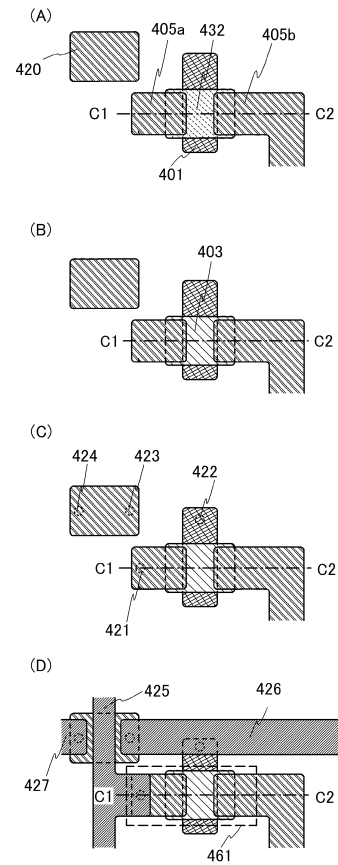
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	
4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	電極層	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	電極層	
4 5 1 8 a	F P C	
4 5 1 8 b	F P C	10
4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	
5 3 0 0	基板	
5 3 0 1	画素部	
5 3 0 2	走査線駆動回路	
5 3 0 3	走査線駆動回路	
5 3 0 4	信号線駆動回路	
5 3 0 5	タイミング制御回路	
5 6 0 1	シフトレジスタ	
5 6 0 2	スイッチング回路	20
5 6 0 3	薄膜トランジスタ	
5 6 0 4	配線	
5 6 0 5	配線	
6 4 0 0	画素	
6 4 0 1	スイッチング用トランジスタ	
6 4 0 2	駆動用トランジスタ	
6 4 0 3	容量素子	
6 4 0 4	発光素子	
6 4 0 5	信号線	
6 4 0 6	走査線	30
6 4 0 7	電源線	
6 4 0 8	共通電極	
7 0 0 1	駆動用 T F T	
7 0 0 2	発光素子	
7 0 0 3	陰極	
7 0 0 4	発光層	
7 0 0 5	陽極	
7 0 0 9	隔壁	
7 0 1 1	駆動用 T F T	
7 0 1 2	発光素子	40
7 0 1 3	陰極	
7 0 1 4	発光層	
7 0 1 5	陽極	
7 0 1 6	遮蔽膜	
7 0 1 7	導電膜	
7 0 1 9	隔壁	
7 0 2 1	駆動用 T F T	
7 0 2 2	発光素子	
7 0 2 3	陰極	
7 0 2 4	発光層	50

7 0 2 5	陽極	
7 0 2 7	導電膜	
7 0 2 9	隔壁	
9 2 0 1	表示部	
9 2 0 2	表示ボタン	
9 2 0 3	操作スイッチ	
9 2 0 4	バンド部	
9 2 0 5	調節部	
9 2 0 6	カメラ部	
9 2 0 7	スピーカ	10
9 2 0 8	マイク	
9 3 0 1	上部筐体	
9 3 0 2	下部筐体	
9 3 0 3	表示部	
9 3 0 4	キーボード	
9 3 0 5	外部接続ポート	
9 3 0 6	ポインティングデバイス	
9 3 0 7	表示部	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	20
9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	
9 6 0 9	操作キー	
9 6 1 0	リモコン操作機	
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	
9 7 0 3	表示部	
9 8 8 1	筐体	
9 8 8 2	表示部	30
9 8 8 3	表示部	
9 8 8 4	スピーカ部	
9 8 8 5	入力手段（操作キー	
9 8 8 6	記録媒体挿入部	
9 8 8 7	接続端子	
9 8 8 8	センサ	
9 8 8 9	マイクロフォン	
9 8 9 0	L E D ランプ	
9 8 9 1	筐体	
9 8 9 3	連結部	40
9 9 0 0	スロットマシン	
9 9 0 1	筐体	
9 9 0 3	表示部	

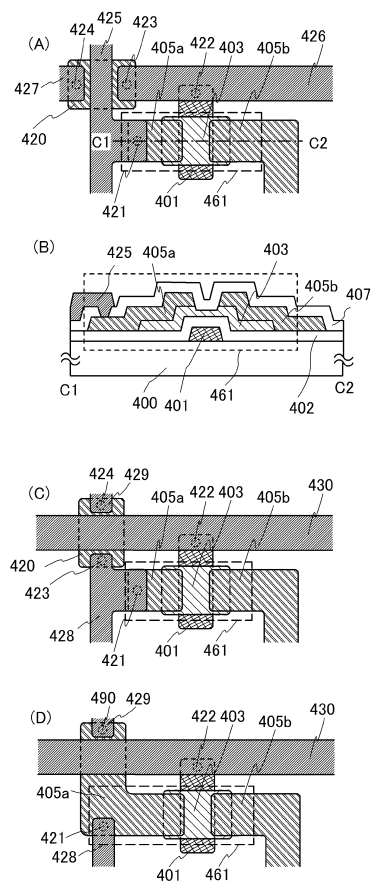
【 図 1 】



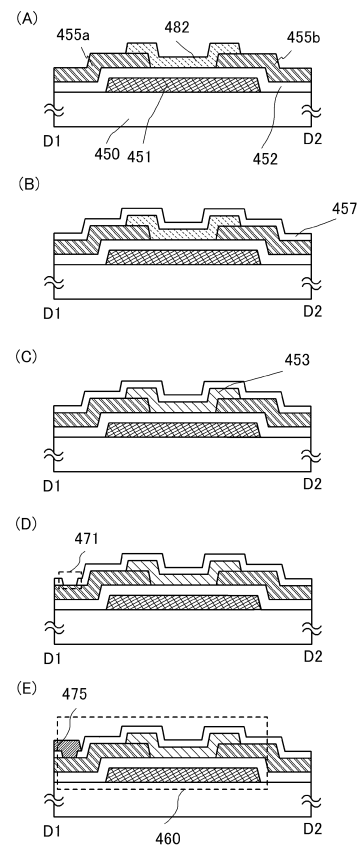
【 図 2 】



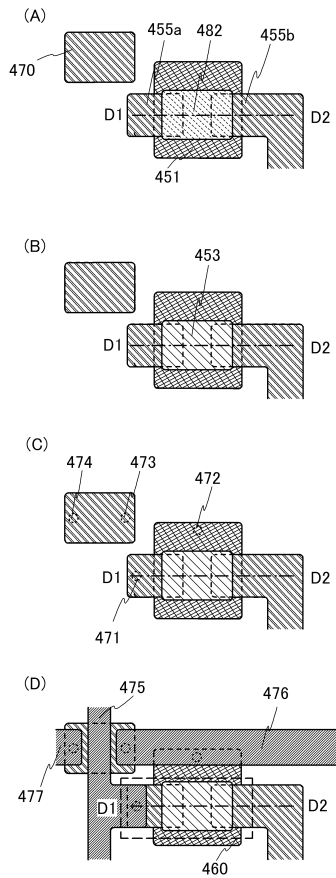
【圖 3】



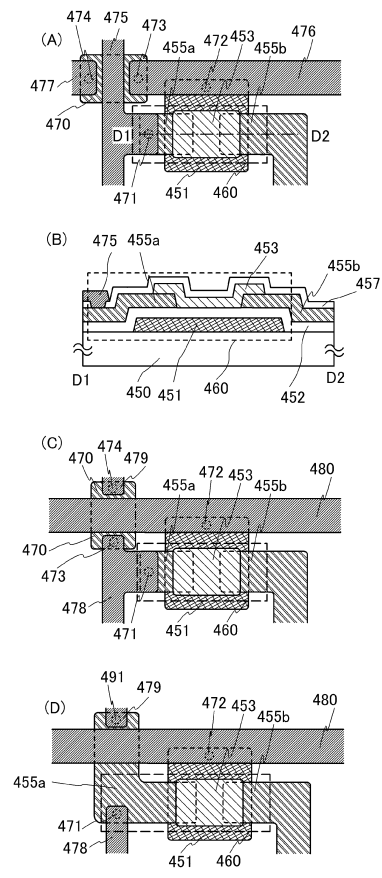
【 図 4 】



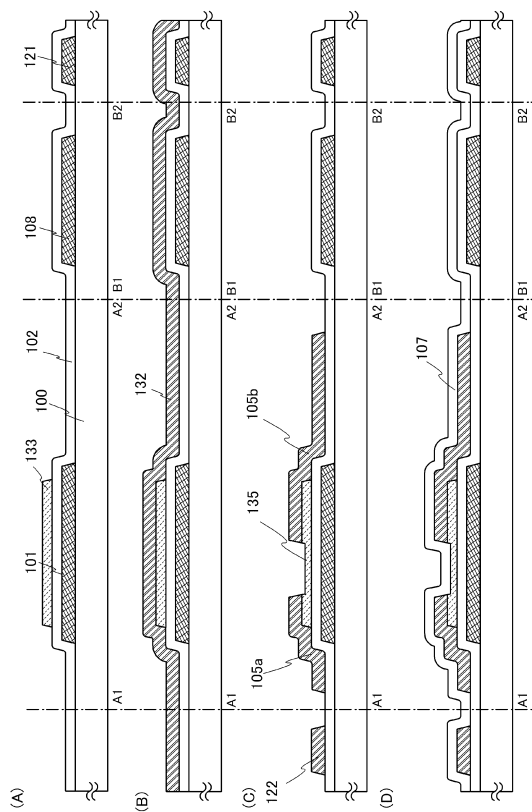
【図 5】



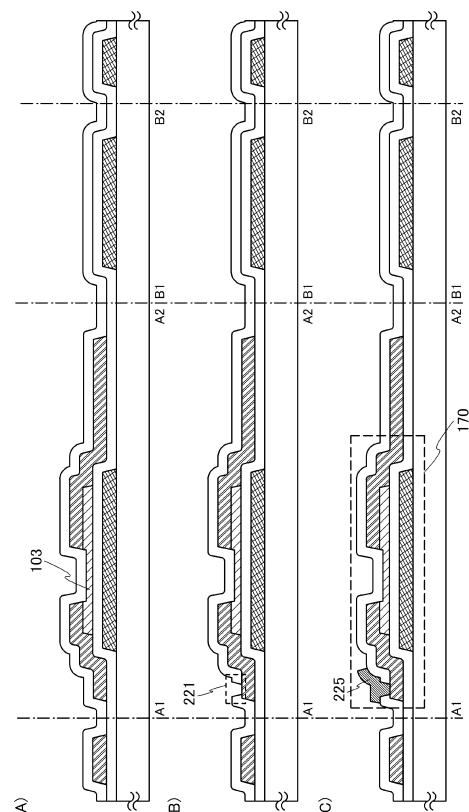
【図 6】



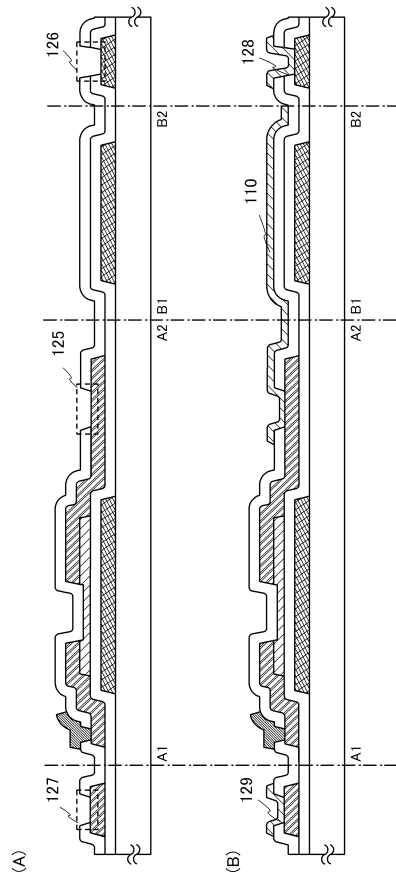
【図 7】



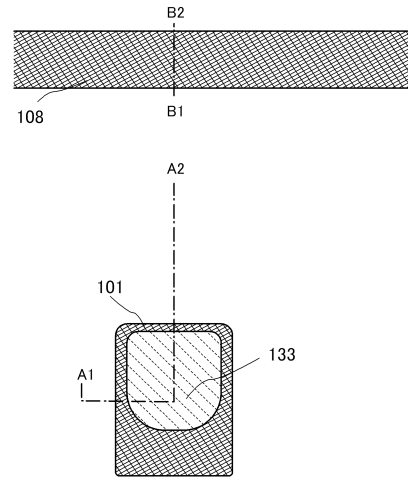
【図 8】



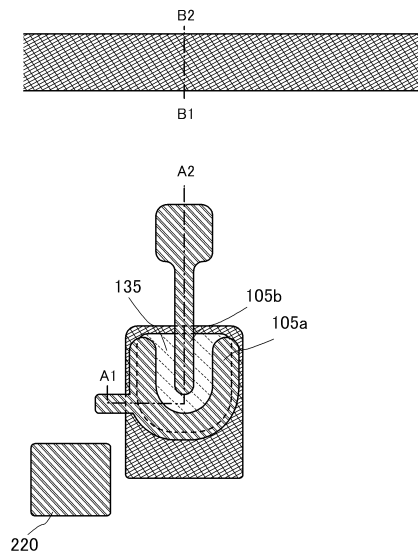
【図 9】



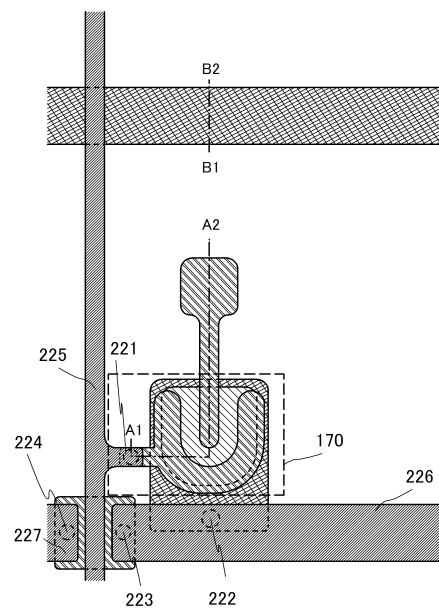
【図 10】



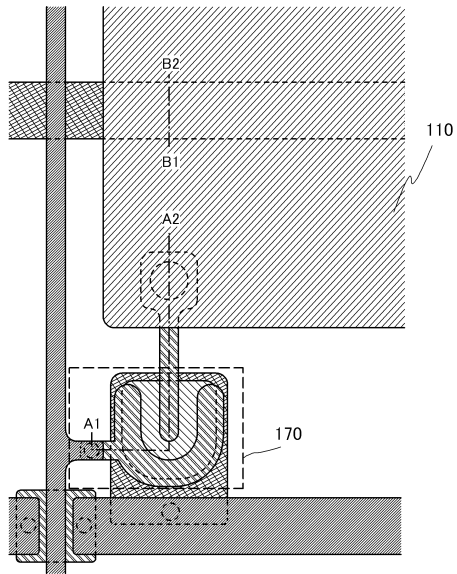
【図 11】



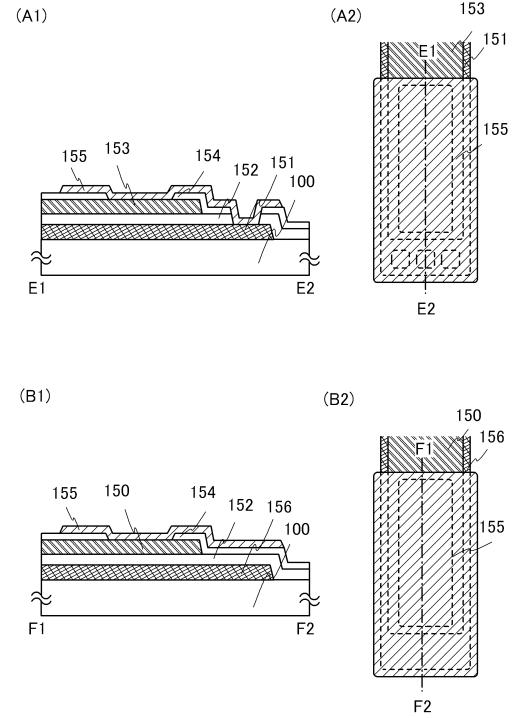
【図 12】



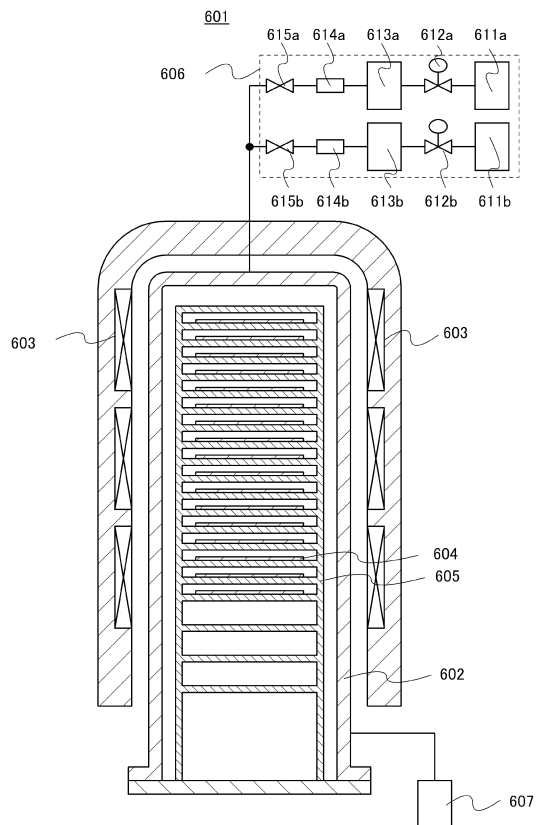
【図 13】



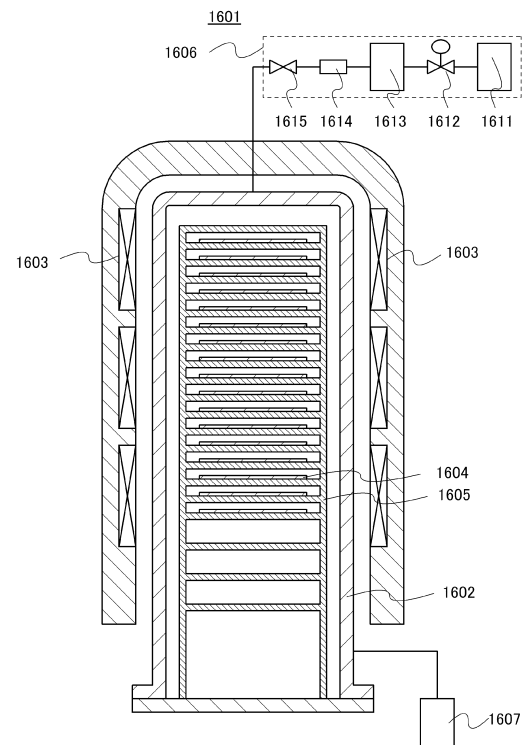
【図 14】



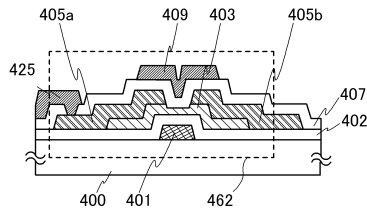
【図 15】



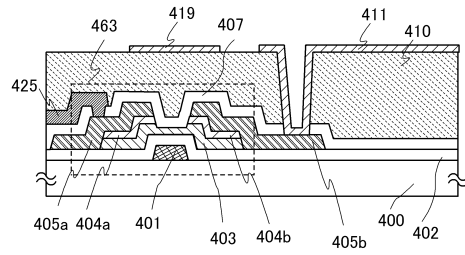
【図 16】



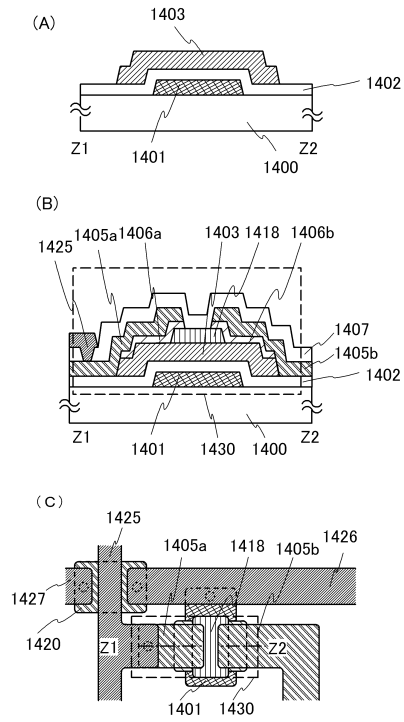
【図 17】



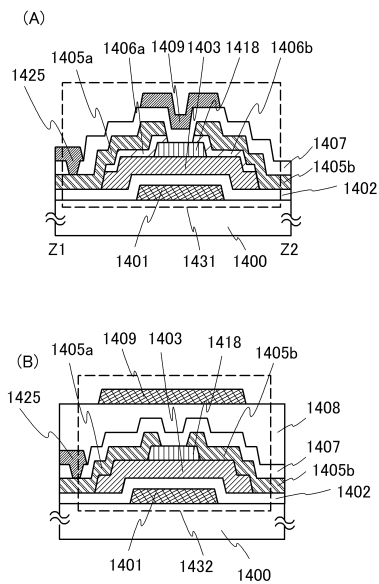
【図 18】



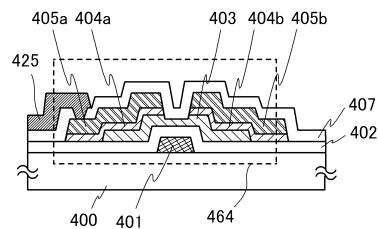
【図 19】



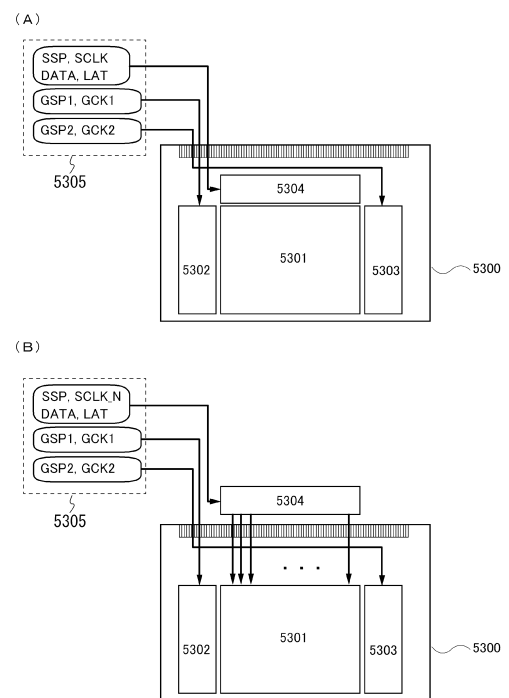
【図 20】



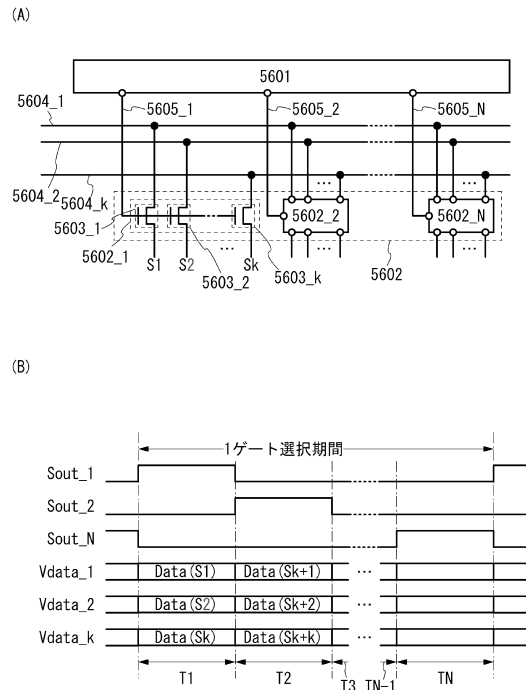
【図 21】



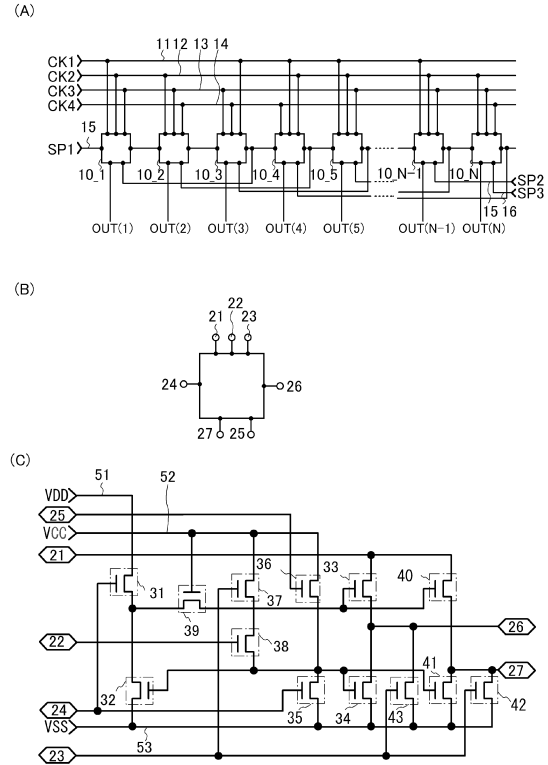
【図 22】



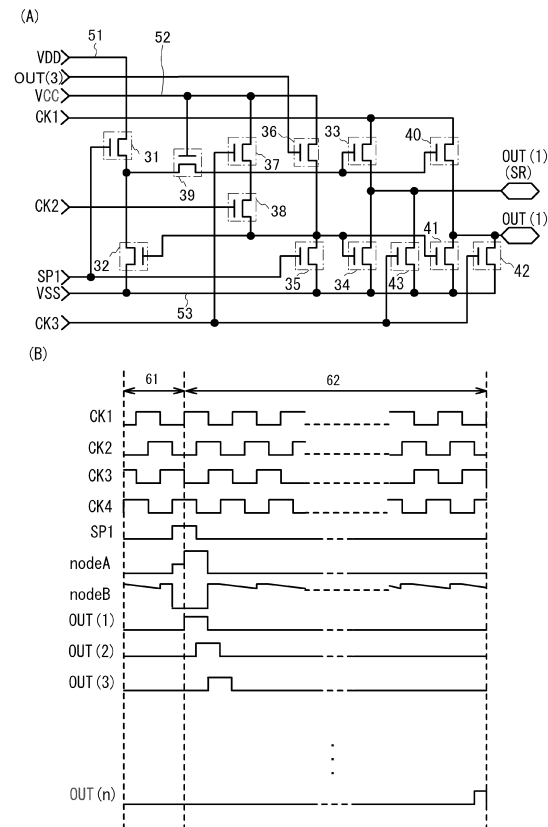
【図 23】



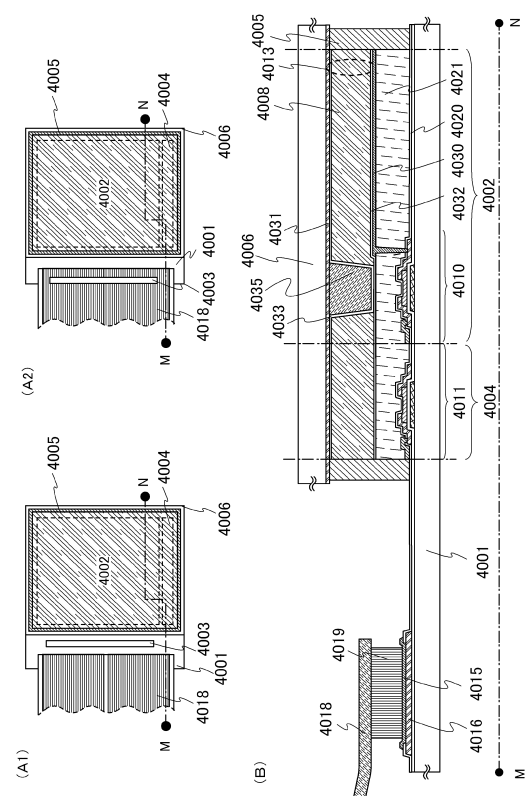
【図 24】



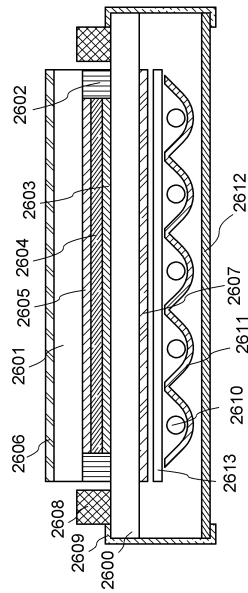
【図 25】



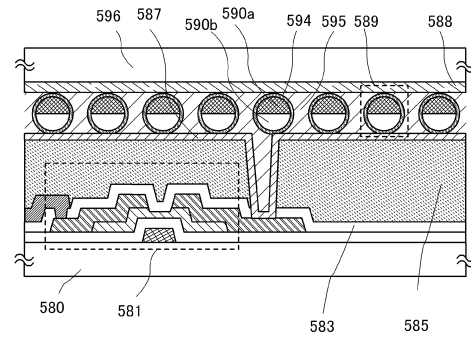
【図 26】



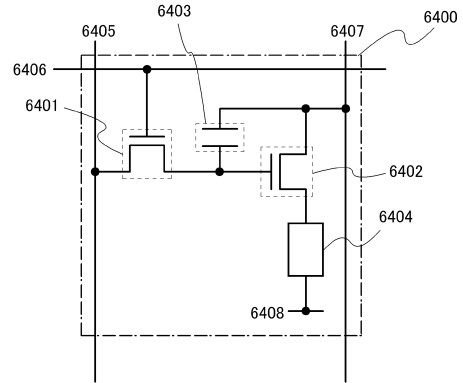
【図 27】



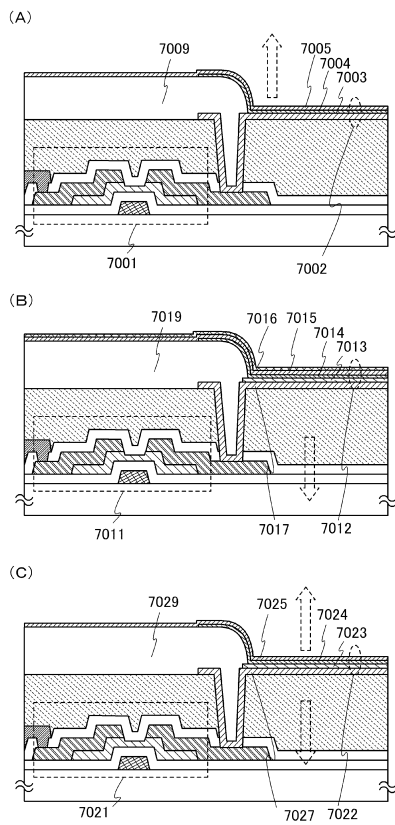
【図 28】



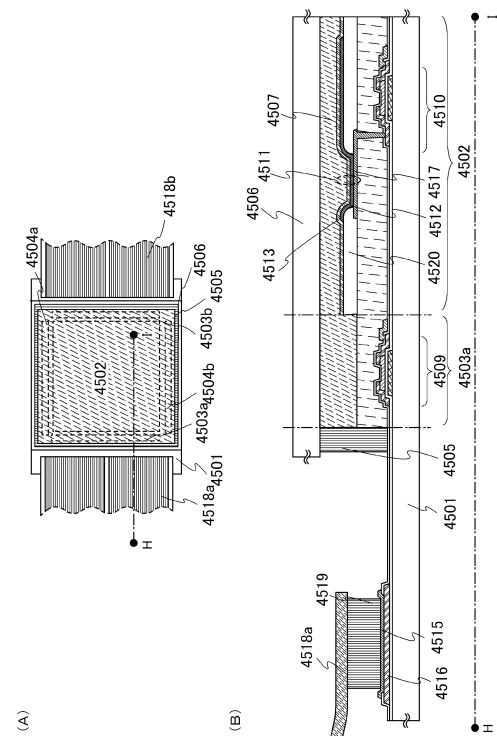
【図 29】



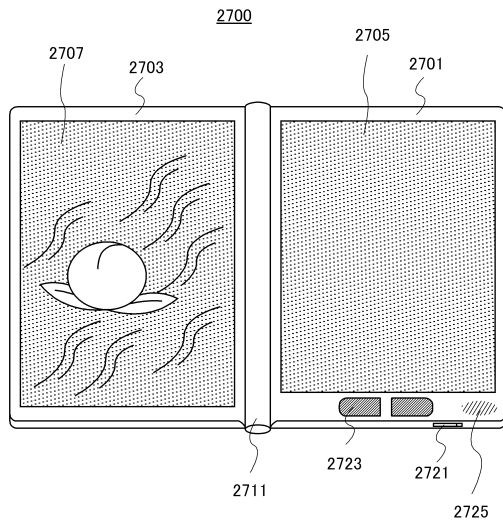
【図 30】



【図 31】

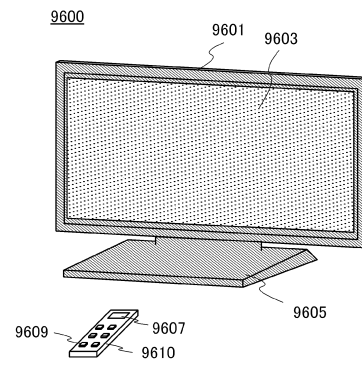


【図 3 2】

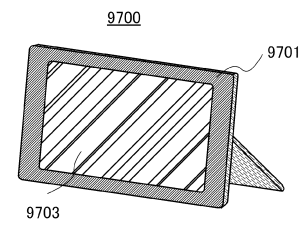


【図 3 3】

(A)

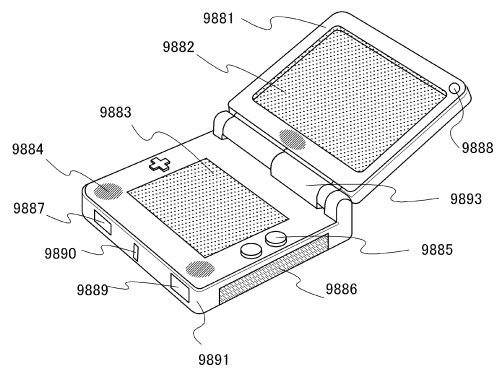


(B)

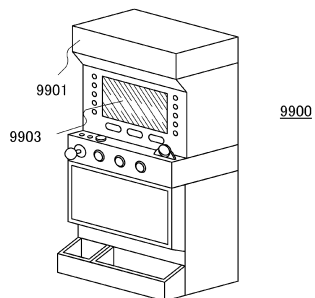


【図 3 4】

(A)

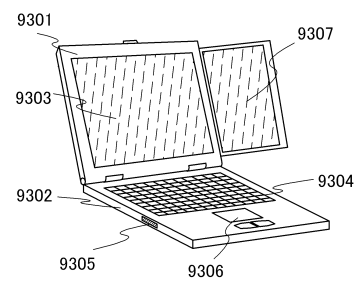


(B)

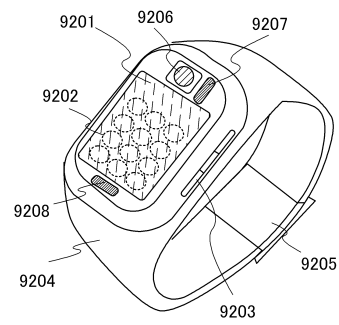


【図 3 5】

(A)



(B)



フロントページの続き

(51)Int.Cl. F I
H 0 5 B 33/14 A

(72)発明者 細羽 みゆき
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 宇多川 勉

(56)参考文献 特開 2 0 0 8 - 1 6 6 7 1 6 (J P , A)
特開 2 0 0 9 - 0 9 9 9 4 4 (J P , A)
米国特許出願公開第 2 0 0 8 / 0 2 9 9 7 0 2 (U S , A 1)
米国特許出願公開第 2 0 0 9 / 0 1 4 2 8 8 7 (U S , A 1)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 8 6
H 0 1 L 5 1 / 5 0
H 0 5 B 3 3 / 1 0
H 0 5 B 3 3 / 1 4