



(12) 发明专利

(10) 授权公告号 CN 112840570 B

(45) 授权公告日 2024. 03. 08

(21) 申请号 201980067656.6

(22) 申请日 2019.12.16

(65) 同一申请的已公布的文献号
申请公布号 CN 112840570 A

(43) 申请公布日 2021.05.25

(30) 优先权数据
16/231,568 2018.12.23 US

(85) PCT国际申请进入国家阶段日
2021.04.14

(86) PCT国际申请的申请数据
PCT/US2019/066467 2019.12.16

(87) PCT国际申请的公布数据
W02020/139593 EN 2020.07.02

(73) 专利权人 德州仪器公司
地址 美国德克萨斯州

(72) 发明人 克里希纳斯瓦米·纳加拉杰 傅威

(74) 专利代理机构 北京律盟知识产权代理有限公司 11287
专利代理师 林斯凯

(51) Int.Cl.
H03L 7/06 (2006.01)
H03L 7/085 (2006.01)

(56) 对比文件
CN 1486534 A, 2004.03.31
US 2006226896 A1, 2006.10.12
US 9490824 B1, 2016.11.08
US 2006076990 A1, 2006.04.13
US 9503017 B1, 2016.11.22

审查员 易玉斌

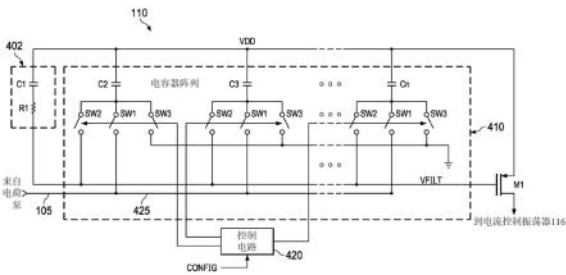
权利要求书3页 说明书3页 附图3页

(54) 发明名称

用于锁相环路的环路滤波器

(57) 摘要

一种电路包含第一滤波器(402)、多个二进制加权电容器(C1、C2、Cn)及电流源装置(M1)。所述电路还包含第一多个开关(SW3)。所述第一多个开关(SW3)中的每一者经连接到所述多个二进制加权电容器(C1、C2、Cn)中的单独电容器。所述第一多个开关(SW3)经连接在一起,且所述第一多个开关(C1、C2、Cn)未经连接到所述第一滤波器。还包含第二多个开关(SW2),且所述第二多个开关(SW2)中的每一者经连接到所述多个二进制加权电容器(C1、C2、Cn)中的单独电容器且连接到所述第一滤波器(402)及所述电流源装置(M1)的控制输入。所述第一多个开关(SW3)未经连接到所述控制输入。



1. 一种锁相环路的电路,其包括:

电荷泵,其用以接收指示参考时钟与反馈时钟之间的相位误差的电压脉冲且基于所述电压脉冲生成电流脉冲;

环路滤波器,其中所述环路滤波器包括:

电流源装置,其包含源极、栅极及漏极,所述源极耦合到供应电压节点;

二进制加权电容器阵列,其包括多个电容器,所述多个电容器中的每一者包含第一端子及第二端子,所述第一端子耦合到所述供应电压节点,其中所述二进制加权电容器阵列的每一电容器具有相对于其它所述二进制加权电容器中的每一者进行二进制加权的电容值;

多个第一开关,其中所述多个第一开关中的每个开关耦合在所述多个电容器的相应电容器的所述第二端子与所述电荷泵之间;

其中所述第一开关中的每一者具有宽度及长度;及

与所述第一开关中的每一者相关联的所述宽度与所述长度的比相对于其它的所述第一开关中的每一者的所述宽度与所述长度的所述比进行二进制加权;及

多个第二开关,其中所述多个第二开关中的每个开关耦合在所述多个电容器的相应电容器的所述第二端子与所述电流源装置的所述栅极之间;及

电流控制振荡器,其经耦合到所述电流源装置的所述漏极,所述电流控制振荡器在基于来自所述电流源装置的电流的频率下生成输出时钟。

2. 根据权利要求1所述的电路,其进一步包括多个第三开关,其中所述多个第三开关中的每个开关耦合在所述多个电容器的相应电容器的所述第二端子与接地节点之间。

3. 根据权利要求2所述的电路,其进一步包括控制电路,所述控制电路用以生成控制信号以控制与所述二进制加权电容器阵列的每一电容器相关联的所述第一、第二及第三开关的导通/关断状态,其中对于每一电容器,所述控制电路用以在所述第一及第二开关导通时控制所述第三开关使其关断且在所述第一及第二开关关断时控制所述第三开关使其导通。

4. 根据权利要求1所述的电路,其中所述第二开关中的每一者的所述宽度与所述长度的所述比近似等于其它的所述第二开关的每一者的所述宽度与所述长度的所述比。

5. 根据权利要求1所述的电路,其中所述环路滤波器进一步包括第一滤波器,所述第一滤波器包含耦合至所述供应电压节点的第一滤波器电容器且包含耦合在所述第一滤波电容器与所述电流源装置之间的电阻器。

6. 根据权利要求1所述的电路,其进一步包括控制电路,所述控制电路用以生成控制信号以控制所述多个第一开关及所述多个第二开关的导通/关断状态,其中所述控制电路控制所述多个第一开关中的一者以上同时导通。

7. 一种锁相环路的电路,其包括:

电荷泵输入;

第一滤波器,其耦合至供应电压节点;

多个二进制加权电容器,所述多个电容器中的每一者包含第一端子及第二端子,所述第一端子耦合至所述供应电压节点;

电流源装置,其包含第一端子、第二端子及栅极,所述第一端子耦合至所述供应电压节点;

第一多个开关,其中所述第一多个开关中的每一者耦合在所述多个二进制加权电容器中的相应电容器的所述第二端子与所述电荷泵输入之间;

其中所述第一多个开关中的每个开关具有宽度及长度;及

与所述第一开关中的每一者相关联的所述宽度与所述长度的比相对于其它的所述第一开关中的每一者的所述宽度与所述长度的所述比进行二进制加权;及

第二多个开关,其中所述第二多个开关中的每一者耦合在所述多个二进制加权电容器中的相应电容器的所述第二端子与所述电流源装置的所述栅极之间。

8. 根据权利要求7所述的电路,其进一步包括耦合至所述电荷泵输入的电荷泵。

9. 根据权利要求7所述的电路,其进一步包括第三多个开关,其中所述第三多个开关中的每一者耦合在所述多个二进制加权电容器的相应电容器的所述第二端子与接地节点之间。

10. 根据权利要求9所述的电路,其进一步包括控制电路,所述控制电路用以生成控制信号以控制与所述多个二进制加权电容器的每一电容器相关联的所述第一、第二及第三开关的导通/关断状态,其中对于每一电容器,所述控制电路用以在所述第一及第二开关导通时控制所述第三开关使其关断且在所述第一及第二开关关断时控制所述第三开关使其导通。

11. 根据权利要求7所述的电路,其中所述第二多个开关中的每个开关的宽度与长度的比近似等于所述第二多个开关中的其它开关中的每一者的宽度与长度的所述比。

12. 根据权利要求7所述的电路,其中所述第一滤波器包含耦合至所述电流源装置的电阻器且包含耦合在所述电阻器与所述供应电压节点之间的第一滤波电容器。

13. 根据权利要求7所述的电路,其中所述第一多个开关中的每个开关将所述多个二进制加权电容器中的每一电容器直接耦合至所述电荷泵输入。

14. 一种锁相环路的电路,其包括:

环路滤波器,其包括:

电荷泵输入;

电流源装置;

第一滤波器,其耦合在供应电压节点和所述电流源装置之间;

电容器阵列,其耦合至所述第一滤波器,其中所述电容器阵列包括多个电容器;

多个第一开关,其中所述多个第一开关中的每个开关耦合在所述多个电容器的相应电容器与所述电荷泵输入之间;

多个第二开关,其中所述多个第二开关中的每个开关耦合在所述多个电容器的相应电容器与所述电流源装置之间;及

多个第三开关,其中所述多个第三开关中的每个开关耦合在所述多个电容器的相应电容器与接地节点之间;及

电流控制振荡器,其经耦合到所述电流源装置,所述电流控制振荡器在基于来自所述电流源装置的电流的频率下生成输出时钟。

15. 根据权利要求14所述的电路,其中所述电容器阵列包括二进制加权电容器阵列。

16. 根据权利要求14所述的电路,其进一步包括控制电路,所述控制电路用以生成控制信号以控制与所述电容器阵列的每一电容器相关联的所述第一、第二及第三开关的导通/

关断状态,其中对于每一电容器,所述控制电路用以在所述第一及第二开关导通时控制所述第三开关使其关断且在所述第一及第二开关关断时控制所述第三开关使其导通。

17.根据权利要求14所述的电路,其进一步包括耦合至所述电荷泵输入的电荷泵。

18.根据权利要求14所述的电路,其中所述第二开关中的每一者耦合至所述电流源装置的控制输入,且所述第一或所述第三开关均未耦合至所述控制输入。

用于锁相环路的环路滤波器

背景技术

[0001] 许多锁相环路 (PLL) 包含对由电荷泵或其它类型的电路产生的信号进行滤波的环路滤波器。环路滤波器的输出可用于控制例如将电流提供到电流控制振荡器的电流源装置。

发明内容

[0002] 在一个实例中,一种电路包含第一滤波器、多个二进制加权电容器及电流源装置。所述电路还包含第一多个开关。所述第一多个开关中的每一者经连接到所述多个二进制加权电容器中的单独电容器。所述第一多个开关经连接在一起,且所述第一多个开关未经连接到所述第一滤波器。还包含第二多个开关,且所述第二多个开关中的每一者经连接到所述多个二进制加权电容器中的单独电容器且连接到所述第一滤波器及所述电流源装置的控制输入。所述第一多个开关未经连接到所述控制输入。所述电路可用作锁相环路的部分。

附图说明

[0003] 对于各种实例的详细描述,现在将参考附图,其中:

[0004] 图1说明实例中的模拟锁相环路。

[0005] 图2说明所描述模拟锁相环路的各种信号的波形。

[0006] 图3展示实例中的可在模拟锁相环路中使用的电荷泵电路。

[0007] 图4展示可在模拟锁相环路中使用的环路滤波器的实例。

具体实施方式

[0008] 描述模拟PLL (APLL)。所描述APLL除其它组件外还包含电荷泵、环路滤波器及电流控制振荡器。在一些实例中,环路滤波器的输出用于控制将电流提供到电流控制振荡器的电流源装置。实际上,寄生电容存在于电流源装置的控制输入上。寄生电容可在电力供应器上引起噪声从而影响环路滤波器到电流源装置的信号及因此到电流控制振荡器的电流。本文中所描述的环路滤波器具有解决这个问题的架构。

[0009] 图1展示APLL 100的实例。实例APLL 100包含相位及频率检测器102、电荷泵104、环路滤波器110、电流控制振荡器 (ICO) 116及分频器118。来自ICO 116的输出信号是输出时钟 (OUTCLK) 117。将参考时钟 (REFCLK) 101提供到相位及频率检测器102的输入。在一些实例中,相位及频率检测器102基于REFCLK 101与OUTCLK 117之间的频率及相位差(误差)生成误差信号103。在图1的实例中,OUTCLK 117的频率大于REFCLK 101的频率。分频器118对OUTCLK 117的频率进行下分频以产生反馈时钟 (FBCLK) 119,所述反馈时钟具有与REFCLK 101近似相同的频率。在其中OUTCLK 117的频率具有与REFCLK 101相同的频率的实施方案中,本文中对FBCLK 119的参考包含来自分频器(例如,分频器118)的输出信号以及来自ICO 116的输出时钟。

[0010] APLL 100调整OUTCLK 117的频率及相位以便匹配REFCLK 101的相位。图2展示

REFCLK 101及FBCLK 119的实例,其中FBCLK 119的上升及下降边缘与REFCLK 101的边缘相位对准。FBCLK 119被称为“锁定”到REFCLK 101上。因此,OUTCLK 117也在锁定状态中与REFCLK 101相位对准,尽管OUTCLK 117的频率可与REFCLK 101的频率相同或大于REFCLK 101的频率。

[0011] 在一些实例中,误差信号103包括一系列UP脉冲以及一系列DOWN脉冲。图2还展示UP脉冲及DOWN脉冲的实例。响应于FBCLK 119的边缘滞后于REFCLK 101的对应边缘,相位及频率检测器102生成UP脉冲的宽度W1以使其比DOWN脉冲的宽度W2宽。相反,响应于FBCLK 119的边缘领先于REFCLK 101的对应边缘,相位及频率检测器102生成UP脉冲的宽度W1以使其比DOWN脉冲的宽度W2窄。

[0012] 图3提供电荷泵104的实例。在这个实例中,电荷泵104包含通过可选择开关SWA耦合到电流装置I2的电流源装置I1。开关SWB选择性地I2耦合到接地。误差信号103的DOWN脉冲302控制SWA的导通及关断状态且UP脉冲312控制SWB的导通及关断状态。当通过有源DOWN脉冲302闭合SWA时,电流流动通过SWA且流动到环路滤波器110。当通过有源UP脉冲302闭合SWB时,电流从环路滤波器110流动通过SWB到接地。因此,电荷泵信号105包含基于误差信号103的UP及DOWN脉冲的一系列正及负电流脉冲。

[0013] 图4展示环路滤波器110的实例。所说明环路滤波器110包含第一滤波器402、电容器阵列410、控制电路420及电流源装置M1。在这个实例中,第一滤波器402包含与电阻器R1串联连接的电容器C1(也称为滤波电容器)。电容器C1连接到供应电压节点(VDD)且电阻器R1连接到M1的控制输入。在这个实例中,M1是p型金属氧化物半导体场效应晶体管(PFET)且因而电阻器R1连接到M1的栅极。在其它实施方案中,M1可被实施为n型金属氧化物半导体场效应晶体管(NFET)、p型或n型双极结型晶体管或另一类型的晶体管。R1与M1的控制输入之间的信号线被标记为VFILT且代表来自环路滤波器110的经滤波输出电压,所述经滤波输出电压用于控制M1的操作状态及因此到IC0 116的电流值。

[0014] 电容器阵列410包含多个电容器C2、C3、...、Cn。在一些实例中,电容器阵列410被实施为允许PLL在宽输入参考频率范围内操作的二进制加权电容器阵列,尽管在其它实施方案中不需要对所述电容器进行二进制加权。因而,电容器C2、C3、...、Cn具有经二进制加权的不同电容值。例如,电容器C2、C3、...、Cn的电容值的权重可为16C、8C、4C等。电容器C2可为16C且电容器C3可为8C,这表示电容器C2的电容值是电容器C3的电容值的两倍。在一些实施方案中,电容器C1也被实施为可配置电容器阵列(与电容器阵列410类似)以促进在宽频率范围内的可操作性。

[0015] 图4的环路滤波器110包含多个第一开关SW1、多个第二开关SW2及多个第三开关SW3。每一电容器C2、C3、...、Cn连接到一组第一、第二及第三开关SW1到SW3,如所展示。第一开关SW1中的每一者连接到其它第二开关SW1中的每一者,也连接到电荷泵104。来自电荷泵104的电流通过开关SW1而流动到其相应电容器C2、C3、...、Cn且来自电容器C2、C3、...、Cn的电流流动通过相应开关SW1且流动到电荷泵104。第二开关SW2中的每一者连接到其它第二开关SW2中的每一者且连接到环路滤波器402(例如,电阻器R1)及M1的控制输入。第三开关SW3中的每一者连接到其它第三开关SW3中的每一者且连接到如所展示的接地节点或另一固定电压节点以减小其泄漏电流。

[0016] 节点425连接到电荷泵104及第一开关SW1,但是未连接到第一滤波器402或M1的控

制输入。代替地, M1的控制输入经连接到第二开关SW2及第一滤波器402。因而, 电荷泵104未经连接到M1。

[0017] 在一些实例中, 第一开关SW1如同其对应电容器C2、C3、...、Cn那样被二进制加权。对每一开关SW1的沟道宽度(W)与沟道长度(L)的比进行二进制加权。例如, 连接到C2的SW1具有C3的W/L比(例如, $8 \times W/L$)的两倍的W/L比(例如, $16 \times W/L$), 依此类推。开关S2及S3的W/L比不需要进行二进制加权且可小于开关SW1。开关SW2的W/L比可全部相同且开关SW2的W/L比也可全部相同, 尽管与开关SW2不同(或相同)。

[0018] 实际上, 开关产生到接地的寄生电容, 这将供应噪声注入到ISO 116中。参考图4, 在缺乏到接地的任何寄生电容的情况下, 电压供应器上的任何噪声也将通过电容器C2、C3、...、Cn直接耦合到M1的栅极。因此, 在M1的栅极处看见的供应噪声将为零。然而, 如果存在从VFILT或M1的栅极到接地的寄生电容, 那么在C2、C3、...、Cn与寄生电容之间将存在电位划分, 从而导致M1的栅极到源极电压上的非零供应噪声分量。寄生电容的大小与开关的大小成正比。

[0019] 所描述实例的优点在于开关的大小(W/L)可较小, 原因如下。降低金属氧化物半导体(MOS)开关的W/L的直接结果是其电阻增加。所描述架构具有可容忍较高开关电阻的优点。为了解释这个优点, 单独地考虑图4中的三组开关。开关SW1将C2、C3、...、Cn连接到通常具有高输出电阻的电荷泵104。因此, 开关SW1的电阻可相对大而对性能没有任何显着影响。开关SW2将C2、C3、...、Cn连接到滤波器402, 所述滤波器402含有其值相对大的电阻器R1。因而, SW2的电阻可相对大。当不使用C2、C3、...、Cn连时, 开关SW3用于将C2、C3、...、Cn连接到虚设节点。因此, SW3的电阻对于所有实际用途来说均是无关紧要的且可使SW3任意地小。通过使开关SW3相对小, 可减小M1的栅极处的寄生电容。减少将供应噪声注入到M1的栅极到源极电压中, 这又最小化供应噪声对振荡器频率的影响。控制电路420可被实施为可断言控制信号以控制开关SW1到SW3的导通及关断状态的控制器、有限状态机或其它类型的硬件装置。控制电路420接收配置(CONFIG), 所述配置指定在环路滤波器110的操作中将包含二进制加权电容器C2、C3、...、Cn中的哪一者。配置信息可经存储在控制电路420内的寄存器中。可由控制电路420基于配置信息来激活电容器C2、C3、...、Cn的各种组合。对于待激活的给定电容器C2、C3、...、Cn, 控制电路420断言控制信号以便接通(闭合)用于那些特定电容器的对应SW1及SW2开关且关断(断开)用于那些相同电容器器的开关SW3。对于将不作为环路滤波器操作的部分而激活的所有其它电容器, 控制电路420断言控制信号以便关断对应SW1及SW2开关且接通用于那些电容器的开关SW3。

[0020] 来自M1的电流流动到IC0 116, 所述IC0 116产生具有依据来自M1的电流而变的频率的OUTCLK 117。重复地调整OUTCLK 117的频率及相位以便维持FBCLK 119与REFCLK 101之间的频率及相位锁定。

[0021] 在本说明书中, 术语“耦合(couple/couples)”表示间接或直接的有线或无线连接。因此, 如果第一装置耦合到第二装置, 那么那个连接可通过直接连接或通过经由其它装置及连接件的间接连接。表述“基于”表示“至少部分地基于”。因此, 如果X基于Y, 那么X可随Y及任何数目个其它任何因素而变。

[0022] 在权利要求书的范围内, 对所描述实施例中修改是可能的, 且其它实施例是可能的。

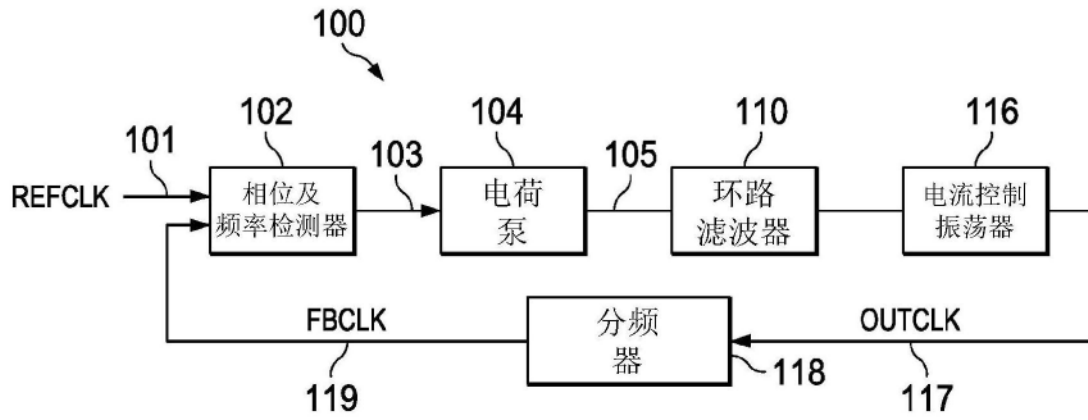


图1

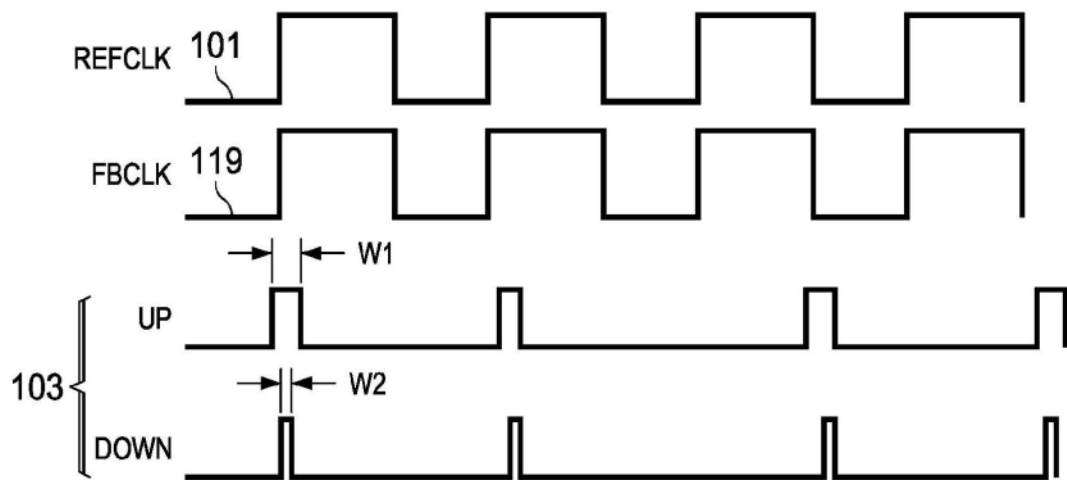


图2

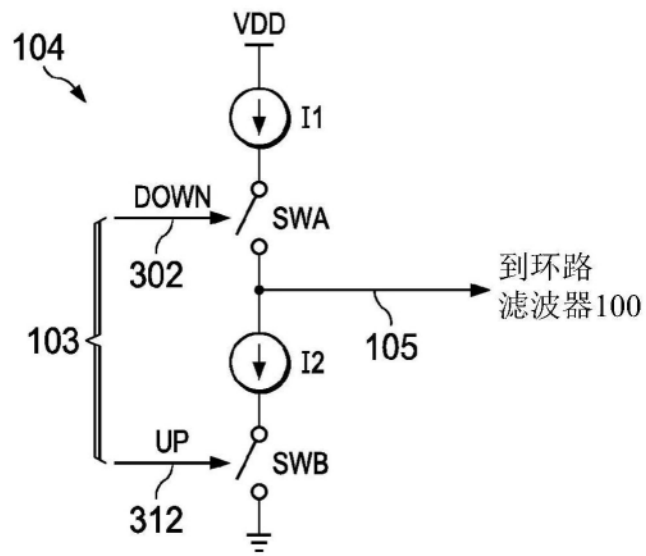


图3

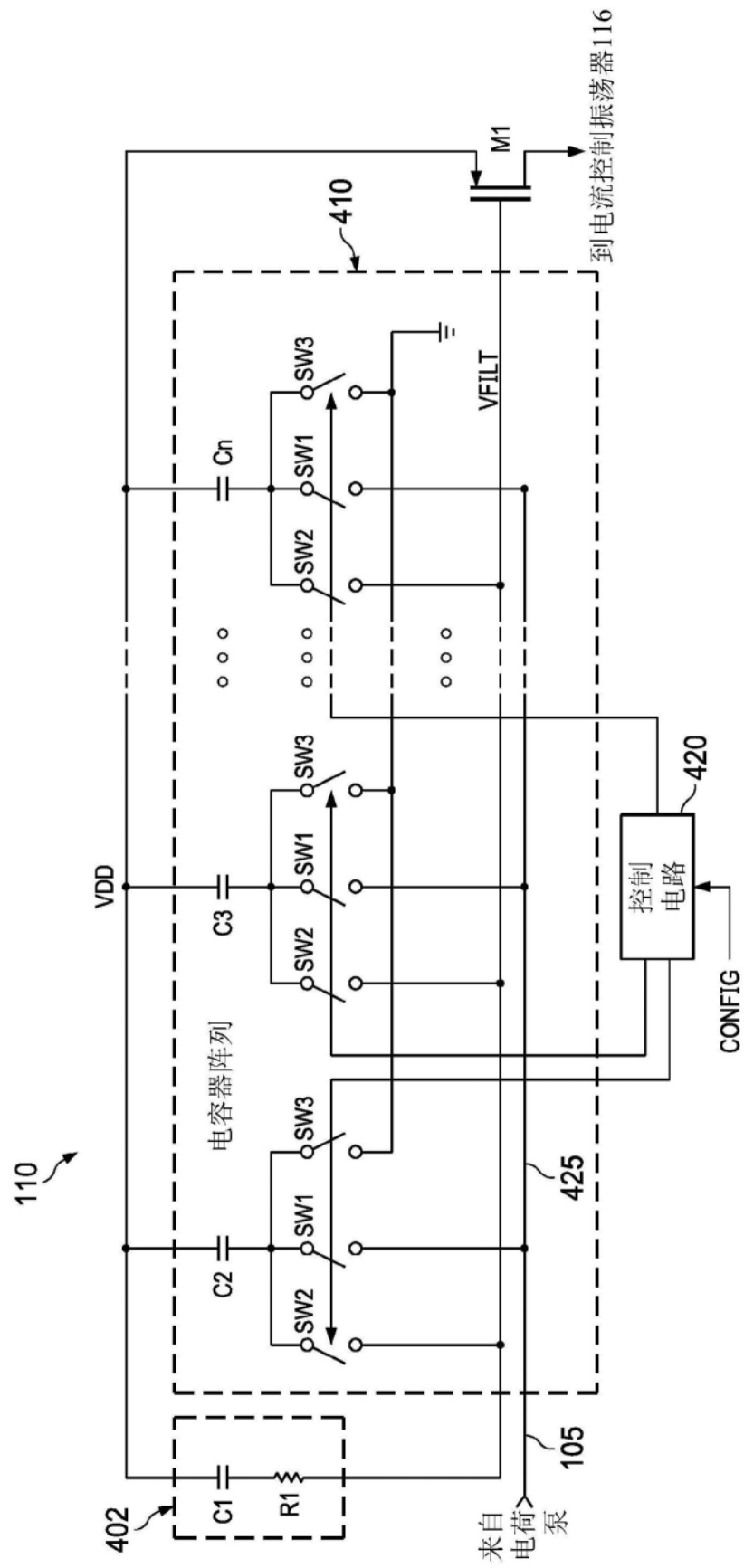


图4