公告本

申請日期	85 年 9 月 30 日
案號	85111989
類別	G01R 31/28

A4

305026

305026

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	週期產生裝置
	英文	
二、發明 ~~創作~~ 人	姓名	(1) 佐藤新哉
	國籍	(1) 日本
	住、居所	(1) 日本國群馬縣邑楽郡明和村大字大佐貫一四二－五一二
三、申請人	姓名（名稱）	(1) 阿杜凡泰斯特股份有限公司 株式会社アドバンテスト
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國東京都練馬區旭町一丁目三二番一號
	代表人姓名	(1) 大浦溥

裝 訂 線

經濟部中央標準局員工消費合作社印製

305026

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本　　1995 年　9 月 29 日　7-253349　　☑無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（1）

＜技術範圍＞

本發明乃關於：使用於對半導體器件，尤其是其代表例之半導體積體電路元件（以下簡稱：ＩＣ），進行測試（test）之半導體器件測試裝置（一般被稱爲：ＩＣ測試器），而產生被設定之測試週期，亦即測試型樣（test pattern）發生週期之脈波信號之週期產生裝置者。

＜背景技術＞

首先，參照圖4來簡單說明使用此種週期產生裝置之半導體器件測試裝置（以下簡稱：ＩＣ測試器）。圖4乃表示以往之ＩＣ測試器之概略構成者。整體以編號1所表示之ＩＣ測試器，乃大致由之發生各種定時信號之定時發生器2，及從此定時發生器2來規定測試型樣發生週期之定時信號，亦即，被供給週期信號，按照此週期信號來發生規定之測試型樣之型樣發生器3；及從此型樣發生器3被供給之測試型樣資料來生成具有測試被測試ＩＣ6所需之實際波形之測試信號之波形生成器4；及被供給來自被測試ＩＣ6之應答輸出信號及從型樣發生器3所發生之期望值型樣資料等之邏輯比較器5；等所構成。

響應從波形生成器4被外加之測試型樣信號，將被測試ＩＣ6所輸出之應答輸出信號輸入邏輯比較器5，在邏輯比較器5與從型樣發生器3被輸出之期望值型樣資料作邏輯比較；當應答輸出信號在期望值爲不符合時發生表示不符合之信號，則將被判定被測試ＩＣ有不良部位。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（2）

定時發生器2所輸出之週期信號之週期，乃由從型樣發生器3被送至定時發生器2之定時設定資料Ts所規定。亦即，定時發生器將輸出：按照型樣發生器3所輸出之定時設定資料Ts被規定週期之週期信號，而按照此週期信號之週期，型樣發生器3將輸出測試型樣資料。

其次，參照圖5來說明：規定週期信號之週期之以往之週期產生裝置之概略構成。如圖5所示，週期產生裝置10乃被設在定時發生器2之內部，可由：記憶有週期資料之週期記憶器11；及將週期產生裝置10內之基準時鐘PC加以計數之計數器12；及在此計數器12之計數值與週期記憶器11所輸出之週期資料爲一致（符合）時，輸出符合檢出信號J之符合檢出機構13；等所構成。

型樣發生器3所輸出之定時設定資料Ts，乃被輸入週期記憶器11之位址端子，並從週期記憶器11讀出：與各定時設定資料Ts相對應之週期資料。被讀出之週期資料，將與基準時鐘PC之數相對應。例如，若基準時鐘PC之頻率爲100MHE，則基準時鐘之一週期將成爲10毫微（nano，10－9）秒，（nsec）。因此，由被輸入之定時設定資料Ts從週期記憶器11所讀出之週期資料，若爲例如「2」（表示基準時鐘之個數爲2），則被輸出之週期信號之週期將成爲2×10nsec。如此，從週期記憶器11被讀出之週期資料之數值，將被變換週期（時間）。

在圖5所示例中，乃形成：將從符合檢出機構13被

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（3）

輸出之符合檢出信號J之一部分，經過（OR）電路14供給計數器12之負載（load）輸入端子LD之構成。因此，計數器12將每在符合檢出機構13輸出符合檢出信號J時被初始化（initlalite），反覆初始化與符合檢出後，如圖6D所示之符合檢出信號J，將作爲週期信號被輸出。

週期產生裝置10之動作，乃在OR電路14之另一方之輸入，被輸入週期產生開始信號時開始。此週期產生開始信號，乃爲檢出從型樣發生器3被送來之週期產生信號之上升邊（leading edge）者，通常乃在週期產生信號爲「H（邏輯高階）」時進行週期產生動作，故將檢出此「H」信號之上升邊。當週期產生動作開始，則以周期產生裝置10內之基準時鐘PC來動作之計數器12將被設定在「1」（初始狀態），並將與基準時鐘PC同步，被計數完畢（countup）。此計數器12之值與週期記憶器11所輸出之週期資料之一致（符合），將由符合檢出機構13被檢出，而被檢出之符合信號將如上述成爲週期信號。如上述，若週期資料爲「2」，則每在計數器12之值成爲2，即將被檢出與週期資料之一致（符合）。因此，被產生之週期信號之週期，將成爲基準時鐘信號之脈波2個分量之長度，而基準時鐘PC之頻率若爲100MHE，則如上述將成爲2×10nsec。

此外，雖未圖示，週期信號在AND電路將被取走與基準時鐘之邏輯積（AND），故此AND電路之輸出將

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（4）

成爲圖６Ｄ所示之週期時鐘ＬＴ。如上述，每在輸出符合信號，即在計數器１２，將被設定「１」（此乃與基準時鐘之個數爲／相對應），亦即計數器１２將被初始化，而反覆進行同樣之動作。

在圖５中，爲說明週期時鐘ＬＴ之發生機構（generation mechanism），乃將週期發生裝置１０之構成加以簡化圖示。在現實中，乃需將週期時鐘ＬＴ高速加以發生，故只將定時設定資料Ｔｓ從型樣發生器２加以叫出，則高速動作顯爲不可能。爲此，從以往即如圖７所示，在週期記憶器１１之前段及後段設置可作爲管線（pipeline）動作之正反器列組所成之移位暫存器１８及１９；在前後之移位暫存器１８則事先儲存其段數分量之定時設定資料ＴＳ，而每在符合信號Ｊ被輸出時，驅動兩移位暫存器１８及１９，各使定時設定資料ＴＳ及週期資料步進（stepping）一段，由此即可以高速向週期記憶器１１接達，同時將其讀出輸出，亦即將週期資料供給至符合檢出機構１３；等爲構成。

惟將週期產生裝置１０加以積體電路化（ＩＣ化）時，ＩＣ之電路構成，以ＣＭＯＳ（互補形ＭＯＳ）構造來構成最爲容易製作，而且，可獲得消費電力能夠減少之優點。因此，一般言，普通乃以ＣＭＯＳ構造來加以ＩＣ化。

另方面，符合信號Ｊ亦如圖６Ｄ所示，與基準時鐘相位相差極大。爲此，以符合信號Ｊ來驅動移位暫存器　1

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（5）

８，１９，將發生誤差動作。因此，一般言，乃在符合信號Ｊ之發生期間穿過基準時鐘ＰＣ，亦即，需取得與符合信號發生後之最初之基準時鐘之邏輯積（ＡＮＤ），來生成與基準時鐘ＰＣ同相位之週期時鐘。

在圖７之例子中，乃在符合檢出機構１３之輸出側設有由ＡＮＤ閘所構成之重定時機構１５，以此重定時機構１５來取得與在符合信號Ｊ之發生期間中最初被輸入之基準時鐘ＰＣ之邏輯積（ＡＮＤ），以生成與基準時鐘ＰＣ同步之圖６Ｅ所示之週期時鐘ＬＴ，將此週期時鐘ＬＴ供給移位暫存器１８及１９，使移位暫存器１８及１９之移位動作與基準時鐘ＰＣ同步來驅動等爲構成。

在ＩＣ測試器之部門，亦被要求裝置之小型化及電力消費之減低化。在於此種要求，亦有將裝置各部分之電路加以ＩＣ化之嘗試在進行中。將週期產生裝置１０加以ＩＣ化時，尤其在重定時機構１５中，將發生：使符合信號Ｊ之發生期間中之中央部分之定時，與基準時鐘ＰＣ之相位一致（符合）將超於困難等之不良結果。因爲，ＩＣ通常乃以ＣＭＯＳ構造來製作，不過以ＣＭＯＳ構造來製作時，在其電路構造上，於電路元件中之信號之傳播延遲時間較大。爲此，將發生：在重定時機構１５中於符合信號丁之發生期間中之略爲中央，將無法獲得使基準時鐘ＰＣ之相位一致（符合）所用之延遲調整機構等之困難。

例如，在由ＣＭＯＳ構造之電路所構成之周期發生裝置中，於重定時機構１５之符合信號丁被輸入之信號通路

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

五、發明說明（6）

側，如圖8所示，插入延遲元件16時，即使使用信號傳播延遲時間最小之電路元件（反相器，OR閘等），由此等電路元件所引起延遲時間亦將達10nsec（10×10^{-9}sec）以上之延遲時間。若基準時鐘PC之頻率爲例如：100MHZ，則其1週期將如上述成爲10nsec。因此，給予延遲元件以10nsec之延遲時間τ1，則符合信號J將延遲基準時鐘PC之1週期分量（10nsec）被供給至重定時機構15。當延遲元件16之延遲時間τ1較10nsec稍長，則重定時機構15之輸入側之符合檢出機構13所輸出之符合信號J與基準時鐘PC之間關係，將如圖9B所示，發生不能在符合信號J之中央部分穿過基準時鐘，亦即，在符合信號J之中央部分不能取得與基準時鐘PC之邏輯積之不良後果。因此，若延遲元件16之延遲時間τ1較基準時鐘PC之1週期T爲長，則如圖9C所示，將從重定時機構15輸出2個之週期信號LT及LT´，而使移位暫存器18與19進行2次之移位動作，或者週期信號LT之脈波寬將成爲狹窄；由此將發生不能使移位暫存器18及19確實作移位動作之不良結果。

爲此，雖可考慮去除延遲元件16，但將延遲元件16加以去除時，符合信號J之延遲時間將成爲較基準時鐘PC之脈波寬度爲短；因此，在此情況下，亦將發生如圖10所示產生2個週期信號LT及LT´等之不良現象。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（7）

在此，替代延遲元件16，如圖11所示，亦可考慮使用閂鎖電路17。惟若以CMOS構造來構成計數器12，符合檢出機構13，閂鎖電路17時，將此等電路元件之動作，在基準時鐘PC之半週期分量（脈波寬分量）之時間5nsec內來完成，乃非常困難。擬以此使用閂鎖電路17之方法使其正常動作，則只有將基準時鐘PC之週期加長一途。惟將基準時鐘PC之週期予以加長，則週期時鐘LT之發生週期亦將超長，週期分辨能力（periodic reslution）將惡化；故將發生IC之測試週期之設定分辨能力（setting resolution）亦將變粗等之不良結果。

＜發明之概要＞

本發明之目的乃在提供：以CMOS構造來IC化時，亦不必將基準時鐘之週期加長，即可穩定動作之周期產生裝置者。

在本發明，乃在被設在週期記憶器之前段而構成移位暫存器之各正反器之觸發器輸入端子，直接供給基準時鐘PC，同時，亦在各正反器之前段設置轉換電路；由此轉換電路無輸出符合信號J之狀態下，乃將各正反器之輸出控制成：反饋於自己之輸入端子之狀態；並且，在有輸出符合信號J之狀態下，則將前後之正反器之輸出控制成：供給於自己之輸入端子之狀態，按符合信號之有無來進行轉換電路之轉換控制，使各正反器與基準時鐘PC同步來

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（8）

動作；等爲構成者。

依據上述之本發明之構成，只要至計數器12。符合檢出機構13，閂鎖電路17等之動作完了爲止之時間，較基準時鐘已1週期分量之時間爲短即可，放與以往必需在基準時鐘PC之半週期分量之時間內動作完了之情形比較，時間之容許範圍已加倍，故能實現以COS構造來IC化之週期產生裝置。

＜附圖之簡單說＞

〔圖1〕表示本發明之週期產生裝置之一實施例之概略構成之方塊圖。

〔圖2〕表示使用於圖1所示實施例之移位暫存器之詳細構成之方塊圖。

〔圖3〕說明圖2所示移位暫存器之動作所用之波形圖。

〔圖4〕表示以往IC測試器一例之概略構成之方塊圖。

〔圖5〕使用於以往之IC測試器之週期產生裝置之一例之概略構成之方塊圖。

〔圖6〕說明圖6所示週期產生裝置之動作所用之波形圖。

〔圖7〕備有以往重定時機構之週期產生裝置之一例之方塊圖。

〔圖8〕表示使用於以往IC測試器之週期產生裝置

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（9）

所用之重設定機構之一例之電路連接圖。

〔圖9〕說明圖8所示重定時機構之缺點所用之波形圖。

〔圖10〕說明在圖8所示重定時機構中除去延遲元件時之缺點所用之波形圖。

〔圖11〕表示使用於以往IC測試器之周期產生裝置所用之重設定機構之其他例子之電路連接圖。

＜實施發明所用之最佳形態＞

下面參照附圖來詳細說明：本發明之週期產生裝置。圖1乃表示本發明之週期產生裝置之一實施例之概略構成者，圖2則表示使用於圖1所示實施例之移位暫存器之詳細構成之各個方塊圖。在此實施例中，乃在各被設在記憶週期資料之週期記憶器11之前段及後段，而構成作爲管線動作之移位暫存器18及19之各正反器FF之前段，如圖2所示，設有轉換電路MUX。圖2雖僅表示前段之移位暫存器18，但後段之移位暫存器19亦具有同樣之電路構成。

在各轉換電路MUX之輸入端子A，乃將直接供給下一段之有關之正反器FF之輸出信號I_A，而在各轉換電路MUX之輸入端子B，則將直接供給前段之正反器之輸出信號I_B。在各轉換電路MUX之控制端子EN亦供給從符合檢出機構13所輸出之符合信號J，將各轉換電路MUX之輸出端子O直接連接在下一段之有關之各正反器

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部中央標準局員工消費合作社印製

五、發明說明（10）

ＦＦ之輸入端子Ｄ；進一步，在各正反器ＦＦ之觸發器輸入端子ＣＫ，則將輸入週期產生裝置之基準時鐘ＰＣ。

各轉換電路ＭＵＸ，在被供給至控制端子ＥＮ之符合信號Ｊ之邏輯爲Ｌ（低階）邏輯之狀態Ｆ，將被轉換爲輸入端子Ａ被連接在輸出端子Ｏ之狀態；而符合信號Ｊ之邏輯成爲Ｈ（高階）邏輯時，則將被轉換成：輸入端子Ｂ與輸出端子Ｏ連接之狀態。因此，在符合檢出機構１３未檢出符合之狀態下，各轉換電路ＭＵＸ乃爲輸入端子Ａ被連接在輸出端子Ｏ；在此狀態下，各正反器ＦＦ即使基準時鐘ＰＣ被輸入觸發器輸入端子ＣＫ，亦將讀入自已之輸出，而從被記憶在各正反器ＦＦ之定時設定資料ＴＳ及週期記憶器１１所讀出之週期資料，將不致在移位暫存器１８及１９內被移位。

與此相對，若符合檢出機構１３檢出一致（符合）而輸出Ｈ邏輯，則各轉換電路ＭＵＸ將被轉換爲：輸入端子Ｂ被連接在輸出端子Ｏ之狀態；故以此狀態，若基準時鐘ＰＣ被輸入至各正反器ＦＦ之觸發器輸入端子ＣＫ，則在此基準時鐘ＰＣ之上升邊（leading edge）之定時，各正反器ＦＦ將讀入前段之正反器之輸出。因此，從定時設定資料ＴＳ及週期記憶器１１被讀出之週期資料，將在相對應之移位暫存器１８及１９之正反器ＦＦ間被逐段移位，將從移位暫存器１９被輸出後被輸入於符合檢出機構１３之週期資料之狀態加以更新。

茲將說明上述本發明之週期產生裝置１０之動作所用

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（11）

之波形圖表示於圖３。圖３Ａ乃表示週期產生裝置１０之內部基準時鐘ＰＣ之波形，圖３Ｂ則表示符合信號Ｊ之波形，圖３Ｃ在此例中乃表示移位暫存器１８之終段之輸出信號之波形。依據本發明，若在與週期產生裝置１０之內部基準時鐘ＰＣ之內之週期符合之脈波Ｆ之上升邊之定時起，經過延遲時間τ１後，符合信號Ｊ被輸出，則在其Ｆ／個基準時鐘脈波①之上升邊之定時，移位暫存器１８及１９將進行移位動作；由此，從移位暫存器１８之終段被輸出之定時設定資料ＴＳ，將例如從井Ｆ被更新爲井２。因此，符合信號Ｊ之上升邊之定時，即使在從基準時鐘脈波Ｆ之上升邊即後，直接至下１個基準時鐘脈波①之上升邊之即前爲止之約１週期範圍內之任何時點；只要在下１個脈波①之上升邊之定時中符合信號Ｊ爲Ｈ邏輯，各轉換電路ＭＵＸ之輸入端子即從Ａ被轉換爲Ｂ；放移位暫存器１８及１９之移位動作將被確實執行。而且，供給各正反器ＦＦ之觸發器輸入端子ＣＫ之基準時鐘ＰＣ，其脈波寬亦不致被削減；故可使移位暫存器１８及１９穩定動作。

如上述之說明，依據本發明，乃因採取：向被設在週期記憶器１１之至少前段之移位暫存器１８供給基準時鐘ＰＣ，且僅由符合信號Ｊ之外加使各移位暫存器按基準時鐘ＰＣ來執行信號之移位動作等爲構成；故即使符合信號之相位接近基準時鐘ＰＣ之相位，或者延遲約１週期，亦可使各移位暫存器確實動作。亦即，可將符合信號Ｊ之延遲容許寬度採取較以往爲大之幅度（約從前之２倍）。因

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製

五、發明說明（12）

此，即使特將計數器１２及符合檢出機構１３，以延遲時間較大之ＣＭＯＳ構造之ＩＣ來構成，亦只要在較基準時鐘ＰＣ之１週期爲稍小之時間範圍內即可；故即使ＣＭＯＳ構造之電路，亦可獲得：能實現具備有移位暫存器１８及１９之構成之週期產生裝置１０等之顯著效果。

此外，在上述說明中乃以半導體器件之代表例之ＩＣ爲例來說明，惟本發明亦可適用於使用在測試ＩＣ以外之其他半導體器件之半導體器件測試裝置之週期產生裝置，並能獲得同樣之作用效果，此亦不必贅言者。並且，構成移位暫存器之各段之暫存器，亦不限定於正反器者。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

四、中文發明摘要（發明之名稱：　　）

週期產生裝置

本發明乃有關：使用於對半導體器件，尤其是其代表例之半半導體積體電路元件（以下簡稱之ＩＣ），進行測試（test）之半導體器件測試裝置（一般被稱寫：ＩＣ測試器），而產生被設定之測試週期，亦即測試型樣（test pattern）發生週期之脈波信號之周期產生裝置（cycle generatfor，亦稱：交變頻率發生器）者。

本發明之目的乃在提供：即以ＣＭＯＳ構造被ＩＣ化之情形，亦不必使基準時鐘之週期加長，即可穩定動作之週期產生裝置者。亦即，將被要求高速動作之週期產生裝置，以ＣＭＯＳ構造之ＩＣ來加以實現者。

本發明之特徵乃在：於記憶週期資料之週期記憶器之前段及後段，各設置作爲管線來動作之移位暫存器；在構成各移位暫存器之正反器之各前段則設置轉換電路；並將各轉換電路加以轉換控制成爲：僅在從檢出：週期資料與將基準時鐘加以計數之計數器之輸出爲符合（Coincidence）之符合檢出機構，輸出符合信號之期間，將各正反器加以序連（concatenate）連接，並由供給其觸發器端

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

四、中文發明摘要（發明之名稱：　　）

子之基準時鐘來執行移位動作之狀態。由此，各移位暫存器在符合檢出機構未輸出符合信號時，乃保持所記憶之資料，而有輸出符合信號時，則由基準時鐘來確實執行移位動作；等爲機成者。

英文發明摘要（發明之名稱：　　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1．一種週期產生裝置，主要在，將規定週期之週期信號供給至型樣（pattern）發生器，來決定從此型樣發生器供給至被測試半導體器件之測試型樣信號之週期，同時亦由上述型樣發生器所供給之定時設定資料，來規定上述週期信號之週期之週期產生裝置，而備有：

將基準時鐘加以計數之計數器；

及預先儲存有複數之週期資料，而從上述型樣發生器被輸出之上述定時設定資料作爲住址信號被供給，並輸出由此位址信號被接達之週期資料之週期記憶器；

及將上述計數器之計數值與從上述週期記憶器被說明之週期資料加以比較，當檢出此等計數值與週期資料爲符合（coincidence）時，輸出符合信號之符合檢出機構；

及具有記憶被供給於上述週期記憶器之上述定時設定資料之複數段數之暫存器，而構成每於發生週期信號時順次將定時設定資料逐段加以步進之管線（pipeline）之移位暫存器；等爲構成之週期產生裝置中；其特徵爲具備有：

各被設在構成上述移位暫存器之複數暫存器之各前段之轉換機構；

及將此等轉換機構控制成：於上述符合檢出機構輸出符合信號之狀態下被轉換成：將被記憶於各轉換機構前段之暫存器之定時設定資料，與上述基準時鐘同步送入於下一段之暫存器之狀態；而在上述符合信號未被輸出之狀態下，則被轉換成：將被記憶於上述各暫存器之定時設定資

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

料，與上述基準時鐘同步及饋於自己之輸入端子之狀態等之控制機構；

而在上述符合信號未被輸出之狀態下，則將被記憶於上述各暫存器之定時設定資料加以保持；等爲構成者。

2．如申請專利範圍第1項所述之週期產生裝置中；其特徵爲：構成上述移位暫存器之複數之暫存器乃各爲D型正反器；上述各轉換電路，則爲具有：兩個輸入端子及一個輸出端子以及一個控制端子等之多工器；各多工器亦被構造成：在其控制端子未被供給上述符合信號時，一方之輸入端子乃被連接在輸出端子，而在各多工器之控制端子有上述符合信號被供給時，則另一方之端子乃被連接於輸出端子等之構成；在各正反器之觸發器端子，亦有上述基準時鐘被供給其中，而其輸入端子則有前後之多工器之輸出端子被連接其上，其輸出端子亦被連接在前段之多工器之一方之輸入端子及下一段之多工器之另一方之輸入端子；而在初段之多工器之另一方之輸入端子，則有上述定時設定資料被輸入，從終段之正反器之輸出端子，則有定時設定資料被輸出至上述週期記憶器；等爲構成者。

3．如申請專利範圍第1項所述之週期產生裝置中，其特徵爲：在上述週期記憶器之後段，乃具有：將將上述週期記憶器讀出之週期資料加以記憶之複數段數之暫存器，並設置有將被讀出之週期資料順次逐段加以步進之構成管線之第2移位暫存器；以及在構成此移位暫存器之各暫存器之前段則各設有轉換機構；進一步，亦設有：將各轉

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

換機構控制成：上述符合檢出機構輸出符合信號之狀態下被轉換成：將被記憶於各轉換機構之前段之暫存器之週期資料，與上述基準時鐘同步送入下一段之暫存器之狀態，而在上述符合信號未被輸出之狀態下，則被轉換成：將被記憶在上述各暫存器之週期資料，與上述基準時鐘同步，反遭於自己之輸入端子之狀態等之控制機構；並且在上述符合信號未被輸出之狀態下，則將被記憶於上述各暫存器之週期資料加以保持；等爲構成者。

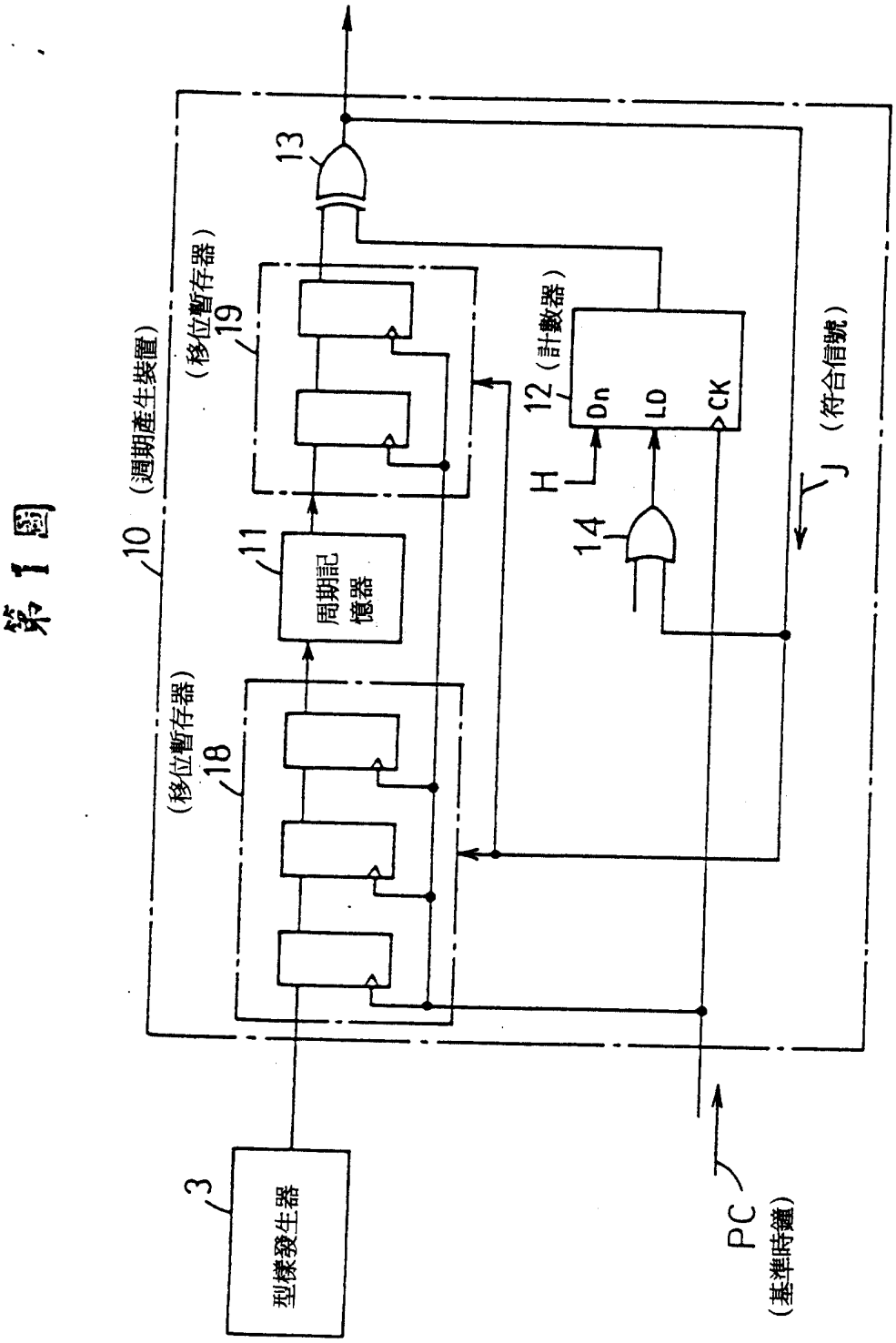
4．如申請專利範圍第3項所述之週期產生裝置中，其特徵爲：構成上述第2移位暫存器之複數之暫存器，乃各爲D型正反器；被各設在此等暫存器前段之上述各轉換電路，則爲具有兩個輸入端子及一個輸入端子及一個控制端子等之多工器；各多工器則被構造成：其控制端子未被供給上述符合信號時，其一方之輸入端子乃被連接至輸出端子，而在各多工器之控制端子有上述符合信號被供給時，則其另一方之輸入端子乃被連接在輸出端子等之構成：並且，在各正反器之觸發器端子，乃供給有上述基準時鐘，其輸入端子則被連接在前段之多工器之輸入端子，其輸出端子亦被連接在前段之多工器之一方之輸入端子及下一段之多工器之另一方之輸入端子；而初段之多工器之另一方之輸入端子亦有從上述週期記憶器被讀出之週期資料被輸入，終段之正反器之輸出端子則有週期資料被輸出至上述符合檢出機構；等爲構成者。

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部中央標準局員工消費合作社印製

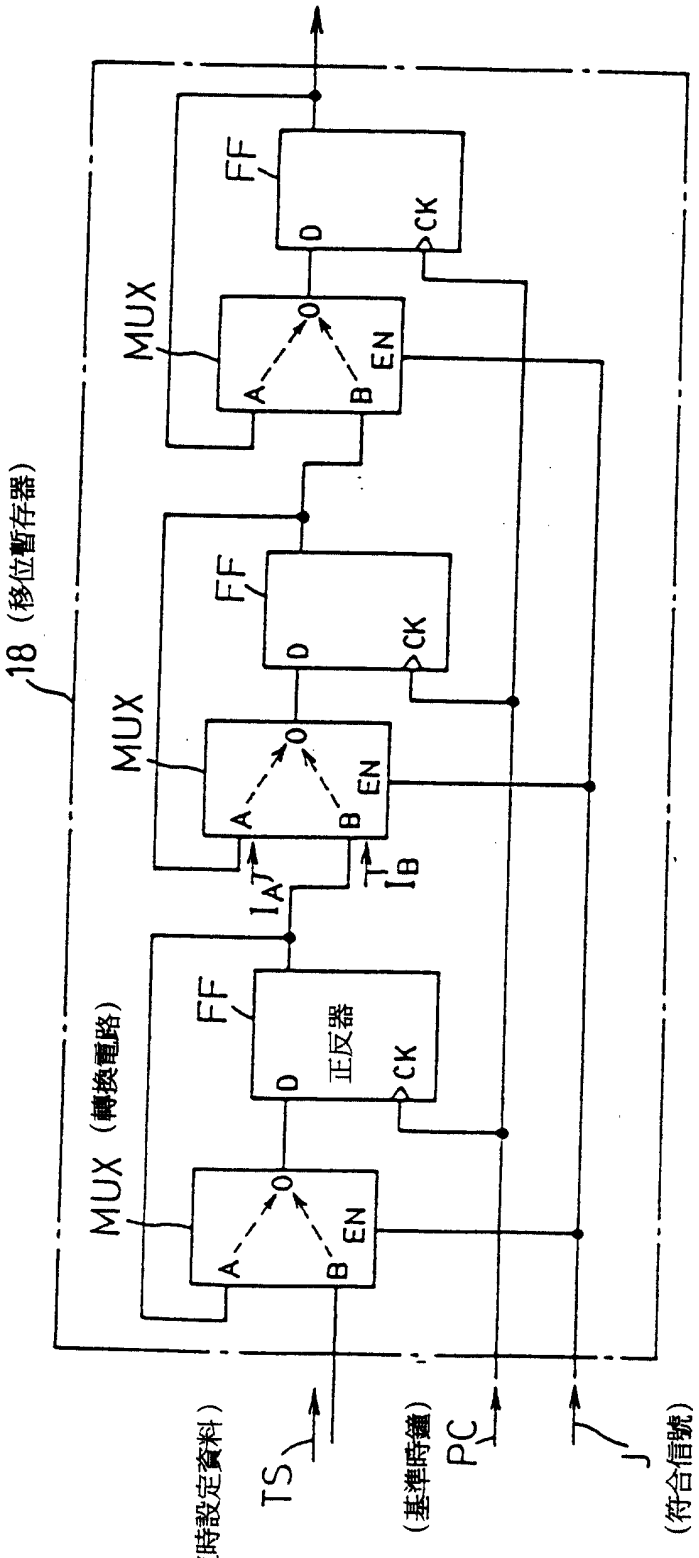
85111989

726690

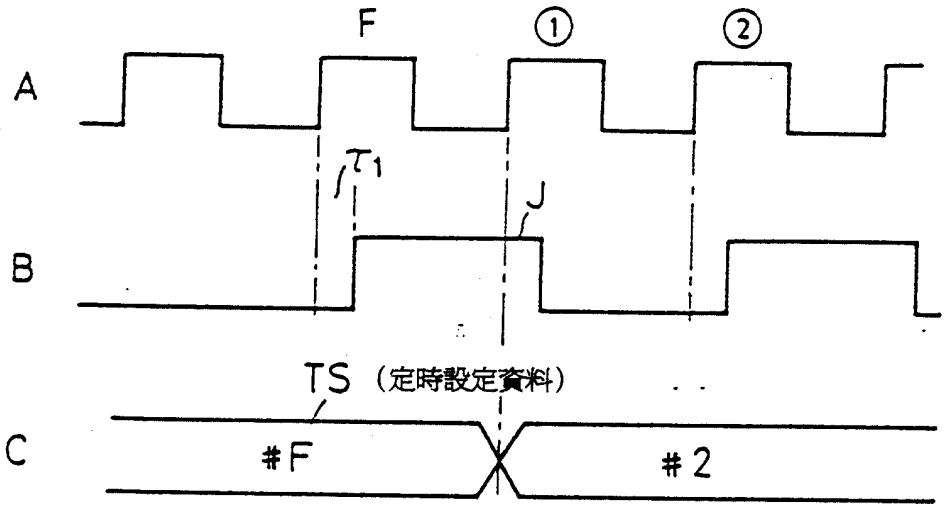
第1圖



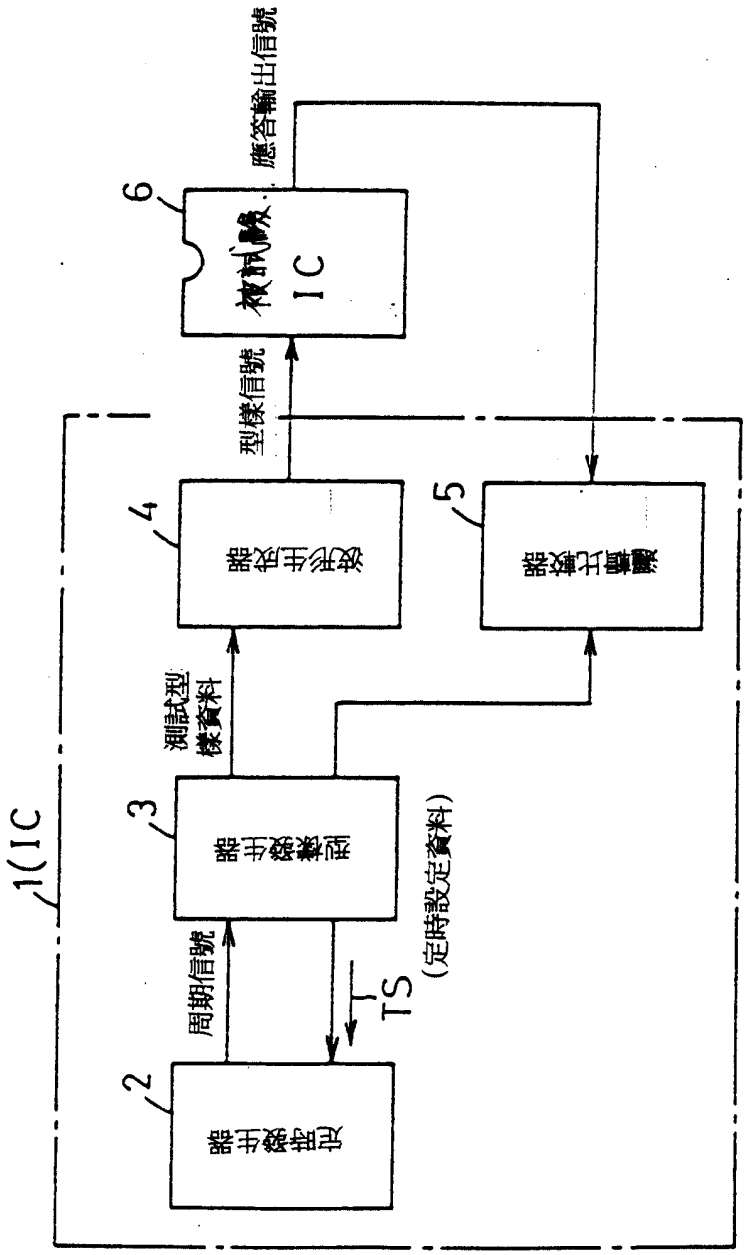
第 2 圖


18 (移位暫存器)
MUX (轉換電路)
MUX
MUX
FF
FF
FF
正反器
D
CK
A
B
O
EN
I_A
I_B
TS
PC
J
(定時設定資料)
(基準時鐘)
(符合信號)

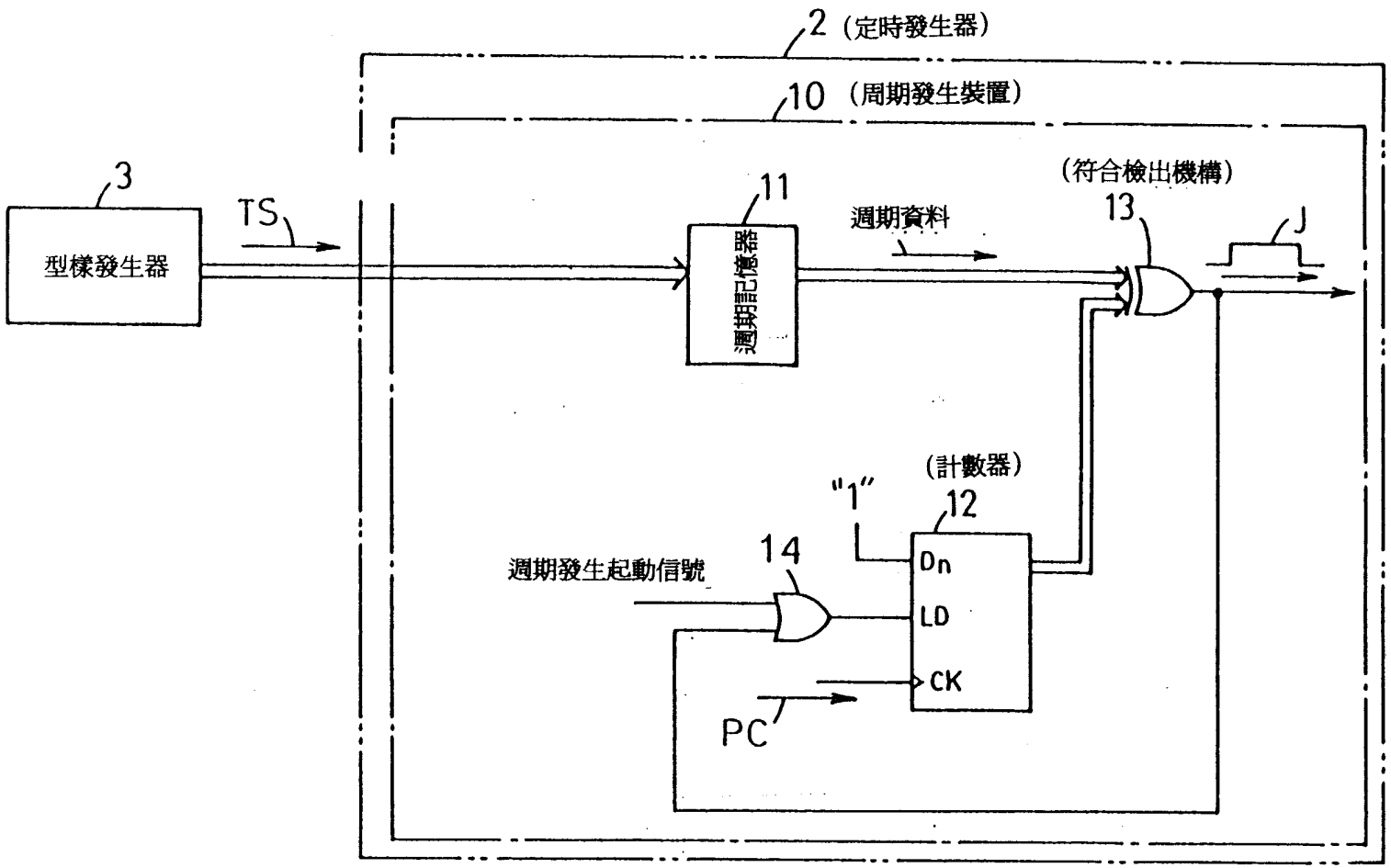
第 3 圖



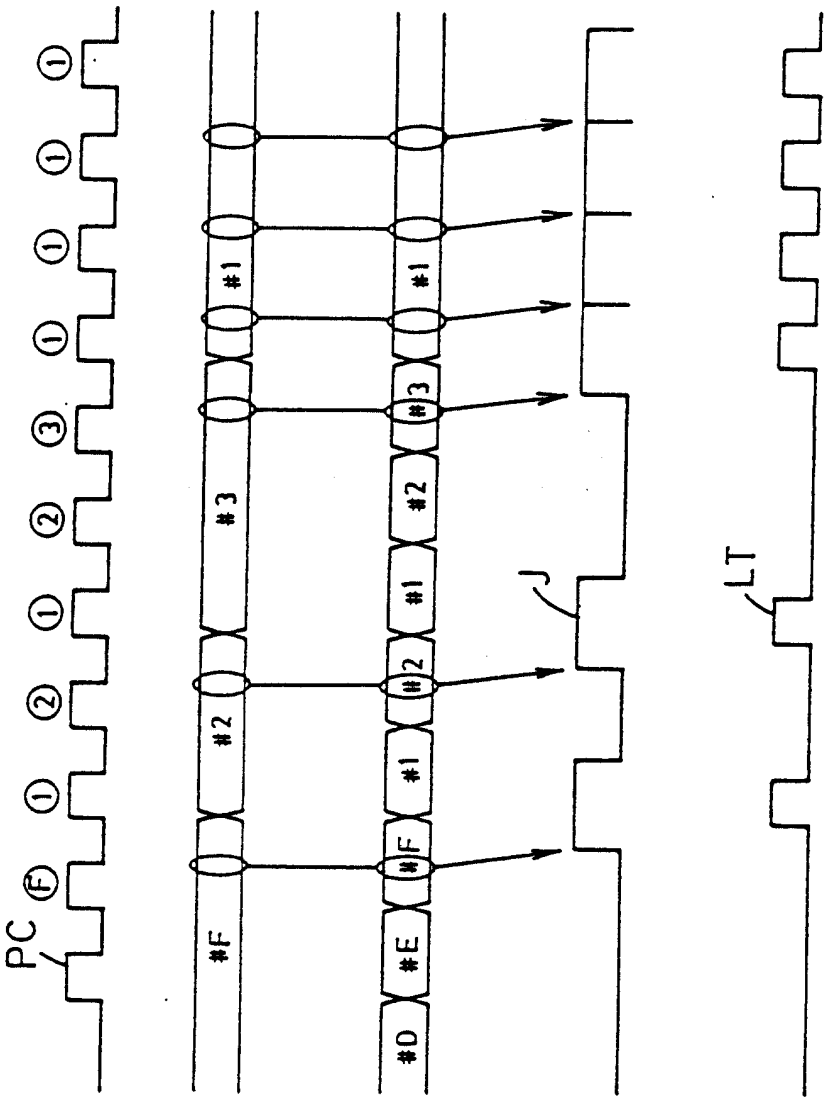
第4圖


1(IC
2
定時發生器
周期信號
TS
(定時設定資料)
3
型樣發生器
測試型樣資料
4
波形生成器
5
邏輯比較器
型樣信號
6
被測試IC
應答輸出信號

第 5 圖


2 (定時發生器)
10 (周期發生裝置)
3
型樣發生器
TS
11
週期記憶器
週期資料
(符合檢出機構)
13
J
(計數器)
12
"1"
Dn
LD
CK
14
週期發生起動信號
PC

第6圖


PC
Ⓕ ① ② ① ② ③ ① ① ① ①
#F
#2
#3
#1
#D
#E
#F
#1
#2
#1
#2
#3
#1
J
LT
基準時鐘 A
基準時鐘 B
調期資料 C
計數器輸出 D
符合信號 E

第 7 圖

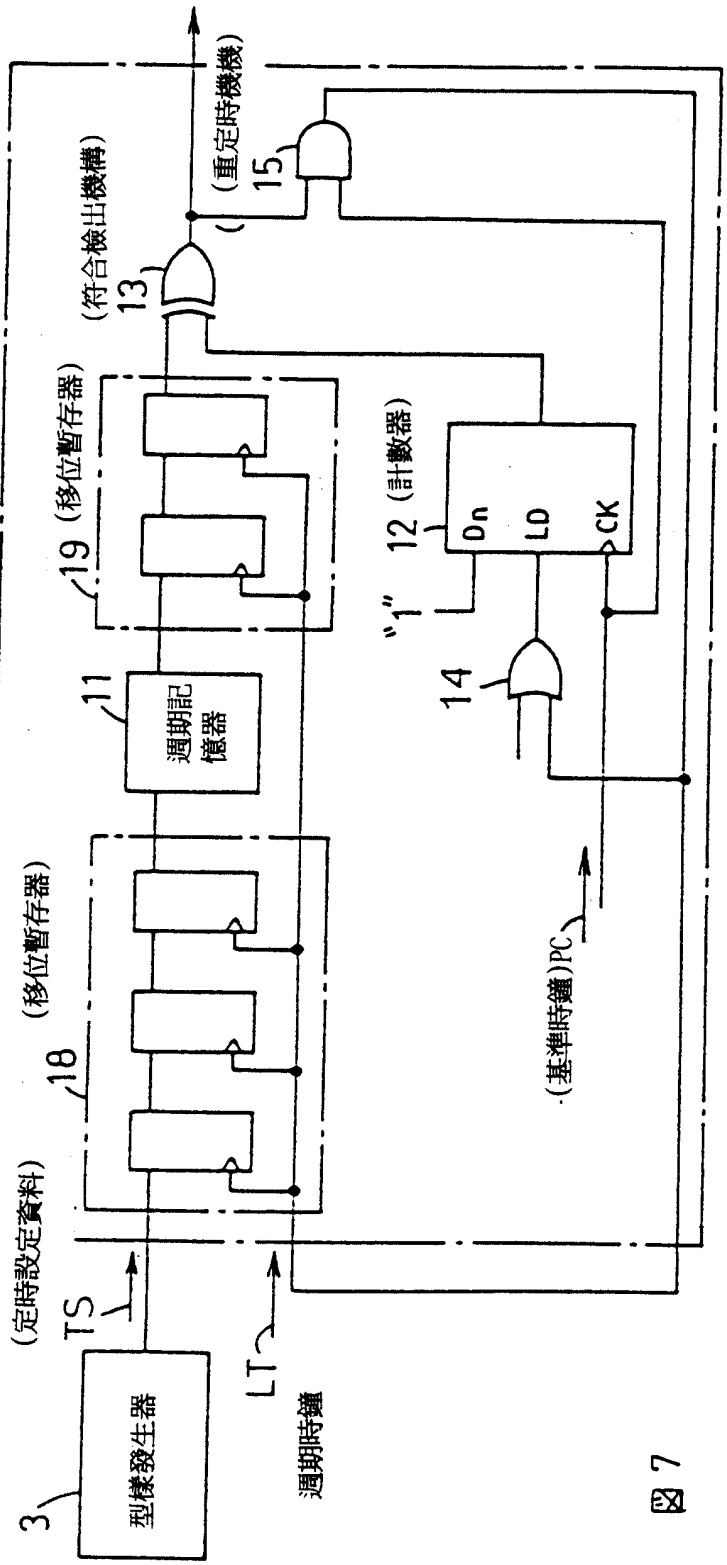
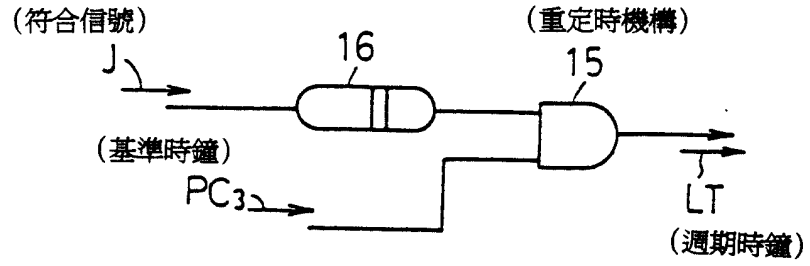
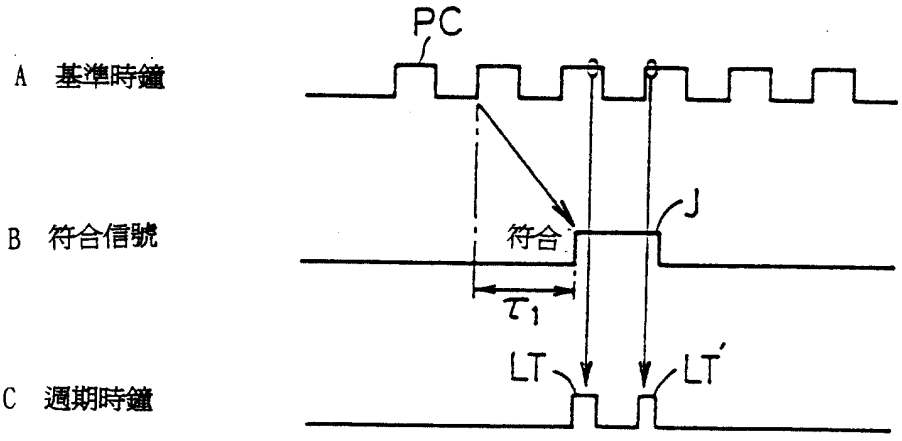

10 (週期發生裝置)
(定時設定資料)
TS
18 (移位暫存器)
11
週期記憶器
19 (移位暫存器)
(符合檢出機構)
13
(重定時機構)
15
"1"
12 (計數器)
Dn
LD
CK
14
(基準時鐘)PC
LT
週期時鐘
3
型樣發生器

圖 7

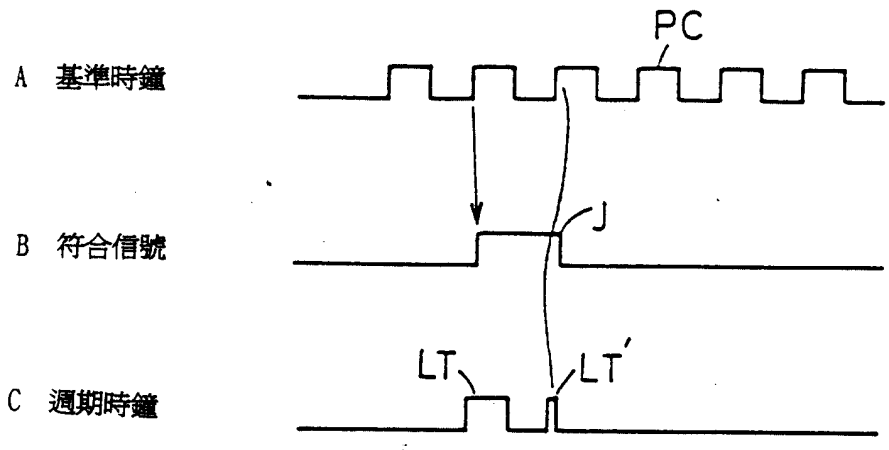
第 8 圖


(符合信號)
J
16
(重定時機構)
15
(基準時鐘)
PC3
LT
(週期時鐘)

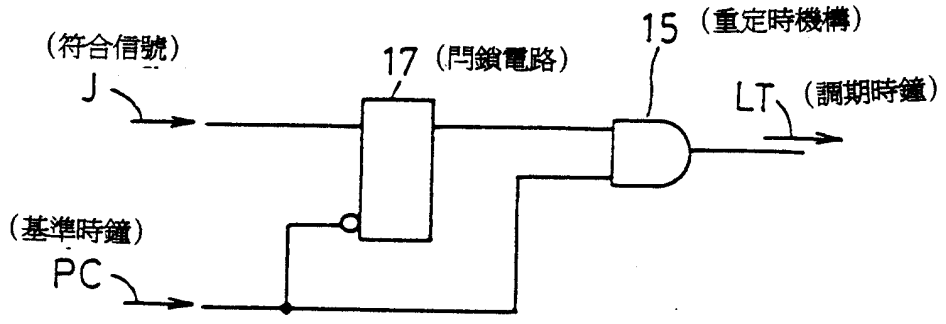
第 9 圖


A 基準時鐘
B 符合信號
C 週期時鐘
PC
符合
J
τ1
LT
LT'

第10圖


PC
A 基準時鐘
B 符合信號
J
LT
LT'
C 週期時鐘

第11圖


(符合信號)
J
17 (閂鎖電路)
15 (重定時機構)
LT (調期時鐘)
(基準時鐘)
PC