



(12) 发明专利申请

(10) 申请公布号 CN 103984635 A

(43) 申请公布日 2014. 08. 13

(21) 申请号 201310050783. X

(22) 申请日 2013. 02. 08

(71) 申请人 群联电子股份有限公司

地址 中国台湾苗栗县竹南镇群义路 1 号

(72) 发明人 黄意翔

(74) 专利代理机构 北京同立钧成知识产权代理

有限公司 11205

代理人 袁建明

(51) Int. Cl.

G06F 12/02 (2006. 01)

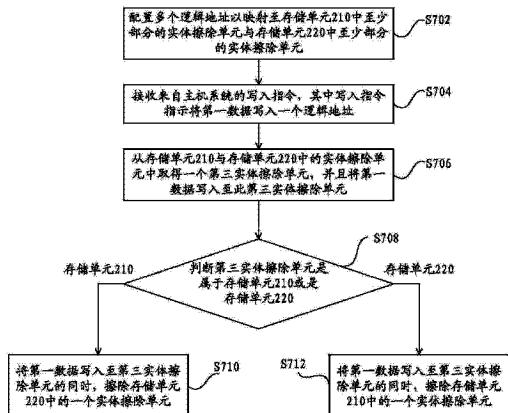
权利要求书5页 说明书14页 附图10页

(54) 发明名称

数据写入方法、存储器控制器与存储器储存装置

(57) 摘要

本发明提供一种数据写入方法、存储器控制器与存储器储存装置。此方法用于控制可复写式非易失性存储器模块，其包括两个存储单元。此方法包括：配置多个逻辑地址以映射至上述两个存储单元中至少部分的实体擦除单元；接收来自主机系统的写入指令，其指示将数据写入至一个上述的逻辑地址；将此数据写入至上述两个存储单元中的一个实体擦除单元；判断此实体擦除单元是属于哪一个存储单元；以及若此实体擦除单元属于其中一个存储单元，将数据写入时，擦除另一个存储单元中的一个实体擦除单元。因此，可以增加主机系统写入数据至存储器储存装置的速度。



1. 一种数据写入方法,用于控制一可复写式非易失性存储器模块,其中该可复写式非易失性存储器模块包括一第一存储单元与一第二存储单元,该第一存储单元包括多个第一实体擦除单元,并且该第二存储单元包括多个第二实体擦除单元,其特征在于,该数据写入方法包括:

配置多个逻辑地址以映射至至少部分的该些第一实体擦除单元与至少部分的该些第二实体擦除单元;

接收来自一主机系统的一写入指令,其中该写入指令指示将一第一数据写入至该些逻辑地址中的一第一逻辑地址;

从该些第一实体擦除单元与该些第二实体擦除单元中取得一第三实体擦除单元,并且将该第一数据写入至该第三实体擦除单元;

判断该第三实体擦除单元是属于该第一存储单元或是该第二存储单元;以及

若该第三实体擦除单元属于该第一存储单元,将该第一数据写入至该第三实体擦除单元时,擦除该些第二实体擦除单元的其中之一。

2. 根据权利要求 1 所述的数据写入方法,其特征在于,还包括:

若该第三实体擦除单元属于该第二存储单元,将该第一数据写入至该第三实体擦除单元时,擦除该些第一实体擦除单元的其中之一。

3. 根据权利要求 2 所述的数据写入方法,其特征在于,还包括:

将该些第一实体擦除单元与该些第二实体擦除单元至少划分为一数据区与一闲置区,其中该至少部分的该些第一实体擦除单元与该至少部分的该些第二实体擦除单元属于该数据区;以及

设置一第一擦除区与一第二擦除区,

其中该第三实体擦除单元属于该闲置区,该些第一实体擦除单元的该其中之一属于该第一擦除区,并且该些第二实体擦除单元的该其中之一属于该第二擦除区。

4. 根据权利要求 3 所述的数据写入方法,其特征在于,该第一逻辑地址是映射至该些第一实体擦除单元与该些第二实体擦除单元中之一第四实体擦除单元,在将该第一数据写入至该第三实体擦除单元的步骤之后,该数据写入方法还包括:

判断该第四实体擦除单元是否需要被擦除;

若该第四实体擦除单元需要被擦除,判断该第一擦除区或该第二擦除区的一实体擦除单元个数是否大于等于一临界值;

若该第一擦除区与该第二擦除区的该实体擦除单元个数小于该临界值,将该第四实体擦除单元关联至该第一擦除区或该第二擦除区。

5. 根据权利要求 4 所述的数据写入方法,其特征在于,还包括:

若该第一擦除区或该第二擦除区的该实体擦除单元个数大于等于该临界值,擦除该第四实体擦除单元,并且将该第四实体擦除单元关联至该闲置区。

6. 根据权利要求 3 所述的数据写入方法,其特征在于,还包括:

将该些第一实体擦除单元的该其中之一或是该些第二实体擦除单元的该其中之一关联至该闲置区。

7. 根据权利要求 3 所述的数据写入方法,其特征在于,在该第一数据被写入至该第三实体擦除单元以后,该第一擦除区包括多个已被擦除的第一实体擦除单元,并且该第二擦

除区包括多个已被擦除的第二实体擦除单元，该数据写入方法还包括：

交错地将该些已被擦除的第一实体擦除单元的其中之一与该些已被擦除的第二实体擦除单元的其中之一关联至该闲置区。

8. 根据权利要求 3 所述的数据写入方法，其特征在于，每一该些第一实体擦除单元包括多个实体程序化单元，并且每一该些第二实体擦除单元包括多个实体程序化单元，该数据写入方法还包括：

根据该可复写式非易失性存储器模块的一写入速度与一擦除时间决定一正整数 n；

将该第一数据写入至该第三实体擦除单元中该些实体程序化单元的 n 个实体程序化单元时，检查该第一擦除区或该第二擦除区中是否有需要被擦除的实体擦除单元；以及

若该第一擦除区或该第二擦除区中有需要被擦除的实体擦除单元时，执行所述擦除该些第二实体擦除单元的该其中之一的步骤或是所述擦除该些第一实体擦除单元的该其中之一的步骤。

9. 根据权利要求 3 所述的数据写入方法，其特征在于，每一该些第一实体擦除单元包括多个实体程序化单元，每一该些第二实体擦除单元包括多个实体程序化单元，并且从该写入指令获得指示写入 t 个实体程序化单元，其中 t 为正整数，该数据写入方法还包括：

根据该可复写式非易失性存储器模块的一写入速度与一擦除时间决定一正整数 n；

判断该正整数 t 是否大于等于该正整数 n；

若该正整数 t 小于该正整数 n，将该第一数据写入至该第三实体擦除单元；

若该正整数 t 大于等于该正整数 n，执行所述取得该第三实体擦除单元的步骤，所述将该第一数据写入至该第三实体擦除单元的步骤，以及所述判断该第三实体擦除单元是属于该第一存储单元或是该第二存储单元的步骤。

10. 根据权利要求 1 所述的数据写入方法，其特征在于，该些逻辑地址是交错地映射至该些第一实体擦除单元的其中之一与该些第二实体擦除单元的其中之一。

11. 一种存储器储存装置，其特征在于，包括：

一连接器，用以电性连接至一主机系统；

一可复写式非易失性存储器模块，包括一第一存储单元与一第二存储单元，其中该第一存储单元包括多个第一实体擦除单元，并且该第二存储单元包括多个第二实体擦除单元；以及

一存储器控制器，电性连接至该连接器与该可复写式非易失性存储器模块，用以配置多个逻辑地址以映射至至少部分的该些第一实体擦除单元与至少部分的该些第二实体擦除单元，

其中，该存储器控制器用以接收来自该主机系统的一写入指令，其中该写入指令指示将一第一数据写入至该些逻辑地址中的一第一逻辑地址，

其中，该存储器控制器用以从该些第一实体擦除单元与该些第二实体擦除单元中取得一第三实体擦除单元，并且将该第一数据写入至该第三实体擦除单元，

其中，该存储器控制器用以判断该第三实体擦除单元是属于该第一存储单元或是该第二存储单元，

若该第三实体擦除单元属于该第一存储单元，该存储器控制器用以在将该第一数据写入至该第三实体擦除单元时，擦除该些第二实体擦除单元的其中之一。

12. 根据权利要求 11 所述的存储器储存装置, 其特征在于, 若该第三实体擦除单元属于该第二存储单元, 该存储器控制器用以在将该第一数据写入至该第三实体擦除单元时, 擦除该些第一实体擦除单元的其中之一。

13. 根据权利要求 12 所述的存储器储存装置, 其特征在于, 该存储器控制器还用以将该些第一实体擦除单元与该些第二实体擦除单元至少划分为一数据区与一闲置区, 其中该至少部分的该些第一实体擦除单元与该至少部分的该些第二实体擦除单元属于该数据区,

其中, 该存储器控制器还用以设置一第一擦除区与一第二擦除区, 其中该第三实体擦除单元属于该闲置区, 该些第一实体擦除单元的该其中之一属于该第一擦除区, 并且该些第二实体擦除单元的该其中之一属于该第二擦除区。

14. 根据权利要求 13 所述的存储器储存装置, 其特征在于, 该第一逻辑地址是映射至该些第一实体擦除单元与该些第二实体擦除单元之中的一第四实体擦除单元, 在将该第一数据写入至该第三实体擦除单元之后, 该存储器控制器还用以判断该第四实体擦除单元是否需要被擦除,

若该第四实体擦除单元需要被擦除, 该存储器控制器还用以判断该第一擦除区或该第二擦除区的一实体擦除单元个数是否大于等于一临界值,

若该第一擦除区与该第二擦除区的该实体擦除单元个数小于该临界值, 该存储器控制器用以将该第四实体擦除单元关联至该第一擦除区或该第二擦除区。

15. 根据权利要求 14 所述的存储器储存装置, 其特征在于, 若该第一擦除区或该第二擦除区的该实体擦除单元个数大于等于该临界值, 该存储器控制器用以擦除该第四实体擦除单元, 并且将该第四实体擦除单元关联至该闲置区。

16. 根据权利要求 13 所述的存储器储存装置, 其特征在于, 该存储器控制器还用以将该些第一实体擦除单元的该其中之一或是该些第二实体擦除单元的该其中之一关联至该闲置区。

17. 根据权利要求 13 所述的存储器储存装置, 其特征在于, 在该第一数据被写入至该第三实体擦除单元以后, 该第一擦除区包括多个已被擦除的第一实体擦除单元, 并且该第二擦除区包括多个已被擦除的第二实体擦除单元, 该存储器控制器还用以交错地将该些已被擦除的第一实体擦除单元的其中之一与该些已被擦除的第二实体擦除单元的其中之一关联至该闲置区。

18. 根据权利要求 13 所述的存储器储存装置, 其特征在于, 每一该些第一实体擦除单元包括多个实体程序化单元, 每一该些第二实体擦除单元包括多个实体程序化单元, 并且该存储器控制器还用以根据该可复写式非易失性存储器模块的一写入速度与一擦除时间决定一正整数 n,

其中, 该存储器控制器还用以在将该第一数据写入至该第三实体擦除单元中该些实体程序化单元的 n 个实体程序化单元时, 检查该第一擦除区或该第二擦除区中是否有需要被擦除的实体擦除单元,

若该第一擦除区或该第二擦除区中有需要被擦除的实体擦除单元时, 该存储器控制器用以执行所述擦除该些第二实体擦除单元的该其中之一的操作或是所述擦除该些第一实体擦除单元的该其中之一的操作。

19. 一种存储器控制器, 用于控制一可复写式非易失性存储器模块, 其特征在于, 该存

储器控制器包括：

一主机接口,用以电性连接至一主机系统；

一存储器接口,用以电性连接至该可复写式非易失性存储器模块,其中该可复写式非易失性存储器模块包括一第一存储单元与一第二存储单元,其中该第一存储单元包括多个第一实体擦除单元,并且该第二存储单元包括多个第二实体擦除单元;以及

一存储器管理电路,电性连接至该主机接口与该存储器接口,用以配置多个逻辑地址以映射至至少部分的该些第一实体擦除单元与至少部分的该些第二实体擦除单元,

其中,该存储器管理电路用以接收来自该主机系统的一写入指令,其中该写入指令指示将一第一数据写入至该些逻辑地址中的一第一逻辑地址,

其中,该存储器管理电路用以从该些第一实体擦除单元与该些第二实体擦除单元中取得一第三实体擦除单元,并且将该第一数据写入至该第三实体擦除单元,

其中,该存储器管理电路用以判断该第三实体擦除单元是属于该第一存储单元或是该第二存储单元,

若该第三实体擦除单元属于该第一存储单元,该存储器管理电路用以在将该第一数据写入至该第三实体擦除单元时,擦除该些第二实体擦除单元的其中之一。

20. 根据权利要求 19 所述的存储器控制器,其特征在于,若该第三实体擦除单元属于该第二存储单元,该存储器管理电路用以在将该第一数据写入至该第三实体擦除单元时,擦除该些第一实体擦除单元的其中之一。

21. 根据权利要求 20 所述的存储器控制器,其特征在于,该存储器管理电路还用以将该些第一实体擦除单元与该些第二实体擦除单元至少划分为一数据区与一闲置区,其中该至少部分的该些第一实体擦除单元与该至少部分的该些第二实体擦除单元属于该数据区,

其中,该存储器管理电路还用以设置一第一擦除区与一第二擦除区,其中该第三实体擦除单元属于该闲置区,该些第一实体擦除单元的该其中之一属于该第一擦除区,并且该些第二实体擦除单元的该其中之一属于该第二擦除区。

22. 根据权利要求 21 所述的存储器控制器,其特征在于,该第一逻辑地址是映射至该些第一实体擦除单元与该些第二实体擦除单元之一的一第四实体擦除单元,在将该第一数据写入至该第三实体擦除单元之后,该存储器管理电路还用以判断该第四实体擦除单元是否需要被擦除,

若该第四实体擦除单元需要被擦除,该存储器管理电路还用以判断该第一擦除区或该第二擦除区的一实体擦除单元个数是否大于等于一临界值,

若该第一擦除区与该第二擦除区的该实体擦除单元个数小于该临界值,该存储器管理电路用以将该第四实体擦除单元关联至该第一擦除区与该第二擦除区的其中之一。

23. 根据权利要求 22 所述的存储器控制器,其特征在于,若该第一擦除区或该第二擦除区的该实体擦除单元个数大于等于该临界值,该存储器管理电路用以擦除该第四实体擦除单元,并且将该第四实体擦除单元关联该闲置区。

24. 根据权利要求 21 所述的存储器控制器,其特征在于,在该第一数据被写入至该第三实体擦除单元以后,该第一擦除区包括多个已被擦除的第一实体擦除单元,并且该第二擦除区包括多个已被擦除的第二实体擦除单元,该存储器管理电路还用以交错地将该些已被擦除的第一实体擦除单元的其中之一与该些已被擦除的第二实体擦除单元的其中之一

关联至该闲置区。

25. 根据权利要求 21 所述的存储器控制器，其特征在于，每一该些第一实体擦除单元包括多个实体程序化单元，每一该些第二实体擦除单元包括多个实体程序化单元，并且该存储器管理电路还用以根据该可复写式非易失性存储器模块的一写入速度与一擦除时间决定一正整数 n，

其中，该存储器管理电路还用以在将该第一数据写入至该第三实体擦除单元中该些实体程序化单元的 n 个实体程序化单元时，检查该第一擦除区或该第二擦除区中是否有需要被擦除的实体擦除单元，

若该第一擦除区或该第二擦除区中有需要被擦除的实体擦除单元时，该存储器管理电路用以执行所述擦除该些第二实体擦除单元的该其中之一的操作或是所述擦除该些第一实体擦除单元的该其中之一的操作。

## 数据写入方法、存储器控制器与存储器储存装置

### 技术领域

[0001] 本发明是有关于一种数据写入方法,且特别是有关于一种用于可复写式非易失性存储器模块的数据写入方法、存储器控制器与存储器储存装置。

### 背景技术

[0002] 数码相机、移动电话与 MP3 播放器在这几年来的成长十分迅速,使得消费者对储存媒体的需求也急速增加。由于可复写式非易失性存储器模块(例如,快闪存储器)具有数据非易失性、省电、体积小,以及无机械结构等特性,所以非常适合内置于上述所举例的各种便携式多媒体装置中。

[0003] 一般来说,可复写式非易失性存储器模块可通过一个传输接口电性连接至一个主机系统。主机系统可通过此传输接口将数据写入至可复写式非易失性存储器模块。并且,可复写式非易失性存储器模块内会包括多个通道,从而增加可复写式非易失性存储器模块内写入数据的速度。然而,当可复写式非易失性存储器模块内写入数据的速度已经大于传输接口的传输速度,则主机写入数据的速度便只能决定于传输接口的传输速度。因此,如何在此情况下再增加主机写入数据的速度,为此领域技术人员所关心的话题。

### 发明内容

[0004] 本发明范例实施例提出一种数据写入方法、存储器控制器与存储器储存装置,可以增加主机系统写入数据至存储器储存装置的速度。

[0005] 本发明一范例实施例提出一种数据写入方法,用于控制一可复写式非易失性存储器模块。此可复写式非易失性存储器模块包括一个第一存储单元与一个第二存储单元,第一存储单元包括多个第一实体擦除单元,并且第二存储单元包括多个第二实体擦除单元。此数据写入方法包括:配置多个逻辑地址以映射至至少部分的第一实体擦除单元与至少部分的第二实体擦除单元;接收来自一主机系统的一写入指令,其中写入指令指示将第一数据写入至一个第一逻辑地址;从第一实体擦除单元与第二实体擦除单元中取得一个第三实体擦除单元,并且将第一数据写入至第三实体擦除单元;判断第三实体擦除单元属于第一存储单元或是第二存储单元;以及若第三实体擦除单元属于第一存储单元,将第一数据写入至第三实体擦除单元时,擦除第二实体擦除单元的其中之一。

[0006] 在一范例实施例中,上述的数据写入方法还包括:若第三实体擦除单元属于第二存储单元,将第一数据写入至第三实体擦除单元时,擦除第一实体擦除单元的其中之一。

[0007] 在一范例实施例中,上述的数据写入方法还包括:将第一实体擦除单元与第二实体擦除单元至少划分为一数据区与一闲置区,其中上述至少部分的第一实体擦除单元与上述至少部分的第二实体擦除单元是属于数据区;以及设置一个第一擦除区与一个第二擦除区。上述的第三实体擦除单元是属于闲置区,被擦除的第一实体擦除单元是属于第一擦除区,并且被擦除的第二实体擦除单元是属于第二擦除区。

[0008] 在一范例实施例中,上述的第一逻辑地址是映射至第一实体擦除单元与第二实体

擦除单元中的一个第四实体擦除单元，在将第一数据写入至第三实体擦除单元的步骤之后，此数据写入方法还包括：判断第四实体擦除单元是否需要被擦除；若第四实体擦除单元需要被擦除，判断第一擦除区或第二擦除区的一实体擦除单元个数是否大于等于一临界值；若第一擦除区与第二擦除区的实体擦除单元个数小于临界值，将第四实体擦除单元关联至所对应的第一擦除区或第二擦除区。

[0009] 在一范例实施例中，上述的数据写入方法还包括：若第一擦除区或第二擦除区的实体擦除单元个数大于等于临界值，擦除第四实体擦除单元，并且将第四实体擦除单元关联至闲置区。

[0010] 在一范例实施例中，上述的数据写入方法还包括：将被擦除的第一实体擦除单元或是被擦除的第二实体擦除单元关联至闲置区。

[0011] 在一范例实施例中，在第一数据被写入至第三实体擦除单元以后，上述的第一擦除区包括多个已被擦除的第一实体擦除单元，并且第二擦除区包括多个已被擦除的第二实体擦除单元。此数据写入方法还包括：交错地将一个已被擦除的第一实体擦除单元与一个已被擦除的第二实体擦除单元关联至闲置区。

[0012] 在一范例实施例中，上述的每一个第一实体擦除单元包括多个实体程序化单元，并且每一个第二实体擦除单元包括多个实体程序化单元。此数据写入方法还包括：根据可复写式非易失性存储器模块的一写入速度与一擦除时间决定一正整数 n；将第一数据写入至第三实体擦除单元中 n 个实体程序化单元后，检查第一擦除区或第二擦除区中是否有需要被擦除的实体擦除单元；以及若第一擦除区或第二擦除区中有需要被擦除的实体擦除单元，执行所述擦除第二实体擦除单元的其中之一的步骤或是所述擦除第一实体擦除单元的其中之一的步骤。

[0013] 在一范例实施例中，上述的逻辑地址是交错地映射至第一实体擦除单元的其中之一与第二实体擦除单元的其中之一。

[0014] 以另外一个角度来说，本发明一范例实施例提出一种存储器储存装置，包括连接器、可复写式非易失性存储器模块与存储器控制器。连接器是用以电性连接至一主机系统。可复写式非易失性存储器模块包括一个第一存储单元与一个第二存储单元，其中第一存储单元包括多个第一实体擦除单元，并且第二存储单元包括多个第二实体擦除单元。存储器控制器是电性连接至连接器与可复写式非易失性存储器模块，用以配置多个逻辑地址以映射至至少部分的第一实体擦除单元与至少部分的第二实体擦除单元。存储器控制器也用以接收来自主机系统的一个写入指令，此写入指令指示将第一数据写入至一个第一逻辑地址。存储器控制器也用以从第一实体擦除单元与第二实体擦除单元中取得一个第三实体擦除单元，并且将第一数据写入至第三实体擦除单元。存储器控制器也用以判断第三实体擦除单元是属于第一存储单元或是第二存储单元。若第三实体擦除单元是属于第一存储单元，存储器控制器用以在将第一数据写入至第三实体擦除单元时，擦除第二实体擦除单元的其中之一。

[0015] 在一范例实施例中，若第三实体擦除单元属于第二存储单元，存储器控制器用以在将第一数据写入至第三实体擦除单元时，擦除第一实体擦除单元的其中之一。

[0016] 在一范例实施例中，上述的存储器控制器还用以将第一实体擦除单元与第二实体擦除单元至少划分为一数据区与一闲置区，其中上述至少部分的第一实体擦除单元与上述

至少部分的第二实体擦除单元是属于数据区。存储器控制器还用以设置一个第一擦除区与一个第二擦除区。上述的第三实体擦除单元是属于闲置区，被擦除的第一实体擦除单元是属于第一擦除区，并且被擦除的第二实体擦除单元是属于第二擦除区。

[0017] 在一范例实施例中，上述的第一逻辑地址是映射至第一实体擦除单元与第二实体擦除单元中的一个第四实体擦除单元。在将第一数据写入至第三实体擦除单元之后，存储器控制器还用以判断第四实体擦除单元是否需要被擦除。若第四实体擦除单元需要被擦除，存储器控制器用以判断第一擦除区或第二擦除区的一实体擦除单元个数是否大于等于一临界值。若第一擦除区与第二擦除区的实体擦除单元个数小于临界值，存储器控制器用以将第四实体擦除单元关联至所对应的第一擦除区或第二擦除区。

[0018] 在一范例实施例中，若第一擦除区或第二擦除区的实体擦除单元个数大于等于临界值，存储器控制器用以擦除第四实体擦除单元，并且将第四实体擦除单元关联至闲置区。

[0019] 在一范例实施例中，上述的存储器控制器还用以将被擦除的第一实体擦除单元或是被擦除的第二实体擦除单元关联至闲置区。

[0020] 在一范例实施例中，在第一数据被写入至第三实体擦除单元以后，第一擦除区包括多个已被擦除的第一实体擦除单元，并且第二擦除区包括多个已被擦除的第二实体擦除单元。存储器控制器还用以交错地将已被擦除的第一实体擦除单元的其中之一与已被擦除的第二实体擦除单元的其中之一关联至闲置区。

[0021] 在一范例实施例中，上述每一个第一实体擦除单元包括多个实体程序化单元，每一个第二实体擦除单元包括多个实体程序化单元。存储器控制器还用以根据可复写式非易失性存储器模块的一写入速度与一擦除时间决定一正整数 n。存储器控制器还用以在将第一数据写入至第三实体擦除单元中 n 个实体程序化单元后，检查第一擦除区或第二擦除区中是否有需要被擦除的实体擦除单元。若第一擦除区或第二擦除区中有需要被擦除的实体擦除单元，存储器控制器用以执行所述擦除第二实体擦除单元的其中之一的操作或是所述擦除第一实体擦除单元的其中之一的操作。

[0022] 以另外一个角度来说，本发明一范例实施例提出一种存储器控制器，用于控制一可复写式非易失性存储器模块。此存储器控制器包括主机接口、存储器接口与存储器管理电路。主机接口是用以电性连接至一主机系统。存储器接口是用以电性连接至可复写式非易失性存储器模块。可复写式非易失性存储器模块包括一个第一存储单元与一个第二存储单元，其中第一存储单元包括多个第一实体擦除单元，并且第二存储单元包括多个第二实体擦除单元。存储器管理电路是电性连接至主机接口与存储器接口，用以配置多个逻辑地址以映射至至少部分的第一实体擦除单元与至少部分的第二实体擦除单元。存储器管理电路也用以接收来自主机系统的一个写入指令，此写入指令指示将第一数据写入至一个第一逻辑地址。存储器管理电路也用以从第一实体擦除单元与第二实体擦除单元中取得一个第三实体擦除单元，并且将第一数据写入至第三实体擦除单元。存储器管理电路也用以判断第三实体擦除单元是属于第一存储单元或是第二存储单元。若第三实体擦除单元是属于第一存储单元，存储器管理电路用以在将第一数据写入至第三实体擦除单元时，擦除第二实体擦除单元的其中之一。

[0023] 在一范例实施例中，若第三实体擦除单元属于第二存储单元，存储器管理电路用以在将第一数据写入至第三实体擦除单元时，擦除第一实体擦除单元的其中之一。

[0024] 在一范例实施例中，上述的存储器管理电路还用以将第一实体擦除单元与第二实体擦除单元至少划分为一数据区与一闲置区，其中上述至少部分的第一实体擦除单元与上述至少部分的第二实体擦除单元是属于数据区。存储器管理电路还用以设置一个第一擦除区与一个第二擦除区。上述的第三实体擦除单元是属于闲置区，被擦除的第一实体擦除单元是属于第一擦除区，并且被擦除的第二实体擦除单元是属于第二擦除区。

[0025] 在一范例实施例中，上述的第一逻辑地址是映射至第一实体擦除单元与第二实体擦除单元中的一个第四实体擦除单元。在将第一数据写入至第三实体擦除单元之后，存储器管理电路还用以判断第四实体擦除单元是否需要被擦除。若第四实体擦除单元需要被擦除，存储器管理电路用以判断第一擦除区或第二擦除区的一实体擦除单元个数是否大于等于一临界值。若第一擦除区与第二擦除区的实体擦除单元个数小于临界值，存储器管理电路用以将第四实体擦除单元关联至所对应的第一擦除区或第二擦除区。

[0026] 在一范例实施例中，若第一擦除区或第二擦除区的实体擦除单元个数大于等于临界值，存储器管理电路用以擦除第四实体擦除单元，并且将第四实体擦除单元关联至闲置区。

[0027] 在一范例实施例中，上述的存储器管理电路还用以将被擦除的第一实体擦除单元或是被擦除的第二实体擦除单元关联至闲置区。

[0028] 在一范例实施例中，在第一数据被写入至第三实体擦除单元以后，第一擦除区包括多个已被擦除的第一实体擦除单元，并且第二擦除区包括多个已被擦除的第二实体擦除单元。存储器管理电路还用以交错地将已被擦除的第一实体擦除单元的其中之一与已被擦除的第二实体擦除单元的其中之一关联至闲置区。

[0029] 在一范例实施例中，上述每一个第一实体擦除单元包括多个实体程序化单元，每一个第二实体擦除单元包括多个实体程序化单元。存储器管理电路还用以根据可复写式非易失性存储器模块的一写入速度与一擦除时间决定一正整数 n。存储器管理电路还用以在将第一数据写入至第三实体擦除单元中 n 个实体程序化单元后，检查第一擦除区或第二擦除区中是否有需要被擦除的实体擦除单元。若第一擦除区或第二擦除区中有需要被擦除的实体擦除单元，存储器管理电路用以执行所述擦除第二实体擦除单元的其中之一的操作或是所述擦除第一实体擦除单元的其中之一的操作。

[0030] 基于上述，本发明范例实施例所提出的数据写入方法、存储器储存装置与存储器控制器，可以同时执行写入与擦除的操作，从而增加主机系统将数据写入至存储器储存装置的速度。

[0031] 为让本发明的上述特征和优点能更明显易懂，下文特举实施例，并配合附图作详细说明如下。

## 附图说明

[0032] 图 1A 是一范例实施例所示出的主机系统与存储器储存装置的概要方块图；

[0033] 图 1B 是一范例实施例所示出的电脑、输入 / 输出装置与存储器储存装置的示意图；

[0034] 图 1C 是一范例实施例所示出的主机系统与存储器储存装置的示意图；

[0035] 图 2 是示出图 1A 所示的存储器储存装置的概要方块图；

- [0036] 图 3 是一范例实施例所示出的存储器控制器的概要方块图；  
[0037] 图 4 是一范例实施例所示出的管理可复写式非易失性存储器模块的范例示意图；  
[0038] 图 5 是一范例实施例示出第一擦除区与第二擦除区的示意图；  
[0039] 图 6A 与图 6B 是一范例实施例说明写入第一数据的流程图；  
[0040] 图 7 是一范例实施例示出数据写入方法的流程图；  
[0041] 图 8A 与图 8B 是第二范例实施例示出写入第一数据的流程图。  
[0042] 附图标记说明：  
[0043] 1000 : 主机系统；  
[0044] 1100 : 电脑；  
[0045] 1102 : 微处理器；  
[0046] 1104 : 随机存取存储器；  
[0047] 1106 : 输入 / 输出装置；  
[0048] 1108 : 系统总线；  
[0049] 1110 : 数据传输接口；  
[0050] 1202 : 鼠标；  
[0051] 1204 : 键盘；  
[0052] 1206 : 显示器；  
[0053] 1208 : 打印机；  
[0054] 1212 : 随身盘；  
[0055] 1214 : 存储卡；  
[0056] 1216 : 固态硬盘；  
[0057] 1310 : 数码相机；  
[0058] 1312 : SD 卡；  
[0059] 1314 : MMC 卡；  
[0060] 1316 : 存储棒；  
[0061] 1318 : CF 卡；  
[0062] 1320 : 嵌入式储存装置；  
[0063] 100 : 存储器储存装置；  
[0064] 102 : 连接器；  
[0065] 104 : 存储器控制器；  
[0066] 106 : 可复写式非易失性存储器模块；  
[0067] 210、220 : 存储单元；  
[0068] 212(0) ~ 212(A)、222(0) ~ 222(B) : 实体擦除单元；  
[0069] 202 : 存储器管理电路；  
[0070] 204 : 主机接口；  
[0071] 206 : 存储器接口；  
[0072] 252 : 缓冲存储器；  
[0073] 254 : 电源管理电路；  
[0074] 256 : 错误检查与校正电路；

- [0075] 402 :数据区；
- [0076] 404 :闲置区；
- [0077] 406 :系统区；
- [0078] 408 :取代区；
- [0079] 410 (0) ~ 410 (I) :逻辑地址；
- [0080] 420 :第一数据；
- [0081] 510 :第一擦除区；
- [0082] 520 :第二擦除区；
- [0083] S602、S604、S606、S608、S610、S612、S614、S616、S618、S620、S622、S624、S626、S628、S630、S632、S634、S636、S638、S640、S642、S702、S704、S706、S708、S710、S712、S802、S804 :步骤。

## 具体实施方式

[0084] 一般而言,存储器储存装置(也称,存储器储存系统)包括可复写式非易失性存储器模块与控制器(也称,控制电路)。通常存储器储存装置是与主机系统一起使用,以使主机系统可将数据写入至存储器储存装置或从存储器储存装置中读取数据。

[0085] 图 1A 是一范例实施例所示出的主机系统与存储器储存装置的概要方块图。

[0086] 图 1B 是一范例实施例所示出的电脑、输入 / 输出装置与存储器储存装置的示意图。

[0087] 图 1C 是一范例实施例所示出的主机系统与存储器储存装置的示意图。

[0088] 请参照图 1A,主机系统 1000 一般包括电脑 1100 与输入 / 输出(input/output, I/O)装置 1106。电脑 1100 包括微处理器 1102、随机存取存储器(random access memory, RAM)1104、系统总线 1108 与数据传输接口 1110。输入 / 输出装置 1106 包括如图 1B 的鼠标 1202、键盘 1204、显示器 1206 与打印机 1208。必须了解的是,图 1B 所示的装置非限制输入 / 输出装置 1106,输入 / 输出装置 1106 可还包括其他装置。

[0089] 在本发明实施例中,存储器储存装置 100 是通过数据传输接口 1110 与主机系统 1000 的其他元件电性连接。通过微处理器 1102、随机存取存储器 1104 与输入 / 输出装置 1106 的运作可将数据写入至存储器储存装置 100 或从存储器储存装置 100 中读取数据。例如,存储器储存装置 100 可以是如图 1B 所示的随身盘 1212、存储卡 1214 或固态硬盘(Solid State Drive, SSD)1216 等的可复写式非易失性存储器储存装置。

[0090] 一般而言,主机系统 1000 为可实质地与存储器储存装置 100 配合以储存数据的任意系统。虽然在本范例实施例中,主机系统 1000 是以电脑系统来作说明,然而,在本发明另一范例实施例中主机系统 1000 可以是数码相机、摄影机、通信装置、音乐播放器或视频播放器等系统。例如,在主机系统为数码相机(摄影机)1310 时,可复写式非易失性存储器储存装置则为其所使用的 SD 卡 1312、MMC 卡 1314、存储棒(memory stick)1316、CF 卡 1318 或嵌入式储存装置 1320(如图 1C 所示)。嵌入式储存装置 1320 包括嵌入式多媒体卡(Embedded MMC, eMMC)。值得一提的是,嵌入式多媒体卡是直接电性连接于主机系统的基板上。

[0091] 图 2 是示出图 1A 所示的存储器储存装置的概要方块图。

[0092] 请参照图 2, 存储器储存装置 100 包括连接器 102、存储器控制器 104 与可复写式非易失性存储器模块 106。

[0093] 在本范例实施例中, 连接器 102 是相容于高速周边零件连接接口 (Peripheral Component Interconnect Express, PCI Express) 标准。然而, 必须了解的是, 本发明不限于此, 连接器 102 也可以是符合序列先进附件 (Serial Advanced Technology Attachment, SATA) 标准、并列先进附件 (Parallel Advanced Technology Attachment, PATA) 标准、电气和电子工程师协会 (Institute of Electrical and Electronic Engineers, IEEE) 1394 标准、通用串行总线 (Universal Serial Bus, USB) 标准、安全数字 (Secure Digital, SD) 接口标准、超高速一代 (Ultra High Speed-I, UHS-I) 接口标准、超高速二代 (Ultra High Speed-II, UHS-II) 接口标准、存储棒 (Memory Stick, MS) 接口标准、多媒体储存卡 (Multi Media Card, MMC) 接口标准、嵌入式多媒体储存卡 (Embedded Multimedia Card, eMMC) 接口标准、通用快闪存储器 (Universal Flash Storage, UPS) 接口标准、小型快闪 (Compact Flash, CF) 接口标准、整合式驱动电子接口 (Integrated Device Electronics, IDE) 标准或其他适合的标准。

[0094] 存储器控制器 104 用以执行以硬体型式或韧体型式实作的多个逻辑棚或控制指令, 并且根据主机系统 1000 的指令在可复写式非易失性存储器模块 106 中进行数据的写入、读取与擦除等运作。

[0095] 可复写式非易失性存储器模块 106 是电性连接至存储器控制器 104, 并且用以储存主机系统 1000 所写入的数据。可复写式非易失性存储器模块 106 包括存储单元 210 (也称第一存储单元) 与存储单元 220 (也称第二存储单元)。存储单元 210 包括实体擦除单元 212(0) ~ 212(A) (也称第一实体擦除单元), 而存储单元 220 包括实体擦除单元 222(0) ~ 222(B) (也称第二实体擦除单元)。存储单元 210 与存储单元 220 可以独立地执行读取、写入与擦除的操作。例如, 存储单元 210 是通过至少一个第一通道电性连接至存储器控制器 104, 而存储单元 220 是通过至少一个第二通道电性连接至存储器控制器 104, 并且第一通道不同于第二通道。或者, 存储单元 210 是被至少一个第一致能信号 (也称 CE 信号) 所控制, 而存储单元 220 是被至少一个第二致能信号所控制, 并且第一致能信号不同于第二致能信号。换句话说, 存储单元 210 在执行读取、写入或擦除的操作时, 存储单元 220 也可以执行读取、写入或擦除的操作。并且, 存储单元 210 所执行的操作可以不同于对存储单元 220 所执行的操作。另一方面, 存储单元 210 与存储单元 220 可以属于不同的存储器晶粒 (die), 或属于相同的存储器晶粒, 本发明并不在此限。

[0096] 每一实体擦除单元分别具有复数个实体程序化单元, 并且属于同一个实体擦除单元的实体程序化单元可被独立地写入且被同时地擦除。例如, 每一实体擦除单元是由 128 个实体程序化单元所组成。然而, 必须了解的是, 本发明不限于此, 每一实体擦除单元是由 64 个实体程序化单元、256 个实体程序化单元或其他任意个实体程序化单元所组成。

[0097] 再详细来说, 实体擦除单元为擦除的最小单位。亦即, 每一实体擦除单元含有最小数目之一并被擦除的存储胞。实体程序化单元为程序化的最小单元。即, 实体程序化单元为写入数据的最小单元。每一实体程序化单元通常包括数据比特区与冗余比特区。数据比特区包含多个实体存取地址用以储存使用者的数据, 而冗余比特区用以储存系统的数据 (例如, 控制信号与错误更正码)。在本范例实施例中, 每一个实体程序化单元的数据比特区中

会包含 4 个实体存取地址,且一个实体存取地址的大小为 512 比特 byte,B)。然而,在其他范例实施例中,数据比特区中也可包含 8 个、16 个或数目更多或更少的实体存取地址,本发明并不限制实体存取地址的大小以及个数。例如,实体擦除单元为实体区块,并且实体程序化单元为实体页面或实体扇。

[0098] 在本范例实施例中,可复写式非易失性存储器模块 106 为多阶存储胞 (Multi Level Cell, MLC) NAND 型快闪存储器模块,即一个存储胞中可储存至少 2 个比特数据。然而,本发明不限于此,可复写式非易失性存储器模块 106 也可是单阶存储胞 (Single Level Cell, SLC) NAND 型快闪存储器模块、复数阶存储胞 (Trinary Level Cell, TLC) NAND 型快闪存储器模块、其他快闪存储器模块或其他具有相同特性的存储器模块。

[0099] 图 3 是一范例实施例所示出的存储器控制器的概要方块图。

[0100] 请参照图 3,存储器控制器 104 包括存储器管理电路 202、主机接口 204 与存储器接口 206。

[0101] 存储器管理电路 202 用以控制存储器控制器 104 的整体运作。具体来说,存储器管理电路 202 具有多个控制指令,并且在存储器储存装置 100 运作时,这些控制指令会被执行以进行数据的写入、读取与擦除等运作。以下描述存储器管理电路 202 的操作时,等同于描述存储器控制器 104 的操作,并不再赘述。

[0102] 在本范例实施例中,存储器管理电路 202 的控制指令是以韧体型式来实作。例如,存储器管理电路 202 具有微处理器单元(未示出)与只读存储器(未示出),并且这些控制指令是被烧录至此只读存储器中。当存储器储存装置 100 运作时,这些控制指令会由微处理器单元来执行以进行数据的写入、读取与擦除等运作。

[0103] 在本发明另一范例实施例中,存储器管理电路 202 的控制指令也可以程序码型式储存于可复写式非易失性存储器模块 106 的特定区域(例如,存储器模块中专用于存放系统数据的系统区)中。此外,存储器管理电路 202 具有微处理器单元(未示出)、只读存储器(未示出)及随机存取存储器(未示出)。特别是,此只读存储器具有驱动码,并且当存储器控制器 104 被致能时,微处理器单元会先执行此驱动码段来将储存于可复写式非易失性存储器模块 106 中的控制指令载入至存储器管理电路 202 的随机存取存储器中。之后,微处理器单元会运转这些控制指令以进行数据的写入、读取与擦除等运作。

[0104] 此外,在本发明另一范例实施例中,存储器管理电路 202 的控制指令也可以一硬体型式来实作。例如,存储器管理电路 202 包括微控制器、存储器管理单元、存储器写入单元、存储器读取单元、存储器擦除单元与数据处理单元。存储器管理单元、存储器写入单元、存储器读取单元、存储器擦除单元与数据处理单元是电性连接至微控制器。其中,存储器管理单元用以管理可复写式非易失性存储器模块 106 的实体擦除单元;存储器写入单元用以对可复写式非易失性存储器模块 106 下达写入指令以将数据写入至可复写式非易失性存储器模块 106 中;存储器读取单元用以对可复写式非易失性存储器模块 106 下达读取指令以从可复写式非易失性存储器模块 106 中读取数据;存储器擦除单元用以对可复写式非易失性存储器模块 106 下达擦除指令以将数据从可复写式非易失性存储器模块 106 中擦除;而数据处理单元用以处理欲写入至可复写式非易失性存储器模块 106 的数据以及从可复写式非易失性存储器模块 106 中读取的数据。

[0105] 主机接口 204 是电性连接至存储器管理电路 202 并且用以接收与识别主机系统

1000 所传送的指令与数据。也就是说，主机系统 1000 所传送的指令与数据会通过主机接口 204 来传送至存储器管理电路 202。在本范例实施例中，主机接口 204 是相容于 PCI Express 标准。然而，必须了解的是本发明不限于此，主机接口 204 也可以是相容于 SATA 标准、PATA 标准、IEEE1394 标准、USB 标准、SD 标准、UHS-I 标准、UHS-II 标准、MS 标准、MMC 标准、eMMC 标准、UFS 标准、CF 标准、IDE 标准或其他适合的数据传输标准。

[0106] 存储器接口 206 是电性连接至存储器管理电路 202 并且用以存取可复写式非易失性存储器模块 106。也就是说，欲写入至可复写式非易失性存储器模块 106 的数据会通过存储器接口 206 转换为可复写式非易失性存储器模块 106 所能接受的格式。

[0107] 在本发明一范例实施例中，存储器控制器 104 还包括缓冲存储器 252、电源管理电路 254 与错误检查与校正电路 256。

[0108] 缓冲存储器 252 是电性连接至存储器管理电路 202 并且用以暂存来自于主机系统 1000 的数据与指令或来自于可复写式非易失性存储器模块 106 的数据。

[0109] 电源管理电路 254 是电性连接至存储器管理电路 202 并且用以控制存储器储存装置 100 的电源。

[0110] 错误检查与校正电路 256 是电性连接至存储器管理电路 202 并且用以执行错误检查与校正程序以确保数据的正确性。具体来说，当存储器管理电路 202 从主机系统 1000 中接收到写入指令时，错误检查与校正电路 256 会为对应此写入指令的数据产生对应的错误检查与校正码 (Error Checking and Correcting Code, ECC Code)，并且存储器管理电路 202 会将对应此写入指令的数据与对应的错误检查与校正码写入至可复写式非易失性存储器模块 106 中。之后，当存储器管理电路 202 从可复写式非易失性存储器模块 106 中读取数据时会同时读取此数据对应的错误检查与校正码，并且错误检查与校正电路 256 会依据此错误检查与校正码对所读取的数据执行错误检查与校正程序。

[0111] 图 4 是一范例实施例所示出的管理可复写式非易失性存储器模块的范例示意图。

[0112] 必须了解的是，在此描述可复写式非易失性存储器模块 106 的实体擦除单元的运作时，以“划分”、“提取”、“关联”等词来操作实体擦除单元是逻辑上的概念。也就是说，可复写式非易失性存储器模块 106 中的实体擦除单元的实际位置并未更动，而是逻辑上对可复写式非易失性存储器模块 106 的实体擦除单元进行操作。

[0113] 请参照图 4，存储器控制器 104 可将可复写式非易失性存储器模块 106 的实体擦除单元 212(0) ~ 212(A)、222(0) ~ 222(B) 逻辑地划分为多个区域，例如为数据区 402、闲置区 404、系统区 406 与取代区 408。

[0114] 数据区 402 与闲置区 404 的实体擦除单元是用以储存来自于主机系统 1000 的数据。具体来说，数据区 402 是已储存数据的实体擦除单元，而闲置区 404 的实体擦除单元是用以替换数据区 402 的实体擦除单元。因此，闲置区 404 的实体擦除单元为空或可使用的实体擦除单元，即无记录数据或标记为已没用的无效数据。也就是说，在闲置区 404 中的实体擦除单元已被执行擦除运作，或者当闲置区 404 中的实体擦除单元被提取用于储存数据之前，所提取的实体擦除单元会先被执行擦除运作。因此，闲置区 404 的实体擦除单元为可被使用的实体擦除单元。

[0115] 逻辑上属于系统区 406 的实体擦除单元是用以记录系统数据，其中此系统数据包括关于存储器芯片的制造商与型号、存储器芯片的实体擦除单元数、每一实体擦除单元的

实体程序化单元数等。

[0116] 逻辑上属于取代区 408 中的实体擦除单元是替代实体擦除单元。例如,可复写式非易失性存储器模块于出厂时会预留 4% 的实体擦除单元作为更换使用。也就是说,当数据区 402、闲置区 404 与系统区 406 中的实体擦除单元损毁时,预留于取代区 408 中的实体擦除单元是用以取代损坏的实体擦除单元(即,坏实体擦除单元(bad block))。因此,倘若取代区 408 中仍存有正常的实体擦除单元且发生实体擦除单元损毁时,存储器控制器 104 会从取代区 408 中提取正常的实体擦除单元来更换损毁的实体擦除单元。倘若取代区 408 中无正常的实体擦除单元且发生实体擦除单元损毁时,则存储器控制器 104 会将整个存储器储存装置 100 宣告为写入保护(write protect)状态,而无法再写入数据。在另一范例实施例中,取代区 408 也可与闲置区 404 共用包含无效数据的实体擦除单元。

[0117] 特别是,数据区 402、闲置区 404、系统区 406 与取代区 408 的实体擦除单元的数量会依据不同的存储器规格而有所不同。此外,必须了解的是,在存储器储存装置 100 的运作中,实体擦除单元关联至数据区 402、闲置区 404、系统区 406 与取代区 408 的分组关系会动态地变动。例如,当闲置区 404 中的实体擦除单元损坏而被取代区 408 的实体擦除单元取代时,则原本取代区 408 的实体擦除单元会被关联至闲置区 404。在此范例实施例中,系统区 406 与取代区 408 包括了存储单元 210 与存储单元 220 中部分的实体擦除单元。然而,在其他范例实施例中,系统区 406 与取代区 408 也可只包括存储单元 210 或是存储单元 220 中的实体擦除单元,本发明并不在此限。

[0118] 存储器控制器 104 会配置逻辑地址 410(0) ~ 410(I) 以利于在储存数据的实体擦除单元中进行数据存取。例如,当存储器储存装置 100 被主机系统 1000 上的操作系统通过一个文件系统(例如, FAT32)格式化时,逻辑地址 410(0) ~ 410(I) 会分别地映射至数据区 402 的实体擦除单元。在此,存储器管理电路 202 会建立逻辑地址 - 实体擦除单元映射表(logical address-physical erasing unit mapping table),以记录逻辑地址与实体擦除单元之间的映射关系。在此范例实施例中,一个逻辑地址的大小相当于一个实体擦除单元的大小,即逻辑地址也可被称为逻辑区块地址(logical block address,LBA)。然而,在其他范例实施例中,一个逻辑地址的大小也可以是一个实体程序化单元的大小或其他大小,本发明并不在此限。

[0119] 在此范例实施例中,在存储器管理电路 202 配置逻辑地址 410(0) ~ 410(I) 时,逻辑地址 410(0) ~ 410(I) 是交错地映射至存储单元 210 中的一个实体擦除单元与存储单元 220 中的一个实体擦除单元。例如,逻辑地址 410(0) 是映射至实体擦除单元 212(0),逻辑地址 410(1) 是映射至实体擦除单元 222(0),并且逻辑地址 410(2) 是映射至实体擦除单元 212(1),以此类推。然而,在其他范例实施例中,存储器管理电路 202 也可以将逻辑地址 410(0) ~ 410(I) 以非交错或是其他方式映射至数据区 402 中的实体擦除单元,本发明并不在此限。

[0120] 当主机系统 1000 要将数据写入至存储器储存装置 100 时,主机系统 1000 会传送一个写入指令给存储器管理电路 202,并且此写入指令会指示将数据写入至哪一个逻辑地址。例如,主机系统 1000 传送的写入指令是指示将第一数据 420 写入至逻辑地址 410(0)(也称第一逻辑地址)。换句话说,主机系统 1000 是要更新实体擦除单元 212(0)(也称第四实体擦除单元)中的数据。存储器管理电路 202 在接收到此写入指令以后,会从闲置区

404 中提取一个实体擦除单元（也称第三实体擦除单元），并且将第一数据 420 写入至此第三实体擦除单元当中。存储器管理电路 202 也会将逻辑地址 410(0) 重新映射至此第三实体擦除单元，并且将第三实体擦除单元关联至数据区 402。特别的是，存储器管理电路 202 会判断此第三实体擦除单元是属于存储单元 210 中的实体擦除单元 212(0) ~ 212(A) 或是存储单元 220 中的实体擦除单元 222(0) ~ 22(B)。如果此第三实体擦除单元是属于存储单元 210 的实体擦除单元（例如，实体擦除单元 212(C)），则在将第一数据 420 写入至此第三实体擦除单元时，存储器管理电路 202 会同时擦除存储单元 220 中的至少一个实体擦除单元。如果此第三实体擦除单元是属于存储单元 220 的实体擦除单元（例如，实体擦除单元 222(D)），则在将第一数据 420 写入至此第三实体擦除单元时，存储器管理电路 202 会同时擦除存储单元 210 中的至少一个实体擦除单元。也就是说，存储器管理电路 202 将第一数据 420 写入至存储单元 210 与存储单元 220 的其中之一时，会同时擦除另外一个存储单元中的至少一个实体擦除单元。以下将举一范例实施例详细说明。

[0121] 图 5 是一范例实施例示出第一擦除区与第二擦除区的示意图。

[0122] 请参照图 5，除了上述的区域以外，存储器管理电路 202 还会逻辑地设置第一擦除区 510 与第二擦除区 520。在存储器储存装置 100 被格式化时，第一擦除区 510 与第二擦除区 520 中并没有任何实体擦除单元。随着存储器管理电路 202 的运作，需要被擦除但还没有被擦除的实体擦除单元会被关联至第一擦除区 510 或第二擦除区 520 中。特别的是，第一擦除区 510 中只会放置属于存储单元 210 的实体擦除单元，而第二擦除区 520 中只会放置属于存储单元 220 的实体擦除单元。并且，存储器管理电路 202 会限制第一擦除区 510 与第二擦除区 520 中实体擦除单元的个数不能超过一临界值。

[0123] 以上述例子来说，在将第一数据 420 写入至闲置区 404 的一个实体擦除单元以后，实体擦除单元 212(0) 中部分的数据已成为无效数据，存储器管理电路 202 会判断实体擦除单元 212(0) 是否需要被擦除。例如，当实体擦除单元 212(0) 中所有的数据已成为无效数据，则存储器管理电路 202 会判断实体擦除单元 212(0) 需要被擦除。若实体擦除单元 212(0) 需要被擦除，则存储器管理电路 202 会判断实体擦除单元 212(0) 是对应于第一擦除区 510 或是第二擦除区 520。在此，由于实体擦除单元 212(0) 是属于存储单元 210，因此存储器管理电路 202 会判断实体擦除单元 212(0) 是对应于第一擦除区 510。接下来，存储器管理电路 202 会判断第一擦除区 510 的实体擦除单元个数（即，第一擦除区 510 中实体擦除单元的个数）是否大于等于上述的临界值。若第一擦除区 510 的实体擦除单元个数小于该临界值，则存储器管理电路 202 会将实体擦除单元 212(0) 关联至第一擦除区 510。相反地，若第一擦除区 510 的实体擦除单元个数大于等于该临界值，则存储器管理电路 202 会擦除实体擦除单元 212(0) 并且将实体擦除单元 212(0) 关联至闲置区 404。类似地，当需要被擦除的实体擦除单元（例如，实体擦除单元 222(0)）是属于第二擦除区 520 时，存储器管理电路 202 会判断第二擦除区 520 的实体擦除单元个数是否大于等于该临界值，从而判断是否要将此实体擦除单元关联至第二擦除区 520。亦即，若第一擦除区 510 与第二擦除区 520 的实体擦除单元个数小于临界值时，需要被擦除的实体擦除单元会被关联至第一擦除区 510 或第二擦除区 520。若对应的第一擦除区 510 或第二擦除区 520 的实体擦除单元个数大于等于临界值时，需要被擦除的实体擦除单元会被擦除且被关联至闲置区。

[0124] 如上所述，第一擦除区 510 与第二擦除区 520 中放置的是需要被擦除但还没被擦

除的实体擦除单元。因此,当存储器管理电路 202 将第一数据 420 写入至闲置区 404 的一个第三实体擦除单元时,存储器管理电路 202 是从第一擦除区 510 或第二擦除区 520 中取得一个要被擦除的实体擦除单元。具体来说,若第三实体擦除单元(例如,实体擦除单元 212(C))是属于存储单元 210,则存储器管理电路 202 会擦除第二擦除区 520 中至少一个实体擦除单元。或者,若第三实体擦除单元(例如,实体擦除单元 222(D))是属于存储单元 220,则存储器管理电路 202 会擦除第一擦除区 510 中至少一个实体擦除单元。

[0125] 此外,在将第一数据 420 写入至第三实体擦除单元以后,在写入期间被擦除的一或多个实体擦除单元会被存储器管理电路 202 关联至闲置区 404。在一范例实施例中,存储器管理电路 202 会在写入多笔数据以后,将这些被擦除的实体擦除单元交错地关联至闲置区 404。具体来说,在将一或多个数据写入至闲置区的实体擦除单元以后,第一擦除区 510 可能会包括一或多个已被擦除的实体擦除单元,并且第二擦除区 520 也可能包括一或多个已被擦除的实体擦除单元。存储器管理电路 202 会从第一擦除区 510 与第二擦除区 520 的其中之一挑选一个已被擦除的实体擦除单元,并且将此已被擦除的实体擦除单元关联至闲置区 404。接下来,存储器管理电路 202 会从另一个擦除区中挑选一个已被擦除的实体擦除单元,并且将此已被擦除的实体擦除单元关联至闲置区 404。然而,在另一范例实施例中,存储器管理电路 202 也可以在更新系统信息时一次将第一擦除区 510 中已被擦除的实体擦除单元全部关联至闲置区 404 或一次将第二擦除区 520 中已被擦除的实体擦除单元全部关联至闲置区 404。此更新系统信息的时间点可以是在存储器管理电路 202 更新上述的逻辑地址 - 实体擦除单元映射表的时间点,或者是更新其他系统信息的时间点,本发明并不在此限。

[0126] 在一范例实施例中,存储器管理电路 202 会根据可复写是非易失性存储器模块 106 的一写入速度与一擦除时间来决定一个正整数 n。存储器管理电路 202 会在将第一数据 420 每写入 n 个实体程序化单元以后,便检查第一擦除区 510 与第二擦除区 520 中是否有需要被擦除的实体擦除单元。举例来说,若可复写式非易失性存储器模块 106 擦除一个实体擦除单元所需的时间为 20ms,并且可复写式非易失性存储器模块 106 将数据写入至一个实体程序化单元所需的时间为 4ms,则此存储器管理电路 202 会设定此正整数 n 为 5 或是 5 的倍数。

[0127] 图 6A 与图 6B 是一范例实施例说明写入第一数据的流程图。

[0128] 请参照图 6A,存储器管理电路 202 会接收一个指示写入第一数据 420 的写入指令(步骤 S602),并且从闲置区 404 提取一个第三实体擦除单元(步骤 S604)。存储器管理电路 202 会判断此第三实体擦除单元是否属于存储单元 210(步骤 S606)。若此第三实体擦除单元是属于存储单元 210,则存储器管理电路 202 会设定一个变数 x 为正整数 n(步骤 S608)。接下来,在步骤 S610 中,存储器管理电路 202 会判断第二擦除区 520 是否有需要被擦除的实体擦除单元并且变数 x 是否等于正整数 n。若步骤 S610 的结果为是,存储器管理电路 202 会擦除第二擦除区 520 中的一个实体擦除单元(步骤 S612),并且设定变数 x 为 0(步骤 S614)。在步骤 S616 中,存储器管理电路 202 会将第一数据 420 写入至第三实体擦除单元中的一个实体程序化单元,并且将变数 x 加上 1。在步骤 S618 中,存储器管理电路 202 会判断此写入指令是否已经执行完毕。若步骤 S618 的结果为否,则存储器管理电路 202 会回到步骤 S610。

[0129] 若步骤 S606 的结果为否，则存储器管理电路 202 会设定变数 x 为 n（步骤 S620）。在步骤 S622 中，存储器管理电路 202 会判断第一擦除区 510 是否有需要被擦除的实体擦除单元并且变数 x 是否等于正整数 n。若步骤 S622 的结果为是，存储器管理电路 202 会擦除第一擦除区 510 中的一个实体擦除单元（步骤 S624），并且设定变数 x 为 0（步骤 S626）。在步骤 S628 中，存储器管理电路 202 会将第一数据 420 写入至第三实体擦除单元中的一个实体程序化单元，并且将变数 x 加 1。在步骤 S630 中，存储器管理电路 202 会判断此写入指令是否已经执行完毕。若步骤 S630 的结果为否，则存储器管理电路 202 会回到步骤 S622。

[0130] 请参照图 6B，接下来，存储器管理电路 202 会检查存储单元 210 与存储单元 220 中的实体擦除单元（步骤 S632），并且判断是否有需要被擦除的实体擦除单元（步骤 S634）。例如，如图 5 所示，若实体擦除单元 212(0) 中已经没有有效数据，则存储器管理电路 202 会判断实体擦除单元 212(0) 为需要被擦除的实体擦除单元。然而，若第一数据 420 是要写入至多个实体擦除单元，则在写入期间也可能产生多个需要被擦除的实体擦除单元。本发明并不限制在步骤 S634 中判断出的实体擦除单元有几个。若步骤 S634 的结果为是，在步骤 S636 中，存储器管理电路 202 会判断此需要被擦除的实体擦除单元是对应至第一擦除区 510 或是第二擦除区 520，并且判断此对应的第一擦除区 510 或是第二擦除区 520 是否已满（即，其实体擦除单元个数大于等于一临界值）。若步骤 S636 的结果为是，则存储器管理电路 202 会擦除上述需要被擦除的实体擦除单元，并且将此实体擦除单元关联至闲置区 404（步骤 S640）。若步骤 S636 的结果为否，存储器管理电路 202 会将此需要被擦除的实体擦除单元关联至所对应的第一擦除区 510 或是第二擦除区 520（步骤 S638）。最后，在步骤 S642 中，存储器管理电路 202 会将写入期间所擦除的实体擦除单元（即，步骤 612 或步骤 S624 所擦除的实体擦除单元）关联至闲置区 404。

[0131] 图 7 是一范例实施例示出数据写入方法的流程图。

[0132] 请参照图 7，在步骤 S702 中，配置多个逻辑地址以映射至存储单元 210 中至少部分的实体擦除单元与存储单元 220 中至少部分的实体擦除单元。

[0133] 在步骤 S704 中，接收来自主机系统的写入指令，其中写入指令指示将第一数据写入至一个逻辑地址。

[0134] 在步骤 S706 中，从存储单元 210 与存储单元 220 中的实体擦除单元中取得一个第三实体擦除单元，并且将第一数据写入至此第三实体擦除单元。

[0135] 在步骤 S708 中，判断第三实体擦除单元是属于存储单元 210 或是存储单元 220。

[0136] 若步骤 S708 的结果为“存储单元 210”，则在步骤 S710 中，将第一数据写入至第三实体擦除单元时，擦除存储单元 220 中的一个实体擦除单元。

[0137] 若步骤 S708 的结果为“存储单元 220”，在步骤 S712 中，将第一数据写入至第三实体擦除单元时，擦除存储单元 210 中的一个实体擦除单元。

[0138] 然而，图 7 中各步骤已详细说明如上，在此便不再赘述。图 7 中各步骤可以被实作为多个程序码，由一个处理器（例如，存储器控制器 104）所执行。或者，图 7 中各步骤可以被实作为一或多个电路，本发明并不限制用软件或是硬件的方式实作图 7 中各步骤。此外，图 7 各步骤可以搭配上述的范例实施例一起实施，或者，图 7 各步骤也可以单独实施，本发明并不在此限。

[0139] 请参照回图 2，在此范例实施例中，可复写式非易失性存储器模块 106 包括了两个

存储单元，并且其中一个存储单元（其可包括一或多个通道）的写入速度便已大于连接器 102 的传输速度。因此，一起执行写入与擦除的操作可以避免在将数据写入以后，存储器管理电路 202 需要再多花时间执行擦除的操作。然而，在其他范例实施例中，可复写式非易失性存储器模块 106 也可包括  $y$  个存储单元，其中  $m$  个存储单元的写入速度便已大于连接器 102 的传输速度。当存储器管理电路 202 将数据写入至  $m$  个存储单元的其中之一时，会擦除其余  $y-m$  个存储单元中的至少一个实体擦除单元。上述的  $y$  与  $m$  为正整数，并且  $m$  小于  $y$ ，但本发明并不限制  $y$  与  $m$  的数值。

[0140] 第二范例实施例

[0141] 第二范例实施例与第一范例实施例类似，在此仅说明不同之处。在第二范例实施例中，存储器管理电路 202 在接收到写入指令以后，会分析此写入指令所要写入的实体程序化单元的个数是否大于等于正整数  $n$ 。

[0142] 图 8A 与图 8B 是第二范例实施例示出写入第一数据的流程图。

[0143] 请参照图 8A，在步骤 S602 中，存储器管理电路 202 接收到写入指令以后，存储器管理电路 202 会分析此写入指令，并且获得此写入指令欲写入第一数据至  $t$  个实体程序化单元，其中  $t$  为正整数。在步骤 S802 中，存储器管理电路 202 会判断正整数  $t$  是否大于等于正整数  $n$ 。若步骤 S802 的结果为是，则存储器管理电路 202 会继续步骤 S604，其余的步骤与图 6A 相同。若步骤 S802 的结果为否，在步骤 S804 中，存储器管理电路 202 会从闲置区提取一第三实体擦除单元，并且将第一数据写入至第三实体擦除单元中的  $t$  个实体程序化单元。在步骤 S804 之后，存储器管理电路 202 会进行图 8B 中的各步骤，其相同于图 6B 的各步骤，在此便不再赘述。

[0144] 最后应说明的是：以上各实施例仅用以说明本发明的技术方案，而非对其限制；尽管参照前述各实施例对本发明进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。。

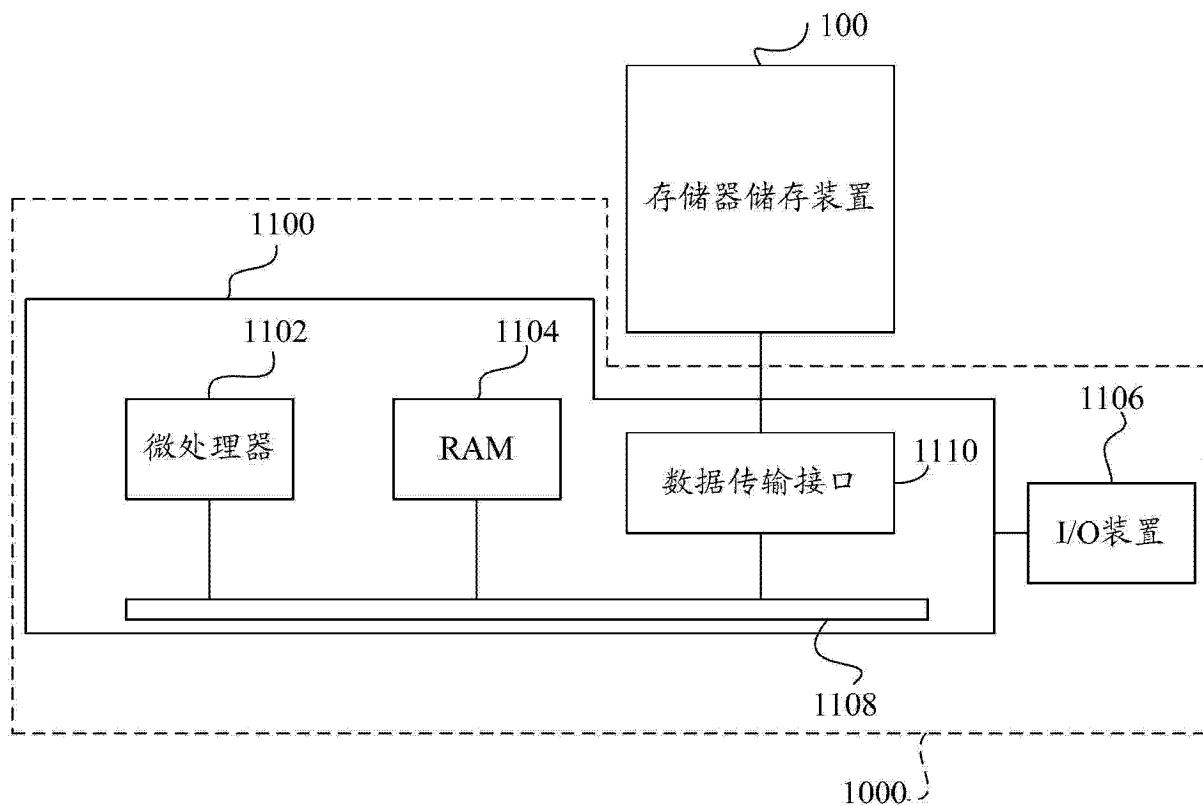


图 1A

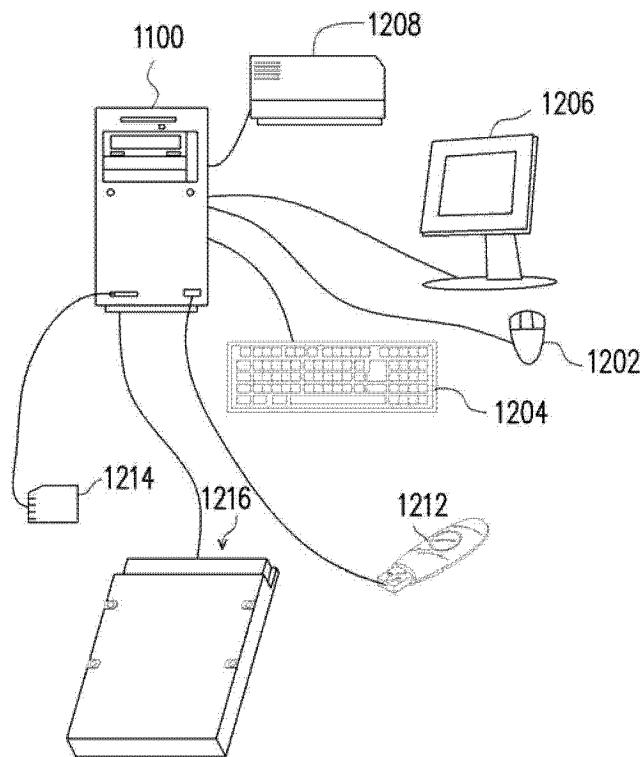


图 1B

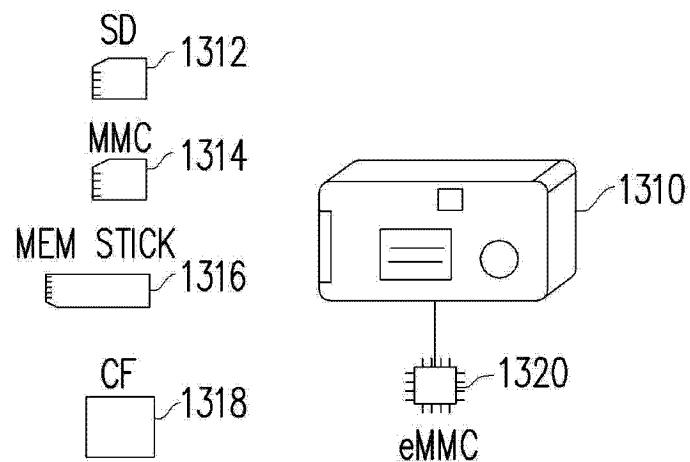


图 1C

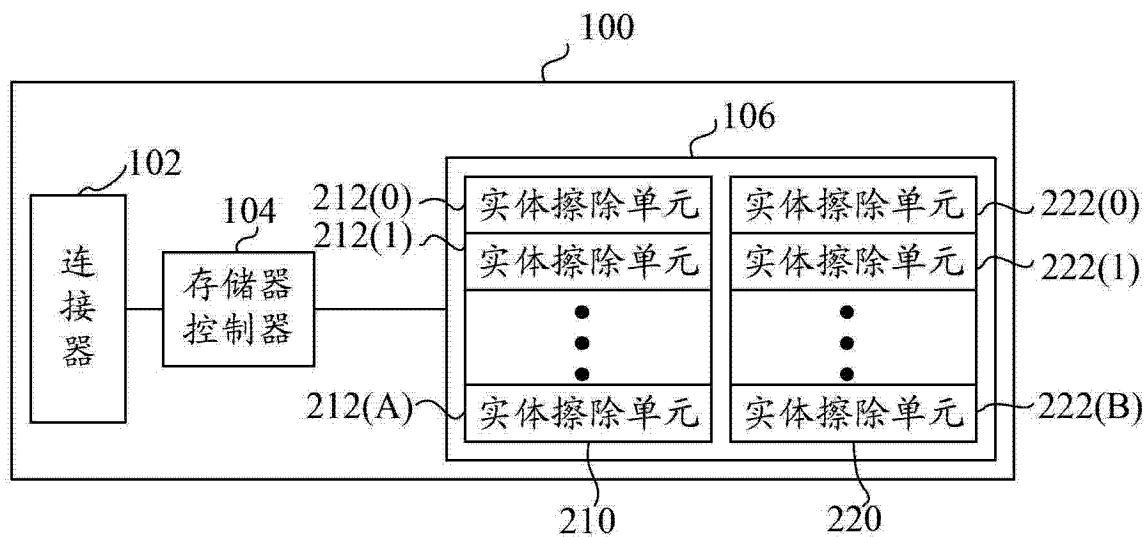


图 2

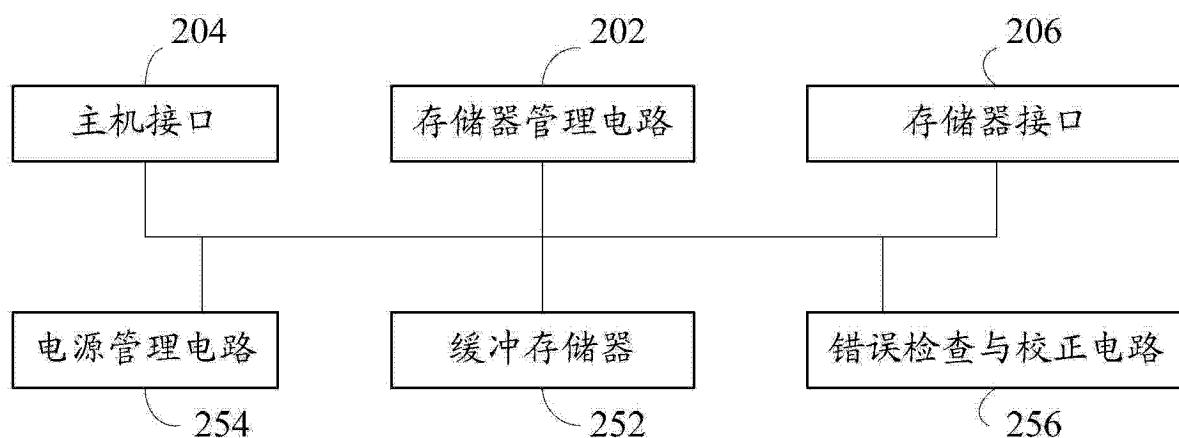


图 3

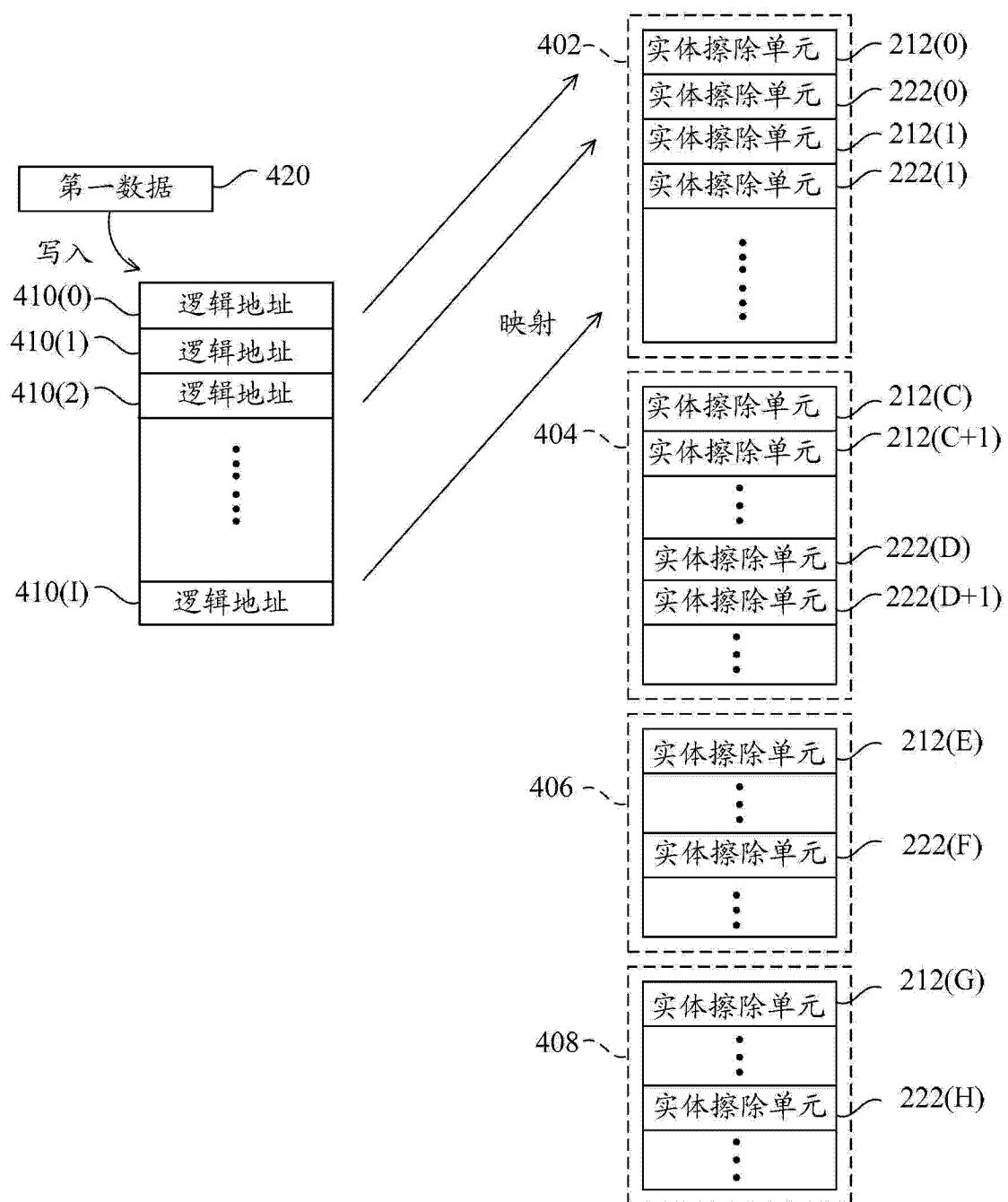


图 4

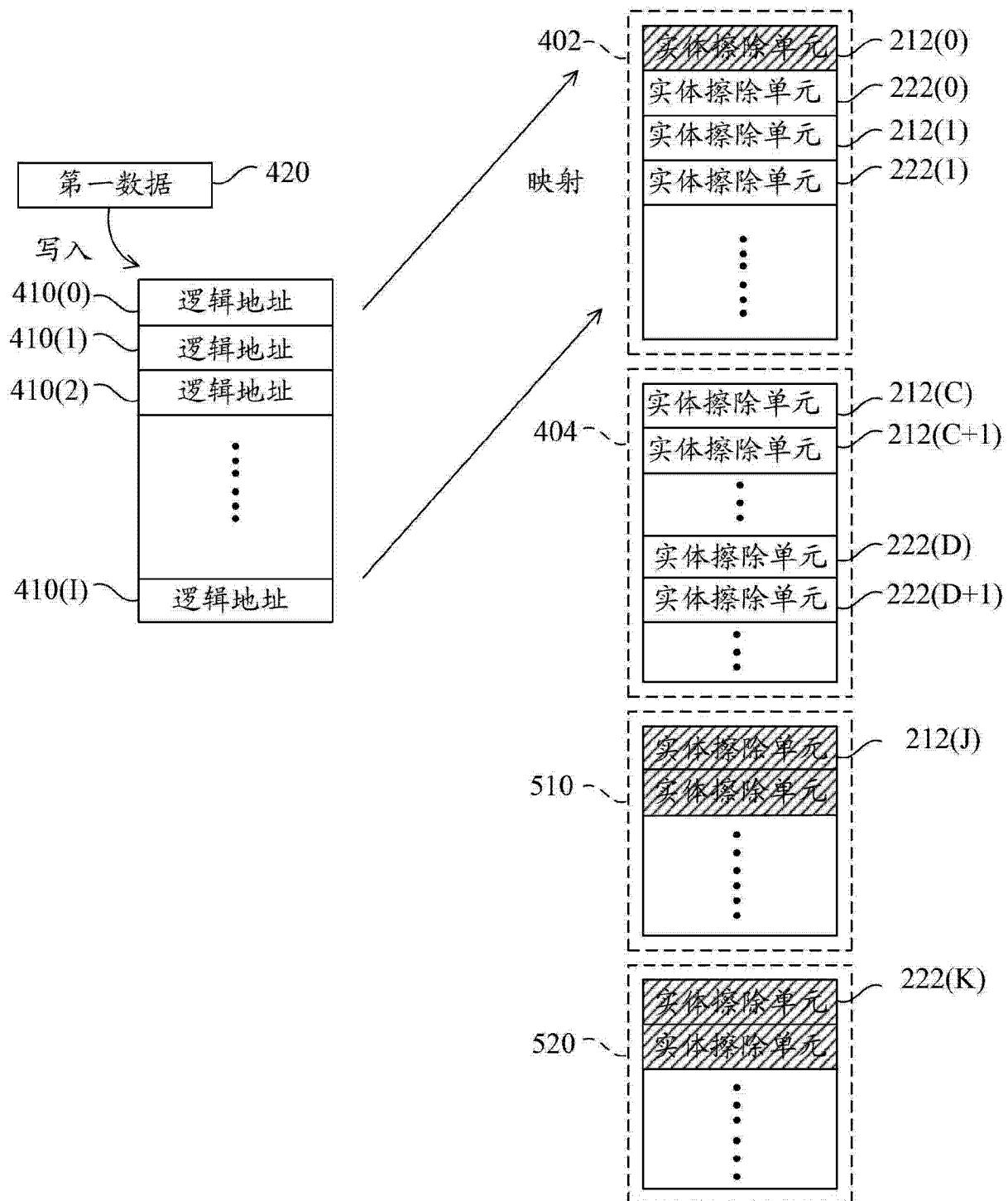


图 5

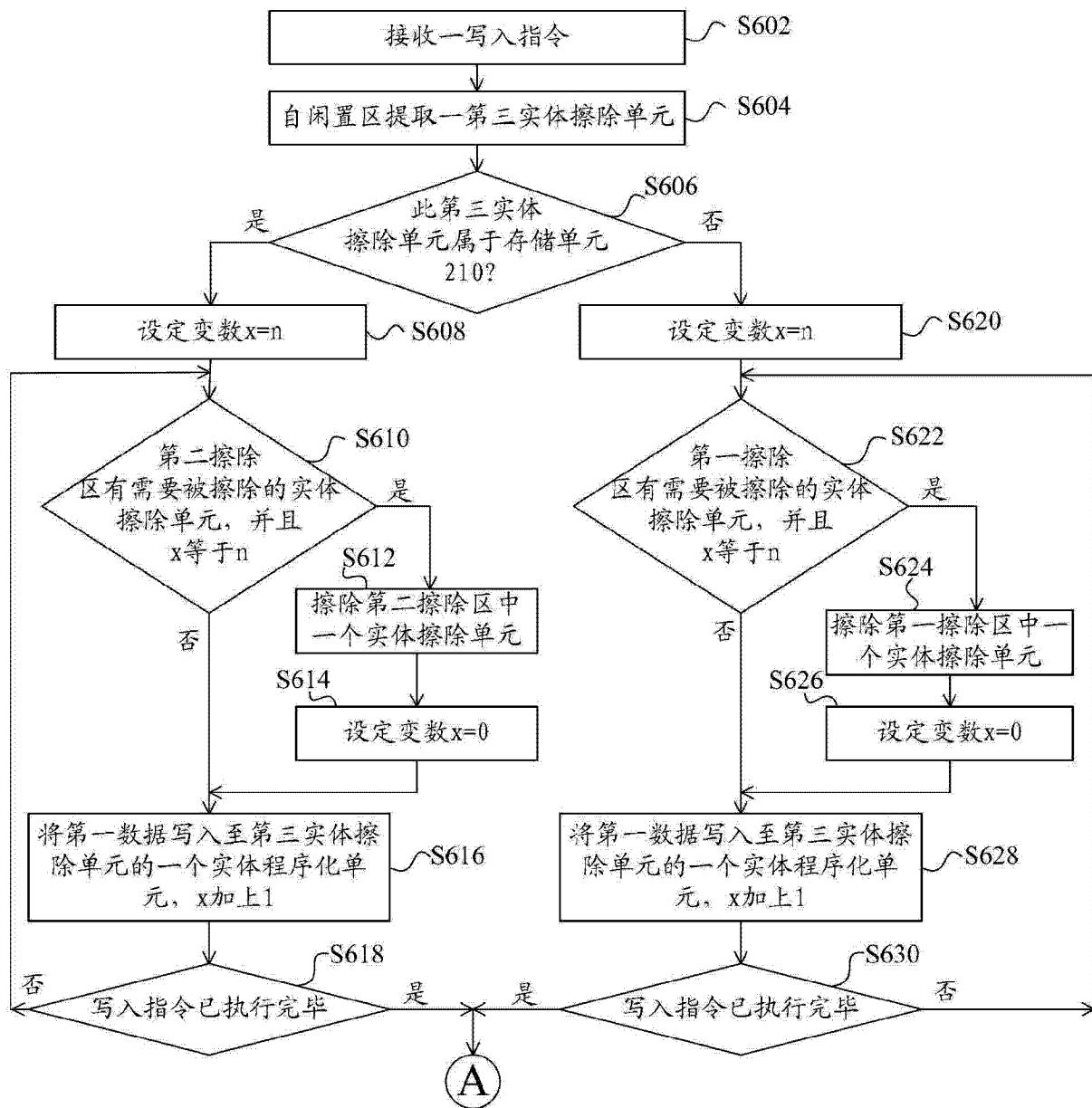


图 6A

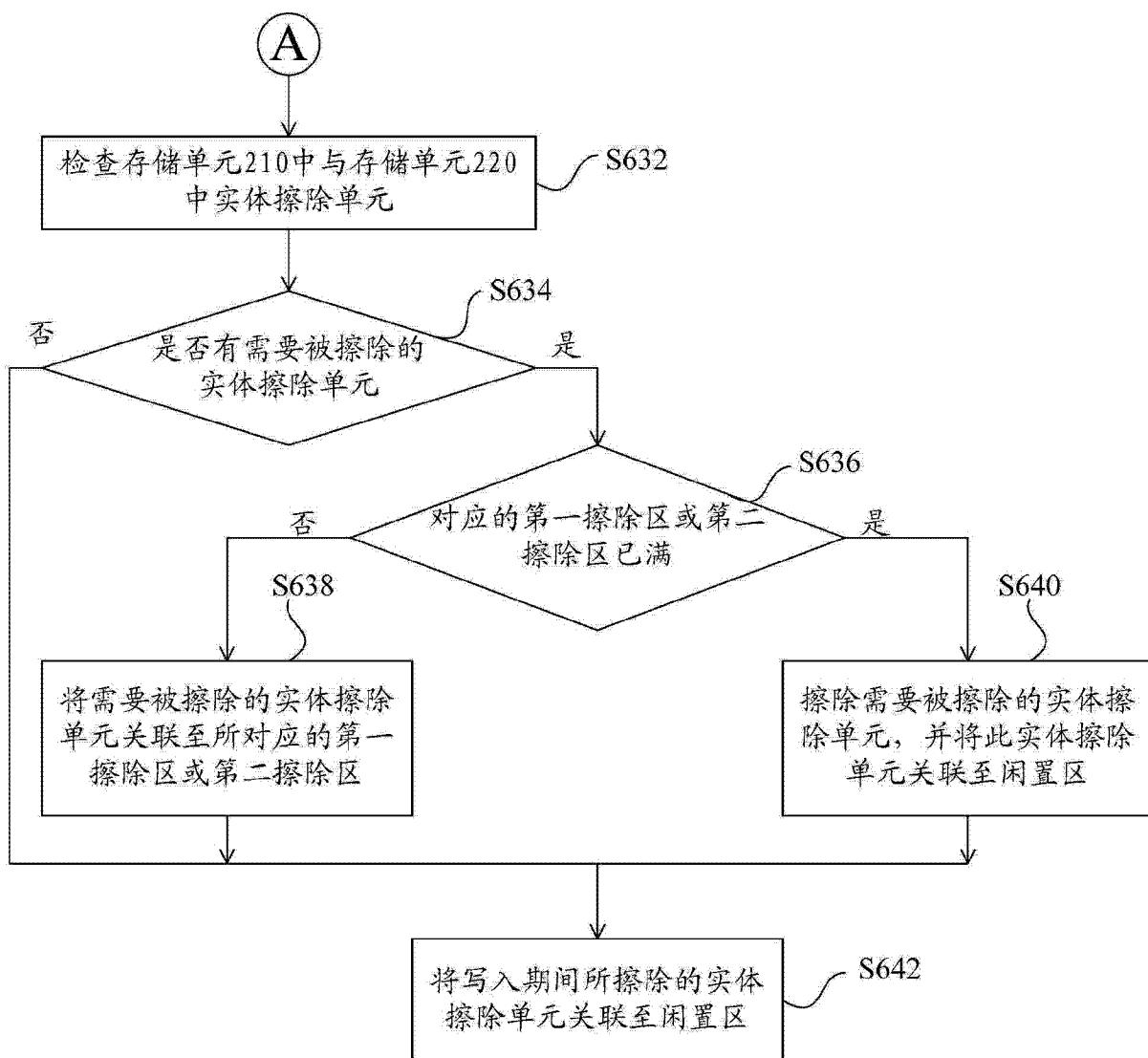


图 6B

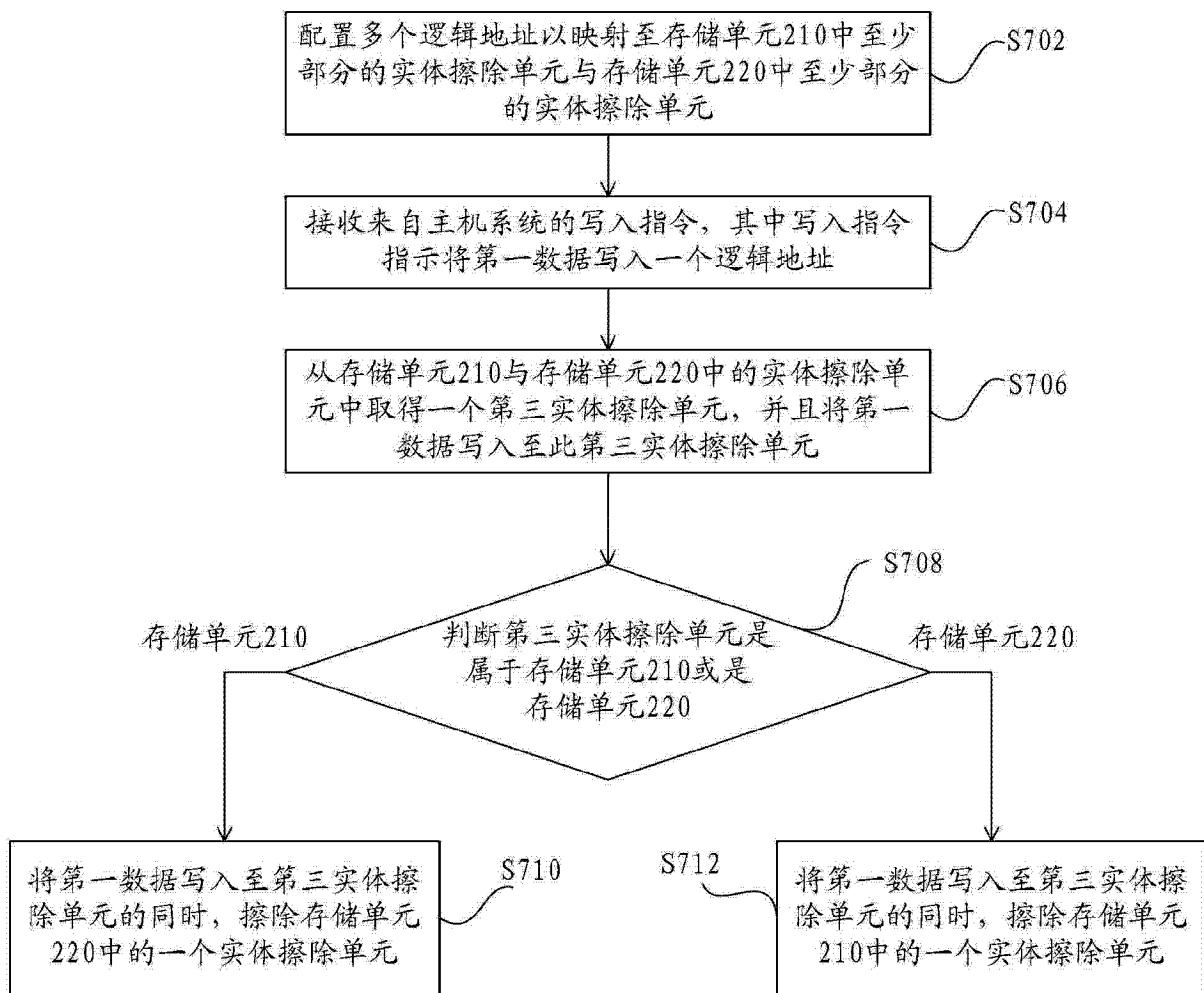


图 7

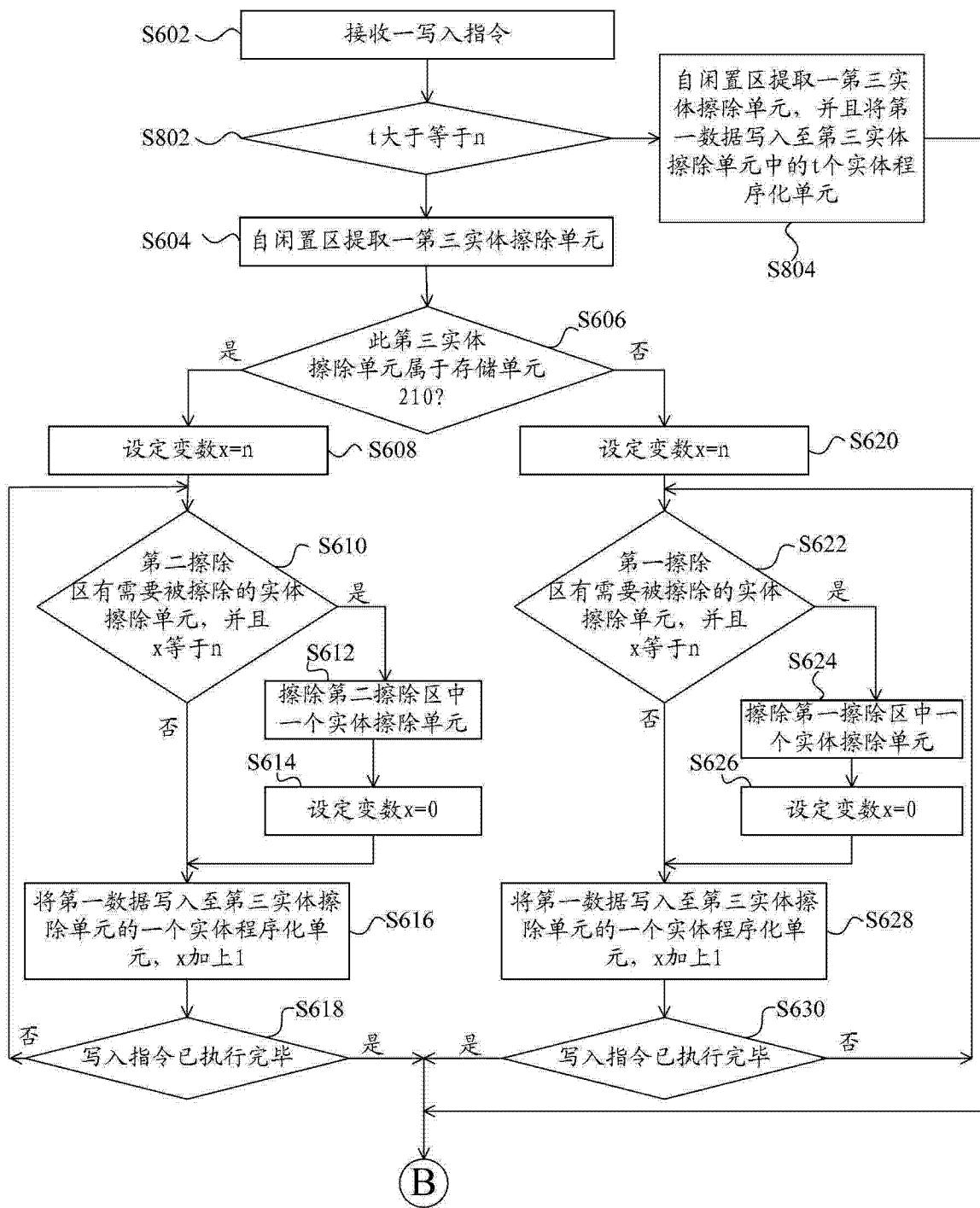


图 8A

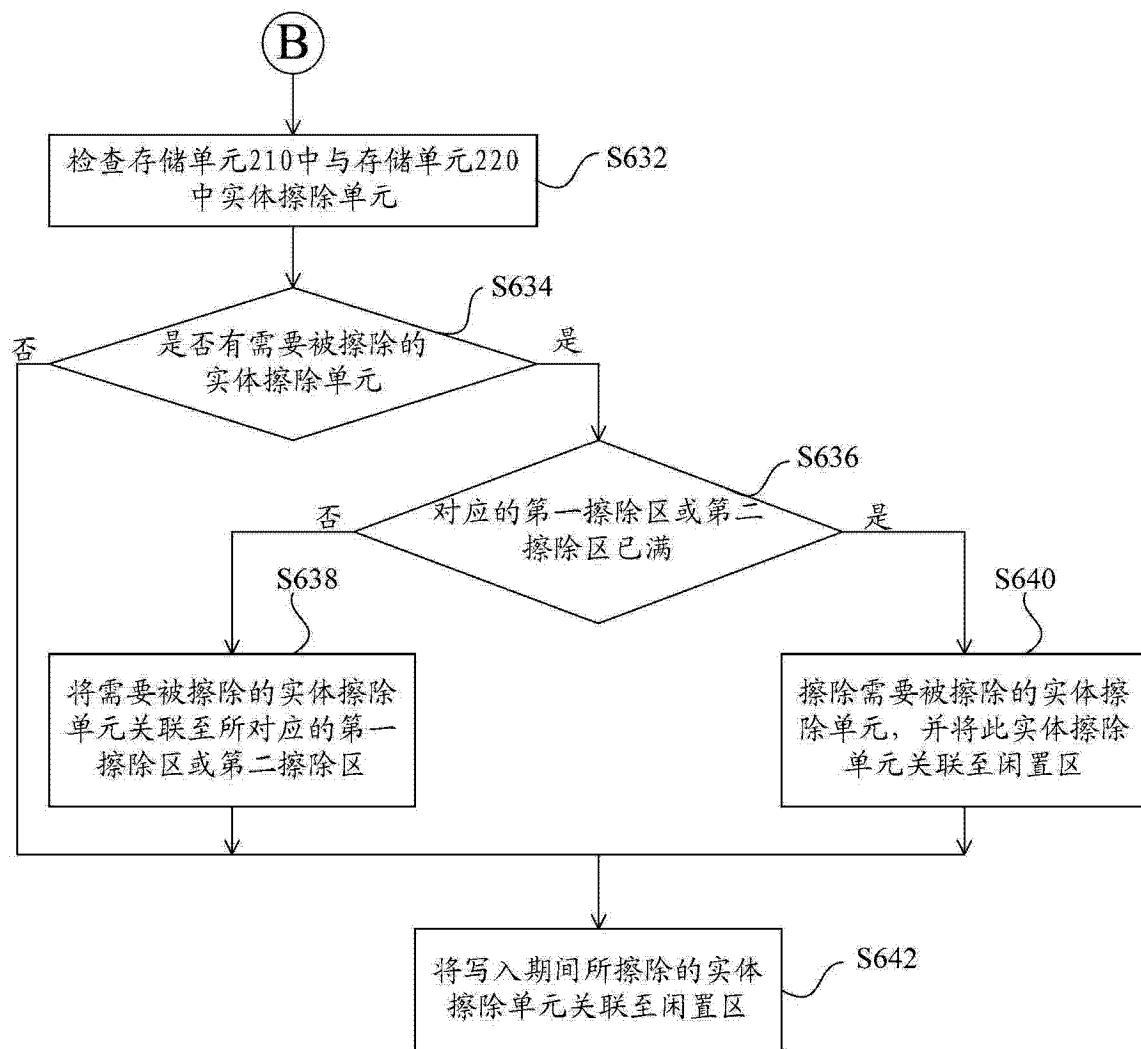


图 8B