



(12)发明专利

(10)授权公告号 CN 108206008 B

(45)授权公告日 2019.12.31

(21)申请号 201810026813.6

(22)申请日 2018.01.11

(65)同一申请的已公布的文献号
申请公布号 CN 108206008 A

(43)申请公布日 2018.06.26

(73)专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 董甜

(74)专利代理机构 北京同达信恒知识产权代理
有限公司 11291

代理人 郭润湘

(51)Int.Cl.
G09G 3/3225(2016.01)

(56)对比文件

CN 106783921 A,2017.05.31,
CN 107403804 A,2017.11.28,
CN 107078135 A,2017.08.18,
CN 104538401 A,2015.04.22,
CN 105427803 A,2016.03.23,

审查员 卫研研

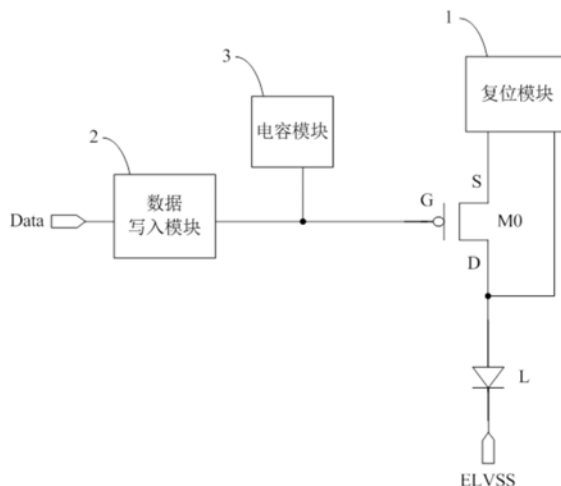
权利要求书4页 说明书19页 附图11页

(54)发明名称

像素电路、驱动方法、电致发光显示面板及显示装置

(57)摘要

本发明公开了一种像素电路、驱动方法、电致发光显示面板及显示装置,可以通过复位模块在复位阶段对驱动晶体管的第一极与第二极进行复位,之后通过数据写入模块将数据信号写入驱动晶体管的栅极,以及通过驱动晶体管生成驱动电流以驱动发光器件发光。这样可以在每次写入数据信号之前使驱动晶体管的第一极的电压设置为固定电压,以及使驱动晶体管的第二极的电压设置为固定电压,从而可以避免上一帧残留的电压对本帧发光造成影响,进而可以提高显示面板的发光均一性。



1. 一种像素电路,其特征在于,包括:复位模块、数据写入模块、电容模块、驱动晶体管以及发光器件;

所述驱动晶体管的栅极与所述电容模块耦接,所述驱动晶体管的第一极与所述复位模块耦接,所述驱动晶体管的第二极分别与所述复位模块以及所述发光器件的第一电极耦接;

所述复位模块用于在复位阶段对所述驱动晶体管的第一极与第二极进行复位;

所述数据写入模块用于在数据写入阶段将数据信号提供给所述驱动晶体管的栅极;

所述电容模块用于存储所述驱动晶体管的栅极的电压;

所述驱动晶体管用于在发光阶段生成驱动电流以驱动所述发光器件发光;

所述复位模块还与所述驱动晶体管的栅极耦接,用于在所述复位阶段对所述驱动晶体管的栅极进行复位,以及用于在阈值补偿阶段对所述驱动晶体管的阈值电压进行补偿;

所述复位模块包括:第一开关晶体管、第二开关晶体管以及第三开关晶体管;

所述第一开关晶体管的栅极与第一扫描信号线耦接,所述第一开关晶体管的第一极与第一参考信号线耦接,所述第一开关晶体管的第二极与所述驱动晶体管的第二极耦接;

所述第二开关晶体管的栅极与第二扫描信号线耦接,所述第二开关晶体管的第一极与第二参考信号线耦接,所述第二开关晶体管的第二极与所述驱动晶体管的第一极耦接;

所述第三开关晶体管的栅极与第三扫描信号线耦接,所述第三开关晶体管的第一极与第三参考信号线耦接,所述第三开关晶体管的第二极与所述驱动晶体管的栅极耦接;

所述数据写入模块包括第四开关晶体管;其中,所述第四开关晶体管的栅极与第四扫描信号线耦接,所述第四开关晶体管的第一极与数据信号线耦接用于接收所述数据信号,所述第四开关晶体管的第二极与所述驱动晶体管的栅极耦接;

所述像素电路还包括:发光控制模块;所述驱动晶体管的第二极与所述复位模块分别通过所述发光控制模块与所述发光器件的第一电极耦接;其中,所述发光控制模块用于控制所述驱动晶体管的第二极与所述发光器件的第一电极导通或断开;所述发光控制模块包括:第五开关晶体管;其中,所述第五开关晶体管的栅极与发光控制信号线耦接,所述第五开关晶体管的第一极与所述驱动晶体管的第二极耦接,所述第五开关晶体管的第二极与所述发光器件的第一电极耦接;

所述第三开关晶体管与所述第四开关晶体管均为氧化物型晶体管;且所述第一开关晶体管、所述第三开关晶体管与所述第四开关晶体管的有源层的材料包括金属氧化物半导体材料;

所述第二开关晶体管、所述第五开关晶体管与所述驱动晶体管均为低温多晶硅型晶体管;且所述第二开关晶体管、所述第五开关晶体管与所述驱动晶体管的有源层的材料包括低温多晶硅材料;

所述第一开关晶体管的第一极与所述第三开关晶体管的第一极相互电连接。

2. 如权利要求1所述的像素电路,其特征在于,所述第一扫描信号线的信号与所述第三扫描信号线的信号相同;和/或,

所述第一参考信号线的信号与所述第三参考信号线的信号相同。

3. 如权利要求1所述的像素电路,其特征在于,所述电容模块包括:存储电容与分压电容;

所述存储电容耦接于所述驱动晶体管的栅极与第一极之间；

所述分压电容耦接于所述驱动晶体管的第一极与第二参考信号线之间。

4. 如权利要求1所述的像素电路,其特征在于,所述发光控制信号线的信号与第二扫描信号线的信号相同。

5. 一种像素电路,其特征在于,包括:第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第五开关晶体管、驱动晶体管、存储电容、分压电容以及发光器件;

所述第一开关晶体管的栅极与第一扫描信号线耦接,所述第一开关晶体管的第一极与第一参考信号线耦接,所述第一开关晶体管的第二极与所述驱动晶体管的第二极耦接;

所述第二开关晶体管的栅极与第二扫描信号线耦接,所述第二开关晶体管的第一极与第二参考信号线耦接,所述第二开关晶体管的第二极与所述驱动晶体管的第一极耦接;

所述第三开关晶体管的栅极与第三扫描信号线耦接,所述第三开关晶体管的第一极与第三参考信号线耦接,所述第三开关晶体管的第二极与所述驱动晶体管的栅极耦接;

所述第四开关晶体管的栅极与第四扫描信号线耦接,所述第四开关晶体管的第一极与数据信号线耦接,所述第四开关晶体管的第二极与所述驱动晶体管的栅极耦接;

所述第五开关晶体管的栅极与发光控制信号线耦接,所述第五开关晶体管的第一极分别与所述驱动晶体管的第二极以及所述第一开关晶体管的第二极耦接,所述第五开关晶体管的第二极与所述发光器件的第一电极耦接;

所述存储电容耦接于所述驱动晶体管的栅极与第一极之间;

所述分压电容耦接于所述驱动晶体管的第一极与第二参考信号线之间;

所述第三开关晶体管与所述第四开关晶体管均为氧化物型晶体管,且所述第二开关晶体管、所述第五开关晶体管与所述驱动晶体管均为低温多晶硅型晶体管;所述第一开关晶体管、所述第三开关晶体管以及所述第四开关晶体管的有源层的材料包括金属氧化物半导体材料;所述第二开关晶体管、所述第五开关晶体管与所述驱动晶体管的有源层的材料包括低温多晶硅材料;

所述第一开关晶体管的第一极与所述第三开关晶体管的第一极相互电连接。

6. 如权利要求5所述的像素电路,其特征在于,所述第一扫描信号线的信号与所述第三扫描信号线的信号相同;和/或,

所述第一参考信号线的信号与所述第三参考信号线的信号相同。

7. 如权利要求1所述的像素电路,其特征在于,所述发光控制信号线的信号与所述第二扫描信号线的信号相同。

8. 一种电致发光显示面板,其特征在于,包括:像素电路、数据信号线、第一扫描信号线、第二扫描信号线、第三扫描信号线、第四扫描信号线、发光控制信号线、第一参考电压线、第二参考电压线、第三参考电压线;

所述像素电路包括:第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第五开关晶体管、驱动晶体管、存储电容、分压电容以及发光器件;其中,

所述第一开关晶体管的栅极与向其施加当前对应信号的第一扫描信号线耦接,所述第一开关晶体管的第一极与所述第一参考信号线耦接,所述第一开关晶体管的第二极与所述驱动晶体管的第二极耦接;

所述第二开关晶体管的栅极与向其施加当前对应信号的第二扫描信号线耦接,所述第

二开关晶体管的第一极与所述第二参考信号线耦接,所述第二开关晶体管的第二极与所述驱动晶体管的第一极耦接;

所述第三开关晶体管的栅极与向其施加当前对应信号的第三扫描信号线耦接,所述第三开关晶体管的第一极与所述第三参考信号线耦接,所述第三开关晶体管的第二极与所述驱动晶体管的栅极耦接;

所述第四开关晶体管的栅极与向其施加当前对应信号的第四扫描信号线耦接,所述第四开关晶体管的第一极与向其施加当前对应信号的数据信号线耦接,所述第四开关晶体管的第二极与所述驱动晶体管的栅极耦接;

所述第五开关晶体管的栅极与向其施加当前对应信号的发光控制信号线耦接,所述第五开关晶体管的第一极分别与所述驱动晶体管的第二极以及所述第一开关晶体管的第二极耦接,所述第五开关晶体管的第二极与所述发光器件的第一电极耦接;

所述存储电容耦接于所述驱动晶体管的栅极与第一极之间;

所述分压电容耦接于所述驱动晶体管的第一极与所述第二参考信号线之间;

所述第三开关晶体管与所述第四开关晶体管均为氧化物型晶体管,且所述第二开关晶体管、所述第五开关晶体管与所述驱动晶体管均为低温多晶硅型晶体管;所述第一开关晶体管、所述第三开关晶体管以及所述第四开关晶体管的有源层的材料包括金属氧化物半导体材料;所述第二开关晶体管、所述第五开关晶体管与所述驱动晶体管的有源层的材料包括低温多晶硅材料;

所述第一开关晶体管的第一极与所述第三开关晶体管的第一极相互电连接。

9. 如权利要求8所述的电致发光显示面板,其特征在于,与同一所述像素电路耦接的第一扫描信号线与第三扫描信号线的信号相同;和/或,

所述第一参考信号线的信号与所述第三参考信号线的信号相同。

10. 如权利要求8所述的电致发光显示面板,其特征在于,与同一所述像素电路耦接的发光控制信号线与第二扫描信号线的信号相同。

11. 一种显示装置,其特征在于,包括如权利要求8-10任一项所述的电致发光显示面板。

12. 一种如权利要求1-4任一项所述的像素电路的驱动方法,其特征在于,包括:

复位阶段,所述复位模块对所述驱动晶体管的第一极与第二极进行复位;所述复位模块对所述驱动晶体管的栅极进行复位;所述发光控制模块将所述驱动晶体管的第二极与所述发光器件的第一电极导通;

阈值补偿阶段,所述复位模块对所述驱动晶体管的阈值电压进行补偿;

数据写入阶段,所述数据写入模块将所述数据信号提供给所述驱动晶体管的栅极;

发光阶段,所述发光控制模块将所述驱动晶体管的第二极与所述发光器件的第一电极导通;所述电容模块存储所述驱动晶体管的栅极的电压,所述驱动晶体管生成驱动电流以驱动所述发光器件发光。

13. 如权利要求12所述的方法,其特征在于,在所述复位阶段,分别控制所述复位模块中的第一开关晶体管导通并将所述第一参考信号线的信号提供给所述驱动晶体管的第二极,第二开关晶体管导通并将所述第二参考信号线的信号提供给所述驱动晶体管的第一极,第三开关晶体管导通并将所述第三参考信号线的信号提供给所述驱动晶体管的栅极;

在所述阈值补偿阶段,分别控制所述复位模块中的第二开关晶体管截止,第一开关晶体管导通并将所述第一参考信号线的信号提供给所述驱动晶体管的第二极,第三开关晶体管导通并将所述第三参考信号线的信号提供给所述驱动晶体管的栅极;所述驱动晶体管导通进行阈值补偿。

像素电路、驱动方法、电致发光显示面板及显示装置

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种像素电路、驱动方法、电致发光显示面板及显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,OLED)是当今平板显示器研究领域的热点之一,与液晶显示器(Liquid Crystal Display,LCD)相比,OLED显示器具有低能耗、生产成本低、自发光、宽视角及响应速度快等优点。目前,在手机、平板电脑、数码相机等显示领域,OLED显示器已经开始取代传统的LCD显示器。与LCD利用稳定的电压控制亮度不同,OLED属于电流驱动,需要稳定的电流来控制其发光。一般通过设置像素电路以驱动OLED发光。目前,在像素电路驱动OLED发光时,驱动晶体管的第一极与第二极的电压会受上一帧显示时电压的影响,存在亮度不一致的问题。

发明内容

[0003] 本发明实施例提供一种像素电路、驱动方法、电致发光显示面板及显示装置,用以解决亮度不一致的问题。

[0004] 因此,本发明实施例提供了一种像素电路,包括:复位模块、数据写入模块、电容模块、驱动晶体管以及发光器件;

[0005] 所述驱动晶体管的栅极与所述电容模块耦接,所述驱动晶体管的第一极与所述复位模块耦接,所述驱动晶体管的第二极分别与所述复位模块以及所述发光器件的第一电极耦接;

[0006] 所述复位模块用于在复位阶段对所述驱动晶体管的第一极与第二极进行复位;

[0007] 所述数据写入模块用于在数据写入阶段将数据信号提供给所述驱动晶体管的栅极;

[0008] 所述电容模块用于存储所述驱动晶体管的栅极的电压;

[0009] 所述驱动晶体管用于在发光阶段生成驱动电流以驱动所述发光器件发光。

[0010] 可选地,在本发明实施例提供的上述像素电路中,所述复位模块还与所述驱动晶体管的栅极耦接,用于在所述复位阶段对所述驱动晶体管的栅极进行复位,以及用于在阈值补偿阶段对所述驱动晶体管的阈值电压进行补偿。

[0011] 可选地,在本发明实施例提供的上述像素电路中,所述复位模块包括:第一开关晶体管、第二开关晶体管以及第三开关晶体管;

[0012] 所述第一开关晶体管的栅极与第一扫描信号线耦接,所述第一开关晶体管的第一极与第一参考信号线耦接,所述第一开关晶体管的第二极与所述驱动晶体管的第二极耦接;

[0013] 所述第二开关晶体管的栅极与第二扫描信号线耦接,所述第二开关晶体管的第一极与第二参考信号线耦接,所述第二开关晶体管的第二极与所述驱动晶体管的第一极耦

接；

[0014] 所述第三开关晶体管的栅极与第三扫描信号线耦接，所述第三开关晶体管的第一极与第三参考信号线耦接，所述第三开关晶体管的第二极与所述驱动晶体管的栅极耦接。

[0015] 可选地，在本发明实施例提供的上述像素电路中，所述第一开关晶体管与所述第三开关晶体管的有源层的材料包括金属氧化物半导体材料；

[0016] 所述第二开关晶体管的有源层的材料包括低温多晶硅材料。

[0017] 可选地，在本发明实施例提供的上述像素电路中，所述第一扫描信号线的信号与所述第三扫描信号线的信号相同；和/或，

[0018] 所述第一参考信号线的信号与所述第三参考信号线的信号相同。

[0019] 可选地，在本发明实施例提供的上述像素电路中，所述电容模块包括：存储电容与分压电容；

[0020] 所述存储电容耦接于所述驱动晶体管的栅极与第一极之间；

[0021] 所述分压电容耦接于所述驱动晶体管的第一极与第二参考信号线之间。

[0022] 可选地，在本发明实施例提供的上述像素电路中，所述数据写入模块包括第四开关晶体管；

[0023] 所述第四开关晶体管的栅极与第四扫描信号线耦接，所述第四开关晶体管的第一极与数据信号线耦接用于接收所述数据信号，所述第四开关晶体管的第二极与所述驱动晶体管的栅极耦接。

[0024] 可选地，在本发明实施例提供的上述像素电路中，所述第四开关晶体管的有源层的材料包括金属氧化物半导体材料。

[0025] 可选地，在本发明实施例提供的上述像素电路中，所述像素电路还包括：发光控制模块；所述驱动晶体管的第二极与所述复位模块分别通过所述发光控制模块与所述发光器件的第一电极耦接；其中，所述发光控制模块用于控制所述驱动晶体管的第二极与所述发光器件的第一电极导通或断开。

[0026] 可选地，在本发明实施例提供的上述像素电路中，所述发光控制模块包括：第五开关晶体管；

[0027] 所述第五开关晶体管的栅极与发光控制信号线耦接，所述第五开关晶体管的第一极与所述驱动晶体管的第二极耦接，所述第五开关晶体管的第二极与所述发光器件的第一电极耦接。

[0028] 可选地，在本发明实施例提供的上述像素电路中，所述第五开关晶体管的有源层的材料包括低温多晶硅材料。

[0029] 可选地，在本发明实施例提供的上述像素电路中，所述发光控制信号线的信号与第二扫描信号线的信号相同。

[0030] 可选地，在本发明实施例提供的上述像素电路中，所述驱动晶体管的有源层的材料包括低温多晶硅材料。

[0031] 相应地，本发明实施例还提供了一种像素电路，包括：第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第五开关晶体管、驱动晶体管、存储电容、分压电容以及发光器件；

[0032] 所述第一开关晶体管的栅极与第一扫描信号线耦接，所述第一开关晶体管的第一

极与第一参考信号线耦接,所述第一开关晶体管的第二极与所述驱动晶体管的第二极耦接;

[0033] 所述第二开关晶体管的栅极与第二扫描信号线耦接,所述第二开关晶体管的第一极与第二参考信号线耦接,所述第二开关晶体管的第二极与所述驱动晶体管的第一极耦接;

[0034] 所述第三开关晶体管的栅极与第三扫描信号线耦接,所述第三开关晶体管的第一极与第三参考信号线耦接,所述第三开关晶体管的第二极与所述驱动晶体管的栅极耦接;

[0035] 所述第四开关晶体管的栅极与第四扫描信号线耦接,所述第四开关晶体管的第一极与数据信号线耦接,所述第四开关晶体管的第二极与所述驱动晶体管的栅极耦接;

[0036] 所述第五开关晶体管的栅极与发光控制信号线耦接,所述第五开关晶体管的第一极分别与所述驱动晶体管的第二极以及所述第一开关晶体管的第二极耦接,所述第五开关晶体管的第二极与所述发光器件的第一电极耦接;

[0037] 所述存储电容耦接于所述驱动晶体管的栅极与第一极之间;

[0038] 所述分压电容耦接于所述驱动晶体管的第一极与第二参考信号线之间。

[0039] 可选地,在本发明实施例提供的上述像素电路中,所述第一开关晶体管、所述第三开关晶体管以及所述第四开关晶体管的有源层的材料包括金属氧化物半导体材料;

[0040] 所述第二开关晶体管、所述第五开关晶体管以及所述驱动晶体管的有源层的材料包括低温多晶硅材料。

[0041] 可选地,在本发明实施例提供的上述像素电路中,所述第一扫描信号线的信号与所述第三扫描信号线的信号相同;和/或,

[0042] 所述第一参考信号线的信号与所述第三参考信号线的信号相同。

[0043] 可选地,在本发明实施例提供的上述像素电路中,所述发光控制信号线的信号与所述第二扫描信号线的信号相同。

[0044] 相应地,本发明实施例还提供了一种电致发光显示面板,包括:像素电路、数据信号线、第一扫描信号线、第二扫描信号线、第三扫描信号线、第四扫描信号线、发光控制信号线、第一参考电压线、第二参考电压线、第三参考电压线;

[0045] 所述像素电路包括:第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第五开关晶体管、驱动晶体管、存储电容、分压电容以及发光器件;其中,

[0046] 所述第一开关晶体管的栅极与向其施加当前对应信号的第一扫描信号线耦接,所述第一开关晶体管的第一极与所述第一参考信号线耦接,所述第一开关晶体管的第二极与所述驱动晶体管的第二极耦接;

[0047] 所述第二开关晶体管的栅极与向其施加当前对应信号的第二扫描信号线耦接,所述第二开关晶体管的第一极与所述第二参考信号线耦接,所述第二开关晶体管的第二极与所述驱动晶体管的第一极耦接;

[0048] 所述第三开关晶体管的栅极与向其施加当前对应信号的第三扫描信号线耦接,所述第三开关晶体管的第一极与所述第三参考信号线耦接,所述第三开关晶体管的第二极与所述驱动晶体管的栅极耦接;

[0049] 所述第四开关晶体管的栅极与向其施加当前对应信号的第四扫描信号线耦接,所述第四开关晶体管的第一极与向其施加当前对应信号的数据信号线耦接,所述第四开关晶

体管的第二极与所述驱动晶体管的栅极耦接；

[0050] 所述第五开关晶体管的栅极与向其施加当前对应信号的发光控制信号线耦接，所述第五开关晶体管的第一极分别与所述驱动晶体管的第二极以及所述第一开关晶体管的第二极耦接，所述第五开关晶体管的第二极与所述发光器件的第一电极耦接；

[0051] 所述存储电容耦接于所述驱动晶体管的栅极与第一极之间；

[0052] 所述分压电容耦接于所述驱动晶体管的第一极与所述第二参考信号线之间。

[0053] 可选地，在本发明实施例提供的上述电致发光显示面板中，与同一所述像素电路耦接的第一扫描信号线与第三扫描信号线的信号相同；和/或，

[0054] 所述第一参考信号线的信号与所述第三参考信号线的信号相同。

[0055] 可选地，在本发明实施例提供的上述电致发光显示面板中，与同一所述像素电路耦接的发光控制信号线与第二扫描信号线的信号相同。

[0056] 相应地，本发明实施例还提供了一种显示装置，包括本发明实施例提供的上述任一种电致发光显示面板。

[0057] 相应地，本发明实施例还提供了一种本发明实施例提供的上述任一种像素电路的驱动方法，包括：

[0058] 复位阶段，所述复位模块对所述驱动晶体管的第一极与第二极进行复位；

[0059] 数据写入阶段，所述数据写入模块将所述数据信号提供给所述驱动晶体管的栅极；

[0060] 发光阶段，所述电容模块存储所述驱动晶体管的栅极的电压，所述驱动晶体管生成驱动电流以驱动所述发光器件发光。

[0061] 可选地，在本发明实施例提供的上述方法中，所述方法还包括：在所述复位阶段，所述复位模块对所述驱动晶体管的栅极进行复位；

[0062] 在所述复位阶段之后，且在所述数据写入阶段之前，所述方法还包括：阈值补偿阶段，所述复位模块对所述驱动晶体管的阈值电压进行补偿。

[0063] 可选地，在本发明实施例提供的上述方法中，在所述复位阶段，分别控制所述复位模块中的第一开关晶体管导通并将所述第一参考信号线的信号提供给所述驱动晶体管的第二极，第二开关晶体管导通并将所述第二参考信号线的信号提供给所述驱动晶体管的第一极，第三开关晶体管导通并将所述第三参考信号线的信号提供给所述驱动晶体管的栅极；

[0064] 在所述阈值补偿阶段，分别控制所述复位模块中的第二开关晶体管截止，第一开关晶体管导通并将所述第一参考信号线的信号提供给所述驱动晶体管的第二极，第三开关晶体管导通并将所述第三参考信号线的信号提供给所述驱动晶体管的栅极；所述驱动晶体管导通进行阈值补偿。

[0065] 可选地，在本发明实施例提供的上述方法中，所述方法还包括：在所述复位阶段与所述发光阶段，所述发光控制模块将所述驱动晶体管的第二极与所述发光器件的第一电极导通。

[0066] 本发明有益效果如下：

[0067] 本发明实施例提供的像素电路、驱动方法、电致发光显示面板及显示装置，可以通过复位模块在复位阶段对驱动晶体管的第一极与第二极进行复位，之后通过数据写入模块

将数据信号写入驱动晶体管的栅极,以及通过驱动晶体管生成驱动电流以驱动发光器件发光。这样可以在每次写入数据信号之前使驱动晶体管的第一极的电压设置为固定电压,以及使驱动晶体管的第二极的电压设置为固定电压,从而可以避免上一帧残留的电压对本帧发光造成影响,进而可以提高显示面板的发光均一性。

附图说明

- [0068] 图1为本发明实施例提供的像素电路的结构示意图之一;
- [0069] 图2为本发明实施例提供的像素电路的结构示意图之二;
- [0070] 图3a为本发明实施例提供的像素电路的具体结构示意图之一;
- [0071] 图3b为本发明实施例提供的像素电路的具体结构示意图之二;
- [0072] 图4a为本发明实施例提供的像素电路的具体结构示意图之三;
- [0073] 图4b为本发明实施例提供的像素电路的具体结构示意图之四;
- [0074] 图5a为实施例一中的电路时序图;
- [0075] 图5b为实施例二中的电路时序图;
- [0076] 图5c为实施例三中的电路时序图;
- [0077] 图5d为实施例四中的电路时序图;
- [0078] 图6为本发明实施例提供的驱动方法的流程图;
- [0079] 图7为本发明实施例提供的电致发光显示面板的结构示意图之一;
- [0080] 图8为本发明实施例提供的电致发光显示面板的结构示意图之二。

具体实施方式

[0081] 为了使本发明的目的,技术方案和优点更加清楚,下面结合附图,对本发明实施例提供的像素电路、驱动方法、电致发光显示面板及显示装置的具体实施方式进行详细地说明。应当理解,下面所描述的优选实施例仅用于说明和解释本发明,并不用于限定本发明。并且在不冲突的情况下,本申请中的实施例及实施例中的特征可以相互组合。

[0082] 本发明实施例提供一种像素电路,如图1所示,复位模块1、数据写入模块2、电容模块3、驱动晶体管M0以及发光器件L;

[0083] 驱动晶体管M0的栅极G与电容模块3耦接,驱动晶体管M0的第一极S与复位模块1耦接,驱动晶体管M0的第二极D分别与复位模块1以及发光器件L的第一电极耦接;

[0084] 复位模块1用于在复位阶段对驱动晶体管M0的第一极S与第二极D进行复位;

[0085] 数据写入模块2用于在数据写入阶段将数据信号Data提供给驱动晶体管M0的栅极G;

[0086] 电容模块3用于存储驱动晶体管M0的栅极G的电压;

[0087] 驱动晶体管M0用于在发光阶段生成驱动电流以驱动发光器件L发光。

[0088] 本发明实施例提供的像素电路,可以通过复位模块在复位阶段对驱动晶体管的第一极与第二极进行复位,之后通过数据写入模块将数据信号写入驱动晶体管的栅极,以及通过驱动晶体管生成驱动电流以驱动发光器件发光。这样可以在每次写入数据信号之前使驱动晶体管的第一极的电压设置为固定电压,以及使驱动晶体管的第二极的电压设置为固定电压,从而可以避免上一帧残留的电压对本帧发光造成影响,进而可以提高显示面板的

发光均一性。

[0089] 一般驱动晶体管驱动发光器件在某一灰阶下发光一段时间后,由于偏压应力会使驱动晶体管的特性,例如阈值电压与迁移率等发生偏移。然而,驱动晶体管在不同灰阶下驱动发光器件发光时的偏压应力不尽相同,导致驱动晶体管的特性在不同灰阶下偏移不同,这样导致在高低灰阶切换显示时,会由于迟滞效应而导致短期残像问题出现。在具体实施时,在本发明实施例提供的上述像素电路中,如图2所示,复位模块1还与驱动晶体管M0的栅极G耦接,用于在复位阶段对驱动晶体管M0的栅极G进行复位,以及用于在阈值补偿阶段对驱动晶体管M0的阈值电压进行补偿。这样可以在每一帧的数据信号写入之前,通过使驱动晶体管M0的栅极G的电压进行复位,即使其栅极G的电压变为固定电压,并且使驱动晶体管M0的第一极S的电压变为固定电压,以及使驱动晶体管M0的第二极D的电压变为固定电压,可以在每次写入数据信号Data 时,使驱动晶体管M0的栅极G通过同一电压进行跳变,以及使其第一极S的电压通过同一电压进行跳变,从而可以改善因迟滞效应导致的短期残像的问题。

[0090] 下面结合具体实施例,对本发明进行详细说明。需要说明的是,本实施例中是为了更好的解释本发明,但不限制本发明。

[0091] 一般采用低温多晶硅(Low Temperature Poly-Silicon,LTPS)材料作为有源层的晶体管的迁移率高且可以做得更薄更小、功耗更低等,在具体实施时,驱动晶体管的有源层的材料可以包括低温多晶硅材料。

[0092] 可选地,在具体实施时,在本发明实施例提供的上述像素电路中,如图1至图4b所示,驱动晶体管M0可以为P型晶体管;其中,驱动晶体管M0的第一极S作为其源极,驱动晶体管M0的第二极D作为其漏极。并且在驱动晶体管M0处于饱和状态时,电流由驱动晶体管M0的源极流向其漏极。

[0093] 在具体实施时,在本发明实施例提供的上述像素电路中,如图1至图4b 所示,发光器件L的第二电极与低电压电源端ELVSS耦接。该低电压电源端 ELVSS的电压一般接地或为负值,其具体电压值需要根据实际应用环境来设计确定,在此不作限定。

[0094] 在具体实施时,在本发明实施例提供的上述像素电路中,发光器件可以为电致发光二极管,其中,电致发光二极管的阳极作为发光器件的第一电极,电致发光二极管的阴极为发光器件的第二电极,并且其在驱动晶体管处于饱和状态时产生的电流的作用下实现发光。另外,一般发光器件具有发光阈值电压 V_L ,在发光器件两极的电压差大于或等于发光阈值电压 V_L 时进行发光。其中,电致发光二极管可以包括:有机发光二极管或量子点发光二极管,在此不作限定。

[0095] 在具体实施时,在本发明实施例提供的像素电路中,如图3a至图4b所示,数据写入模块2可以包括:第四开关晶体管M4;其中,第四开关晶体管M4 的栅极与第四扫描信号线Scan4耦接,第四开关晶体管M4的第一极与数据信号线DATA耦接用于接收数据信号,第四开关晶体管M4的第二极与驱动晶体管M0的栅极G耦接。

[0096] 在具体实施时,在本发明实施例提供的像素电路中,第四开关晶体管在数据写入阶段受第四扫描信号线的信号的控制处于导通状态,可以将数据信号线的数据信号写入驱动晶体管的栅极。

[0097] 一般采用金属氧化物半导体材料作为有源层的晶体管的漏电流较小,因此为了降

低漏电流,在具体实施时,在本发明实施例提供的像素电路中,第四开关晶体管的有源层的材料可以包括金属氧化物半导体材料,例如可以为IGZO (Indium Gallium Zinc Oxide, 铟镓锌氧化物),当然,也可以为其他金属氧化物半导体材料,在此不作限定。这样可以减少第四开关晶体管M4截止时的漏电流,从而在发光器件L发光时,有利于减少第四开关晶体管M4的漏电流对驱动晶体管M0的干扰,进而可以避免影响驱动晶体管M0驱动发光器件发光的驱动电流。

[0098] 以上仅是举例说明本发明实施例提供的像素电路中数据写入模块的具体结构,在具体实施时,数据写入模块的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作限定。

[0099] 在具体实施时,在本发明实施例提供的像素电路中,如图3a至图4b所示,复位模块1可以包括:第一开关晶体管M1、第二开关晶体管M2以及第三开关晶体管M3;

[0100] 第一开关晶体管M1的栅极与第一扫描信号线Scan1耦接,第一开关晶体管M1的第一极与第一参考信号线Vref1耦接,第一开关晶体管M1的第二极与驱动晶体管M0的第二极D耦接;

[0101] 第二开关晶体管M2的栅极与第二扫描信号线Scan2耦接,第二开关晶体管M2的第一极与第二参考信号线Vref2耦接,第二开关晶体管M2的第二极与驱动晶体管M0的第一极S耦接;

[0102] 第三开关晶体管M3的栅极与第三扫描信号线Scan3耦接,第三开关晶体管M3的第一极与第三参考信号线Vref3耦接,第三开关晶体管M3的第二极与驱动晶体管M0的栅极G耦接。

[0103] 在具体实施时,在本发明实施例提供的像素电路中,第一开关晶体管在复位阶段受第一扫描信号线的信号的控制处于导通状态,可以将第一参考信号线的信号提供给驱动晶体管的第二极,以在复位阶段对驱动晶体管的第二极进行复位。第二开关晶体管在复位阶段受第二扫描信号线的信号的控制处于导通状态,可以将第二参考信号线的信号提供给驱动晶体管的第一极,以在复位阶段对驱动晶体管的第一极进行复位。第三开关晶体管在复位阶段受第三扫描信号线的信号的控制处于导通状态,可以将第三参考信号线的信号提供给驱动晶体管的栅极,以在复位阶段对驱动晶体管的栅极进行复位。第三开关晶体管在阈值补偿阶段受第三扫描信号线的信号的控制处于导通状态,可以将第三参考信号线的信号提供给驱动晶体管的栅极;第一开关晶体管在阈值补偿阶段受第一扫描信号线的信号的控制处于导通状态,可以将第一参考信号线的信号提供给驱动晶体管的第二极;驱动晶体管在阈值补偿阶段导通以实现阈值补偿。

[0104] 在具体实施时,在本发明实施例提供的像素电路中,第一开关晶体管的有源层的材料可以包括金属氧化物半导体材料。这样可以减少第一开关晶体管截止时的漏电流,从而在发光器件发光时,有利于减少第一开关晶体管的漏电流对驱动晶体管的干扰,进而可以避免影响驱动晶体管驱动发光器件发光的驱动电流。

[0105] 在具体实施时,在本发明实施例提供的像素电路中,第三开关晶体管的有源层的材料可以包括金属氧化物半导体材料。这样可以减少第三开关晶体管截止时的漏电流,从而在发光器件发光时,有利于减少第三开关晶体管的漏电流对驱动晶体管的干扰,进而可以避免影响驱动晶体管驱动发光器件发光的驱动电流。

[0106] 在具体实施时,在本发明实施例提供的像素电路中,第二开关晶体管的有源层的材料可以包括低温多晶硅材料,这样可以使第二开关晶体管的迁移率高且可以做得更薄更小、功耗更低等。

[0107] 为了减少信号线的设置,节省信号线数量,节省布线空间,在具体实施时,在本发明实施例提供的像素电路中,可以使第一参考信号线的信号与第三参考信号线的信号设置为相同。可选地,使第一参考信号线与第三参考信号线设置为一条信号线。具体地,如图3b与图4b所示,第一开关晶体管M1的第一极与第三开关晶体管M3的第一极可以均与第一参考信号线Vref1耦接。当然,第一开关晶体管的第一极与第三开关晶体管的第一极也可以均与第三参考信号线耦接,在此不作限定。

[0108] 为了减少信号线的设置,节省信号线数量,节省布线空间,在具体实施时,在本发明实施例提供的像素电路中,可以使第一扫描信号线的信号与第三扫描信号线的信号设置为相同。可选地,使第一扫描信号线与第三扫描信号线设置为一条信号线。具体地,如图3b与图4b所示,第一开关晶体管M1的栅极与第三开关晶体管M3的栅极可以均与第一扫描信号线Scan1耦接,此时,第一开关晶体管M1与第三开关晶体管M3为同一类型晶体管,即可以均为N型晶体管,在此不作限定。当然,第一开关晶体管的栅极与第三开关晶体管的栅极也可以均与第三扫描信号线耦接,在此不作限定。

[0109] 为了进一步减少信号线的设置,节省信号线数量,节省布线空间,在具体实施时,在本发明实施例提供的像素电路中,使第一扫描信号线的信号与第三扫描信号线的信号设置为相同,并且,使第一参考信号线的信号与第三参考信号线的信号设置为相同。具体地,如图3b与图4b所示,第一开关晶体管M1的第一极与第三开关晶体管M3的第一极可以均与第一参考信号线Vref1耦接,并且,第一开关晶体管M1的栅极与第三开关晶体管M3的栅极可以均与第一扫描信号线Scan1耦接。

[0110] 在具体实施时,在本发明实施例提供的上述像素电路中,第二参考信号线的信号的电压 V_{ref2} 一般为正值,例如第二参考信号线的信号可以为高电压电源端ELVDD的信号。第一参考信号线的信号的电压 V_{ref1} 优选为负值,第三参考信号线的信号的电压 V_{ref3} 一般为负值,其中,第一参考信号线的电压 V_{ref1} 与低电压电源端的电压 V_{ss} 一般满足公式: $V_{ref1}-V_{ss}<V_L$ 。并且,上述信号线的信号的具体电压值需要根据实际应用环境来设计确定,在此不作限定。

[0111] 以上仅是举例说明本发明实施例提供的像素电路中复位模块的具体结构,在具体实施时,复位模块的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作限定。

[0112] 在具体实施时,在本发明实施例提供的像素电路中,如图3a至图4b所示,电容模块3可以包括:存储电容C1与分压电容C2:

[0113] 存储电容C1耦接于驱动晶体管M0的栅极G与第一极S之间;

[0114] 分压电容C2耦接于驱动晶体管M0的第一极S与第二参考信号线Vref2之间。

[0115] 在具体实施时,在本发明实施例提供的像素电路中,存储电容可以保持驱动晶体管的栅极与驱动晶体管的第一极的电压稳定,可以在输入驱动晶体管的栅极与驱动晶体管的第一极的信号的作用下进行充放电,也可以在驱动晶体管的第一极处于浮接状态时,将驱动晶体管的栅极变化的电压差耦合至驱动晶体管的第一极。

[0116] 以上仅是举例说明本发明实施例提供的像素电路中电容模块的具体结构,在具体实施时,电容模块的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作限定。

[0117] 为了避免阈值补偿阶段对发光器件的性能的影响,在具体实施时,在本发明实施例提供的上述像素电路中,如图2所示,像素电路还可以包括:发光控制模块4;驱动晶体管M0的第二极D与复位模块1分别通过发光控制模块4与发光器件L的第一电极耦接;其中,发光控制模块4用于控制驱动晶体管M0的第二极D与发光器件L的第一电极导通或断开。这样可以在复位阶段对发光器件L进行复位,以及在发光阶段使驱动晶体管M0产生的驱动电流流向发光器件L,以驱动发光器件L发光。

[0118] 在具体实施时,在本发明实施例提供的像素电路中,如图4a与图4b所示,发光控制模块4可以包括:第五开关晶体管M5;

[0119] 第五开关晶体管M5的栅极与发光控制信号线EMIT耦接,第五开关晶体管M5的第一极分别与驱动晶体管M0的第二极D以及第一开关晶体管的第一极耦接,第五开关晶体管M5的第二极与发光器件L的第一电极耦接。

[0120] 在具体实施时,在本发明实施例提供的像素电路中,第五开关晶体管可以在复位阶段受发光控制信号线的信号的控制处于导通状态,以将驱动晶体管的第二极与发光器件的第一电极导通,以对发光器件进行复位。第五开关晶体管可以在发光阶段受发光控制信号线的信号的控制处于导通状态,以将驱动晶体管的第二极与发光器件的第一电极导通,以将驱动晶体管产生的驱动电流输出给发光器件,驱动发光器件发光。

[0121] 在具体实施时,在本发明实施例提供的像素电路中,第五开关晶体管的有源层的材料可以包括低温多晶硅材料,以使第五开关晶体管可以做得更薄更小、功耗更低等。

[0122] 为了进一步减少信号线的设置,节省信号线数量,节省布线空间,在具体实施时,在本发明实施例提供的像素电路中,可以使发光控制信号线的信号与第二扫描信号线的信号设置为相同。可选地,使发光控制信号线与第二扫描信号线设置为一条信号线。具体地,如图4b所示,第二开关晶体管M2的栅极与第五开关晶体管M5的栅极均与发光控制信号线EMIT耦接。当然,第二开关晶体管的栅极与第五开关晶体管的栅极也可以均与第二扫描信号线耦接,在此不作限定。

[0123] 以上仅是举例说明本发明实施例提供的像素电路中发光控制模块的具体结构,在具体实施时,发光控制模块的具体结构不限于本发明实施例提供的上述结构,还可以是本领域技术人员可知的其他结构,在此不作限定。

[0124] 一般采用金属氧化物半导体材料或低温多晶硅材料作为有源层时,可以采用掺杂工艺对有源层进行离子掺杂,以使形成的晶体管的类型为P型或N型。在具体实施时,在本发明实施例提供的像素电路中,可以根据实际应用环境将上述各开关晶体管设置为P型晶体管或N型晶体管,在此不作限定。

[0125] 可选地,在具体实施时,在本发明实施例提供的像素电路中,如图3a至图4b所示,可以将第一开关晶体管M1、第三开关晶体管M3以及第四开关晶体管M4设置为N型晶体管,将第二开关晶体管M2与第五开关晶体管M5设置为P型晶体管。

[0126] 为了进一步降低漏电流,可以使开关晶体管采用双栅极结构。在具体实施时,可以将第一开关晶体管、第三开关晶体管以及第四开关晶体管优选设置为双栅极结构。这样可

以在发光器件发光时,减少对驱动晶体管的干扰,从而可以避免影响驱动晶体管驱动发光器件发光的驱动电流。并且,在本发明实施例提供的像素电路中,从降低漏电流的角度考虑,任意开关晶体管可以设置为双栅极结构,在此不作限定。

[0127] 具体地,在本发明实施例提供的像素电路中,P型晶体管在低电位信号作用下导通,在高电位信号作用下截止;N型晶体管在高电位信号作用下导通,在低电位信号作用下截止。

[0128] 具体地,在本发明实施例提供的像素电路中,上述各开关晶体管的第一极可以作为其源极,第二极作为其漏极,或者上述各开关晶体管的第一极可以作为其漏极,第二极作为其源极,在此不作具体区分。

[0129] 进一步地,在具体实施时,在本发明实施例提供的像素电路中,可以使第一开关晶体管、第三开关晶体管以及第四开关晶体管的有源层的材料均设置为金属氧化物半导体材料,即将第一开关晶体管、第三开关晶体管以及第四开关晶体管均设置为氧化物型晶体管,这样可以使第一开关晶体管、第三开关晶体管以及第四开关晶体管漏电流较小。并且,采用金属氧化物半导体材料作为有源层以制备晶体管的工艺可以与现有技术中制备氧化物型晶体管(Oxide Thin Film Transistor)的工艺相同,在此不作赘述。以及使第二开关晶体管、第五开关晶体管以及驱动晶体管的有源层的材料设置为低温多晶硅材料,即将驱动晶体管、第二开关晶体管以及第五开关晶体管均设置为LTPS型晶体管,这样可以使其第二开关晶体管、第五开关晶体管以及驱动晶体管迁移率较高且可以做得更薄更小、功耗更低等。并且,采用低温多晶硅作为有源层以制备晶体管的工艺可以与现有技术中制备LTPS型晶体管的工艺相同,在此不作赘述。这样通过将LTPS型晶体管与氧化物型晶体管这两种制备晶体管的工艺进行结合制备低温多晶硅氧化物的LTPO像素电路,可以使驱动晶体管的栅极的漏电流较小,以及使功耗较低。从而将该像素电路应用于电致发光显示面板中,在显示面板降低刷新频率进行显示时,可以保证显示的均一性。

[0130] 下面结合电路时序图对本发明实施例提供的像素电路的工作过程作以描述。下述描述中以1表示高电位,0表示低电位。需要说明的是,1和0是逻辑电位,其仅是为了更好的解释本发明实施例的具体工作过程,而不是具体的电压值。

[0131] 实施例一、

[0132] 以图3b所示的像素电路为例,对应的输入时序图如图5a所示。具体地,主要选取如图5a所示的输入时序图中的复位阶段T1、数据写入阶段T2和发光阶段T3共三个阶段。

[0133] 在复位阶段T1,Scan1=1,Scan2=0,Scan4=0。

[0134] 由于Scan1=1,因此第一开关晶体管M1与第三开关晶体管M3均导通。导通的第一开关晶体管M1将第一参考信号线Vref1的信号提供给驱动晶体管M0的第二极D,以对驱动晶体管M0的第二极D以及发光器件L进行复位,以避免相邻两个显示帧之间的发光干扰。导通的第三开关晶体管M3将第一参考信号线Vref1的信号提供给驱动晶体管M0的栅极G,以对驱动晶体管M0的栅极G进行复位。由于Scan2=0,因此第二开关晶体管M2导通,以将第二参考信号线Vref2的信号提供给驱动晶体管M0的第一极S,以对驱动晶体管M0的第一极S进行复位。当然,在复位模块仅对驱动晶体管M0的第一极S与第二极D复位时,可以不设置第三开关晶体管M3。由于Scan4=0,因此第四开关晶体管M4截止。

[0135] 在数据写入阶段T2,Scan1=0,Scan2=1,Scan4=1。

[0136] 由于Scan4=1,因此第四开关晶体管M4导通,以将数据信号线DATA的数据信号写入驱动晶体管M0的栅极G,使驱动晶体管M0的栅极G的电压为数据信号的电压 V_{data} ,并通过存储电容C1进行存储。由于Scan1=0,因此第一开关晶体管M1与第三开关晶体管M3均截止。由于Scan2=1,因此第二开关晶体管M2截止。

[0137] 在发光阶段T3,Scan1=0,Scan2=0,Scan4=0。

[0138] 由于Scan2=0,因此第二开关晶体管M2导通,以将第二参考信号线Vref2 的信号提供给驱动晶体管M0的第一极S,使其第一极S的电压为 V_{ref2} 。驱动晶体管M0在其第一极S的电压 V_{ref2} 与其栅极G的电压 V_{data} 的控制下产生驱动电流 I_L ,且 $I_L=K[V_{data}-V_{ref2}-V_{th}]^2$,以通过驱动电流 I_L 驱动发光器件L发光。并且, V_{th} 为驱动晶体管M0的阈值电压,K为结构参数,且

$$K = \frac{1}{2} \mu_n C_{ox} \frac{W}{L}, \mu_n \text{代表驱动晶体管M0的迁移率}, C_{ox} \text{为单位面积栅氧化层电容}, \frac{W}{L} \text{为驱动晶}$$

体管M0的宽长比,相同结构中这些数值相对稳定,可以算作常量。

[0139] 在复位阶段中通过对驱动晶体管的第一极与第二极进行复位,在数据写入阶段将数据信号写入驱动晶体管的栅极,以及在发光阶段通过驱动晶体管驱动发光器件发光。这样可以在每次写入数据信号之前使驱动晶体管的第一极的电压设置为固定电压,以及使驱动晶体管的第二极的电压设置为固定电压,从而可以避免上一帧残留的电压对本帧发光造成影响,进而可以提高显示面板的发光均匀性。

[0140] 由于工艺制程和器件老化等原因,会使驱动晶体管的阈值电压 V_{th} 产生漂移,这样就导致了流过每个发光器件的驱动电流受 V_{th} 漂移的影响而发生变化导致显示亮度不均,从而影响整个图像的显示效果。并且由于流过每个发光器件的驱动电流与驱动晶体管的第一极连接的第二参考电压信号线的电压 V_{ref2} 相关,使得驱动电流还受第二参考信号线的IR Drop (压降)的影响,造成不同区域的发光器件出现亮度不均匀现象。

[0141] 以下通过实施例对改善驱动晶体管的阈值电压 V_{th} 与IR Drop的影响的具体实现方式进行说明。但读者应知,其具体实现方式不局限于此。

[0142] 实施例二、

[0143] 以图3b所示的像素电路为例对其工作过程进行说明,其对应的输入时序图如图5b所示。具体地,主要选取如图5b所示的输入时序图中的复位阶段 T1、阈值补偿阶段T2、数据写入阶段T3和发光阶段T4共四个阶段。

[0144] 在复位阶段T1,Scan1=1,Scan2=0,Scan4=0。

[0145] 由于Scan1=1,因此第一开关晶体管M1与第三开关晶体管M3均导通。导通的第一开关晶体管M1将第一参考信号线Vref1的信号提供给驱动晶体管 M0的第二极D,以对驱动晶体管M0的第二极D与发光器件L进行复位,以避免相邻两个显示帧之间的发光干扰。导通的第三开关晶体管M3将第一参考信号线Vref1的信号提供给驱动晶体管M0的栅极G,以对驱动晶体管M0的栅极G进行复位。由于Scan2=0,因此第二开关晶体管M2导通,并将第二参考信号线Vref2的信号提供给驱动晶体管M0的第一极S,以对驱动晶体管M0 的第一极S进行复位,以及通过存储电容C1存储第二参考信号线Vref2的信号的电压 V_{ref2} 。由于Scan4=0,因此第四开关晶体管M4截止。

[0146] 在阈值补偿阶段T2,Scan1=1,Scan2=1,Scan4=0。

[0147] 由于Scan1=1,因此第一开关晶体管M1与第三开关晶体管M3均导通。导通的第三

开关晶体管M3将第一参考信号线Vref1的信号提供给驱动晶体管M0的栅极,使驱动晶体管M0的栅极电压为V_{ref1}。导通的第一开关晶体管M1将第一参考信号线Vref1的信号提供给驱动晶体管M0的第二极D,使驱动晶体管M0的第二极D的电压为V_{ref1}。由于Scan2=1,因此第二开关晶体管M2截止。存储电容C1可以瞬间保持驱动晶体管M0的第一极的电压V_{ref2},从而使驱动晶体管M0在V_{ref1}与V_{ref2}的作用下导通,以使驱动晶体管M0的第一极S的电压通过导通的驱动晶体管M0放电,直至驱动晶体管M0的第一极S的电压变为:V_{ref1}-V_{th}时,驱动晶体管M0截止,将驱动晶体管M0的阈值电压V_{th}写入存储电容C1。从而实现对驱动晶体管M0的阈值电压V_{th}的补偿,且该补偿过程亦不会对发光器件L造成影响。由于Scan4=0,因此第四开关晶体管M4截止。

[0148] 在数据写入阶段T3,Scan1=0,Scan2=1,Scan4=1。

[0149] 由于Scan4=1,因此第四开关晶体管M4导通,以将数据信号的电压V_{data}提供给驱动晶体管M0的栅极G,使驱动晶体管M0的栅极G的电压变为V_{data}。由于Scan2=1,因此第二开关晶体管M2截止。因此驱动晶体管M0的第一极S处于浮接状态,由于存储电容C1的耦合作用以及分压电容C2的分压作用,可以使驱动晶体管M0的第一极S的电压变为:

$$(V_{\text{data}} - V_{\text{ref1}}) \frac{c_1}{c_1 + c_2} + V_{\text{ref1}} - V_{\text{th}}; \text{其中} c_1 \text{代表存储电容} C1 \text{的电容值,} c_2 \text{代表分压电容} C2 \text{的电容}$$

值。由于Scan1=0,因此第一开关晶体管M1与第三开关晶体管M3均截止。

[0150] 在发光阶段T4,Scan1=0,Scan2=0,Scan4=0。

[0151] 由于Scan2=0,因此第二开关晶体管M2导通,并将第二参考信号线Vref2的电压V_{ref2}提供给驱动晶体管M0的第一极S,使驱动晶体管M0的第一极S的电压为V_{ref2}。根据存储电容C的电荷在跳变前后的电荷守恒原则,驱动晶体管M0的栅极G的电压变为:

$$(V_{\text{data}} - V_{\text{ref1}}) \frac{c_2}{c_1 + c_2} + V_{\text{ref2}} + V_{\text{th}}。 \text{因此,驱动晶体管} M0 \text{处于饱和状态,根据饱和状态电流特}$$

性,驱动晶体管M0产生驱动发光器件L发光的驱动电流I_L满足公式:

$$I_L = K[V_{\text{gs}} - V_{\text{th}}]^2 = K[(V_{\text{data}} - V_{\text{ref1}}) \frac{c_2}{c_1 + c_2}]^2; \text{其中,} V_{\text{gs}} \text{为驱动晶体管} M0 \text{的栅源电压,即}$$

$$V_{\text{gs}} = (V_{\text{data}} - V_{\text{ref1}}) \frac{c_2}{c_1 + c_2} + V_{\text{ref2}} + V_{\text{th}} - V_{\text{ref2}}。 \text{并且,K为结构参数,且} K = \frac{1}{2} \mu_n C_{\text{ox}} \frac{W}{L}, \mu_n \text{代表}$$

驱动晶体管M0的迁移率,C_{ox}为单位面积栅氧化层电容, $\frac{W}{L}$ 为驱动晶体管M0的宽长比,相同结构中这些数值相对稳定,可以算作常量。驱动晶体管M0产生的驱动电流I_L提供给发光器件L,驱动发光器件L发光。通过上述驱动电流I_L满足的公式可知,驱动晶体管M0驱动发光器件L发光的驱动电流I_L仅与数据信号Data的电压V_{data}以及第一参考信号线Vref1的电压V_{ref1}有关,而与驱动晶体管M0的阈值电压V_{th}以及第二参考信号线Vref2的电压V_{ref2}无关,可以解决由于驱动晶体管M0的工艺制程以及长时间的操作造成的阈值电压V_{th}漂移以及IR Drop对驱动发光器件L的驱动电流I_L的影响,从而使发光器件L的驱动电流I_L保持稳定,进而保证了发光器件L的正常工作。

[0152] 图3a所示的像素电路的工作过程可以参考图3b所示的像素电路的工作过程,在此不作赘述。

[0153] 实施例三、

[0154] 以图4a所示的像素电路为例对其工作过程进行说明,其对应的输入时序图如图5c所示。具体地,主要选取如图5c所示的输入时序图中的复位阶段T1、阈值补偿阶段T2、数据写入阶段T3和发光阶段T4共四个阶段。

[0155] 在复位阶段T1,Scan1=1,Scan2=0,Scan3=0,Scan4=0,EM=0。

[0156] 由于Scan1=1,因此第一开关晶体管M1导通,并将第一参考信号线Vref1的信号提供给驱动晶体管M0的第二极D,以对驱动晶体管M0的第二极D进行复位。由于Scan2=0,因此第二开关晶体管M2导通,并将第二参考信号线Vref2的信号提供给驱动晶体管M0的第一极S,以对驱动晶体管M0的第一极S进行复位,以及通过存储电容C1存储第二参考信号线Vref2的信号的电压 V_{ref2} 。由于EM=0,因此第五开关晶体管M5导通,并将驱动晶体管M0的第二极D与发光器件L的第一电极导通,以将第一参考信号线Vref1的信号提供给发光器件L,对发光器件L进行复位,以避免相邻两个显示帧之间的发光干扰。由于Scan4=0,因此第四开关晶体管M4截止。由于Scan3=0,因此第三开关晶体管M3截止。

[0157] 在阈值补偿阶段T2,Scan1=1,Scan2=1,Scan3=1,Scan4=0,EM=1。

[0158] 由于Scan3=1,因此第三开关晶体管M3导通,并将第三参考信号线Vref3的信号提供给驱动晶体管M0的栅极G,使驱动晶体管M0的栅极电压为 V_{ref3} 。由于Scan1=1,因此第一开关晶体管M1导通,并将第一参考信号线Vref1的信号提供给驱动晶体管M0的第二极D,使驱动晶体管M0的第二极D的电压为 V_{ref1} 。由于Scan2=1,因此第二开关晶体管M2截止。由于EM=1,因此第五开关晶体管M5截止。存储电容C1可以瞬间保持驱动晶体管M0的第一极的电压 V_{ref2} ,从而使驱动晶体管M0在 V_{ref3} 与 V_{ref2} 的作用下导通,以使驱动晶体管M0的第一极S的电压通过导通的驱动晶体管M0放电,直至驱动晶体管M0的第一极S的电压变为: $V_{ref3} - V_{th}$ 时,驱动晶体管M0截止,将驱动晶体管M0的阈值电压 V_{th} 写入存储电容C1。从而实现驱动晶体管M0的阈值电压 V_{th} 的补偿,且该补偿过程亦不会对发光器件L造成影响。由于Scan4=0,因此第四开关晶体管M4截止。

[0159] 在数据写入阶段T3,Scan1=0,Scan2=1,Scan3=0,Scan4=1,EM=1。

[0160] 由于Scan4=1,因此第四开关晶体管M4导通,以将数据信号的电压 V_{data} 提供给驱动晶体管M0的栅极G,使驱动晶体管M0的栅极G的电压变为 V_{data} 。由于Scan2=1,因此第二开关晶体管M2截止。由于Scan3=0,因此第三开关晶体管M3截止。因此驱动晶体管M0的第一极S处于浮接状态,由于存储电容C1的耦合作用以及分压电容C2的分压作用,可以使驱动晶体管M0的第一极S的电压变为: $(V_{data} - V_{ref3}) \frac{c_1}{c_1 + c_2} + V_{ref3} - V_{th}$;其中 c_1 代表存储电容C1的电容值, c_2 代表分压电容C2的电容值。由于Scan1=0,因此第一开关晶体管M1截止。由于EM=1,因此第五开关晶体管M5截止。

[0161] 在发光阶段T4,Scan1=0,Scan2=0,Scan3=0,Scan4=0,EM=0。

[0162] 由于Scan2=0,因此第二开关晶体管M2导通,并将第二参考信号线Vref2的电压 V_{ref2} 提供给驱动晶体管M0的第一极S,使驱动晶体管M0的第一极S的电压为 V_{ref2} 。根据存储电容C的电荷在跳变前后的电荷守恒原则,驱动晶体管M0的栅极G的电压变为:

$(V_{data} - V_{ref3}) \frac{c_2}{c_1 + c_2} + V_{ref2} + V_{th}$ 。因此,驱动晶体管M0处于饱和状态,根据饱和状态电流特

性，驱动晶体管M0产生驱动发光器件L发光的驱动电流 I_L 满足公式：

$$I_L = K[V_{gs} - V_{th}]^2 = K[(V_{data} - V_{ref3}) \frac{c_2}{c_1 + c_2}]^2; \text{其中, } V_{gs} \text{ 为驱动晶体管M0的栅源电压, 即}$$

$$V_{gs} = (V_{data} - V_{ref3}) \frac{c_2}{c_1 + c_2} + V_{ref2} + V_{th} - V_{ref2}。 \text{并且, K为结构参数, 且 } K = \frac{1}{2} \mu_n C_{ox} \frac{W}{L}, \mu_n \text{ 代表}$$

驱动晶体管M0的迁移率, C_{ox} 为单位面积栅氧化层电容, $\frac{W}{L}$ 为驱动晶体管M0的宽长比, 相同结构中这些数值相对稳定, 可以算作常量。由于 $EM=0$, 因此第五开关晶体管M5导通, 并将驱动晶体管M0的第二极D与发光器件L导通, 以将驱动晶体管M0产生的驱动电流 I_L 提供给发光器件L, 驱动发光器件L发光。通过上述驱动电流 I_L 满足的公式可知, 驱动晶体管M0驱动发光器件L发光的驱动电流 I_L 仅与数据信号Data的电压 V_{data} 以及第一参考信号线Vref1的电压 V_{ref1} 有关, 而与驱动晶体管M0的阈值电压 V_{th} 以及第二参考信号线Vref2的电压 V_{ref2} 无关, 可以解决由于驱动晶体管M0的工艺制程以及长时间的操作造成的阈值电压 V_{th} 漂移以及IR Drop对驱动发光器件L的驱动电流 I_L 的影响, 从而使发光器件L的驱动电流 I_L 保持稳定, 进而保证了发光器件L的正常工作。

[0163] 当然, 在复位阶段中, 还可以改变第三扫描信号线的信号, 以控制第三开关晶体管导通, 以对驱动晶体管的栅极进行复位, 使其栅极的电压变为 V_{ref3} 。这样在复位阶段中使驱动晶体管的栅极的电压为 V_{ref3} , 第二极的电压为 V_{ref1} , 第一极的电压为 V_{ref2} , 可以同时驱动晶体管的三个极进行复位。在阈值补偿阶段, 使驱动晶体管的栅极的电压为 V_{ref3} , 使其第二极的电压为 V_{ref1} , 驱动晶体管的第一极的电压变为 $V_{ref3} - V_{th}$, 即在每帧数据写入阶段之前, 使驱动晶体管的栅极可以为固定电压 V_{ref3} , 使驱动晶体管的第一极可以为固定电压 $V_{ref3} - V_{th}$, 以及使驱动晶体管的第二极可以为固定电压 V_{ref1} 。从而在每次写入数据信号时, 可以使驱动晶体管的栅极通过同一固定电压进行跳变, 以及使其第一极的电压通过同一固定电压进行跳变, 进而可以改善因迟滞效应导致的短期残像的问题。

[0164] 实施例四、

[0165] 以图4b所示的像素电路为例对其工作过程进行说明, 其对应的输入时序图如图5d所示。具体地, 主要选取如图5d所示的输入时序图中的复位阶段T1、阈值补偿阶段T2、数据写入阶段T3和发光阶段T4共四个阶段。

[0166] 在复位阶段T1, $Scan1=1, Scan4=0, EM=0$ 。

[0167] 由于 $Scan1=1$, 因此第一开关晶体管M1与第三开关晶体管M3均导通。导通的第一开关晶体管M1将第一参考信号线Vref1的信号提供给驱动晶体管M0的第二极D, 以对驱动晶体管M0的第二极D进行复位。导通的第三开关晶体管M3将第一参考信号线Vref1的信号提供给驱动晶体管M0的栅极G, 以对驱动晶体管M0的栅极G进行复位。由于 $EM=0$, 因此第二开关晶体管M2与第五开关晶体管M5均导通。导通的第二开关晶体管M2将第二参考信号线Vref2的信号提供给驱动晶体管M0的第一极S, 以对驱动晶体管M0的第一极S进行复位, 以及通过存储电容C1存储第二参考信号线Vref2的信号的电压 V_{ref2} 。导通的第五开关晶体管M5将驱动晶体管M0的第二极D与发光器件L的第一电极导通, 以将第一参考信号线Vref1的信号提供给发光器件L, 对发光器件L进行复位, 以避免相邻两个显示帧之间的发光干扰。由于 $Scan4=0$, 因此第四开关晶体管M4截止。

[0168] 在阈值补偿阶段T2, Scan1=1, Scan4=0, EM=1。

[0169] 由于Scan1=1, 因此第一开关晶体管M1与第三开关晶体管M3均导通。导通的第三开关晶体管M3将第一参考信号线Vref1的信号提供给驱动晶体管M0的栅极, 使驱动晶体管M0的栅极电压为Vref1。导通的第一开关晶体管M1将第一参考信号线Vref1的信号提供给驱动晶体管M0的第二极D, 使驱动晶体管M0的第二极D的电压为Vref1。由于EM=1, 因此第二开关晶体管M2与第五开关晶体管M5均截止。存储电容C1可以瞬间保持驱动晶体管M0的第一极的电压Vref2, 从而使驱动晶体管M0在Vref1与Vref2的作用下导通, 以使驱动晶体管M0的第一极S的电压通过导通的驱动晶体管M0放电, 直至驱动晶体管M0的第一极S的电压变为: Vref1 - Vth时, 驱动晶体管M0截止, 从而将驱动晶体管M0的阈值电压Vth写入存储电容C1。从而实现驱动晶体管M0的阈值电压Vth的补偿, 且该补偿过程亦不会对发光器件L造成影响。由于Scan4=0, 因此第四开关晶体管M4截止。

[0170] 在数据写入阶段T3, Scan1=0, Scan4=1, EM=1。

[0171] 由于Scan4=1, 因此第四开关晶体管M4导通, 以将数据信号Data的电压Vdata提供给驱动晶体管M0的栅极G, 使驱动晶体管M0的栅极G的电压变为Vdata。由于EM=1, 因此第二开关晶体管M2与第五开关晶体管M5均截止。因此驱动晶体管M0的第一极S处于浮接状态, 由于存储电容C1的耦合作用以及分压电容C2的分压作用, 可以使驱动晶体管M0的第一极S的电压变为:

$(V_{data} - V_{ref1}) \frac{c_1}{c_1 + c_2} + V_{ref1} - V_{th}$; 其中c1代表存储电容C1的电容值, c2代表分压电容C2的电容值。由于Scan1=0, 因此第一开关晶体管M1与第三开关晶体管M3均截止。

[0172] 在发光阶段T4, Scan1=0, Scan4=0, EM=0。

[0173] 由于EM=0, 因此第二开关晶体管M2与第五开关晶体管M5均导通。导通的第二开关晶体管M2将第二参考信号线Vref2的电压Vref2提供给驱动晶体管M0的第一极S, 使驱动晶体管M0的第一极S的电压为Vref2。根据存储电容C的电荷在跳变前后的电荷守恒原则, 驱动晶体管M0的栅极G的电压变为:

$(V_{data} - V_{ref1}) \frac{c_2}{c_1 + c_2} + V_{ref2} + V_{th}$ 。因此, 驱动晶体管M0处于饱和状态, 根据饱和状态电流特性, 驱动晶体管M0产生驱动发光器件L发光的驱动电流IL满足公式:

$I_L = K[V_{gs} - V_{th}]^2 = K[(V_{data} - V_{ref1}) \frac{c_2}{c_1 + c_2}]^2$; 其中, Vgs为驱动晶体管M0的栅源电压, 即

$V_{gs} = (V_{data} - V_{ref1}) \frac{c_2}{c_1 + c_2} + V_{ref2} + V_{th} - V_{ref2}$ 。并且, K为结构参数, 且 $K = \frac{1}{2} \mu_n C_{ox} \frac{W}{L}$, μ_n 代表

驱动晶体管M0的迁移率, Cox为单位面积栅氧化层电容, $\frac{W}{L}$ 为驱动晶体管M0的宽长比, 相同

结构中这些数值相对稳定, 可以算作常量。导通的第五开关晶体管M5将驱动晶体管M0的第二极D与发光器件L导通, 以将驱动晶体管M0产生的驱动电流IL提供给发光器件L, 驱动发光器件L发光。通过上述驱动电流IL满足的公式可知, 驱动晶体管M0驱动发光器件L发光的驱动电流IL仅与数据信号Data的电压Vdata以及第一参考信号线Vref1的电压Vref1有关, 而与驱动晶体管M0的阈值电压Vth以及第二参考信号线Vref2的电压Vref2无关, 可以解决由于驱动晶体管M0的工艺制程以及长时间的操作造成的阈值电压Vth漂移以及IR Drop对驱动发光器件L的驱动电流IL的影响, 从而使发光器件L的驱动电流IL保持稳定, 进而保证了发光器件L

的正常工作。

[0174] 在复位阶段中,通过使驱动晶体管的栅极与第二极的电压分别变为 V_{ref1} ,驱动晶体管的栅极的电压变为 V_{ref2} ,可以同时使驱动晶体管的三个极进行复位。在阈值补偿阶段,使驱动晶体管的栅极与第二极的电压分别均为 V_{ref1} ,驱动晶体管的栅极的电压变为 $V_{ref1}-V_{th}$,即在每帧数据写入阶段之前,使驱动晶体管的栅极可以为固定电压 V_{ref1} ,使驱动晶体管的栅极可以为固定电压 $V_{ref1}-V_{th}$,以及使驱动晶体管的第二极可以为固定电压 V_{ref1} 。从而在每次写入数据信号时,可以使驱动晶体管的栅极通过同一固定电压进行跳变,以及使其栅极的电压通过同一固定电压进行跳变,进而可以改善因迟滞效应导致的短期残像的问题。

[0175] 基于同一发明构思,本发明实施例还提供了一种本发明实施例提供的上述像素电路的驱动方法,如图6所示,包括:

[0176] S601、复位阶段,复位模块对驱动晶体管的栅极与第二极进行复位;

[0177] S602、数据写入阶段,数据写入模块将数据信号提供给驱动晶体管的栅极;

[0178] S603、发光阶段,电容模块存储驱动晶体管的栅极的电压,驱动晶体管生成驱动电流以驱动发光器件发光。

[0179] 本发明实施例提供的上述驱动方法,可以通过复位模块在复位阶段对驱动晶体管的栅极与第二极进行复位,之后通过数据写入模块将数据信号写入驱动晶体管的栅极,以及通过驱动晶体管生成驱动电流以驱动发光器件发光。这样可以在每次写入数据信号之前使驱动晶体管的栅极的电压设置为固定电压,以及使驱动晶体管的第二极的电压设置为固定电压,从而可以避免上一帧残留的电压对本帧发光造成影响,进而可以提高显示面板的发光均匀性。

[0180] 在具体实施时,在本发明实施例提供的上述驱动方法中,还可以包括:在复位阶段,复位模块对驱动晶体管的栅极进行复位。

[0181] 并且在复位阶段之后,且在数据写入阶段之前,本发明实施例提供的上述驱动方法还可以包括:阈值补偿阶段,复位模块对驱动晶体管的阈值电压进行补偿。

[0182] 在具体实施时,在复位模块包括第一开关晶体管、第二开关晶体管以及第三开关晶体管时,在本发明实施例提供的上述驱动方法中,在复位阶段,分别控制复位模块中的第一开关晶体管导通并将第一参考信号线上的信号提供给驱动晶体管的第二极,第二开关晶体管导通并将第二参考信号线上的信号提供给驱动晶体管的栅极,第三开关晶体管导通并将第三参考信号线上的信号提供给驱动晶体管的栅极。

[0183] 并且,在阈值补偿阶段,分别控制复位模块中的第二开关晶体管截止,第一开关晶体管导通并将第一参考信号线上的信号提供给驱动晶体管的第二极,第三开关晶体管导通并将第三参考信号线上的信号提供给驱动晶体管的栅极;驱动晶体管导通进行阈值补偿。

[0184] 在具体实施时,本发明实施例提供的上述驱动方法还可以包括:在复位阶段与发光阶段,发光控制模块将驱动晶体管的第二极与发光器件的第一电极导通。

[0185] 在具体实施时,通过复位阶段、阈值补偿阶段、数据写入阶段以及发光阶段的作用,可以使驱动晶体管驱动发光器件发光的驱动电流仅与数据信号的电压以及第一参考信号线上的信号的电压有关,而与驱动晶体管的阈值电压以及第二参考信号线上的信号的电压无关,可以避免驱动晶体管的阈值电压以及第二参考信号线上的信号的IR Drop对流过发光器

件的驱动电流的影响,从而使驱动发光器件发光的工作电流保持稳定,进而可以提高显示面板中显示画面亮度的均匀性。

[0186] 基于同一发明构思,本发明实施例还提供了一种电致发光显示面板,如图 7所示,可以包括:像素电路PX、数据信号线DATA、第一扫描信号线Scan1、第二扫描信号线Scan2、第三扫描信号线Scan3、第四扫描信号线Scan4、发光控制信号线EMIT、第一参考电压线Vref1、第二参考电压线Vref2、第三参考电压线Vref3;

[0187] 像素电路PX可以包括:第一开关晶体管M1、第二开关晶体管M2、第三开关晶体管M3、第四开关晶体管M4、第五开关晶体管M5、驱动晶体管M0、存储电容C1、分压电容C2以及发光器件L;其中,

[0188] 第一开关晶体管M1的栅极与向其施加当前对应信号的第一扫描信号线 Scan1耦接,第一开关晶体管M1的第一极与第一参考信号线Vref1耦接,第一开关晶体管M1的第二极与驱动晶体管M0的第二极D耦接;

[0189] 第二开关晶体管M2的栅极与向其施加当前对应信号的第二扫描信号线 Scan2耦接,第二开关晶体管M2的第一极与第二参考信号线Vref2耦接,第二开关晶体管M2的第二极与驱动晶体管M0的第一极S耦接;

[0190] 第三开关晶体管M3的栅极与向其施加当前对应信号的第三扫描信号线 Scan3耦接,第三开关晶体管M3的第一极与第三参考信号线Vref3耦接,第三开关晶体管M3的第二极与驱动晶体管M0的栅极G耦接;

[0191] 第四开关晶体管M4的栅极与向其施加当前对应信号的第四扫描信号线 Scan4耦接,第四开关晶体管M4的第一极与向其施加当前对应信号的数据信号线DATA耦接,第四开关晶体管M4的第二极与驱动晶体管M0的栅极G耦接;

[0192] 第五开关晶体管M5的栅极与向其施加当前对应信号的发光控制信号线 EMIT耦接,第五开关晶体管M5的第一极分别与驱动晶体管M0的第二极D 以及第一开关晶体管M1的第二极耦接,第五开关晶体管M5的第二极与发光器件L的第一电极耦接;

[0193] 存储电容C1耦接于驱动晶体管M0的栅极G与第一极S之间;

[0194] 分压电容C2耦接于驱动晶体管M0的第一极S与第二参考信号线Vref2 之间。

[0195] 本发明实施例提供的电致发光显示面板,通过各信号线输入对应的信号,以控制像素电路中第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第五开关晶体管、驱动晶体管、存储电容、分压电容以及发光器件相互配合工作,从而可以实现电致发光显示面板的发光显示。

[0196] 在具体实施时,在本发明实施例提供的电致发光显示面板中,还可以包括栅极驱动电路;其中,通过栅极驱动电路向第一扫描信号线、第二扫描信号线,第三扫描信号线以及第四扫描信号线提供对应的栅极扫描信号。

[0197] 在具体实施时,在本发明实施例提供的电致发光显示面板中,还可以包括发光控制电路;其中,通过发光控制电路向发光控制信号线提供对应的发光控制信号。

[0198] 在具体实施时,在本发明实施例提供的电致发光显示面板中,还可以包括源极驱动电路;其中,通过源极驱动电路向数据信号线提供对应的数据信号。

[0199] 在具体实施时,本发明实施例提供的电致发光显示面板中的像素电路的工作过程可以参见前述像素电路的实施,重复之处在此不再赘述。

[0200] 在具体实施时,本发明实施例提供的电致发光显示面板通过将LTPS型晶体管与氧化物型晶体管这两种制备晶体管的工艺进行结合,在降低刷新频率进行显示时,可以保证显示的均一性。

[0201] 在具体实施时,在本发明实施例提供的电致发光显示面板中,数据信号线与第二参考信号线可以分别与像素电路中的开关晶体管的第一极和第二极同材质且同层设置;并且,第一至第四扫描信号线、发光控制信号线、第一与第三参考信号线可以分别与像素电路中的开关晶体管的栅极同材质且同层设置。这样可以采用一次构图工艺同时形成数据信号线、第二参考信号线以及像素电路中的开关晶体管的第一极和第二极的图形,以及采用另一次构图工艺同时形成各扫描信号线、第一与第三参考信号线、发光控制信号线以及像素电路中的开关晶体管的栅极的图形,可以简化制备工艺,降低电致发光显示面板的厚度。

[0202] 在具体实施时,在数据信号线与第二参考信号线以及像素电路中的开关晶体管的第一极和第二极同材质且同层设置时,在本发明实施例提供的电致发光显示面板中,数据信号线可以沿像素电路形成的像素单元的列方向延伸,第二参考信号线沿像素单元的列方向延伸。当然,第二参考信号线也可以采用网格状结构设置在电致发光显示面板中。

[0203] 在具体实施时,在各扫描信号线、各参考信号线、发光控制信号线以及像素电路中的开关晶体管的栅极同材质且同层设置时,在本发明实施例提供的电致发光显示面板中,各扫描信号线、第一与第三参考信号线、发光控制信号线可以沿像素单元的行方向延伸。并且,由于相邻两行像素单元之间的间隙一般比相邻两列像素单元之间的间隙大,因此将各参考信号线分别沿像素单元的行方向延伸,可以进一步优化电致发光显示面板的版图设计。

[0204] 为了进一步减少信号线的设置,节省布线空间,在具体实施时,在本发明实施例提供的电致发光显示面板中,可以使与同一像素电路耦接的第一扫描信号线与第三扫描信号线的信号设置为相同。可选地,使与同一像素电路耦接的第一扫描信号线与第三扫描信号线设置为一条信号线。这样可以进一步优化电致发光显示面板的版图设计。具体地,如图8所示,第一开关晶体管M1的栅极与第三开关晶体管M3的栅极均与第一扫描信号线Scan1耦接。

[0205] 为了进一步减少信号线的设置,节省布线空间,在具体实施时,在本发明实施例提供的电致发光显示面板中,可以使与同一像素电路耦接的发光控制信号线与第二扫描信号线的信号设置为相同。可选地,使与同一像素电路耦接的发光控制信号线与第二扫描信号线设置为一条信号线。这样可以进一步优化电致发光显示面板的版图设计。具体地,如图8所示,第二开关晶体管M2与第五开关晶体管M5均与发光控制信号线EMIT耦接。

[0206] 为了进一步减少信号线的设置,节省布线空间,在具体实施时,在本发明实施例提供的电致发光显示面板中,可以使第一参考信号线的信号与第三参考信号线的信号设置为相同。可选地,使第一参考信号线与第三参考信号线也设置为一条信号线。这样可以进一步优化电致发光显示面板的版图设计。具体地,如图8所示,第一开关晶体管M1与第三开关晶体管M3均与第一参考信号线 Vref1耦接。

[0207] 本发明实施例提供的电致发光显示面板中的发光器件的阴极可以与现有技术中的设计相同,例如可以是采用一整面的阴极层设计,在此不作赘述。

[0208] 在具体实施时,本发明实施例提供的电致发光显示面板可以为有机发光显示面

板;或者,也可以为量子点发光显示面板,在此不作限定。

[0209] 基于同一发明构思,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述电致发光显示面板。该显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具有的,在此不做赘述,也不应作为对本发明的限制。该显示装置的实施可以参见上述像素电路的实施例,重复之处不再赘述。

[0210] 本发明实施例提供的像素电路、驱动方法、电致发光显示面板及显示装置,可以通过复位模块在复位阶段对驱动晶体管的第一极与第二极进行复位,之后通过数据写入模块将数据信号写入驱动晶体管的栅极,以及通过驱动晶体管生成驱动电流以驱动发光器件发光。这样可以在每次写入数据信号之前使驱动晶体管的第一极的电压设置为固定电压,以及使驱动晶体管的第二极的电压设置为固定电压,从而可以避免上一帧残留的电压对本帧发光造成影响,进而可以提高显示面板的发光均匀性。

[0211] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

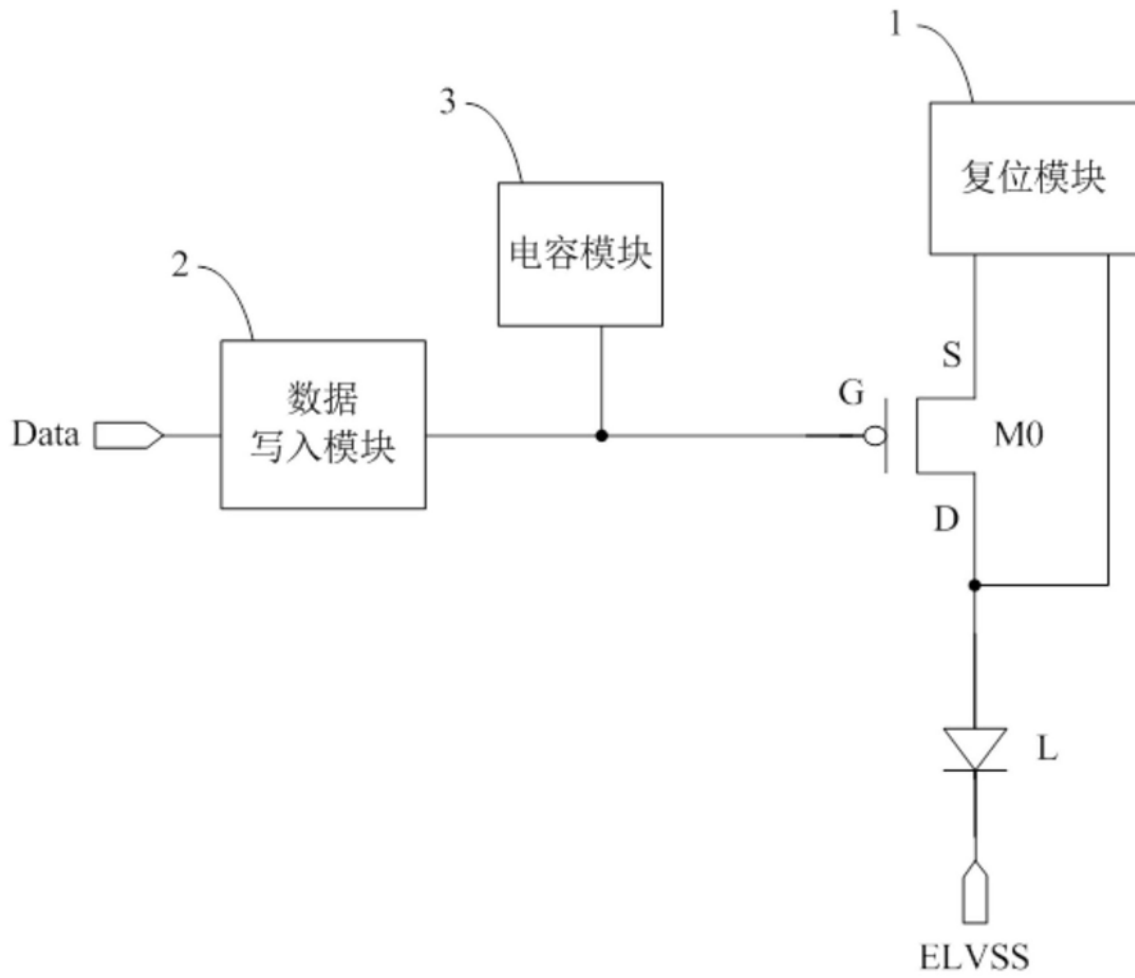


图1

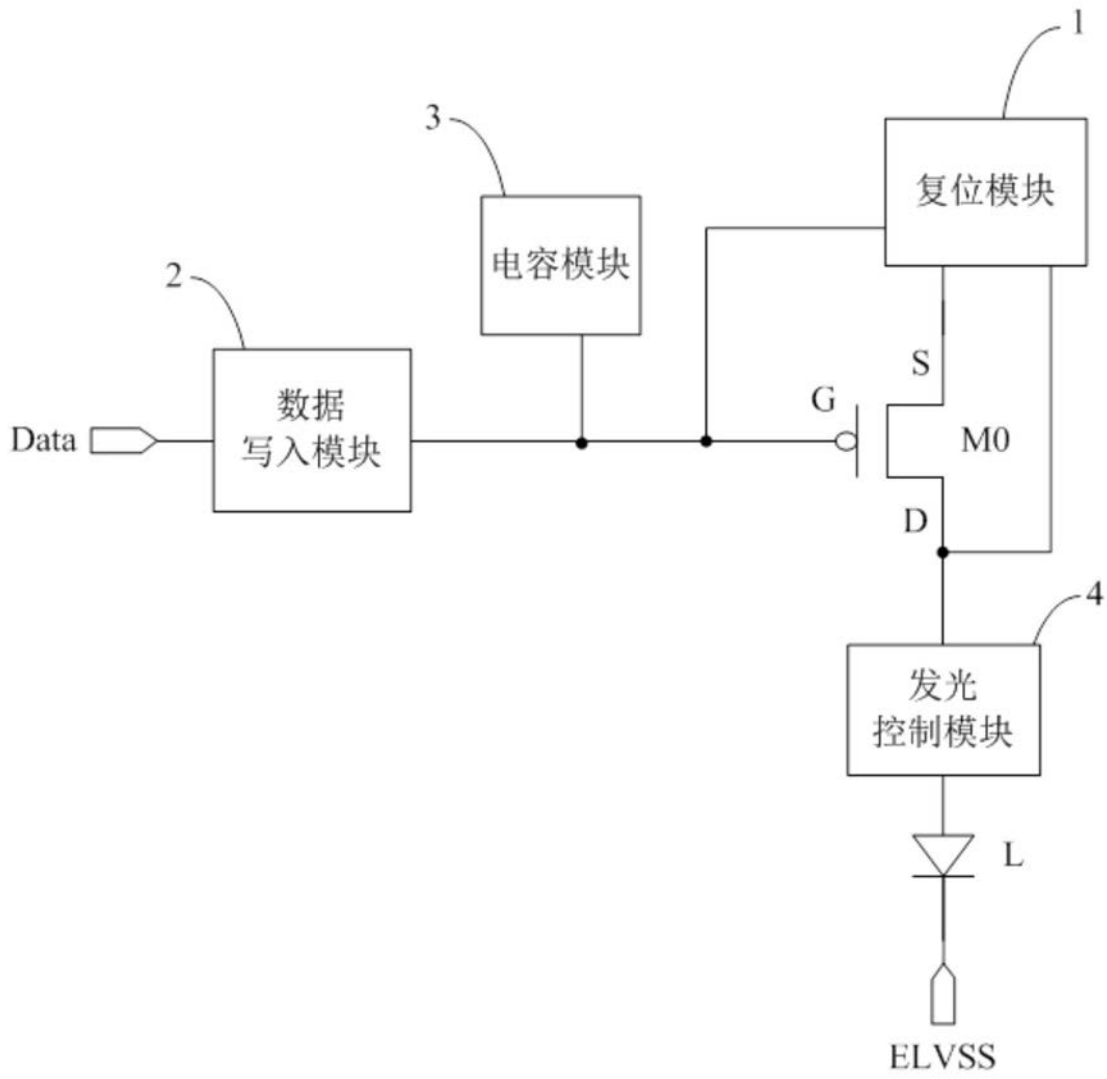


图2

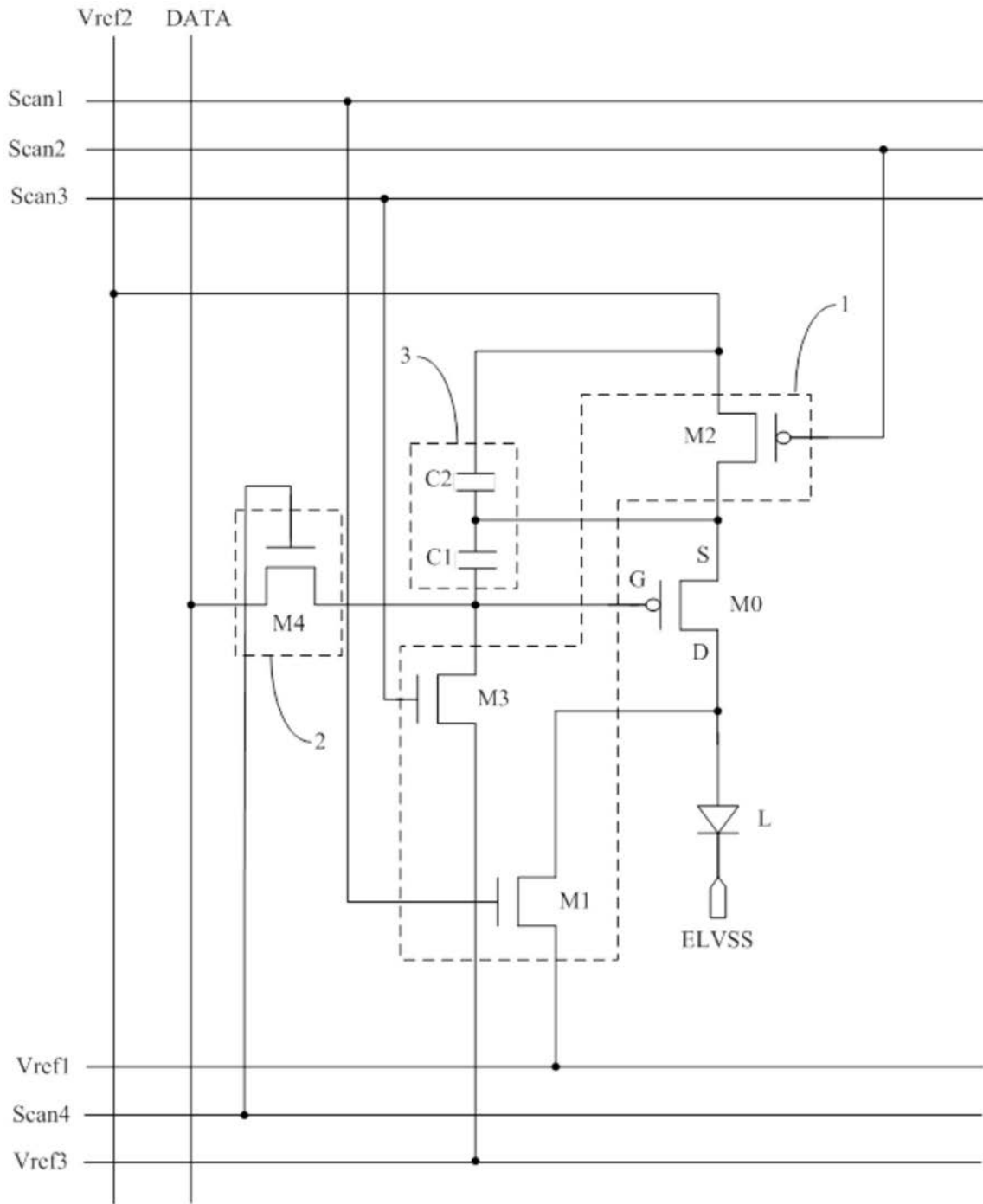


图3a

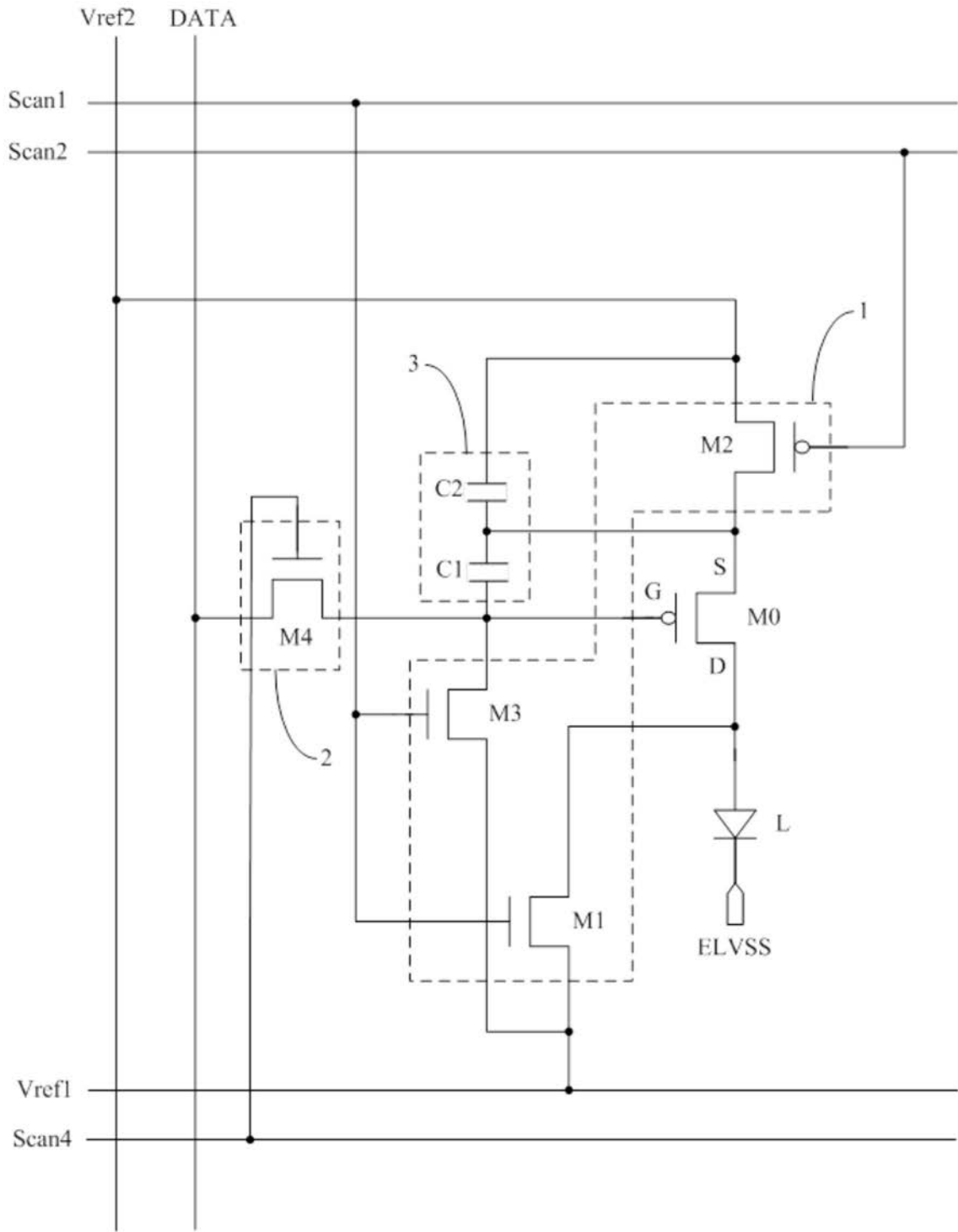


图3b

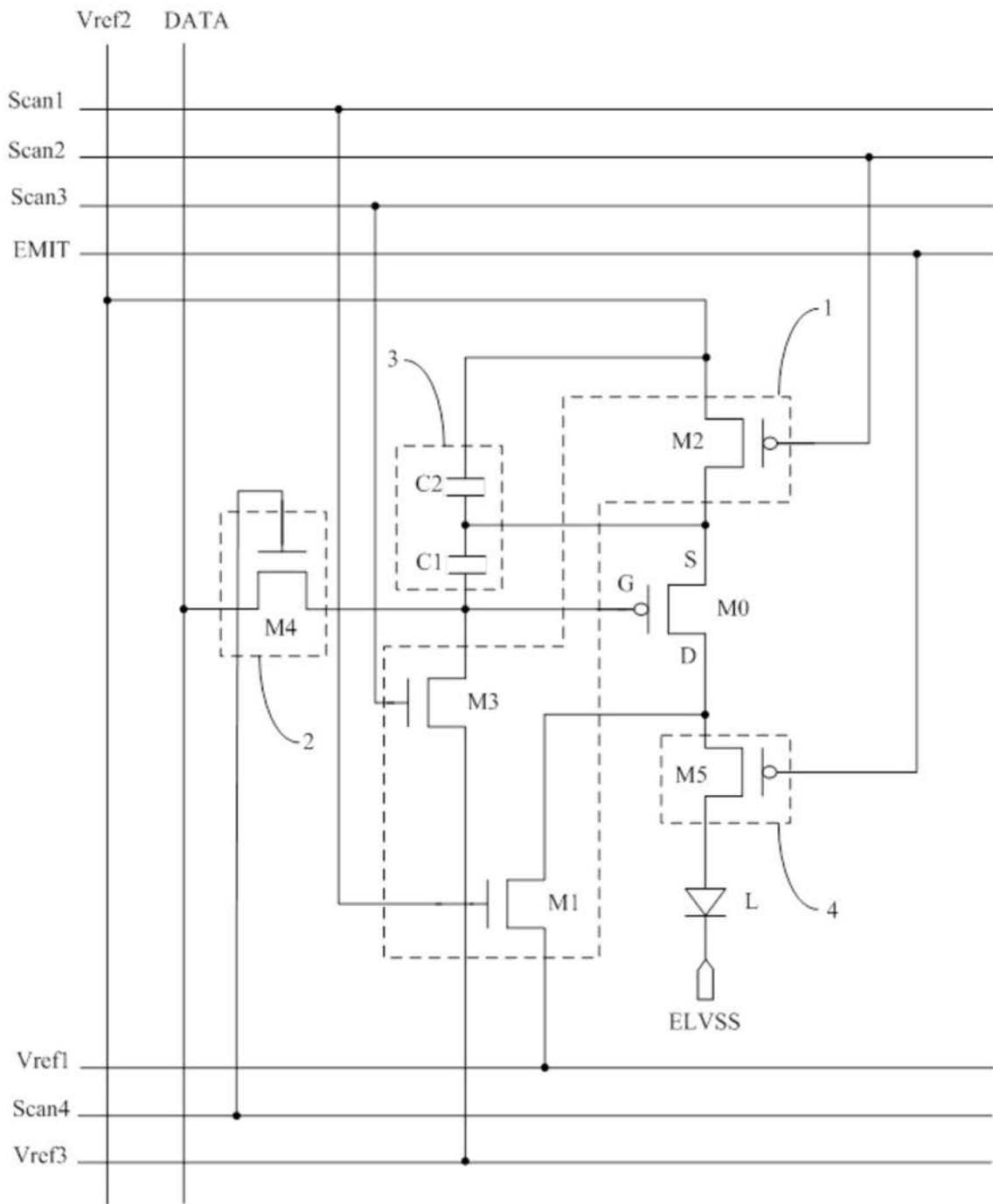


图4a

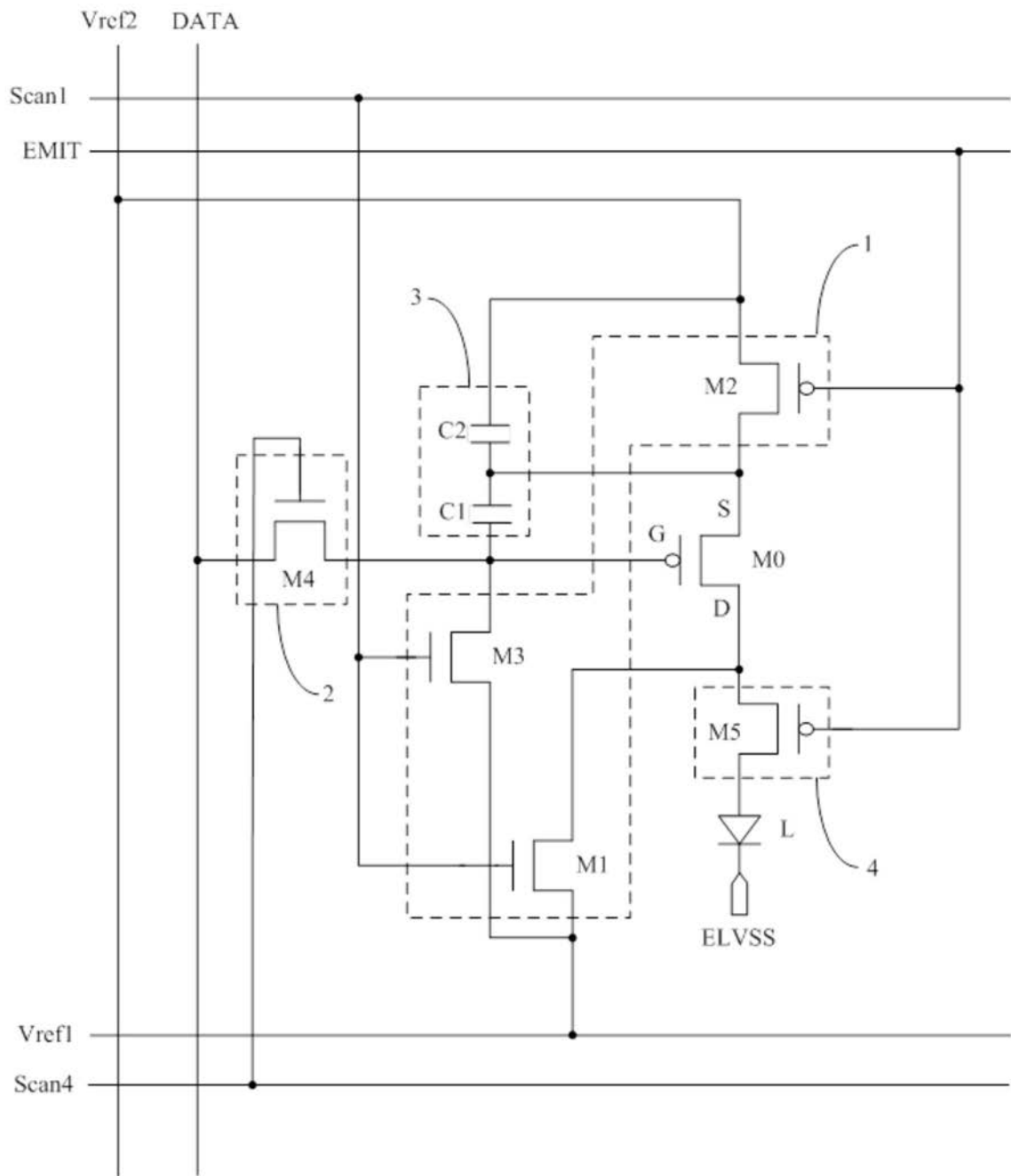


图4b

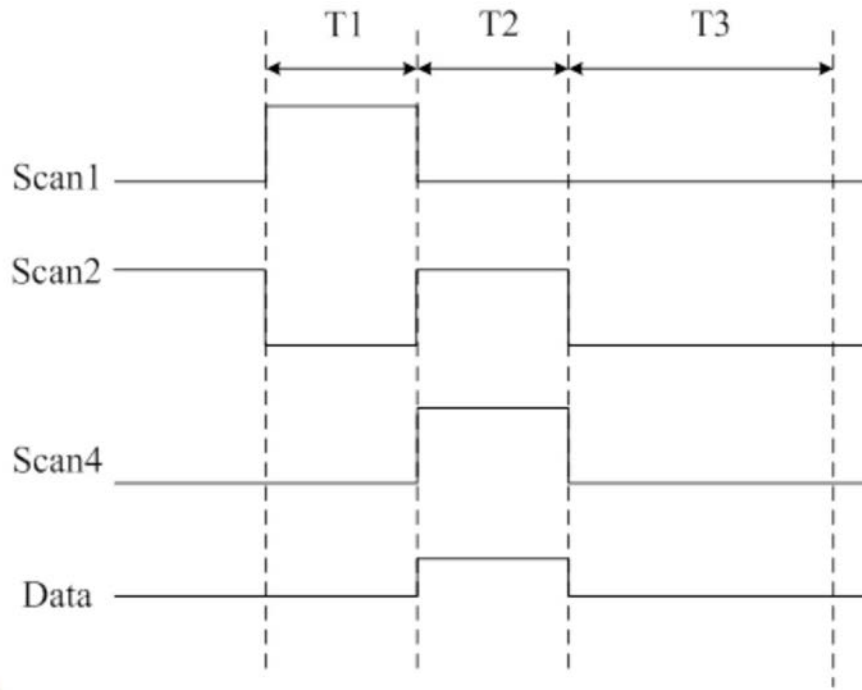


图5a

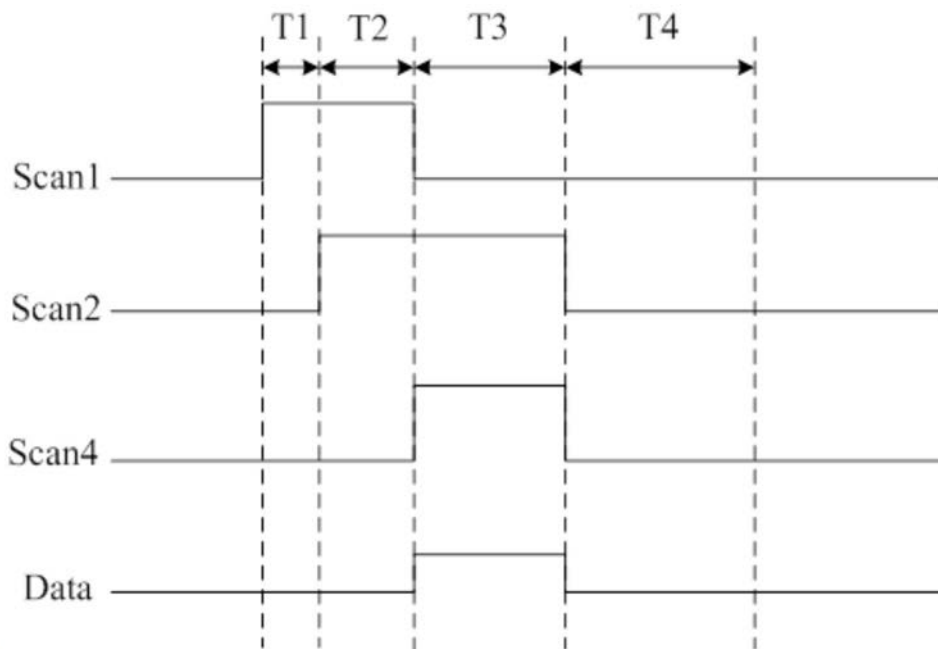


图5b

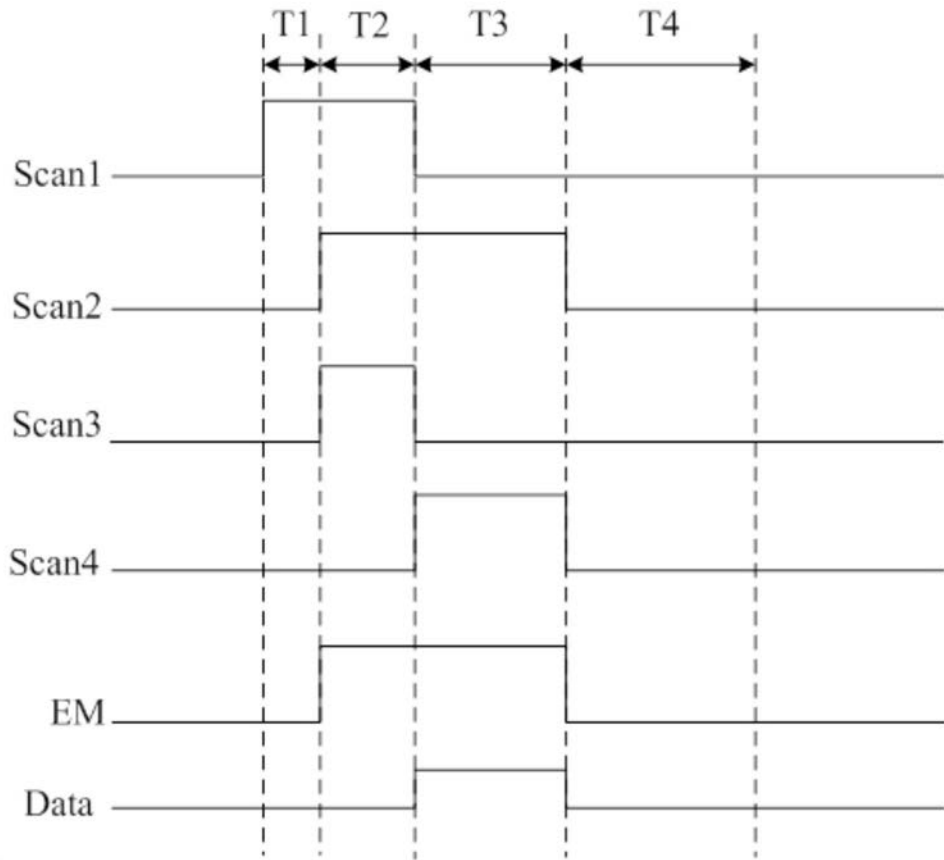


图5c

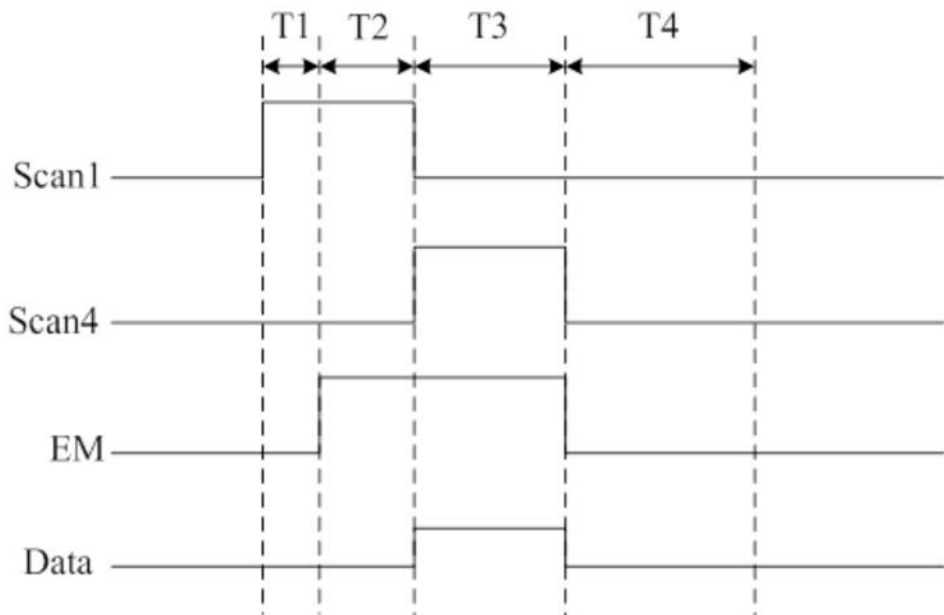


图5d

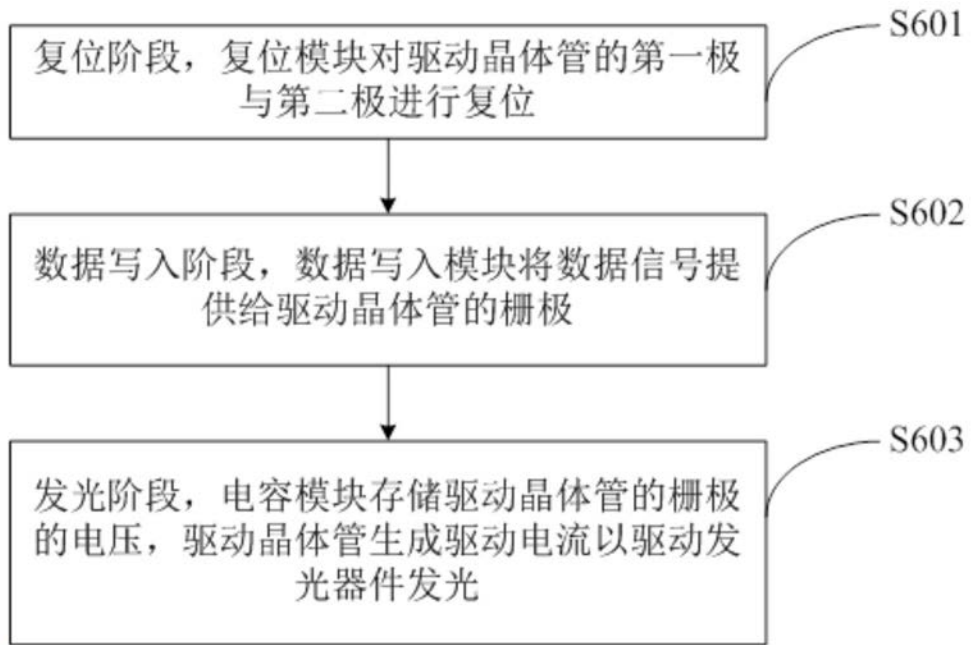


图6

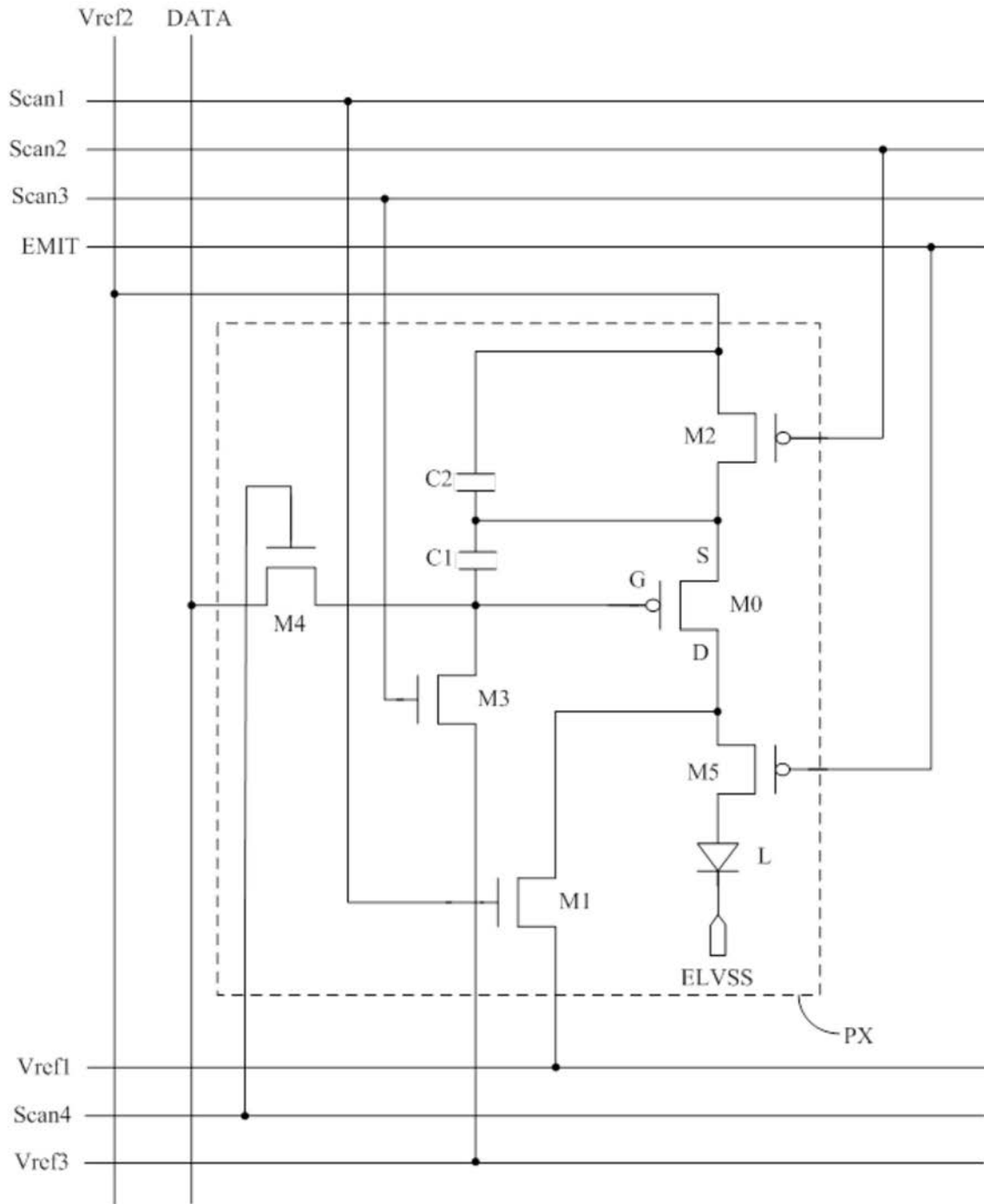


图7

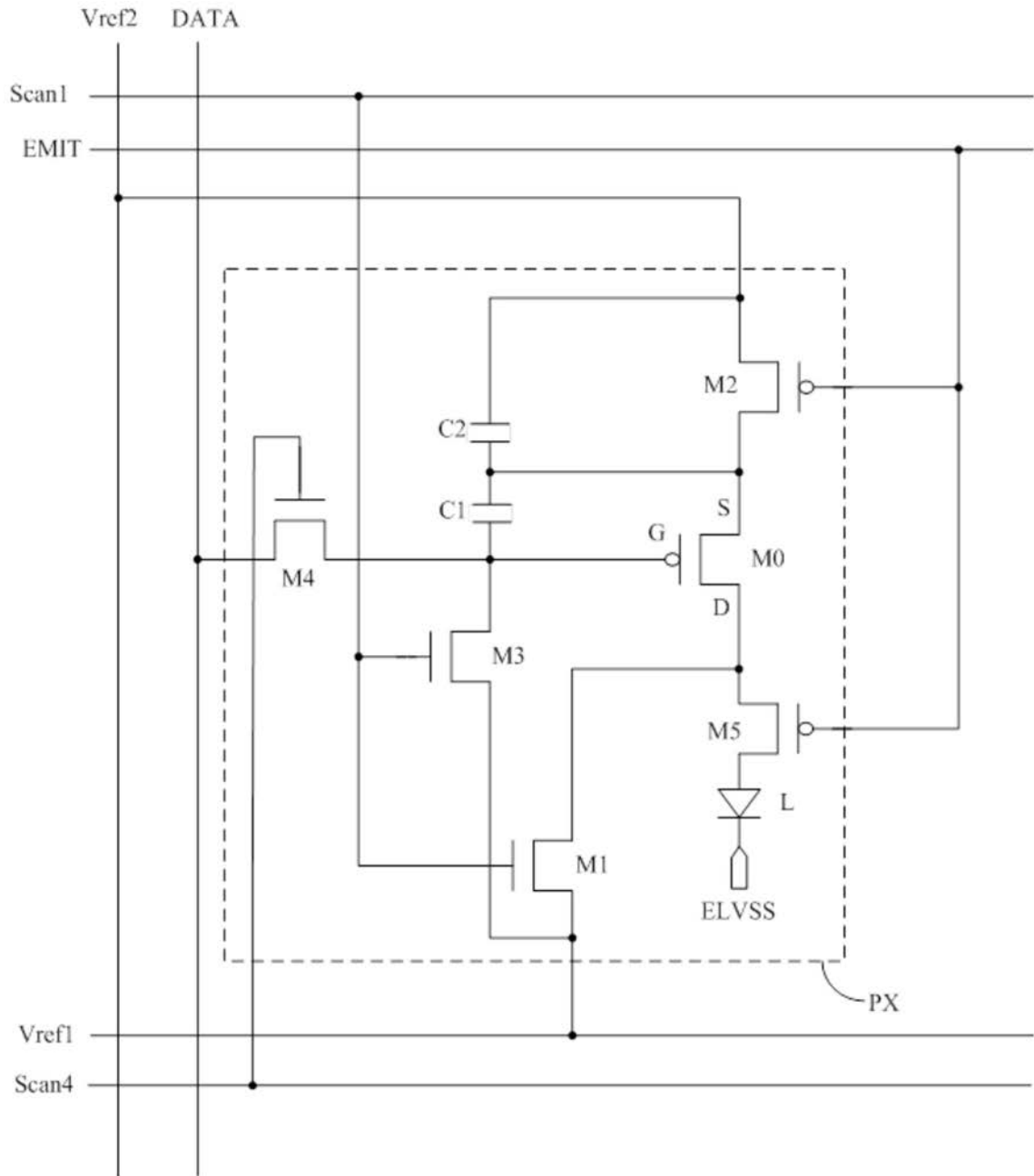


图8