

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3661704号
(P3661704)

(45) 発行日 平成17年6月22日(2005.6.22)

(24) 登録日 平成17年4月1日(2005.4.1)

(51) Int. Cl.⁷

H05K 3/46

F I

H05K 3/46

H

H05K 3/46

S

請求項の数 2 (全 9 頁)

<p>(21) 出願番号 特願平4-79952 (22) 出願日 平成4年4月1日(1992.4.1) (65) 公開番号 特開平5-283863 (43) 公開日 平成5年10月29日(1993.10.29) 審査請求日 平成11年3月26日(1999.3.26) 審判番号 不服2001-2270(P2001-2270/J1) 審判請求日 平成13年2月15日(2001.2.15)</p>	<p>(73) 特許権者 000006231 株式会社村田製作所 京都府長岡京市東神足1丁目10番1号 (72) 発明者 谷 広次 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内 (72) 発明者 西出 充良 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内 (72) 発明者 大下 一仁 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内</p>
---	--

最終頁に続く

(54) 【発明の名称】 多層セラミック基板

(57) 【特許請求の範囲】

【請求項1】

複数のセラミック層と複数の導体層を交互に積層し、焼成してなる多層セラミック基板において、

記複数の導体層が、厚さが異なる少なくとも2種類の導体層にて構成され、かつ、薄い方の導体層の厚さが0.8μm~5μmの範囲内であり、厚い方の導体層の厚さが6μm~15μmの範囲であるとともに、占有面積が広く、収縮応力歪を受け易い導体層を前記薄い方の導体層で構成したことを特徴とする多層セラミック基板。

【請求項2】

キャビティ部の配線用導体層を、厚さ0.8μm~5μmの範囲内の導体層としたことを特徴とする請求項1記載の多層セラミック基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、複数のセラミック層と複数の導体層を積層した多層セラミック基板に関する。

【0002】

【従来の技術と課題】

従来より、1000以下で焼結する低温焼結セラミックシートの表面に、導電性ペーストを印刷等の手段を用いて塗布した後、このセラミックシートを複数枚積み重ねて圧着し、焼成して多層セラミック基板としたものが知られている。導電性ペーストを焼成してな

る導体層の厚さは、6 ~ 10 μm 程度（蛍光X線測定器による測定値である。以下、厚さの数値は蛍光X線測定器による測定値とする。）である。

【0003】

ところで、セラミックシートと導電性ペーストは同時焼成されるので、両者の焼結温度及び収縮率の違いから、セラミック層と導体層の収縮応力歪が多層セラミック基板の内部に発生する。すなわち、多層セラミック基板において、導体層が偏在している部分や構造的に弱い部分に、基板のそり、変形が発生し易かった。

【0004】

そこで、本発明の課題は、焼成時の収縮応力歪が少なく、そりや変形のない多層セラミック基板を提供することにある。

【0005】

【課題を解決するための手段と作用】

以上の課題を解決するため、本発明に係る多層セラミック基板は、導電性ペーストによる複数の導体層が、厚さが異なる少なくとも2種類の導体層にて構成され、かつ、薄い方の導体層の厚さが0.8 ~ 5 μm の範囲内であるとともに、占有面積が広く、収縮応力歪を受け易い導体層を前記薄い方の導体層で構成したことを特徴とする。

多層セラミック基板が、例えば厚みの異なる2種類の導体層を備え、薄い方の導体層は0.8 ~ 5 μm の厚さを有し、厚い方の導体層は従来の導体層と同じ厚さの6 ~ 10 μm の厚さを有するとする。そして、占有面積が広く、収縮応力歪を受け易いシールド用導体層及びコンデンサ用導体層等、あるいは、構造的に弱いキャビティ部の配線用導体層等に対して薄い方の導体層を使用することにより、導体層とセラミック層の収縮応力歪が緩和される。なぜなら、薄い方の導体層は、従来の厚さの導体層と比較してセラミック層に追隨して拳動し易く、焼成時の収縮応力が小さいからである。

【0006】

また、占有面積が狭く、収縮応力歪を受けにくいコイル用導体層等に対して厚い方の導体層を使用することにより、多層セラミック基板の電気特性が確保される。

【0007】

【実施例】

以下、本発明に係る多層セラミック基板の実施例を添付図面を参照して説明する。

図1に示すように、多層セラミック基板1は、キャビティ部2、コイル部4、コンデンサ部6を内蔵したものである。キャビティ部2は、図示したIC部品60や表面波フィルタあるいはその他の部品が収納された空洞を備えている。このキャビティ部2はセラミックシート10, 11, 12, 13, 14と配線用導体層32, 33, 34, 35を交互に積層したものである。

【0008】

コイル部4はセラミックシート16, 17とコイル用導体層38を交互に積層したものである。

コンデンサ部6はセラミックシート18, 19, 20, 21とコンデンサ用導体層39, 40, 41, 42を交互に積層したものである。

キャビティ部2、コイル部4及びコンデンサ部6は、セラミックシート15, 22及びボンディング用導体層36、シールドグランド用導体層37, 43と共に、セラミックシートと導電層が交互に積層されるように配設されている。

【0009】

シールドグランド用導体層37の表面には、IC部品60が載置されている。IC部品の底面に設けた接続電極61は導体層37にダイボンドされており、上面に設けた接続電極63は金線64を介してボンディング用導体層36の表面にワイヤボンディングされている。

多層セラミック基板1の上面には外部電極31、側面には外部電極50、底面には外部電極51が設けられている。

【0010】

10

20

30

40

50

次に、以上の構成からなる多層セラミック基板 1 の製造手順について説明する。

セラミックシート 10 ~ 22 の材料として、例えば $BaO - Al_2O_3 - SiO_2$ 系の材料等を準備し、この材料を粉砕して溶剤と混練してグリーンシートを作製する。各グリーンシートの表面には、後述の印刷等の方法を用いて導電性ペーストを導体層 32 ~ 43 に要求される機能に適した厚さにて塗布する。導電性ペーストの材料としては、Cu, Ni 等の卑金属、又は、Au, Ag, Ag - Pd, Ag - Pt, W 等の貴金属（平均粒径 1 ~ 3 μm 、粒径範囲 0.1 ~ 10 μm のもの）からなる導電成分と、エトセル系又はアクリル系等のワニス樹脂と、テレピネオール系等の溶剤とを混練したものが使用される。なお、内部導体層用の導電性ペーストであるため、ガラス成分を含まないものが使用される。

【0011】

導電性ペーストを塗布されたセラミックシート 10 ~ 14 は、IC、表面波フィルタ、その他の部品等を収納するための空洞を形成するため、打ち抜き加工される。

次に、各セラミックシート 10 ~ 22 は積み重ねられ、圧着され積層体を形成する。この積層体の表面に外部電極 31, 50, 51 を印刷等の手段にて形成した後、1000 以下の温度で低温焼成して製品とする。

【0012】

次に、各導体層 32 ~ 43 の厚さコントロールの方法について説明する。

各導体層 32 ~ 43 の厚さのコントロール方法としては、例えば導電性ペーストの導電成分の含有率を変更させる方法がある。すなわち、導電性ペーストの導電成分の含有率を減少させると、導電性ペースト中の固形分が減少して液体分が増加する。焼結の際は液体分は蒸発し、固形分だけが残存して導体層を形成するので導体層の厚さは薄くなる。導電性ペーストの導電成分の含有率を 80 wt% から 10 ~ 50 wt% とすることにより、導体層の厚さを 6 ~ 10 μm から 0.8 ~ 5 μm にすることができる。

【0013】

また、別の方法として、導電性ペーストは通常のものを用い、印刷する際の条件を変更して各導体層 32 ~ 43 の厚さをコントロールする方法がある。例えば、表 1 に示すように、印圧、スキージスピード、スクリーン板と印刷面との隙間寸法、スクリーンの種類を変更することにより、導体層の厚さを 6 ~ 10 μm から 3 ~ 6 μm にすることができる。

【0014】

【表 1】

10

20

30

表 1

	試験例 1	試験例 2
印圧 (Kgf)	1 ~ 3	2 ~ 4
スカープスピード (cm/sec)	3 ~ 20	1 ~ 10
隙間寸法 (mm)	0.5 ~ 1.5	0.1 ~ 1.0
スクリーンの種類	ポリエステル (#250メッシュ)	ステンレス (#400メッシュ)
導体層厚さ (μm)	6 ~ 10	3 ~ 6

10

20

30

【0015】

次に、導電性ペーストの導電成分の含有率を変更させて、各導体層 3 2 ~ 4 3 の厚さが異なる多層セラミック基板の試験結果を表 2 に示す。

【0016】

【表 2】

表2

	導電性ペースト (導電成分含有率 (wt%))					試験結果		
	A	B	C	D	E	キャビティ部の 変形量(μm)	ボンディング性	電気特性
試料1 (従来例)	80	80	80	80	80	82	○	○
試料2	80	80	80	50	50	95	○	×
試料3	70	70	70	70	70	64	○	△
試料4	60	60	60	60	60	46	△	△
試料5	50	50	50	50	50	21	○	×
試料6	50	80	50	80	50	24	○	○
試料7	30	60	30	90	30	14	○	○
試料8	30	30	30	30	30	10	○	×

【0017】

表2において導電性ペーストの欄に表示されている「A」はキャビティ部2の配線用導体層32～35、「B」はボンディング用導体層36、「C」はシールドグランド用導体層37, 43、「D」はコイル部4のコイル用導体層38、「E」はコンデンサ部6のコンデンサ用導体層39～42を表しており、試験結果の欄に表示されている「○」印は合格、「×」印は不合格、「△」印は不合格ではあるが不具合が軽微な場合を表している。なお、表2には比較のため、従来の多層セラミック基板の試験結果を合わせて示している。そして、導電性ペーストの導電成分含有率が90wt%, 80wt%, 70wt%, 60wt%, 50wt%, 30wt%であるとき、それぞれによって形成される導体層の厚さは8～15μm、6～10μm、5～9μm、3～7μm、1～5μm、0.8～3μmとされる。

【0018】

表2には、キャビティ部2の配線用導体層32～35の厚さを薄くするにつれて、キャビティ部2の変形量が小さくなることが示されている。また、ボンディング用導体層36の厚さを厚くするにつれてボンディング性が向上することが示されている。さらに、コイル部4のコイル用導体層38の厚さを厚くするにつれて電気特性が向上することが示されている。

【0019】

10

20

30

40

50

以上の試験結果から、各導体層 3 2 ~ 4 3 の好ましい厚さをその効果と合わせて表 3 に示す。表 3 における「A」、「B」、「C」、「D」、「E」は、表 2 中の「A」~「E」と同様の内容を表わしている。

【0020】

【表3】

	厚さ (μm)		効果
	従来	本実施例	
A	6 ~ 10	0.8 ~ 5	キャピティ部の変形量が小さくなる
B	6 ~ 10	5 ~ 10	ボンディング性が向上する
C	6 ~ 10	0.8 ~ 5	基板のそり量が小さくなる
D	6 ~ 10	6 ~ 15	電気特性が向上する
E	6 ~ 10	0.8 ~ 5	基板のそり量が小さくなる

表 3

【0021】

キャピティ部 2 の配線用導体層 3 2 ~ 3 5、コンデンサ部 6 のコンデンサ用導体層 3 9 ~ 4 2 及びシールドグランド導体層 3 7, 4 3 の厚さを 0.8 ~ 5 μm にすることにより、キャピティ部 2 の変形量や多層セラミック基板 1 のそり量を小さくすることができる。また、ボンディング用導体層 3 6 の厚さを 5 ~ 10 μm にすることにより、ボンディング性が向上する。一方、コイル部 4 のコイル用導体層 3 8 は、占有面積が狭く、収縮応力歪も受けにくいいため、逆に厚さを 6 ~ 15 μm と厚くして抵抗値を低くし、電気特性を向上させる。こうして、焼成時の収縮応力歪が少なく、そりや変形のない多層セラミック基板が得られる。

【0022】

10

20

30

40

50

なお、本発明に係る多層セラミック基板は前記実施例に限定するものではなく、その要旨の範囲内で種々に変形することができる。特に、各導体層の厚さをコントロールする方法としては、さらに導電性ペーストの粘度をコントロールする方法がある。すなわち、導電性ペーストの粘度を高くすると印刷された導電性ペーストの膜厚は厚くなり、粘度を低くすると印刷された導電性ペーストの膜厚は薄くなることを利用するものである。

【0023】

【発明の効果】

以上の説明で明らかのように、本発明によれば、導電性ペーストによる複数の導体層を厚さの異なる少なくとも2種類の導体層にて構成し、かつ、薄い方の導体層の厚さを0.8 ~ 5 μm とし、厚い方の導体層の厚さを6 ~ 15 μm としたので、占有面積が広く、吸収応力歪を受け易い導体層、あるいは、構造的に弱いキャビティ部の配線用導体層等には薄い方の導体層を使用することにより、変形やそりのない多層セラミック基板を得ることができる。また、占有面積が狭く、かつ、収縮応力歪を受けにくい導体層には厚い方の導体層を使用することにより、電気特性等を向上させることができる。

10

【0024】

この結果、設計に際して、導体層の位置やキャビティ部の構造等の制約が少ない多層セラミック基板が得られる。

【図面の簡単な説明】

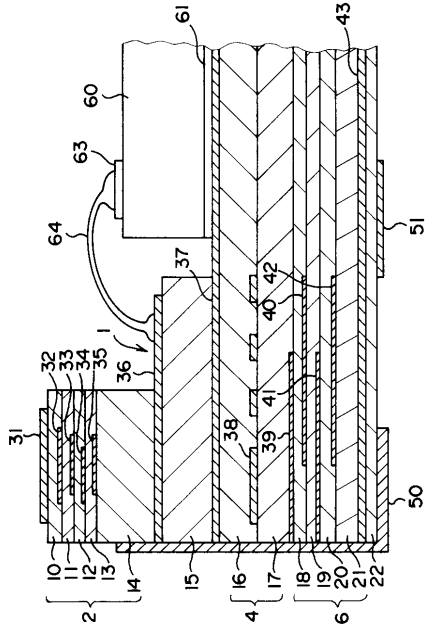
【図1】本発明に係る多層セラミック基板の一実施例を示す断面図。

【符号の説明】

20

- 1 ... 多層セラミック基板
- 10 ~ 22 ... セラミックシート
- 32, 33, 34, 35 ... キャビティ部配線用導体層
- 36 ... ボンディング用導体層
- 37 ... シールドグランド用導体層
- 38 ... コイル用導体層
- 39, 40, 41, 42 ... コンデンサ用導体層
- 43 ... シールドグランド用導体層

【図 1】



フロントページの続き

合議体

審判長 大野 覚美

審判官 増岡 亘

審判官 ぬで島 慎二

- (56)参考文献 特開平1 - 120802 (JP, A)
特開平1 - 194393 (JP, A)
特開昭63 - 215029 (JP, A)
特開平3 - 290266 (JP, A)