



(12) 发明专利申请

(10) 申请公布号 CN 117178267 A

(43) 申请公布日 2023. 12. 05

(21) 申请号 202280029739.8

(22) 申请日 2022.04.18

(30) 优先权数据

LU500060 2021.04.20 LU

(85) PCT国际申请进入国家阶段日

2023.10.19

(86) PCT国际申请的申请数据

PCT/US2022/071782 2022.04.18

(87) PCT国际申请的公布数据

W02022/226486 EN 2022.10.27

(71) 申请人 微软技术许可有限责任公司

地址 美国华盛顿州

(72) 发明人 J·莫拉

(74) 专利代理机构 北京世辉律师事务所 16093

专利代理师 李峥宇

(51) Int.Cl.

G06F 12/02 (2006.01)

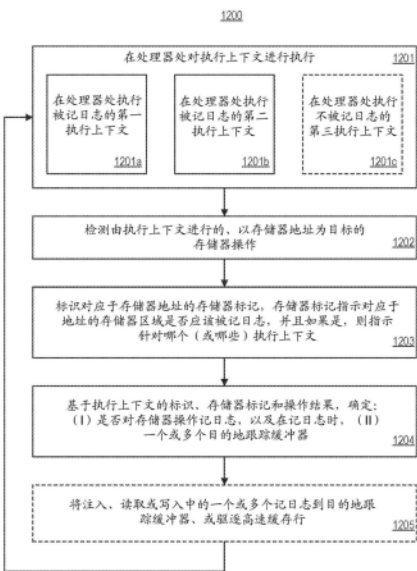
权利要求书3页 说明书31页 附图12页

(54) 发明名称

处理器支持使用存储器页标记作为记日志提示以将多个执行上下文同时记录到独立的执行跟踪中

(57) 摘要

使用存储器标记将多个执行上下文记录到独立的跟踪中。处理器检测存储器操作并且从第一标记以及第二标记中标识相关联的存储器标记,该第一标记指示第一存储器区域针对第一上下文被记日志,该第二标记指示第二存储器区域针对第二上下文被记日志。基于将存储器标记标识为第二标记并且基于第一上下文导致存储器操作,处理器执行以下中的至少一个:在存储器操作导致到高速缓存中的注入时,将注入记日志到与第二上下文相关联的第二跟踪;在存储器操作是读取时,将读取记日志到与第一上下文相关联的第一跟踪;或者在存储器操作是写入时,执行将写入记日志到第二跟踪或驱逐目标高速缓存行中的一个。



1. 一种处理器(102), 包括:

处理单元(106);

存储器高速缓存(107); 以及

控制逻辑(109b), 所述控制逻辑(109b)配置所述处理器以通过以下将多个执行上下文记录到独立的执行跟踪中:

检测(120)由在所述处理器处执行的第一执行上下文的执行引起的第一存储器操作, 所述第一存储器操作以第一存储器地址为目标;

基于检测到所述第一存储器操作, 标识(121)针对所述第一存储操作的第一对应存储器标记, 所述第一对应存储器标记是多个存储器标记中的一个, 所述多个存储器标记包括:

(i) 第一存储器标记, 所述第一存储器标记指示第一存储器区域(801b-1)针对所述第一执行上下文被记日志, 所述第一执行上下文的执行被记录到第一跟踪缓冲器中; 以及(ii) 第二存储器标记, 所述第二存储器标记指示第二存储器区域(801b-2)针对第二执行上下文被记日志, 所述第二执行上下文的执行被记录到第二跟踪缓冲器中; 以及

基于将所述第一对应存储器标记标识为是所述第二存储器标记, 并且基于由所述第一执行上下文的执行引起的所述第一存储器操作, 执行(122)以下至少一项:

(i) 在所述第一存储器操作导致到所述存储器高速缓存中的第一注入时, 发起将所述第一注入记日志到所述第二跟踪缓冲器;

(ii) 在所述第一存储器操作是从所述存储器高速缓存的第一读取时, 发起将所述第一读取记日志到所述第一跟踪缓冲器; 或者

(iii) 在所述第一存储器操作是向所述存储器高速缓存的第一写入时, 执行以下中的一项: (a) 发起将所述第一写入记日志到所述第二跟踪缓冲器, 或者(b) 驱逐作为所述第一写入的目标的第一高速缓存行。

2. 根据权利要求1所述的处理器, 其中所述第一存储器操作导致到所述存储器高速缓存中的所述第一注入, 并且所述控制逻辑使所述处理器发起将所述第一注入记日志到所述第二跟踪缓冲器。

3. 根据权利要求1或权利要求2中任一项所述的处理器, 其中所述第一存储器操作是从所述存储器高速缓存的所述第一读取, 并且所述控制逻辑使所述处理器发起将所述第一读取记日志到所述第一跟踪缓冲器。

4. 根据权利要求1或权利要求2中任一项所述的处理器, 其中所述第一存储器操作是向所述存储器高速缓存的所述第一写入, 并且所述控制逻辑使所述处理器发起将所述第一写入记日志到所述第二跟踪缓冲器。

5. 根据权利要求1或权利要求2中任一项所述的处理器, 其中所述第一存储器操作是向所述存储器高速缓存的所述第一写入, 并且所述控制逻辑使所述处理器驱逐作为所述第一写入的目标的所述第一高速缓存行。

6. 根据前述权利要求中任一项所述的处理器, 其中所述控制逻辑还将所述处理器配置为:

检测由所述第二执行上下文的执行引起的第二存储器操作, 所述第二存储器操作以第二存储器地址为目标;

基于检测到所述第二存储器操作, 标识针对所述第二存储器操作的第二对应存储器标

记,所述第二对应存储标记是所述多个存储器标记中的一个;以及

基于将所述第二对应存储器标记标识为是所述第一存储器标记,并且基于由所述第二执行上下文的执行引起的所述第二存储器操作,执行以下至少一项:

(i) 在所述第二存储器操作导致到所述存储器高速缓存中的第二注入时,发起将所述第二注入记日志到所述第一跟踪缓冲器;

(ii) 在所述第二存储器操作是从所述存储器高速缓存的第二读取时,发起将所述第二读取记日志到所述第二跟踪缓冲器;或

者

(iii) 在所述第二存储器操作是向所述存储器高速缓存的第二写入时,执行以下中的一项: (a) 发起将所述第二写入记日志到所述第一跟踪缓冲器,或者 (b) 驱逐作为所述第二写入的目标的第二高速缓存行。

7. 根据权利要求6所述的处理器,其中所述第二存储器操作导致到所述存储器高速缓存中的所述第二注入,并且所述控制逻辑使所述处理器发起将所述第二注入记日志到所述第一跟踪缓冲器。

8. 根据权利要求6或权利要求7中任一项所述的处理器,其中所述第二存储器操作是从所述存储器高速缓存的所述第二读取,并且所述控制逻辑导致所述处理器发起将所述第二读取记日志到所述第二跟踪缓冲器。

9. 根据权利要求6或权利要求7中任一项所述的处理器,其中所述第二存储器操作是向所述存储器高速缓存的所述第二写入,并且所述控制逻辑使所述处理器发起将所述第二写入记日志到所述第一跟踪缓冲器。

10. 根据权利要求6或权利要求7中任一项所述的处理器,其中所述第二存储器操作是向所述存储器高速缓存的所述第二写入,并且所述控制逻辑使所述处理器驱逐作为所述第二写入的目标的第二高速缓存行。

11. 根据权利要求1至5中任一项所述的处理器,其中所述多个存储器标记还包括: (iii) 第三存储器标记,所述第三存储器标记指示第三存储器区域(801b-3)针对所述第一执行上下文和所述第二执行上下文两者被记日志,并且其中所述控制逻辑还将所述处理器配置为:

检测由所述第一执行上下文的执行引起的第二存储器操作,所述第二存储器操作以第二存储器地址为目标;

基于检测到所述第二存储器操作,标识针对所述第二存储器操作的第二对应存储标记,所述第二对应存储标记是所述多个存储器标记中的一个;以及

基于将所述第二对应存储标记标识为是所述第三存储器标记,并且基于由所述第一执行上下文的执行引起的所述第二存储器操作,执行以下至少一项:

(i) 在所述第二存储器操作导致到所述存储器高速缓存中的第二注入时,发起将所述第二注入记日志到所述第一跟踪缓冲器和所述第二跟踪缓冲器两者;或者

(ii) 在所述第二存储器操作是向所述存储器高速缓存的第二写入时,发起将所述第二写入记日志到所述第二跟踪缓冲器。

12. 根据权利要求11所述的处理器,其中所述第二存储器操作导致到所述存储器高速缓存中的所述第二注入,并且所述控制逻辑使所述处理器发起将所述第二注入记日志到所

述第一跟踪缓冲器和所述第二跟踪缓冲器两者。

13. 根据权利要求11或权利要求12中任一项所述的处理器, 其中所述第二存储器操作是向所述存储器高速缓存的所述第二写入, 并且所述控制逻辑使所述处理器发起将所述第二写入记日志到所述第二跟踪缓冲器。

14. 根据权利要求1至5中任一项所述的处理器, 其中所述控制逻辑还将所述处理器配置为:

检测由第三执行上下文的执行引起的第二存储器操作, 所述第二存储器操作以第二存储器地址为目标;

基于检测到所述第二存储器操作, 标识针对所述第二存储器操作的第二对应存储器标记, 所述第二对应存储器标记是所述多个存储器标记中的一个; 以及

基于将所述第二对应存储器标记标识为是所述第一存储器标记, 并且基于由所述第三执行上下文的执行引起的所述第二存储器操作, 执行以下至少一项:

(i) 在所述第二存储器操作导致到所述存储器高速缓存中的第二注入时, 发起将所述第二注入记日志到所述第一跟踪缓冲器; 或者

(ii) 在所述第二存储器操作是向所述存储器高速缓存的第二写入时, 执行以下中的一项: (a) 发起将所述第二写入记日志到所述第一跟踪缓冲器, 或者 (b) 驱逐作为所述第二写入的目标的第二高速缓存行。

15. 根据权利要求1至5中任一项所述的处理器, 其中所述控制逻辑还将所述处理器配置为:

检测由所述第一执行上下文的执行引起的第二存储器操作, 所述第二存储器操作以第二存储器地址为目标;

基于检测到所述第二存储器操作, 标识针对所述第二存储器操作的第二对应存储器标记, 所述第二对应存储器标记是所述多个存储器标记中的一个; 以及

基于将所述第二对应存储器标记标识为是所述第一存储器标记, 基于由所述第一执行上下文的执行引起的所述第二存储器操作, 并且基于所述第二存储器操作导致到所述存储器高速缓存中的第二注入, 发起将所述第二注入记日志到所述第一跟踪缓冲器。

处理器支持使用存储器页标记作为记日志提示以将多个执行上下文同时记录到独立的执行跟踪中

技术领域

[0001] 本公开涉及基于对处理器高速缓存活动记日志来记录可重放执行跟踪的系统、方法和设备。

背景技术

[0002] 追踪和纠正不期望的软件行为是软件开发中的核心活动。不期望的软件行为可能包括许多事情,诸如执行崩溃、运行时异常、缓慢的执行性能、错误的数据结果、数据损坏等。不期望的软件行为是由各种因素触发,诸如数据输入、用户输入、竞争条件(例如,在访问共享资源时)等。考虑到触发的多样性,不期望的软件行为通常是罕见的,并且看起来是随机的,而且极难再现。因此,开发人员标识给定的不期望软件行为通常非常耗时和困难。一旦已标识出不期望的软件行为,确定其(一个或多个)根本原因通常也是耗时且困难的。

[0003] 开发人员使用各种方法来标识不期望的软件行为,然后在应用代码中标识导致不期望软件行为的一个或多个位置。例如,开发人员经常针对不同的输入测试应用代码的不同部分(例如,单元测试)。作为另一个例子,开发人员经常对调试器中应用代码的执行进行推理(例如,通过设置断点/观察点、在代码执行时逐步通过代码行等)。作为另一个例子,开发人员经常在分析器(profiler)中观察代码执行行为(例如,定时、覆盖)。另一个例子是,开发人员经常在应用的代码中插入诊断代码(例如,跟踪语句)。

[0004] 虽然传统的诊断工具(如调试器、分析器等)已对“实时”正向执行代码操作,但一种新兴形式的诊断工具实现了“历史”调试(也称为“时间旅行”或“反向”调试),其中执行上下文的至少一部分的执行被记录到一个或多个跟踪文件中(即执行跟踪)。使用一些跟踪技术,执行跟踪可以包含“位准确”的历史执行跟踪数据,这使得被跟踪的执行上下文的任何记录部分能够被虚拟地向下“重放”(例如,通过仿真)到单个指令的粒度(例如,机器代码指令、中间语言代码指令等)。因此,与限于“实时”前向执行的传统调试相反,使用位准确的跟踪数据,诊断工具使开发人员能够推断对象执行上下文的记录的先前执行。例如,使用可重放的执行跟踪,一些历史调试器提供了使得实现正向和反向断点/观察点、使得代码能够在正向和反向两者中逐步通过的用户体验,等等。另一方面,一些历史分析器能够从先前执行的代码中得出代码执行行为(例如,定时、覆盖)。

[0005] 一些记录执行跟踪的技术主要基于处理器记录检测并发起其存储器高速缓存的注入的记日志。然而,由于现代处理器通常以数万到数十万MIPS(每秒百万个指令)的速率执行,因此程序线程的可重放执行跟踪可以捕获大量信息,即使只捕获线程执行的一秒的一小部分。因此,可重放执行跟踪在存储器和/或磁盘上的大小会迅速变得非常大。

发明内容

[0006] 虽然产生位准确跟踪的已知的基于处理器的跟踪技术可以将多个执行上下文(例如线程)的同时/交错执行记录到公共跟踪缓冲器中,这些基于处理器的位准确跟踪技术无

法将多个执行上下文的同时/交错执行记录到单独且不同的可重放跟踪中——尤其是当这些执行上下文与公共共享存储器交互时。在这种情况下,大部分因为这些现有技术都不能从多个跟踪数据流当中确定给定高速缓存行的数据应该被记日志到其中的特定跟踪数据流——并且特别地,当该跟踪数据流不是与当前执行上下文相关联的跟踪数据时(例如,因为高速缓存行对应于由多于一个执行上下文共享的共享存储器)。因此,当记录多个执行上下文时,这些已知的位准确跟踪技术仅限于将所有被跟踪的执行上下文记录到同一执行跟踪中。

[0007] 为了克服这些限制,本文描述的至少一些实施例涉及处理器支持,用于将多个执行上下文的同时/交错执行记录到对应的可独立重放的执行跟踪中。概念上,这些实施例涉及跟踪由给定执行上下文的执行导致的存储器操作(无论该执行上下文是否正在被跟踪)是否(i)将存储器数据注入高速缓存或(ii)修改已经高速缓存的存储器数据,其中所述存储器数据与正在跟踪其执行的任何其他执行上下文相关联。当执行上下文的执行确实导致注入或修改与正在跟踪其执行的另一执行上下文相关联的存储器数据的存储器操作时,这些实施例将存储器操作的效果记录到对应于适当被跟踪的执行上下文的专用执行跟踪中。当这些实施例本身与由被跟踪的执行上下文的执行所导致的附加的基于高速缓存的、到其对应的执行跟踪中的记日志结合时,每个记录的执行跟踪存储足够的数据,以再现高速缓存状态,该高速缓存状态被需要以支持重放该执行跟踪的对应执行上下文实际执行的所有存储器操作。因此,这些实施例使得可独立重放的执行跟踪能够在多个执行上下文的同时/交错执行期间被记录。

[0008] 一些实施例针对处理器支持,用于使用高速缓存路锁定将多个执行上下文同时记录到独立的执行跟踪中。在这些实施例中,存储器高速缓存中的一个或多个路的多个集合中的每一个都锁定到多个被跟踪的执行上下文中的对应一个。通常,当除了特定路集合被锁定到的特定执行上下文之外的任何执行上下文导致到该特定路集合中的注入或写入时,这些实施例将注入/写入记日志到特定执行上下文的执行跟踪中。当本身与记录由每个被跟踪的执行上下文的执行导致的存储器操作的其他高速缓存路锁定跟踪技术相结合时,这些实施例使得每个执行跟踪能够包含足以重放执行跟踪的对应被跟踪的执行上下文的存储器操作的存储器数据。因此,这些实施例利用存储器高速缓存路锁定特征来确定应当将给定存储器操作的效果记录到其中的执行跟踪,以便实现在多个执行上下文的同时/交错执行期间有效地记录可独立重放的执行跟踪的技术效果。

[0009] 根据上述内容,一些实施例涉及使用高速缓存路锁定将多个执行上下文同时记录到独立执行跟踪中的方法、系统和计算机程序产品。在一个实施方式中,一种处理器包括处理单元和存储器高速缓存。处理器还包括控制逻辑,该控制逻辑(109b)配置处理器以将存储器高速缓存划分为多个存储器高速缓存子集。所述多个存储器高速缓存子集包括:(i)第一存储器高速缓存子集,包括被锁定到第一执行上下文的第一存储器高速缓存路集合该第一执行上下文的执行正被记录到第一跟踪缓冲器中,以及(ii)第二存储器高速缓存子集,包括被锁定到第二执行上下文的第二存储器高速缓存路集合,所述第二执行上下文的执行正被记录到第二跟踪缓冲器中。控制逻辑还将处理器配置为检测由第一执行上下文执行的、到第二存储器高速缓存子集中的存储器操作。控制逻辑还将处理器配置为响应于检测到存储器操作,执行以下中的至少一个:(i)在存储器操作导致到第二存储器高速缓存子集

中的注入时,发起将注入记日志到所述第二跟踪缓冲器;(ii)在第一存储器操作是从第二存储器高速缓存子集的读取时,发起将所述读取记日志到第一跟踪缓冲器;或(iii)在存储器操作是向第二存储器高速缓存子集的写入时,执行以下中的一个:(a)发起将写入记日志到第二跟踪缓冲器,或(b)驱逐作为写入的目标的高速缓存行。

[0010] 其他实施例针对处理器支持,使用存储器页标记作为记日志提示,将多个执行上下文同时记录到独立的执行跟踪中。在这些实施例中,不同的存储器区域(例如页)被加标签为针对多个执行上下文中的一个或多个被记日志,或被加标签为不被记日志。通常,当除了特定存储器区域被标记为被记日志的特定执行上下文之外的任何执行上下文导致从该特定存储器区域注入或写入该特定存储器区时,这些实施例将注入/写入记日志到特定执行上下文的执行跟踪中。当本身与记录由每个被跟踪的执行上下文的执行导致的存储器操作的其他存储器页标记跟踪技术相结合时,这些实施例使得每个执行跟踪能够包含足以重放执行跟踪的对应被跟踪的执行上下文的存储器操作的存储器数据。因此,这些实施例利用存储器页标记作为记日志提示来确定应当将给定存储器操作的效果记录到其中的执行跟踪,以便实现在多个执行上下文的同时/交错执行期间有效地记录可独立重放的执行跟踪的技术效果。

[0011] 根据前述内容,一些实施例涉及用于使用存储器页标记作为记日志提示来同时将多个执行上下文记录到独立执行跟踪中的方法、系统和计算机程序产品。在实施方式中,处理器包括处理单元和存储器高速缓存。处理器还包括控制逻辑,该控制逻辑配置处理器以检测由第一执行上下文的执行引起的存储器操作。存储器操作以存储器地址为目标。控制逻辑还配置处理器以基于检测到存储器操作,标识存储器操作的对应存储器标记。对应存储器标记是多个存储器标记中的一个存储器标记,多个存储器标记包括:(i)第一存储器标记,指示第一存储器区域针对第一执行上下文被记日志,以及(ii)第二存储器标记,指示第二存储器区域针对第二执行上下文被记日志。第一执行上下文的执行被记录到第一跟踪缓冲器中,并且第二执行上下文的执行被记录到第二跟踪缓冲器中。控制逻辑还配置处理器以,基于将对应存储器标记标识为是第二存储器标记,并且基于由第一执行上下文的执行引起的存储器操作,执行以下中的至少一个:(i)在存储器操作导致到存储器高速缓存中的注入时,发起将注入记日志到第二跟踪缓冲器;(ii)在存储器操作是从存储器高速缓存的读取时,发起将读取记日志到第一跟踪缓冲器;或(iii)在存储器操作是向存储器高速缓存的写入时,执行以下中的一个:(a)发起将写入记日志到第二跟踪缓冲器,或(b)驱逐作为写入的目标的高速缓存行。

[0012] 提供本方面内容是为了以简化的形式介绍概念的选择,这些概念将在下面的具体实施方式中进一步描述。本方面内容不旨在标识所要求保护的主题的关键特征或基本特征,也不旨在用作确定所要求保护主题的范围的辅助。

附图说明

[0013] 为了描述能够获得本发明的上述和其他优点和特征的方式,对以上简要描述的本发明的更具体的描述将通过参考附图中所示的其具体实施例来呈现。理解的是,这些附图仅描绘了本发明的典型实施例,因此不应被认为是对其范围的限制,将通过使用附图以附加的具体性和细节来描述和解释本发明,其中:

[0014] 图1A示出了一个示例计算环境,该环境有助于以下中的一个或多个:(i)使用高速缓存路锁定将多个执行上下文同时记录到独立的执行跟踪中,或(ii)使用存储器页标记作为记日志提示将多个执行上下文同时记录到独立的执行跟踪;

[0015] 图1B示出了处理器控制逻辑的示例,该逻辑使用高速缓存路锁定将多个执行上下文同时记录到独立的执行跟踪中;

[0016] 图1C示出了处理器控制逻辑的示例,该逻辑使用存储器页标记作为记日志提示,以将多个执行上下文同时记录到独立的执行跟踪中;

[0017] 图2示出了一个演示多级别存储器高速缓存的示例环境;

[0018] 图3示出了一个存储器高速缓存的示例;

[0019] 图4示出了一个执行跟踪的示例;

[0020] 图5示出了一个集合关联高速缓存映射的示例,其中系统存储器中的不同位置注入存储器高速缓存中的对应集合;

[0021] 图6示出了物理到虚拟存储器地址空间映射的示例,包括使用存储器标记作为记日志提示;

[0022] 图7示出了为不同的被跟踪的执行上下文保留存储器高速缓存路的单独子集的示例;

[0023] 图8示出了物理到虚拟存储器地址空间映射的示例,包括使用存储器标记作为多个执行上下文的记日志提示;

[0024] 图9示出了一个记日志操作的示例矩阵,用于使用路锁定将多个执行上下文同时执行记录到可独立重放的执行跟踪中;

[0025] 图10示出了使用存储器页标记作为记日志提示以将多个执行上下文同时执行记录到可独立重放的执行跟踪中的记日志动作的示例矩阵;

[0026] 图11示出了使用高速缓存路锁定将多个执行上下文同时记录到独立的执行跟踪中的示例方法的流程图;和

[0027] 图12示出了一个示例方法的流程图,该方法用于使用存储器页标记作为记日志提示,以将多个执行上下文同时记录到独立的执行跟踪中。

具体实施方式

[0028] 图1A示出了一个示例计算环境100,该环境有助于(i)使用高速缓存路锁定将多个执行上下文同时记录到独立的执行跟踪中,或(ii)使用存储器页标记作为记日志提示,以将多个执行上下文同时记录到独立的执行跟踪中。如图所示,计算环境100包括计算机系统101(例如,专用或通用计算设备),其包括被配置为参与记录位准确的执行跟踪的处理器102(或多个处理器),包括将多个执行上下文的同时/交错执行记录到对应的可独立重放的执行跟踪中。如图所示,除了处理器102之外,计算机系统101还包括系统存储器103和持久存储104,它们使用至少一个通信总线105通信地相互耦合并耦合到处理器102。

[0029] 本发明范围内的实施例可以包括用于携带或存储计算机可执行指令和/或数据结构的物理和其他计算机可读介质。这种计算机可读介质可以是可由通用或专用计算机系统访问的任何可用介质。存储计算机可执行指令和/或数据结构的计算机可读介质是计算机存储介质。携带计算机可执行指令和/或数据结构的计算机可读介质是传输介质。因此,

作为示例而非限制,本发明的实施例可以包括至少两种截然不同的计算机可读介质:计算机存储介质和传输介质。

[0030] 计算机存储介质是存储计算机可执行指令和/或数据结构的物理存储介质(例如,系统存储器103和/或持久存储104)。物理存储介质包括计算机硬件,诸如RAM、ROM、EEPROM、固态驱动器(“SSD”)、闪存、相变存储器(“PCM”)、光盘存储、磁盘存储或其他磁存储设备,或可用于以计算机可执行指令或数据结构形式存储程序代码的任何其他硬件存储设备,其可以由通用或专用计算机系统访问和执行以实现本发明公开的功能。

[0031] 传输介质可以包括网络和/或数据链路,其可以用于携带计算机可执行指令或数据结构形式的程序代码,并且可以由通用或专用计算机系统访问。“网络”被定义为使得实现在计算机系统和/或模块和/或其他电子设备之间的电子数据的传递的一个或多个数据链路。当信息通过网络或另一通信连接(硬接线、无线或硬接线或无线的组合)传送或提供给计算机系统时,计算机系统可以将该连接视为传输介质。以上的组合也应包括在计算机可读介质的范围内。

[0032] 此外,在到达各种计算机系统组件时,计算机可执行指令或数据结构形式的程序代码可以自动地从传输介质传送到计算机存储介质(反之亦然)。例如,通过网络或数据链路接收的计算机可执行指令或数据结构可以被缓冲在网络接口模块(未示出)内的RAM中,然后最终被传送到计算机系统RAM(例如,系统存储器103)和/或计算机系统处的易失性较低的计算机存储介质(例如,持久存储104)。因此,应该理解的是,计算机存储介质可以包括在也(甚至主要)利用传输介质的计算机系统组件中。

[0033] 计算机可执行指令包括例如指令和数据,该指令和数据当在一个或多个处理器处执行时,使通用计算机系统、专用计算机系统或专用处理设备执行某一功能或功能组。计算机可执行指令可以是,例如,机器代码指令(例如,二进制)、诸如汇编语言的中间格式指令,或者甚至是源代码。

[0034] 本领域技术人员将理解,本发明可以在具有许多类型的计算机系统配置的网络计算环境中实践,包括个人计算机、台式计算机、膝上型计算机、消息处理器、手持设备、多处理器系统、基于微处理器或可编程消费者电子设备、网络PC、小型计算机、大型计算机、移动电话、PDA、平板电脑、寻呼机、路由器、交换机等。本发明也可以在分布式系统环境中实践,在该分布式系统中通过网络连接(通过硬连线数据链路、无线数据链路或硬连线和无线数据链路的组合)的本地和远程计算机系统都执行任务。因此,在分布式系统环境中,计算机系统可以包括多个组成计算机系统。在分布式系统环境中,程序模块可以位于本地和远程存储器存储设备中。

[0035] 本领域技术人员还将理解,本发明可以在云计算环境中实践。云计算环境可以是分布式的,尽管这不是必需的。当被分布时,云计算环境可以在一个组织内在国际间分布和/或具有跨多个组织拥有的组件。在本说明书和以下权利要求中,“云计算”被定义为用于实现对可配置计算资源(例如,网络、服务器、存储、应用和服务)的共享池的按需网络访问的模型。“云计算”的定义并不局限于在适当部署时可以从这样的模型中获得的其他众多优势。

[0036] 云计算模型可以由各种特性组成,诸如按需自服务、广泛的网络访问、资源池、快速弹性、测量服务等。云计算模型也可以采用各种服务模型的形式,诸如软件即服务

(“SaaS”)、平台即服务 (“PaaS”) 和基础设施即服务 (“IaaS”)。云计算模型也可以使用不同的部署模型来部署, 诸如私有云、社区云、公共云、混合云等等。

[0037] 一些实施例, 诸如云计算环境, 可以包括一个系统, 该系统包括一个或多个主机, 每个主机都能够运行一个或多个虚拟机。在操作期间, 虚拟机模拟操作计算系统, 支持操作系统, 可能还支持一个或多个其他应用。在一些实施例中, 每个主机都包括管理程序, 该管理程序使用从虚拟机视角抽象的物理资源来模拟虚拟机的虚拟资源。该管理程序还提供虚拟机之间的适当隔离。因此, 从任何给定虚拟机的视角来看, 管理程序提供了虚拟机正在与物理资源对接的错觉, 即使虚拟机只与物理资源的外观 (例如, 虚拟资源) 对接。物理资源的示例包括处理能力、存储器、磁盘空间、网络带宽、媒体驱动器等。

[0038] 如图1A所示, 在实施例中, 处理器102包括处理单元106 (或多个处理单元)、存储器高速缓存107 (或多个存储器高速缓存)、转译后备缓冲器 (TLB) 108 (或多个TLB), 以及控制逻辑109 (例如, 门逻辑、可执行微代码等)。每个处理单元106 (例如, 处理器核心) 在多个执行单元106b中的至少一个执行单元上加载并执行机器代码指令。在执行这些机器代码指令期间, 指令可以使用寄存器106a作为临时存储位置, 并且可以经由存储器高速缓存107对系统存储器103中的各个位置进行读取和写入。每个处理单元106执行由处理器指令集架构 (ISA) 定义的机器代码指令。每个处理器102的特定ISA可以基于处理器制造商和处理器型号而变化。常见的ISA包括来自INTEL公司的IA-64和IA-32架构、来自ADVANCED MICRO DEVICES公司的AMD64架构以及来自ARM HOLDINGS、PLC的各种高级RISC机器 (“ARM”) 架构, 尽管存在并且本发明可以使用大量其他ISA。通常, 机器代码指令是处理器可执行的最小外部可见 (即处理器外部) 代码单元。

[0039] 寄存器106a是基于处理器102的ISA定义的硬件存储位置。通常, 寄存器106a由机器代码指令或处理单元106读取和/或写入, 因为那些指令在执行单元106b处执行。寄存器106a通常用于存储从存储器高速缓存107取出的值用作执行机器代码指令的输入, 以存储执行机器代码指令的结果、以存储程序指令计数、以支持线程堆栈的维护等。在一些实施例中, 寄存器106a包括“标志”, 用于用信号通知由执行机器代码指令引起的某些状态变化 (例如, 以指示算术运算是否包含进位、零结果等)。在一些实施例中, 寄存器106a包含一个或多个控制寄存器 (例如, 其用于控制处理器操作的不同方面), 和/或其他处理器模型特定的寄存器 (MSR)。

[0040] 存储器高速缓存107在处理单元106执行机器代码指令期间临时高速缓存系统存储器103的块。在一些实施方式中, 存储器高速缓存107包括高速缓存系统存储器103中存储应用代码的部分的一个或多个“代码”部分, 以及高速缓存系统存储器103中存储应用运行时数据的部分的一个或多个“数据”部分。如果处理单元106请求尚未存储在存储器高速缓存107中的数据 (例如代码或应用运行时数据), 则处理单元106发起“高速缓存未命中”, 导致一个或多个数据块从系统存储器103中被取出并被注入到存储器高速缓存107中, 同时潜在地替换并“驱逐”已经存储在存储器高速缓存107中的一些其它数据回到系统存储器103。

[0041] 在本文的实施例中, 存储器高速缓存107包括多个高速缓存级别 (有时称为高速缓存阶层或高速缓存层) ——诸如级别1 (L1) 高速缓存、级别2 (L2) 高速缓存和级别3 (L3) 高速缓存等。例如, 图2示出了演示多级别存储器高速缓存的示例环境200。在图2中, 示例环境200包括处理器201a和处理器201b (例如, 图1A中的每一个处理器102, 统称为处理器201) 和

系统存储器202(例如图1A的系统存储器103)。在示例环境200中,每个处理器201包括四个处理单元(例如,图1A中的每个处理单元106),包括处理器201a的处理单元A1-A4和处理器201b的处理单元B1-B4。

[0042] 在示例环境200中,每个处理器201还包括三个级别的存储器高速缓存层次结构。环境200仅为一个示例存储器高速缓存布局,并不局限于此处的实施例可以操作的存储器高速缓存层级结构,每个处理单元包括其自己的专用L1存储器高速缓存(例如,对于单元A1,处理器201a中的L1存储器高速缓存“L1-A1”,对于单元A2,处理器201a中的L1存储器高速缓存“L1-A2”等)。相对于L1存储器高速缓存,处理器201中的每一个还包括两个上级L2存储器高速缓存(例如,处理器201a中的用作L1存储器高速缓存L1-A1和L1-A2的后备存储器的L2存储器高速缓存“L2-A1”、处理器201a中的用作L1存储器高速缓存L1-A3和L1-A4的后备存储器的L2存储器高速缓存“L1-A2”)。最后,相对于L2存储器高速缓存,每个处理器201还包括单个L3存储器高速缓存(例如,处理器201a中用作L2存储器高速缓存L2-A1和L2-A2的后备存储器的L3存储器高速缓存器“L3-A”、以及处理器201b中用作L2存储器高速缓存L2-B1和L2-B2的后备存储器的L3存储器高速缓存“L3-B”)。

[0043] 如图所示,系统存储器202用作L3存储器高速缓存L3-A和L3-B的后备存储器。在该布置中,并且取决于实施方式,L1存储器高速缓存中的高速缓存未命中可以由其对应的L2存储器高速缓存、其对应的L3存储器高速缓存和/或系统存储器202来服务;L2存储器高速缓存中的高速缓存未命中可以由其对应的L3存储器高速缓存和/或系统存储器202来服务;并且L3存储器高速缓存中的高速缓存未命中可以由系统存储器202来服务。

[0044] 在一些环境中,一些存储器高速缓存级别与处理器分离存在;例如,在环境200中,L3存储器高速缓存中的一个或两个可以替代地与处理器201分离存在,和/或环境200可以包括与处理器201分离存在的一个或者多个附加存储器高速缓存(例如,L4、L5等)。

[0045] 如每个处理器201内的箭头所示,当存在多个存储器高速缓存级别时,每个处理单元通常与最低级别(例如,L1)直接交互。在许多实施方式中,数据在级别之间流动(例如,L3存储器高速缓存与系统存储器202交互并向L2存储器高速缓存提供数据,而L2存储器高速缓存进而向L1存储器高速缓存提供数据)。然而,如本领域普通技术人员将理解的,处理单元与存储器高速缓存交互的特定方式以及数据在存储器高速缓存级别之间流动的特定方式可以变化(例如,取决于存储器高速缓存是包含性的、排他性的还是某种混合的)。

[0046] 给定它们的布置,环境200中的存储器高速缓存可以被视为“共享”存储器高速缓存。例如,每个L2和L3存储器高速缓存为一个给定处理器201内的多个处理单元服务,并且因此由这些处理单元共享。一个给定处理器201中的L1存储器高速缓存统称为,也可以被认为是共享的——即使每个L1存储器高速缓存对应于一个处理单元——因为单独L1存储器高速缓存可以经由高速缓存一致性协议(CCP)相互协调,以确保一致性(即,使得跨所有L1存储器高速缓存一致地看待每个高速缓存的存储器位置)。类似地,每个处理器201内的L2存储器高速缓存可以经由CCP进行协调。此外,每个单独L1存储器高速缓存可以由两个或更多个物理或逻辑处理单元共享,诸如处理器支持超线程的情况,因此即使在单个的级别上也可以“共享”。

[0047] 在实施例中,存储器高速缓存107的每一个级别都包括存储高速缓存行(通常也称为高速缓存块)的多个槽303。每个高速缓存行对应于系统存储器103的连续块。例如,图3示

出了包括多个槽303的存储器高速缓存301 (例如,L1存储器高速缓存、L2存储器高速缓存等)的示例300。在示例300中,每个槽303存储多个部分302,该多个部分302至少包括存储存储器地址的地址部分302a、以及存储与该存储器地址相对应的高速缓存行数据的高速缓存行部分302b。在对槽303中的一个的注入期间,槽的高速缓存行部分302b通常填充有从上级存储器高速缓存或从系统存储器103获得的数据块。取决于高速缓存行部分302b的大小,每个槽303都可能存储跨越系统存储器103内多个连续的可单独寻址位置的数据。每个槽303的高速缓存行部分302b可以由处理单元106修改,并最终被驱逐回到上级的存储器高速缓存、或驱逐回到系统存储器103。如存储器高速缓存301内的省略号所示,每个存储器高速缓存可以包括大量槽。例如,当代64位INTEL处理器可以为每个处理单元106包含单独的L1存储器高速缓存,该单独的L1存储器高速缓存包括512个或更多个槽。在这样的存储器高速缓存中,参考6字节(48位)到8字节(64位)的存储器地址,每个槽通常用于存储一个64字节(512位)的值。例如,L2存储器高速缓存通常比L1存储器高速缓存大,L3存储器高速缓存通常大于L2存储器高速缓存,等等。

[0048] 如前所述,存储器高速缓存使用CCP进行协调。通常,CCP定义了当各种处理单元从那些高速缓存读取数据和向那些高速缓存写入数据时,如何在各种存储器高速缓存之间保持一致性,以及如何确保处理单元始终读取给定高速缓存行的一致数据。CCP通常与由处理器的指令集架构(ISA)定义的存储器模型有关,或者实现该存储器模型。常用ISA的示例包括来自INTEL的x86和x86_64系列架构,以及来自ARM HOLDINGS的ARM架构。常见CCP的示例包括MSI协议(即修改(Modified)、共享(Shared)和无效(Invalid))、MESI协议(即修改、排他(Exclusive)、共享和无效)以及MOESI协议(即修改、拥有(Owned)、排他、共享和无效)。这些协议中的每一个都定义了存储在共享存储器高速缓存中的单独高速缓存行的状态。“修改”的高速缓存行包含已在共享存储器高速缓存中修改的数据,因此与后备存储器(例如,系统存储器103或另一存储器高速缓存)中的对应数据不一致。当具有“修改”状态的高速缓存行从共享存储器高速缓存中被驱逐时,常见的CCP需要高速缓存保证其数据被写回后备存储器,或者另一个存储器高速缓存接管这一责任。“共享”高速缓存行不允许修改,并且可能以共享或拥有的状态存在于另一存储器高速缓存中。共享存储器高速缓存可以驱逐此数据,而无需将其写入后备存储器。“无效”高速缓存行中不包含有效数据,可以认为是空的,可用于存储来自高速缓存未命中的数据。“排他”高速缓存行包含与后备存储器匹配的数据,并且仅由单个处理单元使用。它可以随时更改为“共享”状态(即响应读取请求),也可以在向其写入时更改为“修改”状态。“拥有”高速缓存位置包含与后备存储器中的对应数据不一致的数据。当处理单元更改拥有的高速缓存位置时,它通知其他处理单元——因为被通知的处理单元可能需要基于CCP实施方式来失效或更新。

[0049] 如图所示,存储器高速缓存301中的每个槽可以包括附加部分302c(即,一个或多个附加部分)。在一些实施例中,附加部分302c中的一个包括一个或多个记日志位,该一个或多个记日志位用于追踪存储在槽303中的对应槽中的高速缓存行是否已被记日志到跟踪,如下文所述。在一些实施例中,附加部分302c中的一个存储标签,该标签包括用于存储与其对应槽相关的信息的一个或多个数据字段。在实施例中,至少一个存储器高速缓存级别的槽包括用于存储标签的附加部分,并且那些实施例使用那些标签来改进跟踪记日志,如下文所述。

[0050] 在某些情况下,每个槽303的地址部分302a存储物理存储器地址,诸如系统存储器103中的实际对应存储器地址。在其他情况下,每一个槽303的寻址部分302a都存储虚拟存储器地址。在实施例,虚拟存储器地址是由操作系统向在处理器102处执行的进程暴露的虚拟地址空间内的地址。该虚拟地址空间为进程提供了一个或多个抽象,使得进程具有自己的排他存储器空间和/或进程具有比系统存储器103中实际存在的更多的对其可用的存储器。例如,可以使用这种抽象来促进在处理器102执行的不同进程之间的存储器隔离,包括用户模式进程和内核模式进程之间的隔离。

[0051] 在实施例,虚拟到物理存储器地址映射被维护在存储在系统存储器103中的一个或多个存储器页表内,并且由操作系统和/或管理程序(例如,下文所述的操作环境110)管理。通常,这些存储器页表包括多个页表条目(PTE),这些页表条目将虚拟存储器地址的范围(即,页)映射到物理存储器地址的范围(即,页)。

[0052] 在实施例,每个PTE存储关于其对应存储器页的附加属性或标志,诸如存储器页准许(例如,只读、可写等)、页状态(例如,脏、干净等)。在一些实施方式中,PTE是多级别层次结构的一部分,该多级别层次结构包括支持单独PTE的发现的一个或多个页目录条目(PDE)。

[0053] 在实施例,TLB 108促进虚拟寻址,并且是存储最近获得的一一如从存储在系统存储器103中的存储器页表中获得的一一映射虚拟和物理存储器页的PTE的高速缓存的专用形式。通常,当处理单元106访问虚拟存储器地址时,处理器102确定是否可以根据存储在TLB 108中的PTE来确定物理映射。如果不能,则处理器102执行存储在系统存储器103中的一个或多个存储器页表的“页表遍历(page table walk)”,以标识包含虚拟存储器地址的虚拟存储器页与包含对应物理存储器地址的物理存储器页之间的相关映射。然后,处理器102将该映射存储为TLB 108的槽内的条目。在一些实施例中,TLB 108包括多个级别,类似于存储器高速缓存107。

[0054] 在实施例,控制逻辑109包括控制处理器102的操作的微码(即,可执行指令)和/或物理逻辑门。通常,控制逻辑109用作处理器102的硬件和处理器ISA之间的解释器并且控制处理器102的内部操作,该处理器ISA由处理器102暴露以执行应用(例如,操作环境110、应用111等)。在实施例,控制逻辑109体现在处理器上存储上,诸如ROM、EEPROM等。在一些实施例中该处理器上存储是可写入的(在这种情况下控制逻辑109是可更新的),而在其他实施例中此处理器上存储是只读的(在那种情况下控制逻辑109不能被更新)。

[0055] 持久存储104存储表示可执行软件组件的计算机可执行指令和/或数据结构。相应地,在处理器102处执行这些软件组件期间,这些计算机可执行指令和/或者数据结构的一个或多个部分被加载到系统存储器103中。例如,持久存储104被示为存储与操作环境110和应用111(或多个应用)相对应的计算机可执行指令和/或数据结构。对应地,系统存储器103被示为存储操作环境运行时110' (例如,支持操作环境110的执行的机器代码指令和/或运行时数据),并且存储至少一个应用运行时111' (例如,支持应用111的执行的机器代码指令和/或运行时数据)。系统存储器103和持久存储104还可以存储其他数据,诸如可重放执行跟踪112(即,存储在系统存储器103中的可重放执行跟踪112' 和/或存储在持久存储104中的可重放执行跟踪112)和在跟踪应用111期间便于操作环境110和控制逻辑109之间通信的数据结构113(或多个数据结构)。

[0056] 在图1A中,操作环境110被显示为可能包括管理程序110a,并且包括操作系统110b(或多个操作系统)。相应地,操作环境运行时110'被显示为可能包括管理程序运行时110a',并且包括操作系统运行时110b'。例如,在一些实施例中,操作环境110包括直接在计算机系统101的硬件(例如,处理器102、系统存储器103和持久存储104)上执行的管理程序110a,以及在管理程序110之上执行的操作系统110b。在其他实施例中,然而,操作环境110包括直接在计算机系统101的硬件(例如,处理器102、系统存储器103和持久存储104)上执行的操作系统110b。

[0057] 在实施例中,操作环境110和控制逻辑109协作以记录处理器102处的代码执行的可重放执行跟踪112(或多个可重放执行跟踪)。在实施例中,操作环境110和控制逻辑109用来记录可重放执行跟踪112的跟踪技术至少是基于处理器102在代码执行期间记录到存储器高速缓存107的至少一部分的注入。在实施例中,每个可重放执行跟踪112包括对应执行上下文(例如,线程、进程、操作系统、虚拟机、位置空间、管理程序等)的执行的“位准确”记录,作为在处理器102处执行的该执行上下文。在一些实施例中,可重放执行跟踪是该执行上下文的执行活动的“位准确”记录。这种位准确的记录使以前在处理单元106作为执行上下文的一部分执行的机器代码指令能够在以后重放,使得在重放期间,这些机器代码指令以与跟踪记录期间相同的顺序重新执行,并消费与跟踪记录期间他们所消费的相同的数据。虽然各种位准确的跟踪方法是可能的,如前所述,本文的实施例基于在被跟踪的执行上下文(例如,线程进程、虚拟机等)的执行期间将对存储器高速缓存107的至少一些注入记日志来记录位准确的执行跟踪。通过在执行上下文的执行期间对这些注入中的至少一些记日志,该执行上下文的可重放执行跟踪112捕获由作为执行上下文的一部分执行的、由机器代码指令执行的存储器读取中的至少一些。

[0058] 本文的实施例所使用的基于高速缓存的跟踪技术是在处理器102(包括其存储器高速缓存107)形成半封闭或准封闭系统的观察上构建的。例如,一旦执行上下文的部分数据(即机器代码指令和运行时数据)加载到存储器高速缓存107中,处理单元106可以在时间突发内作为半封闭或准封闭系统继续执行该执行上下文——而无需任何其他外部输入。特别是,一旦存储器高速缓存107加载有机器代码指令和运行时数据,使用存储在存储器高速缓存107中的运行时数据作为对那些机器代码指令的输入并且使用寄存器106a,执行单元106b就可以从存储器高速缓存107加载并执行这些机器代码指令。只要处理器102执行该线程所需的数据(即,机器代码指令和运行时数据)存在于存储器高速缓存107内,处理器102就可以继续执行该执行上下文而无需进一步外部输入。

[0059] 当处理单元106需要一些数据注入时(例如,因为它正在执行、将要执行或可能执行的机器代码指令访问尚未在存储器高速缓存107中的代码或运行时数据),处理器102可以执行“高速缓存未中”,将数据从系统存储器103导入存储器高速缓存107,处理器102还可以参考存储在TLB 108中的PTE、或者执行存储在系统存储器103中的一个或多个存储器页表的页遍历并将PTE注入TLB 108。在示例中,如果在处理单元106执行对存储运行时数据的操作环境运行时110'内的存储器地址执行存储器操作的机器代码指令时发生数据高速缓存未命中,则处理器102将运行时数据从系统存储器103中的该存储器地址导入到存储器高速缓存107的数据部分的高速缓存行之一。类似地,如果当处理单元106试图从存储代码的操作环境运行时110'内的存储器地址取得机器代码指令时发生代码高速缓存未命中,处理

器102将代码从系统存储器103中的该存储器地址导入到存储器高速缓存107的代码部分的高速缓存行之一。然后,处理单元106使用新导入的数据继续执行,直到需要新数据为止。

[0060] 在实施例中,处理器102被实现为通过以下记录在处理器102处执行的执行上下文的执行的位准确表示:在处理单元106执行该执行上下文的代码时,将能够再现至少到存储器高速缓存107和TLB 108的信息注入的子集的足够的数据记录到与执行上下文相对应的至少一个跟踪数据流中。例如,记录这些注入的一些方法在每个处理单元的基础上操作。这些方法涉及为正在被跟踪的每个处理单元,记录存储器高速缓存107内的高速缓存未命中的至少子集,以及TLB 108内的PTE未命中的至少子集,以及在执行期间每一数据片段被带入存储器高速缓存107或TLB 108中的时间(例如,使用执行的指令计数或某个其他计数器)。在一些实施例中,这些方法还涉及为正被跟踪的每个处理单元,记录由该处理单元的活动导致的任何未高速缓存的读取(即,从绕过存储器高速缓存107的硬件组件和不可高速缓存存储器的读取),以及执行任何非确定性处理器指令(例如在已执行非确定性处理器指示之后寄存器106a的一个或多个值)的副作用。

[0061] 图4示出了执行跟踪的一个示例(例如,可重放执行跟踪112)。特别是,图4示出了包括多个数据流401(即数据流401a-401n)的执行跟踪400。在实施例中,每个数据流401表示不同执行上下文的执行,诸如从操作环境110或应用111的代码执行的不同线程。在一个示例中,数据流401a记录应用111的第一线程的执行,而数据流401n记录应用111的第n线程。如图所示,数据流401a包括多个数据包402。由于每个数据包402中记日志的特定数据可能不同,这些数据包被示出为具有不同大小。在实施例中,当使用时间旅行调试技术时,数据包402中的一个或多个记录对作为应用111的第一线程的一部分执行的一个或多个可执行指令的输入(例如,寄存器值、存储器值等)。在实施例中,存储器值作为对存储器高速缓存107的注入和/或作为未高速缓存读取而获得。在实施例中,数据流401a还包括一个或多个关键帧403(例如,关键帧403a和403b),每个捕获足够的信息(例如诸如寄存器和/或存储器值的快照)以使线程的先前执行能够被重放——从关键帧的点开始并向前进行。

[0062] 在实施例中,执行跟踪还包括执行的实际代码。因此,在图4中,每个数据包402显示为包括数据输入部分404(非阴影)和代码部分405(阴影)。在实施例中,每个数据包402的代码部分405(如果存在)包括基于对应的数据输入执行的可执行指令。然而,在其他实施例中,执行跟踪省略了执行的实际代码,而是依赖于对可执行代码的单独访问(例如,应用111的副本)。在这些其他实施例中,每个数据包指定应用二进制映像中适当的可执行指令的地址或偏移量。虽然未示出,但执行跟踪400可能包括存储代码执行的一个或多个输出的数据流。注意的是,使用数据包的不同数据输入和代码部分仅用于说明目的,并且可以以各种方式存储相同的数据,例如通过使用多个数据包。

[0063] 如果有多个数据流,在实施例中,这些数据流包括排序事件。每个排序事件记录可跨不同执行上下文(如线程)排列的事件的发生。在一个示例中,排序事件对应于线程之间的交互,诸如对线程共享的存储器的访问。因此,例如,如果被跟踪到第一数据流(例如,数据流401a)中的第一线程写入同步变量,则第一排序事件被记录到该数据流(如,数据流401)中。随后,如果被追踪到第二数据流(例,数据流402b)中的第二线程从该同步变量中读取,第二排序事件被记录到该数据流(例如数据流401b)中。这些排序事件被固有地排列。例如,在一些实施例中,每个排序事件都与单调递增值相关联,其中单调递增值定义了排序事

件中的总顺序。在一个示例中,记录到第一数据流中的第一排序事件被给予值1,记录到第二数据流中的第二排序事件被给予值2等。

[0064] 一些位准确跟踪方法利用存储器高速缓存107的扩展,该扩展追踪给定高速缓存行的值是否可以被认为已由可重放执行跟踪112代表处理单元106捕获。在各种实施方式中,这些高速缓存修改扩展存储器高速缓存107的至少一个级别中的槽(例如,槽303)以包括附加的“记日志”(或“跟踪”)位(例如,使用附加部分302c中的一个),或者保留一个或多个槽用于记日志位使用。这些记日志位使得控制逻辑109能够针对每个高速缓存行标识消费高速缓存行/对高速缓存行记日志的处理单元106(或多个处理单元)。记日志位的使用可以使控制逻辑109能避免在处理单元转换到另一个执行上下文(例如,另一个线程、另一个虚拟机、内核模式等)后如果该另一执行上下文没有修改高速缓存行而重新记日志对于一个执行上下文的高速缓存行注入。此外,使用记日志位可以使一个执行上下文的跟踪条目能够引用已经代表另一个执行上下文记日志的数据。在各种实施例中,对于每个高速缓存行,一个或多个记日志位被用作(i)指示高速缓存行是否已经代表任何处理单元被记日志的单个标志、(ii)多个标志,该多个标志中的每个指示高速缓存行是否已经代表对应处理单元被记日志,或(iii)指示高速缓存行针对其已被记日志的多个处理单元中的特定处理单元的索引(或其使用某个非索引值指示高速缓存行尚未代表任何处理单元被记日志)。

[0065] 附加的或替代的位准确跟踪方法利用关联存储器高速缓存,该关联存储器高速缓存与存储器高速缓存路锁定特征结合,以将存储器高速缓存子集“锁定”到正在被跟踪的执行上下文(或多个执行上下文),然后通常基于标识高速缓存未命中到此锁定存储器高速缓存子集中来记日志。特别是,这些方法利用路锁定来锁定正在被跟踪的执行上下文的一个或多个高速缓存“路”,以便这些路被保留给被跟踪的执行上下文。然后,当实现与被跟踪的执行上下文的执行相关的高速缓存未命中时,那些高速缓存未命中被注入到与那些锁定路相对应的高速缓存槽中。控制逻辑109然后基于给定的高速缓存未命中被注入其中的路来记日志到执行跟踪缓冲器中——例如,通过将任何执行上下文的高速缓存未命中记日志到被锁定到跟踪的执行上下文的路中,通过对不被跟踪的执行上下文进行的到被锁定路的写入记日志,以及通过对被跟踪执行上下文进行的从不被锁定路的读取记日志。

[0066] 为了说明,图5示出了集合关联高速缓存映射的示例500,其中系统存储器中的不同位置被注入到存储器高速缓存中的对应集合。在示例500中,系统存储器501示出为具有多个块(即块0、块1等),以及组织为不同集合(即集合0、集合1等至集合n)的存储器高速缓存502,集合中的每个具有四个路(即,路0、路1、路3和路4)。如图所示,系统存储器501的每个块映射到存储器高速缓存502中的对应集合(基于存储器地址);通常,该块可以存储在集合内的任何路。集合关联高速缓存通常被称为k路,其中k是每个集合中的路数。因此,存储器高速缓存502将被称为4路集合关联高速缓存。

[0067] 如前所述,当使用路锁定作为位准确跟踪的一部分时,实施例将高速缓存路集合锁定或保留给正在被跟踪的执行上下文(或多个执行上下文)——使得被锁定的路排他用于存储与映射到被跟踪的执行上下文的存储器空间的存储器块相关的高速缓存未命中。因此,参考示例500,每个集合中的路0和路1都显示为阴影,指示这些路被锁定到跟踪的执行上下文。当将存储器块从系统存储器501注入存储器高速缓存502时,如果该存储器块对应于跟踪的执行上下文,则该存储器块因此被注入路0或路1中的一个内的槽,否则块被注入

路2或路4中的一个内的槽中。利用该配置,基于对到路0或路1的注入(无论这些注入是否由被跟踪的执行上下文的执行导致)记日志,基于对由其他执行上下文进行的、对路0或路1的写入记日志,并且基于对被跟踪的执行上下文进行的、对路2和路3的任何读取记日志(例如由被跟踪的执行上下文从共享存储器读取)可以对被跟踪的执行上下文的存储器活动记日志。

[0068] 附加的或替代的位准确跟踪方法使用存储器标记作为记日志提示。更具体地,在实施例中,操作环境110和控制逻辑109合作,以基于将不同存储器区域(诸如,系统存储器103中的物理存储器页)分类为记日志(即,在消费时要被记日志)或不被记日志(例如,在消费时不被记日志)来记录可重放执行跟踪112。在实施例中,使用存储器标记作为基于处理器的执行跟踪的记日志提示至少是基于(i)操作环境110维护将不同存储器区域分类为记日志和不被记日志的数据结构(例如,数据结构113),以及(ii)控制逻辑109使用该数据结构在代码执行期间做出记日志决策。例如,使用存储在数据结构113中的分类,如果任何执行上下文导致源于被分类/标记为记日志的存储器区域的高速缓存行的注入,则控制逻辑109将该注入记日志到可重放执行跟踪112中。在实施例中,存储器标记被存储为存储器页表中PTE和/或页目录条目(PDE)的一部分,因此,那些标记作为TLB 108内高速缓存的PTE/PDE的一部分是处理单元106很容易访问的。在其他实施例中,存储器标记被存储为一个或多个位图的一部分(例如,由寄存器106a中的一个指向),其中一个或多个位用于指示一个或多个对应存储器区域内的存储器地址是否被分类为记日志或不被记日志。

[0069] 为了进行说明,图6示出了物理到虚拟存储器地址空间映射的示例600,包括使用存储器标记作为记日志提示。具体地,示例600示出了物理地址空间601(例如,与系统存储器103中的物理地址相对应)和虚拟地址空间602(例如,对应于某个执行上下文)。每个地址空间被示出为包括多个可寻址存储器位置(即,物理地址空间601的物理存储器位置601a-1到物理存储器位置601a-n,以及虚拟地址空间602的虚拟存储器位置602a-1到虚拟存储器位置602a-n。此外,在每个地址空间中,这些可寻址存储器位置被示为被布置成不同的存储器页(即用于物理地址空间601的物理存储器页601b-1到物理存储器页601b-n以及用于虚拟地址空间602的虚拟存储器页602b-1到虚拟存储器页602b-n)。如物理地址空间601中的物理存储器页601b-1和虚拟地址空间602中的虚拟存储器页602b-2之间的箭头所示,存在映射到虚拟地址空间602的第一区域(即虚拟存储器位置602a-4到虚拟存储器位置601a-6)的物理地址空间601的第一区域(即物理存储器位置601a-1到物理存储器位置601a-3)。此外,如物理地址空间601中的物理存储器页601b-3和虚拟地址空间602中的虚拟存储器页602b-4之间的箭头所示,还存在映射到虚拟地址空间602的第二区域(即虚拟存储器位置602a-10到虚拟存储器位置602a-12)的物理地址空间601的第二区域(即物理存储器位置601a-7到物理存储器位置601a-9)。

[0070] 在示例600中,物理存储器页601b-1和物理存储器页601b-3被阴影化(即,用左倾斜斜线),指示那些存储器页被标记为被记日志。因此,在处理器102执行代码期间,控制逻辑确保(例如,通过跟踪的执行上下文)对虚拟存储器页602b-2(物理存储器页601b-1)和虚拟存储器页602b-4(物理存储器页601b-3)的访问被适当地记日志到可重放执行跟踪112。显示其他物理存储器页而没有任何阴影,指示它们被标记为不被记日志,并且对那些存储器页的访问也不被记日志。在各种实施例中,标记为不被记日志是默认状态(例如,不存在

标记),或者被肯定地设置。

[0071] 附加的或替代的位准确跟踪方法通过使用高存储器级别(例如,上级的高速缓存或系统存储器103)中的标签执行基于高速缓存的跟踪记日志来减少可重放执行跟踪的大小。这些上级高速缓存加标签方法操作以对到第一高速缓存级别的注入记日志,但是在较高的第二高速缓存级别内(甚至系统存储器103内)利用标签来跟踪给定高速缓存行注入的值是否已经被可重放执行跟踪112捕获。具体地,在高速缓存行到第一高速缓存级别的注入期间,实施例查阅第二高速缓存级别(或系统存储器103)中的标签以确定高速缓存行的当前值是否可以从先前的跟踪记日志(诸如结合高速缓存行到第一高速缓存级别的先前注入而执行的跟踪记日志)重建。如果是,则当高速缓存行被注入第一高速缓存级别时,实施例避免将高速缓存行的当前值捕获到可重放执行跟踪112中。附加地,在从所述第一高速缓存级别驱逐期间,实施例确定被驱逐的高速缓存行在第一高速缓存级别内是否处于“记日志状态”(即,高速缓存行的当前值可以从先前记录的跟踪获得,和/或可以通过重放先前记录的跟踪来构造),并且适当地设置第二高速缓存级别中的标签(例如,存储在附加部分302c之一中的标签)以指示正在被驱逐的高速缓存行是否被记日志。

[0072] 无论使用哪种(或哪些)跟踪技术,在实施例中,控制逻辑109都基于多级别存储器高速缓存中特定级别(即,“记录”或“记日志”高速缓存级别)处的注入来记日志。例如,在实施例中,控制逻辑109对L2存储器高速缓存级别处的注入记日志,即使存在一个或多个更高的高速缓存级别。因此,在该示例中,L2存储器高速缓存级别被称为记录高速缓存级别。

[0073] 本文描述的至少一些实施例扩展这些位准确跟踪方法中的一种或多种,该位准确跟踪方法具有处理器支持以用于将多个执行上下文的同时/交错执行记录到对应的可独立重放的执行跟踪中。通常,这些实施例使用已经讨论过的一种或多种跟踪技术(例如,路锁定、页标记等)将由给定被跟踪的执行上下文的执行导致的存储器影响记录到其自己的执行跟踪中。此外,为了捕获由其他执行上下文的执行导致的对给定被跟踪的执行上下文可用的高速缓存数据的影响,这些实施例跟踪由给定执行上下文(无论该执行上下文是否被跟踪)的执行导致的存储器操作是(i)将存储器数据注入高速缓存,还是(ii)修改已经高速缓存的存储器数据,其中存储器数据与正在跟踪其执行的任何其他执行上下文相关联。当执行上下文的执行确实导致注入或修改与正在跟踪其执行的另一执行上下文相关联的存储器数据的存储器操作时,这些实施例将存储器操作的影响记日志到与适当的跟踪执行上下文相对应的专用执行跟踪中。当对正被记录到独立和单独执行跟踪中的多个执行上下文中的每一个执行上述时,每个记录的执行跟踪存储足够的数据来再现高速缓存状态,该高速缓存状态被需要以支持由该执行跟踪的对应执行上下文实际执行的所有存储器操作的重放。

[0074] 在一些实施例中,扩展了对使用路锁定进行位准确跟踪的处理器支持,以支持将多个执行上下文的同时/交错执行记录到对应的可独立重放的执行跟踪中。如所讨论的,使用用于位准确跟踪的路锁定通常操作,以对到被锁定到跟踪的执行上下文的保留路子集中的高速缓存未命中记日志、对未被跟踪的执行上下文进行的、对此保留子集的写入记日志,以及对被跟踪的执行上下文进行的、从不被锁定的路读取记日志。本文的实施例通过为多个被跟踪的执行上下文中的每一个保留一个或多个锁定路的不同子集来扩展这些技术,其中每个被跟踪的执行上下文被分配给不同的执行跟踪缓冲器。然后当除了为其保留特定路

子集的特定执行上下文之外的任何执行上下文导致注入或写入该特定路子集时,本文的实施例将注入/写入记日志到特定执行上下文的分配的跟踪中。当其本身与记录由每个被跟踪的执行上下文的执行导致的存储器操作的其他高速缓存路锁定跟踪技术相结合时,这些实施例使得每个执行跟踪能够包含足以重放执行跟踪的对应被跟踪的执行上下文的存储器操作的存储器数据。

[0075] 图1B说明了控制逻辑109a的其他细节,包括操作高速缓存路锁定以将多个执行上下文同时记录到独立的执行跟踪中的组件。控制逻辑109a的组件与任何子组件一起表示控制逻辑109a可以根据本文所述的各种实施例来实现或利用的各种功能。然而,应该理解,所描述的组件——包括它们的标识、子组件和布置——仅仅是为了帮助描述本文所述控制逻辑109a的各种实施例来呈现的,并且这些组件不限制软件和/或硬件可如何实现本文所述的控制逻辑109a的各种实施例或其特定功能。

[0076] 如图所示,控制逻辑109a包括高速缓存路锁定逻辑114。通常,高速缓存路锁定逻辑114操作以使用路锁定将存储器高速缓存107划分为多个子集,其中至少两个子集被锁定到(并保留用于)对应的被跟踪的执行上下文——诸如基于与每个被跟踪的执行上下文相关联的地址空间标识符(ASID)或环中的一个或多个。此外,高速缓存路锁定逻辑114将与被跟踪的执行上下文的存储器空间内的存储器地址相对应的高速缓存行注入到该执行上下文的保留的路的子集中,并且将与每个不被跟踪的执行上下文的存储器空间中的存储器地址相对应的高速缓存行注入到未保留的路的子集中。

[0077] 例如,图7示出了为不同的被跟踪的执行上下文保留单独的存储器高速缓存路的单独子集的示例700。如图所示,示例700示出了存储器高速缓存701(例如,存储器高速缓存107的至少一个级别),该存储器高速缓存701被组织成不同的集合(即,集合0、集合1,等到集合n),每个集合都有四个路(即,路0、路1、路3和路4)。在示例700中,每个集合内的路0用右倾斜斜线进行阴影化,指示高速缓存路锁定逻辑114将那些路锁定到具有其自己的第一执行跟踪缓冲器的第一被跟踪的执行上下文(例如,上下文A);如点划线箭头所示,这些路形成第一被跟踪的执行上下文保留的存储器高速缓存子集702c。附加地,每个集合内的路1用左倾斜斜线进行阴影化,指示高速缓存路锁定逻辑114将那些路锁定到具有其自己的第二执行跟踪缓冲器的第二被跟踪的执行上下文(例如,上下文B);如虚线箭头所示,这些路形成了为第二被跟踪的执行上下文保留的存储器高速缓存子集702b。最后,每个集合内的路2和路3没有阴影化,指示这些路没有被高速缓存路锁定逻辑114锁定到任何执行上下文;如实线箭头所示,这些路形成存储器高速缓存子集702a,该存储器高速缓存子集702a不是为任何被跟踪的执行上下文(即,一个或多个未记录的上下文)保留的。

[0078] 控制逻辑109a还包括存储器操作检测逻辑115。通常,存储器操作检测逻辑115检测执行上下文何时已请求了影响存储器高速缓存701的存储器操作。此外,存储器操作检测逻辑115标识存储器操作的类型(例如,读取或写入)、存储器操作是否导致注入到存储器高速缓存701以及存储器高速缓存701中的哪个路子集受到影响。此外,存储器操作检测逻辑115标识哪个执行上下文请求了存储器操作。

[0079] 控制逻辑109a还包括记日志逻辑116。通常,记日志逻辑116使用(i)哪个执行上下文请求了存储器操作,(ii)存储器高速缓存701的哪个子集受到存储器操作的影响,以及(iii)存储器操作的结果(例如,注入、读取或写入中的一个或多个)的组合来确定是否对存

存储器操作记日志(即,使用记日志动作确定逻辑117),以及如果是则记日志到哪个跟踪缓冲器(即,使用日志缓冲器确定逻辑118)。当记日志动作确定逻辑117确定应当记录存储器操作时,记日志发起逻辑119发起向所选取的跟踪缓冲器的记日志。

[0080] 现在结合图9描述记日志逻辑116的示例操作,图9示出了记日志动作的示例矩阵900,用于使用路锁定将多个执行上下文的执行记录到可独立重放的执行跟踪中。如单单元格901a、单元格901b和单元格901c所示,矩阵900针对记录的上下文A、记录的上下文B和不被记录的上下文中的每一个包括行。如在单元格902a、单元格902b和单元格902c中所指示的,矩阵900针对记录的上下文A的保留路子集(例如,存储器高速缓存子集702c)、记录的上下文B保留路子集(例如,存储器高速缓存子集702b)以及不被保留路子集(例如,存储器高速缓存子集702a)中的每一个包括列。在对应行和对应列的交叉处的每个单元指示当对应行的上下文对对应列的路子集执行存储器操作时所采取的记日志动作(或不动作)。虽然矩阵900仅示出了两个记录的上下文,但是本文所描述的原理可以应用于任何数目的被记录的上下文。

[0081] 基于每个记录的执行上下文的执行,记日志逻辑116将以下记日志到被记录的执行上下文的执行跟踪中:导致注入到该执行上下文的保留路集合的注入或者是从任何其他路集合读取的存储器操作。这使得这些注入和读取能够从该被记录的执行上下文的执行跟踪中再现。例如,如矩阵900所示,当被记录的上下文A导致注入其自己的保留路时,记日志逻辑116将该注入记录到上下文A的执行跟踪(即,单元格903,注入);当被记录的上下文A从任何其他路集合读取时,记日志逻辑116将该读取记日志到上下文A的执行跟踪(即,单元格904和单元格905,读取)中。类似地,当被记录的上下文B导致注入其自己的保留路时,记日志逻辑116将该注入记日志到上下文B的执行跟踪中(即,单元格907,注入);并且当被记录的上下文B从任何其他路集合读取时,记日志逻辑116将该读取记日志到上下文B的执行跟踪中(即,单元格906和单元格908,读取)。

[0082] 记日志逻辑116还将导致注入特定执行上下文的保留路集合的、由除了特定被记录的执行上下文以外进行的存储器操作记录到特定被记录的执行上下文的执行跟踪中。由于特定被记录的执行上下文稍后可以从注入的数据中进行读取,而不会导致自身注入,这使得当代表特定被记录的执行上下文重放读存储器操作时,能够从特定被记录的执行上下文的执行跟踪中再现这些注入。例如,如矩阵900所示,当被记录的上下文A导致注入被记录的上下文B时,记日志逻辑116将该注入记日志到上下文B的执行跟踪(即,单元格904,注入)中;当被记录的上下文B导致注入被记录的上下文A的路时,记日志逻辑116将该注入记日志到上下文A的执行跟踪(即,单元格906,注入);当不被记录的上下文导致注入到被记录的上下文A的路时,记日志逻辑116将该注入记日志到上下文A的执行跟踪中(即,单元格909,注入);并且当不被记录的上下文导致注入到被记录的上下文B的路时,记日志逻辑116将该注入记日志到上下文B的执行跟踪中(即,单元格910,注入)。

[0083] 对于写入特定执行上下文的保留路集合的、由除了特定被记录的执行上下文以外进行的存储器操作,在一些实施例中,记日志逻辑116将写入记日志到特定被记录的执行上下文的执行跟踪中。由于特定被记录的执行上下文稍后可以从写入的数据执行读取,这种记日志使这些写入能够从特定被记录的执行上下文的执行跟踪中再现。在其他实施例中,记日志逻辑116导致对作为写入对象的任何高速缓存行的驱逐。通过执行驱逐,如果特定被

记录的执行上下文随后要访问到高速缓存行的该写入,则随后会将注入记日志到特定被记录的执行上下文的跟踪中。例如,如矩阵900中所示,当被记录的上下文A执行到上下文B的路中的写入时,记日志逻辑116将该写入记日志到上下文B的执行跟踪中,或者驱逐对高速缓存行的所述写入(即,单元格904,写入);当被记录的上下文B执行到上下文A的路中的写入时,记日志逻辑116将该写入记日志到上下文A的执行跟踪中,或者驱逐到高速缓存行的所述写入(即,单元格906,写入);当不被记录的上下文执行到上下文A的路的写入时,记日志逻辑116将该注入记日志到上下文A的执行跟踪中,或者驱逐到高速缓存行的所述写入(即,单元格909,写入);并且当不被记录的上下文执行到上下文B的路的写入时,记日志逻辑116将该注入记日志到上下文B的执行跟踪中,或者驱逐到高速缓存行的所述写入(即,单元格910,写入)。在其他实施例中,记日志逻辑116通过将高速缓存行从其所处的被记日志的路移动出到不被记日志的路中,或者通过将高速缓存行所处的整个路标记为向前不被记日志,来发信号通知高速缓存行为不被记日志。

[0084] 值得注意的是,单个存储器操作可能会导致多个记日志操作。例如,参考单元格904,上下文A从上下文B的路读取可能会导致注入上下文B的路;在这种情况下,记日志逻辑116可以将注入记日志到上下文B的执行跟踪中,也可以将读取记日志到上下文A的执行跟踪。类似地,再次参考单元格904,由上下文A写入上下文B的路可能导致注入到上下文B的路;在这种情况下,记日志逻辑116可以将注入记录到上下文B的执行跟踪中,并且可以将读取记录到上下文B的执行跟踪或驱逐对高速缓存行的所述写入。类似的多个记日志动作可以由上下文B到上下文A的路的存储器操作产生(即,单元格906)。

[0085] 几个单元格具有“无记日志”动作(即,单元格903,读取/写入;单元格905,注入/写入;单元格907,读取/写入;单元格909,读取;单元格910,读取;以及单元格911)。在一些实施例中,这些无记日志动作中的一个或多个可以是记日志动作;然而,本领域普通技术人员将理解,已经描述的记日志动作足以通过被记录的上下文再现存储器操作。

[0086] 为了进一步描述控制逻辑109a的这些组件的操作,下面的讨论现在涉及方法和方法动作。尽管方法动作可以按特定顺序进行讨论,或者可以在流程图中示出为按特定顺序发生,但除非特别说明或者因为需要一个动作依赖于在执行该动作之前完成的另一个动作,否则特定顺序不被需要。

[0087] 图11示出了使用高速缓存路锁定将多个执行上下文同时记录到独立执行跟踪中的示例方法1100的流程图。将关于计算环境100的组件和数据来描述方法1100。在实施例中,方法1100基于处理器(例如,处理器102)的控制逻辑(例如,控制逻辑109a)来实现,该处理器包括处理单元(例如,处理单元106)和存储器高速缓存(例如,存储器高速缓存107)。

[0088] 方法1100包括将存储器高速缓存划分为多个子集的动作1101,包括将第一路集合锁定到第一执行上下文,以及将第二路集合锁定在第二执行上下文。在动作1101的示例中,高速缓存路锁定逻辑114将存储器高速缓存701划分为针对第一被跟踪的执行上下文(被记录的上下文A)保留的存储器高速缓存子集702c和针对第二被跟踪的执行上下文(被记录的上下文B)的存储器高速缓存子集702b。在实施例中,这留下了不被保留的存储器高速缓存子集702a。在实施例中,动作1101的技术效果是,基于注入源自的存储器地址空间来使高速缓存注入能够被路由到高速缓存的适当子集。此外,动作1101还具有能够使用高速缓存路来区分适用于两个或更多个被跟踪的执行上下文中的每一个的高速缓存行的技术效果。

[0089] 方法1100还包括在处理器处对执行上下文进行执行的动作1102。在动作1102的示例中,处理器102执行来自操作环境110或应用111的代码的线程。在图11中,动作1102可以包括在处理器处执行被记日志的第一执行上下文(动作1102a),在处理器处执行被记日志的第二执行上下文(动作1102b),或在处理器处执行不被记日志的第三执行上下文(动作1102c)。在实施例1中,动作1102具有执行可以执行存储器操作的代码的技术效果,从而触发动作1103。

[0090] 方法1100还包括检测存储器上下文进行的、到存储器高速缓存的存储器操作的动作1103。在动作1103的示例中,存储器操作检测逻辑115检测到动作1102中执行上下文的执行已经导致存储器操作,该存储器操作影响存储器高速缓存701中的一个或多个槽。存储器操作检测逻辑115还可以标识存储器操作(例如,读取、写入、注入)的结果、存储器高速缓存701的哪个子集受到影响以及哪个执行上下文导致存储器操作。在实施例1中,动作1103具有检测对存储器高速缓存701的修改的技术效果,该修改可能需要被记日志到执行跟踪中。

[0091] 方法1100还包括以下动作1104:基于执行上下文的标识、目标存储器高速缓存子集的标识和操作结果,确定:(i) 是否对存储器操作记日志以及何时记日志,以及(ii) 目的地跟踪缓冲器。在动作1104的示例中,记日志动作确定逻辑117使用执行上下文的标识,目标存储器高速缓存子集的标识,以及操作结果(例如,注入、读取、写入),以确定是否执行一个或多个记日志动作,以及如果执行,则那些动作是什么(例如,对注入记日志、对读取记日志、对写入记日志、驱逐)。在实施例1中,记日志动作确定逻辑117遵循矩阵900来确定记日志动作。当记日志动作确定逻辑117确定应该执行一个或多个记日志动作时,记日志缓冲器确定逻辑118确定每个记日志动作应该针对哪个执行跟踪缓冲器(如果有的话)。在实施例1中,记日志缓冲器确定逻辑118遵循矩阵900来确定适用的执行跟踪缓冲器(如果有的话)。

[0092] 在某些情况下,方法1100还包括将注入、读取或写入中的一个或多个记日志到目的地跟踪缓冲器,或驱逐高速缓存行的动作1105。在动作1105的示例中,当记日志动作确定逻辑117已经确定要执行“对注入记日志”、“对读取记日志”或“对写入记日志”中的一个或多个,记日志发起逻辑119将该记日志动作发起到由记日志缓冲器确定逻辑118标识的执行跟踪缓冲器。在动作1105的另一个示例中,当记日志动作确定逻辑117已确定要执行驱逐动作时,控制逻辑109a从存储器高速缓存701驱逐目标高速缓存行。值得注意的是,以虚线示出动作1105以指示动作1105可能并不总是被执行——例如,当记日志动作确定逻辑117在动作1104中确定没有记日志动作将被执行时。

[0093] 在实施例1中,动作1104和动作1105具有以下技术效果:(i) 将跟踪数据提交到可用于重放可执行上下文的至少一个可重放执行跟踪112,或者(ii) 从存储器高速缓存701清除高速缓存行。在实施例1中,从存储器高速缓存701清除高速缓存行使得该高速缓存行如果其稍后由被记录的执行上下文访问,稍后能够被记日志为注入。

[0094] 如图所示,存在从动作1105延伸到动作1102的箭头,指示动作1102到动作1105可以重复任何次数,动作1102a、动作1102b或动作1102c中的任何一个都与动作1102中的每个实例相结合地发生。

[0095] 在方法1100的一个示例应用中,一些实施例涉及用于使用高速缓存路锁定来将多个执行上下文同时记录到独立的执行跟踪中的方法、系统和计算机程序产品。在一个实施例中,微处理器(例如,处理器102)包括处理单元(例如,处理单元106)、包括多个高速缓存

槽的存储器高速缓存(例如,存储器高速缓存107)、以及被配置为实现方法1100的至少一部分的控制逻辑(109a)。

[0096] 在该示例中,控制逻辑109a的高速缓存路锁定逻辑114使微处理器执行动作1101,以便将存储器高速缓存划分为多个存储器高速缓存子集,所述多个存储器高速缓存子集包括:(i)第一存储器高速缓存子集,包括被锁定到第一执行上下文(例如,被记录的上下文A)的第一存储器高速缓存路集合(例如,存储器高速缓存子集702c、或矩阵900中记录的上下文A的保留路),该第一执行上下文的执行正被记录到第一跟踪缓冲器(例如,可重放执行跟踪112中的第一个)中,以及(ii)第二存储器高速缓存子集,包括被锁定到第二执行上下文(例如,被记录的上下文B)的第二存储器高速缓存路集合(例如,存储器高速缓存子集702b、或矩阵900中的被记录的上下文B的保留路),所述第二执行上下文的执行正被记录到第二跟踪缓冲器(例如,可重放执行跟踪112中的第二个)中。

[0097] 在一些实施例中,第一存储器高速缓存路集合至少基于与第一执行上下文相对应的第一ASID被锁定到第一执行上下文,并且第二存储器高速缓存路集合至少基于与第二执行上下文相对应的第二ASID被锁定到第二执行上下文。

[0098] 在该示例中,并且参考单元格904,基于动作1102a中的第一执行上下文的执行,控制逻辑109a的存储器操作检测逻辑115还使微处理器执行动作1102,以便检测由第一执行上下文进行的、到第二存储器高速缓存子集的第一存储器操作。控制逻辑109a的记日志逻辑116还使得微处理器执行动作1103和动作1104,以便响应于检测到第一存储器操作,执行以下中的至少一个:(i)当所述第一存储器操作导致到所述第二存储器高速缓存子集中的第一注入时,发起将所述第一注入记日志到第二跟踪缓冲器(即,单元格904,注入);(ii)当所述第一存储器操作是从所述第二存储器高速缓存子集的第一读取时,发起将所述第一读取记日志到所述第一跟踪缓冲器(即,单元格904,读取);或者(iii)当第一存储器操作是对第二存储器高速缓存子集的第一写入时,执行(a)发起将第一写入记日志到第二跟踪缓冲器,或者(b)驱逐作为第一写入的目标的第一高速缓存行(即,单元格904,写入)中的一个。在实施例中,方法1100的这种执行具有以下技术效果:对由第一执行上下文导致的、并且影响为第二执行上下文保留的第二存储器高速缓存子集的存储器操作的影响记日志。

[0099] 在该示例的一个继续中,并且参考单元格906,基于动作1102b中的第二执行上下文的执行,控制逻辑109a的存储器操作检测逻辑115还使得微处理器执行动作1102以便检测由第二执行上下文进行的、到第一存储器高速缓存子集中的第二存储器操作。控制逻辑109a的记日志逻辑116还使得微处理器执行动作1103和动作1104,以便响应于检测到第二存储器操作,执行以下中的至少一个:(i)当第二存储器操作导致到第一存储器高速缓存子集中的第二注入时,发起将第二注入记日志到第一跟踪缓冲器(即,单元格906,注入);(ii)当所述第二存储器操作是从所述第一存储器高速缓存子集的第二读取时,发起将所述第二读取记日志到所述第二跟踪缓冲器(即,单元格906,读取);或(iii)当第二存储器操作是对第一存储器高速缓存子集的第二写入时,执行(a)发起将第二写入记日志到第一跟踪缓冲器,或(b)驱逐作为第二写入的目标的第二高速缓存行(即,单元格906,写入)中的一个。在实施例中,方法1100的这种执行具有以下技术效果:对由第二执行上下文导致的、并且影响为第一执行上下文保留的第一存储器高速缓存子集的存储器操作的影响记日志。

[0100] 在该示例的另一个继续中,多个存储器高速缓存子集还包括:(iii)第三存储器高

速缓存子集,包括不被锁定到任何执行上下文(诸如不被记录的第三执行上下文)的第三存储器高速缓存路集合(例如,存储器高速缓存子集702a,或矩阵900中的不被保留路)。参考单元格909,基于动作1102c中的第三执行上下文的执行,控制逻辑109a的存储器操作检测逻辑115还使微处理器执行动作1102,以便检测由第三执行上下文进行的、到第一存储器高速缓存子集的第二存储器操作。控制逻辑109a的记日志逻辑116还使得微处理器执行动作1103和动作1104,以便响应于检测到第二存储器操作,执行以下中的至少一个:(i)当所述第二存储器操作导致到所述第一存储器高速缓存子集中的第二注入时,发起将所述第二注入记日志到所述第一跟踪缓冲器(即,单元格909,注入);或(ii)当第二存储器操作是对第一存储器高速缓存子集的第二写入时,执行(a)发起将第二写入记日志到第一跟踪缓冲器,或(b)驱逐作为第二写入的目标的第二高速缓存行(即,单元格909,写入)中的一个。在实施例中,方法1100的这种执行具有以下技术效果:对由不被记录的执行上下文导致的、并且影响为第一执行上下文保留的第一存储器高速缓存子集的存储器操作的影响记日志。

[0101] 在该示例的另一个继续中,多个存储器高速缓存子集还包括:(iii)第三存储器高速缓存子集,包括不被锁定到任何执行上下文(诸如不被记录的第三执行上下文)的第三存储器高速缓存路集合(例如,存储器高速缓存子集702a,或矩阵900中的不被保留路)。参考单元格910,基于动作1102c中的第三执行上下文的执行,控制逻辑109a的存储器操作检测逻辑115还使微处理器执行动作1102,以便检测由第三执行上下文进行的、到第二存储器高速缓存子集的第二存储器操作。控制逻辑109a的记日志逻辑116还使得微处理器执行动作1103和动作1104,以便响应于检测到第二存储器操作,执行以下中的至少一个:(i)当所述第二存储器操作导致到所述第二存储器高速缓存子集中的第二注入时,发起将所述第二注入记日志到所述第二跟踪缓冲器(即,单元格910,注入);或(ii)当第二存储器操作是对第二存储器高速缓存子集的第二写入时,执行(a)发起将第二写入记日志到第二跟踪缓冲器,或(b)驱逐作为第二写入的目标的第二高速缓存行(即,单元格909,写入)中的一个。在实施例中,方法1100的这种执行具有以下技术效果:对由不被记录的执行上下文导致的、并且影响为第二执行上下文保留的第二存储器高速缓存子集的存储器操作的影响记日志。

[0102] 在该示例的另一个继续中,多个存储器高速缓存子集还包括:(iii)第三存储器高速缓存子集,包括不被锁定到任何执行上下文(诸如不被记录的第三执行上下文)的第三存储器高速缓存路集合(例如,存储器高速缓存子集702a,或矩阵900中的不被保留路)。参考单元格905,基于动作1102a中的第一执行上下文的执行,控制逻辑109a的存储器操作检测逻辑115还使微处理器执行动作1102,以便检测第二存储器操作,该第二存储器操作包括由第一执行上下文进行的、到第三存储器高速缓存子集的第二读取。控制逻辑109a的记日志逻辑116还使得微处理器执行动作1103和动作1104,以便响应于检测到第二存储器操作,发起将所述第二读取记日志到第一跟踪缓冲器(即,单元格905,读取)。在实施例中,方法1100的这种执行具有以下技术效果:对由第一执行上下文导致的、来自不被保留的第三存储器高速缓存子集的存储器读取操作的影响记日志。

[0103] 在该示例的另一个继续中,多个存储器高速缓存子集还包括:(iii)第三存储器高速缓存子集,包括不被锁定到任何执行上下文(诸如不被记录的第三执行上下文)的第三存储器高速缓存路集合(例如,存储器高速缓存子集702a,或矩阵900中的不被保留路)。参考单元格908,基于动作1102b中的第二执行上下文的执行,控制逻辑109a的存储器操作检测

逻辑115还使微处理器执行动作1102,以便检测第二存储器操作,该第二存储器操作包括由第二执行上下文进行的、到第三存储器高速缓存子集的第二读取。控制逻辑109a的记日志逻辑116还使得微处理器执行动作1103和动作1104,以便响应于检测到第二存储器操作,发起将所述第二读取记日志到第二跟踪缓冲器(即,单元格908,读取)。在实施例中,方法1100的这种执行具有以下技术效果:对由第二执行上下文导致的、来自不被保留的第三存储器高速缓存子集的存储器读取操作的影响记日志。

[0104] 在该示例的另一个继续中,并参考单元格903,基于动作1102a中的第一执行上下文的执行,控制逻辑109a的存储器操作检测逻辑115还使微处理器执行动作1102,以便检测由第一执行上下文进行的、导致到第一存储器高速缓存子集的第二注入的第二存储器操作。控制逻辑109a的记日志逻辑116还使得微处理器执行动作1103和动作1104,以便响应于检测到第二存储器操作,发起将所述第二注入记日志到第一跟踪缓冲器(即,单元格903,注入)。在实施例中,方法1100的这种执行具有以下技术效果:对由第一执行上下文的执行导致的、到第一存储器高速缓存子集的注入记日志。

[0105] 在该示例的另一个继续中,并参考单元格907,基于动作1102b中的第二执行上下文的执行,控制逻辑109a的存储器操作检测逻辑115还使微处理器执行动作1102,以便检测由第二执行上下文进行的、导致到第二存储器高速缓存子集的第二注入的第二存储器操作。控制逻辑109a的记日志逻辑116还使得微处理器执行动作1103和动作1104,以便响应于检测到第二存储器操作,发起将所述第二注入记日志到第二跟踪缓冲器(即,单元格907,注入)。在实施例中,方法1100的这种执行具有以下技术效果:对由第二执行上下文的执行导致的、到第二存储器高速缓存子集的注入记日志。

[0106] 值得注意的是,处理器可能允许为多个执行上下文(例如,上下文A和上下文B),但仅为源自存储器子集(例如,存储器地址子集、存储器页子集等)的高速缓存行保留一个或多个路的单个集合。在实施例中,在这些情况下,记日志逻辑116在基于路锁定进行记日志时实现与记日志逻辑122(在下文中讨论)在基于存储器页标记进行记日志时为图10(在下文讨论)的列1002c中的单元1005、单元1009和单元1013实现的行为相同的行为。

[0107] 因此,本文所描述的至少一些实施例利用存储器高速缓存路锁定特征来确定给定存储器操作的效果应该被记录到其中的执行跟踪,以便实现在多个执行上下文的同时/交错执行期间有效地记录可独立重放的执行跟踪的技术效果。

[0108] 在一些实施例中,扩展了对使用存储器页标记作为用于位准确跟踪的记日志提示的处理器支持,以支持将多个执行上下文的同时/交错执行记录到对应的可独立重放的执行跟踪中。如所讨论的,使用存储器页标记作为用于位准确跟踪的记日志提示通常通过维护将不同存储器区域(例如物理存储器页)分类为被记日志或不被记日志的存储器内数据结构(例如数据结构113)来操作,然后控制逻辑109使用该数据结构在代码执行期间基于高速缓存行是否来源于被分类/标记为被记日志或不被记日志的存储器区域来做出记日志决策。本文中的实施例通过以下来扩展这些技术:扩充存储器页标记(例如,在数据结构113内)为还指定要被记日志的一个或多个特定执行上下文,使得给定存储器页可以被分类为(i)针对一个或多个特定指定的执行上下文记日志,每个特定指定的执行上下文被分配给不同的执行跟踪缓冲器,或(ii)不被记日志。然后,当除了特定存储器区域被加标签为被记日志的特定执行上下文之外的任何执行上下文导致从该特定存储器区域注入或写入该特

定存储器区域时,实施例将注入/写入记日志到特定执行上下文的执行跟踪中。当本身与记录由每个被跟踪的执行上下文的执行导致的存储器操作的其他存储器页标记跟踪技术相结合时,这些实施例使得每个执行跟踪能够包含足以重放执行跟踪的对应被跟踪的执行上下文的存储器操作的存储器数据。

[0109] 在一些实施例中,存储器页标记被扩充,使得对于每个存储器页,标记指示是否针对多个执行上下文中的每个执行上下文对页记日志(例如,作为位图,每个被记录的执行上下文的一位用于指示是否应针对该上下文记录对页的访问)。对于每个存储器页,这些实施例对于每个可能被记录的执行上下文产生至少一个位的成本,但是提供了产生可快速访问的数据结构的益处。在其他实施例中,存储器页标记被扩充,使得对于每个存储器页,标记指示(i)是否该页将被记日志,以及(ii)该页的哪个(哪些)执行上下文将被记日志。这些实施例仅在存储器页被标记为要被记日志时产生指定被记录的执行上下文的成本,并且使得实现数据结构布局中的灵活性(例如,PTE/PDE),其可能的缺点是具有比前一实施例更慢的数据结构访问。

[0110] 图1C说明了控制逻辑109b的其他细节,包括使用存储器页标记作为记日志提示的组件,以将多个执行上下文同时记录到独立的执行跟踪中。控制逻辑109b的描绘的组件以及任何子组件表示控制逻辑109b根据本文所述的各种实施例可能实现或使用的各种功能。然而,应理解,所描绘的组件——包括其标识、子组件和布置——仅作为描述本文所述控制逻辑109b的各种实施方式的辅助而呈现,并且这些组件不限制软件和/或硬件如何实现本文所述的控制逻辑109b的各种实施例或其特定功能。

[0111] 如图所示,控制逻辑109b包括存储器操作检测逻辑120和存储器标记标识逻辑121。通常,存储器操作检测电路120检测执行上下文何时请求了影响存储器高速缓存107的存储器操作。此外,存储器操作检测逻辑120标识存储器操作的类型(例如,读取或写入),存储器操作是否导致到存储器高速缓存107的注入,以及哪个执行上下文请求了存储器操作。基于检测到的存储器操作,存储器标记标识逻辑121使用存储在基于存储器的数据结构(例如,数据结构113)中并可能高速缓存到TLB 108的标记,以确定与存储器操作的地址相对应的存储器页是否被标记为针对一个或多个被标识的执行上下文被记日志或不被记日志。

[0112] 例如,图8示出了物理到虚拟存储器地址空间映射的示例800,包括使用存储器标记作为多个执行上下文的记日志提示。如图所示,示例800示出了物理地址空间801(例如对应于系统存储器103中的物理地址)和两个虚拟地址空间(即虚拟地址空间802和虚拟地址空间803),该两个虚拟地址空间中的每个对应于某个执行上下文(例如,虚拟地址空间802的上下文A和虚拟地址空间803的上下文B)。每个地址空间被示为包括多个可寻址存储器位置(即,物理地址空间801的物理存储器位置801a-1到物理存储器位置802a-n,虚拟地址空间802的虚拟存储器位置802a-1到虚拟存储器位置803a-n,以及虚拟地址空间803的虚拟存储器单元803a-1到虚拟存储器单元803a-n)。此外,在每个地址空间中,这些可寻址存储器位置被示出为被布置成不同的存储器页(即,用于物理地址空间801的物理存储器页801b-1到物理存储器页802b-n,用于虚拟地址空间802的虚拟存储器页802a-1到虚拟存储器页802b-n,以及用于虚拟地址间隔803的虚拟存储器页803b-1到虚拟存储器页802b-n)。

[0113] 如物理地址空间801中的物理存储器页801b-1和虚拟地址空间802中的虚拟存储器页802b-2之间的箭头所示,存在映射到虚拟地址空间802的第一区域(即虚拟存储器位置

802a-4到虚拟存储器位置801a-6)的物理地址空间801的第一区域(即物理存储器位置802a-1到物理存储器位置801a-3)。此外,由物理地址空间801中的物理存储器页801b-2和虚拟地址空间803中的虚拟存储器页803b-2之间的箭头指示,存在映射到虚拟地址空间803的第一区域(即虚拟存储器位置803a-4到虚拟存储器位置802a-6)的物理地址空间801的第二区域(即物理存储器位置801a-4到物理存储器位置802a-6)。此外,如物理地址空间801中的物理存储器页801b-3和虚拟地址空间802中的虚拟存储器页802b-4之间的第一箭头所指示的,以及物理地址空间803中的物理存储器页801b-3和虚拟地址空间803中的虚拟存储器页803b-4之间第二箭头所指示,还存在物理地址空间801中的第二区域(即,物理存储器位置801a-7到物理存储器位置801a-9),其映射到以下两者:(i)虚拟地址空间802的第二区域(即,虚拟存储器位置802a-10到虚拟存储器位置802a-12)和(ii)虚拟地址空间803的第二区域(即虚拟存储器位置803a-10到虚拟存储器位置803a-12)。

[0114] 在示例800中,物理存储器页801b-1用左斜斜线进行阴影化,以指示此存储器页被标记为针对第一执行上下文(例如,上下文A,对应于虚拟地址空间802)被记日志。此外,物理存储器页801b-2用右倾斜斜线阴影化以指示此存储器页被标记为针对第二执行上下文(例如上下文B,对应于虚拟地址空间803)被记日志。此外,物理存储器页801b-3用交叉的斜线阴影化,以指示该存储器页被标记为针对第一执行上下文和第二执行上下文两者被记日志。其他物理存储器页被显示为没有任何阴影,指示它们被标记为不被记日志。

[0115] 控制逻辑109b还包括记日志逻辑122。通常,记日志逻辑122使用(i)哪个执行上下文请求了存储器操作,(ii)哪个物理存储器页受到存储器操作的影响,(iii)该存储器页的标识的标记(记日志提示),以及(iv)存储器操作的结果(例如,到存储器高速缓存107的注入、读取或写入中的一个或多个),以确定是否对存储器操作记日志(即,使用记日志动作确定逻辑123),以及如果是,则记日志到哪个跟踪缓冲器(即,利用记日志缓冲器确定逻辑124)。当记日志动作确定逻辑123确定存储器操作应被记日志时,记日志发起逻辑125发起向所选取的跟踪缓冲器记日志。

[0116] 现在结合图10描述记日志逻辑122的示例操作,图10示出了使用存储器页标记作为记日志提示的记日志动作的示例矩阵1000,以将多个执行上下文的同时执行记录到可独立重放的执行跟踪中。如单元格1001a、单元格1001b和单元格1001c所示,矩阵1000包括针对被记录的上下文A、被记录的上下文B和不被记录的上下文中的每一个的行。如单元格1002a、单元格1002b、单元格1002c和单元格1002d所示,矩阵1000包括针对以下中的每一个的列:标记为仅针对上下文A记日志的页(例如,页801b-1)、标记为仅针对上下文B记日志的页、标记为针对上下文A和上下文B记日志的页(例如,页801b-3),以及标记为不被记日志的页(例如,页801b-4)。对应行和对应列交叉处的每个单元格指示当对应行的上下文执行影响对应列的页的存储器操作时所采取的记日志动作(或不动作)。虽然矩阵1000只显示了两个被记录的上下文,但本文所述的原理可应用于任何数目的被记录的上下文。

[0117] 基于每个被记录的执行上下文的执行,记日志逻辑122将以下记日志到该被记录的执行上下文的执行跟踪中:导致来自被标记为针对任何执行上下文记日志的存储器页的注入的、或从不被标记为针对该执行上下文被记日志的任何存储器页读取的存储器操作。这使得这些注入和读取能够从每个记录的执行上下文的执行跟踪中再现。例如,如矩阵1000所示,当被记录的上下文A导致针对被标记为仅针对上下文A被记日志的存储器页内的

存储器地址的注入时,记日志逻辑122将该注入记日志到上下文A的执行跟踪(即,单元格1003,注入);当被记录的上下文A导致针对被标记为针对上下文A和上下文B两者被记日志的存储器页内的存储器地址的注入时,记日志逻辑122将该注入记日志到上下文A的执行跟踪和上下文B的执行跟踪中(即,单元格1005,注入);并且当被记录的上下文A从不被标记为针对上下文A记日志的任何存储器页内的存储器地址读取时,记日志逻辑122将该读取记日志到上下文A的执行跟踪中(即,单元格1004和单元格1006,读取)。类似地,当被记录的上下文B导致针对标记为仅针对上下文B被记日志的存储器页内的存储器地址的注入时,记日志逻辑122将该注入记日志到上下文B的执行跟踪(即,单元格1008,注入)中;当被记录的上下文B导致针对被标记为针对上下文A和上下文B两者被记日志的存储器页内的存储器地址的注入时,记日志逻辑122将该注入记日志到上下文A的执行跟踪和上下文B的执行跟踪两者中(即,单元格1009,注入);并且当被记录的上下文B从未被标记为针对上下文B被记日志的任何存储器页内的存储器地址读取时,记日志逻辑122将该读取记日志到上下文B的执行跟踪中(即,单元格1007和单元格1010,读取)。

[0118] 记日志逻辑122还将以下记日志到特定被记录的执行上下文的执行跟踪中:由除了特定被记录的执行上下文以外进行的、导致来自标记为针对特定被记录的执行上下文被记日志的存储器页的注入的存储器操作。由于特定被记录的执行上下文稍后从所注入的数据进行读取,而本身不会导致注入,这使得当代表特定被记录的执行上下文重放读存储器操作时,能够从特定的被记录的执行上下文的执行跟踪中再现那些注入。例如,如矩阵1000所示,当被记录的上下文A或不被记录的上下文导致针对标记为针对上下文B被记日志的存储器页内的存储器地址的注入时,记日志逻辑122将该注入记日志到上下文B的执行跟踪(即,单元格1004和单元格1012,注入);当被记录的上下文B或不被记录的上下文导致针对被标记为针对上下文A被记日志的存储器页内的存储器地址的注入时,记日志逻辑122将该注入记日志到上下文A的执行跟踪中(即,单元格1007和单元格1011,注入);并且当不被记录的上下文导致针对被标记为针对上下文A和上下文B两者被记日志的存储器页内的存储器地址的注入时,记日志逻辑122将该注入记日志到上下文A的执行跟踪和上下文B的执行跟踪两者中(即,单元格1013,注入)。

[0119] 对于除了特定被记录的执行上下文进行的、写入标记为针对特定被记录的执行上下文被记日志的存储器页的存储器操作,在一些实施例中,记日志逻辑122将写入记日志到特定被记录的执行上下文的执行跟踪中。由于特定被记录的执行上下文稍后可以从写入的数据执行读取,这种记日志使这些写入能够从特定被记录的执行上下文的执行跟踪中再现。在其他实施例中,记日志逻辑122导致对作为写入对象的任何高速缓存行的驱逐。通过执行驱逐,如果特定被记录的执行上下文随后要访问到高速缓存行的写入,则注入随后将被记日志到特定被记录的执行上下文的跟踪中。例如,如矩阵1000中所示,当被记录的上下文A执行对被标记为针对上下文B被记日志的存储器页内的存储器地址的写入时,记日志逻辑122将该写入记日志到上下文B的执行跟踪中(即,单元格1004,写入),或者驱逐到高速缓存行的所述写入(即,单元格1004,写入);并且当被记录的上下文B执行对被标记为针对上下文A(而不是上下文B)被记日志的存储器页内的存储器地址的写入时,记日志逻辑122将该写入记日志到上下文A的执行跟踪中(即,单元格1007,写入),或者驱逐到高速缓存行的所述写入(即,单元格1007,写入)。此外,当被记录的上下文A执行对被标记为针对上下文A

和上下文B两者被记日志的存储器页内的存储器地址的写入时,记日志逻辑122将该写入记日志到上下文B的执行跟踪(即,单元格1005,写入),或驱逐到高速缓存行的所述写入(即,单元格1005、写入);并且当被记录的上下文B执行对被标记为针对上下文A和上下文B两者被记日志的存储器页内的存储器地址的写入时,记日志逻辑122将该写入记日志到上下文A的执行跟踪中(即,单元格1009,写入),或者驱逐到高速缓存行的所述写入(即,单元格1009,写入)。最终,当不被记录的上下文执行对被标记为仅针对上下文A被记日志的存储器页内的存储器地址的写入时,记日志逻辑122将该写入记日志到上下文A的执行跟踪中(即,单元格1011,写入),或者驱逐到高速缓存行的所述写入(即,单元格1004,写入);当不被记录的上下文执行对被标记为仅针对上下文B被记日志的存储器页内的存储器地址的写入时,记日志逻辑122将该写入记日志到上下文B的执行跟踪中(即,单元格1012,写入),或驱逐到高速缓存行的写入(即,单元格1004,写入);并且当不被记录的上下文执行对被标记为针对上下文A和上下文B被记日志的存储器页内的存储器地址的写入时,记日志逻辑122将该写入记日志到上下文A的执行跟踪和上下文B的执行跟踪两者中(即,单元格1013,写入),或者驱逐到高速缓存行的写入(即,单元格1013,写入)。在又其他实施例中,记日志逻辑122通过将高速缓存行从其被注入的存储器页标记为不被记录来用信号通知高速缓存行是不被记录的。

[0120] 值得注意的是,单个存储器操作可能会导致多个记日志动作。例如,参考单元格1004,上下文A从标记为针对上下文B被记日志的存储器页内的地址读取可能会导致到存储器高速缓存107的注入;在这种情况下,记日志逻辑122可以将注入记日志到上下文B的执行跟踪中,也可以将读取记录到上下文A的执行跟踪。类似地,再次参考单元格1004,上下文A对被标记为针对上下文B被记日志的存储器页内的地址的写入可能导致到存储器高速缓存107的注入;在这种情况下,记日志逻辑122可以将注入记日志到上下文B的执行跟踪中,并且可以将读取记日志到上下文B的执行跟踪或驱逐到高速缓存行的写入。类似的多个记日志动作可以由上下文B对被标记为针对上下文A记日志的存储器页内的地址的存储器操作产生(例如,单元格1007)。

[0121] 几个单元具有“无记日志”动作(即,单元格1003,读取/写入;单元格1005,读取;单元格1006,注入/写入;单元格1008,读取/写入;单元格1009,读取;单元格1010,注入/写入;以及单元格1014)。在一些实施例中,这些无记日志动作中的一个或多个可以是记日志动作;然而,本领域普通技术人员将理解,已经描述的记日志动作足以再现由被记录的上下文进行的存储器操作。

[0122] 为了进一步描述控制逻辑109b的这些组件的操作,下面的讨论现在涉及方法和方法动作。尽管方法动作可以按特定顺序进行讨论,或者可以在流程图中示出为按特定顺序发生,但除非特别说明或者需要因为一个动作依赖于在执行该动作之前完成的另一个动作,否则特定顺序不被需要。

[0123] 图12示出了示例方法1200的流程图,该方法使用存储器页标记作为记日志提示,将多个执行上下文同时记录到独立的执行跟踪中。将关于计算环境100的组件和数据来描述方法1200。在实施例中,方法1200基于处理器(例如,处理器102)的控制逻辑(例如,控制逻辑109b)来实现,该处理器包括处理单元(例如,处理单元106)和存储器高速缓存(例如,存储器高速缓存107)。

[0124] 方法1200还包括在处理器处对执行上下文进行执行的动作1201。在动作1201的示

例中,处理器102执行来自操作环境110或应用111的代码的线程。在图12中,动作1201可以包括在处理器处执行被记日志的第一执行上下文(动作1201a),在处理器处执行被记日志的第二执行上下文(动作1201b),或在处理器处执行不被记日志的第三执行上下文(动作1201c)。在实施例中,动作1201具有执行可以执行存储器操作的代码的技术效果,从而触发动作1202。

[0125] 方法1200还包括检测由执行上下文进行的存储器操作的动作1202,所述存储器操作以存储器地址为目标进行操作。在动作1202的示例中,存储器操作检测逻辑120检测到动作1201中的执行上下文的执行已经导致以特定存储器地址为目标的存储器操作。存储器操作检测逻辑120还可以标识存储器操作(例如,读取、写入、注入)的结果,以及哪个执行上下文导致存储器操作。在实施例中,动作1202具有检测可能需要被记日志到执行跟踪中的存储器操作的技术效果。

[0126] 方法1200还包括标识对应于存储器地址的存储器标记的动作1203,存储器标记指示对应于地址的存储器区域是否应该被记日志,如果是,则指示针对哪个执行上下文。在动作1203的示例中,存储器标记标识逻辑121查阅存储在存储器内数据结构(可能被高速缓存到TLB 108)中的标记——诸如结合实例800演示的那些——以确定(i)对应于存储器地址的存储器页的标记是否被标记为被记日志,以及(ii)如果是,则针对哪个执行上下文。在实施例中,动作1203具有以下技术效果:使用存储的存储器页标记来确定作为存储器操作的目标的存储器页是否包括指示该存储器操作可能需要针对给定执行上下文被记日志的提示。

[0127] 方法1200还包括动作1204:基于执行上下文的标识、存储器标记和操作结果,确定(i)是否对存储器操作记日志,以及在记日志时,(ii)一个或多个目的地跟踪缓冲器。在动作1201的示例中,记日志动作确定逻辑123使用执行上下文的标识,在动作1203中标识的存储器标记,以及操作结果(例如,注入、读取、写入),以确定是否执行一个或多个记日志动作,以及如果是,则这些动作是什么(例如,对注入记日志、对读取记日志、对写入记日志、驱逐)。在实施例中,记日志动作确定逻辑123遵循矩阵1000来确定记日志动作。当记日志动作确定逻辑123确定应该执行一个或多个记日志动作时,记日志缓冲器确定逻辑124确定每个记日志动作应该以哪个执行跟踪缓冲器(如果有的话)为目标。在实施例中,记日志缓冲器确定逻辑124遵循矩阵1000来确定适用的执行跟踪缓冲器(如果有的话)。

[0128] 在某些情况下,方法1200还包括将注入、读取或写入中的一个或多个记日志到目的地跟踪缓冲器,或驱逐高速缓存行的动作1205。在动作1205的示例中,在记日志动作确定逻辑123已确定要执行“对注入记日志”、“对读取记日志”或“对写入记日志”动作中的一格或多个时,记日志发起逻辑125向记日志缓冲器确定逻辑124标识的执行跟踪缓冲器发起该记日志动作。在动作1205的另一个示例中,当记日志动作确定逻辑125已确定要执行驱逐动作时,控制逻辑109b从存储器高速缓存107驱逐目标高速缓存行。值得注意的是,以虚线示出动作1205以指示动作1205可能并不总是被执行——例如,当记日志动作确定逻辑123在动作1204中确定没有记日志动作将被执行时。

[0129] 在实施例中,动作1204和动作1205具有以下技术效果:(i)将跟踪数据提交到可用于重放可执行上下文的至少一个可重放执行跟踪112,或者(ii)从存储器高速缓存107清除高速缓存行。在实施例中,从存储器高速缓存107清除高速缓存行使得该高速缓存行在其稍

后由被记录的执行上下文访问的情况下,稍后能够被记日志为注入。

[0130] 如图所示,存在从动作1205延伸到动作1201的箭头,指示方法1200可以重复任何次数,其中动作1201a、动作1201b或动作1201c中的任何一个与动作1201中的每个实例结合发生。

[0131] 在方法1200的一个示例应用中,一些实施例涉及用于使用存储器页标记作为记日志提示以将多个执行上下文同时记录到独立执行跟踪中的方法、系统和计算机程序产品。在一个实施例中,微处理器(例如,处理器102)包括处理单元(例如,处理单元106)、包括多个高速缓存槽的存储器高速缓存(例如,存储器高速缓存107)、以及被配置为实现方法1200的至少一部分的控制逻辑(109b)。

[0132] 在该示例中,参考单元格1004,基于动作1201a中第一执行上下文的执行,控制逻辑109b的存储器操作检测逻辑120使微处理器执行动作1202,以便检测由第一执行上下文执行引起的第一存储器操作,第一存储器操作以第一存储器地址为目标。控制逻辑109b的存储器标记标识逻辑121还使得微处理器执行动作1102,以便基于检测到第一存储器操作来标识第一存储器操作的第一对应存储器标记,该第一对应存储器标记是多个存储器标记中的一个存储器标记,该多个存储器标记包括(i)第一存储器标记,指示第一存储器区域(例如,页面801b-1)针对第一执行上下文(例如,被记录的上下文A)被记日志,第一执行上下文的执行被记录到第一跟踪缓冲器(例如,可重放执行跟踪112中的第一个)中;以及(ii)第二存储器标记,指示第二存储器区域(例如,页面801b-2)针对第二执行上下文(例如,被记录的上下文B)被记日志,第二执行上下文的执行被记录到第二跟踪缓冲器(例如,可重放执行跟踪112中的第二个)中。控制逻辑109b的记日志逻辑122还使得微处理器执行动作1104和1105,以便基于将第一对应存储器标记标识为第二存储器标记,并且基于由第一执行上下文的执行引起的第一存储器操作,执行以下中的至少一个:(i)当第一存储器操作导致到存储器高速缓存的第一注入时,发起将第一注入记日志到第二跟踪缓冲器(即,单元格1004,注入);(ii)当第一存储器操作是从存储器高速缓存的第一读取时,发起将第一读取记日志到第一跟踪缓冲器(即,单元格1004,读取);或(iii)当第一存储器操作是对存储器高速缓存的第一写入时,执行(a)发起将第一写入记日志到第二跟踪缓冲器,或(b)驱逐作为第一写入的目标的第一高速缓存行中的一个(即,单元格1004,写入)。在实施例中,方法1200的这种执行具有以下技术效果:对影响被标记为针对第二执行上下文记日志的存储器页的、由第一执行上下文导致的存储器操作的影响记日志。

[0133] 在该示例的继续中,参考单元格1007,基于动作1201a中第二执行上下文的执行,控制逻辑109b的存储器操作检测逻辑120使微处理器执行动作1202,以便检测由第二执行上下文执行引起的第二存储器操作,第二存储器操作以第二存储器地址为目标。控制逻辑109b的存储器标记标识逻辑121还使得微处理器执行动作1102,以便基于检测到第二存储器操作来标识第二存储器操作的第二对应存储器标记,该第二对应存储器标记是多个存储器标记中的一个存储器标记。控制逻辑109b的记日志逻辑122还使得微处理器执行动作1104和1105,以便基于将第二对应存储器标记标识为第一存储器标记,并且基于由第二执行上下文的执行引起的第二存储器操作,执行以下中的至少一个:(i)当第二存储器操作导致到存储器高速缓存的第二注入时,发起将第二注入记日志到第一跟踪缓冲器(即,单元格1007,注入);(ii)当第二存储器操作是从存储器高速缓存的第二读取时,发起将第二读取

记日志到第二跟踪缓冲器(即,单元格1007,读取);或(iii)当第二存储器操作是对存储器高速缓存的第二写入时,执行(a)发起将第二写入记日志到第一跟踪缓冲器,或(b)驱逐作为第二写入的目标的第二高速缓存行中的一个(即,单元格1007,写入)。在实施例中,方法1200的这种执行具有以下技术效果:对影响被标记为针对第一执行上下文被记日志的存储器页的、由第二执行上下文导致的存储器操作的影响记日志。

[0134] 在该示例的另一个继续中,多个存储器标记还包括:(iii)第三存储器标记,指示第三存储器区域(例如,页801b-3)针对第一执行上下文和第二执行上下文两者被记日志。参考单元格1005,基于动作1201a中第一执行上下文的执行,控制逻辑109b的存储器操作检测逻辑120使微处理器执行动作1202,以便检测由第一执行上下文执行引起的第二存储器操作,第二存储器操作以第二存储器地址为目标。控制逻辑109b的存储器标记标识逻辑121还使得微处理器执行动作1102,以便基于检测到第二存储器操作来标识第二存储器操作的第二对应存储器标记,该第二对应存储器标记是多个存储器标记中的一个存储器标记。控制逻辑109b的记日志逻辑122还使得微处理器执行动作1104和1105,以便基于将第二对应存储器标记标识为第三存储器标记,并且基于由第一执行上下文的执行引起的第二存储器操作,执行以下中的至少一个:(i)当第二存储器操作导致到存储器高速缓存的第二注入时,发起将第二注入记日志到第一跟踪缓冲器和第二跟踪缓冲器两者(即,单元格1005,注入);或(ii)当第二存储器操作是到存储器高速缓存的第二写入时,发起将第二写入记日志到第二跟踪缓冲器(即,单元格1005,写入)。在实施例中,方法1200的这种执行具有以下技术效果:对影响被标记为针对第一执行上下文和第二执行上下文两者被记日志的存储器页的、由第一执行上下文导致的存储器操作的影响记日志。

[0135] 在该示例的另一个继续中,多个存储器标记还包括:(iii)第三存储器标记,指示第三存储器区域(例如,页801b-3)针对第一执行上下文和第二执行上下文两者被记日志。参考单元格1009,基于动作1201a中第二执行上下文的执行,控制逻辑109b的存储器操作检测逻辑120使微处理器执行动作1202,以便检测由第二执行上下文执行引起的第二存储器操作,第二存储器操作以第二存储器地址为目标。控制逻辑109b的存储器标记标识逻辑121还使得微处理器执行动作1102,以便基于检测到第二存储器操作来标识第二存储器操作的第二对应存储器标记,该第二对应存储器标记是多个存储器标记中的一个存储器标记。控制逻辑109b的记日志逻辑122还使得微处理器执行动作1104和1105,以便基于将第二对应存储器标记标识为第三存储器标记,并且基于由第二执行上下文的执行引起的第二存储器操作,执行以下中的至少一个:(i)当第二存储器操作导致到存储器高速缓存的第二注入时,发起将第二注入记日志到第一跟踪缓冲器和第二跟踪缓冲器两者(即,单元格1009,注入);或(ii)当第二存储器操作是到存储器高速缓存的第二写入时,发起将第二写入记日志到第二跟踪缓冲器(即,单元格1009,写入)。在实施例中,方法1200的这种执行具有以下技术效果:对影响被标记为针对第一执行上下文和第二执行上下文两者被记日志的存储器页的、由第二执行上下文导致的存储器操作的影响记日志。

[0136] 在该示例的另一个继续中,参考单元格1011,基于动作1201c中第三执行上下文的执行,控制逻辑109b的存储器操作检测逻辑120使微处理器执行动作1202,以便检测由第三执行上下文的执行引起的第二存储器操作,第二存储器操作以第二存储器地址为目标。控制逻辑109b的存储器标记标识逻辑121还使得微处理器执行动作1102,以便基于检测到第

二存储器操作来标识第二存储器操作的第二对应存储器标记,该第二对应存储器标记是多个存储器标记中的一个存储器标记。控制逻辑109b的记日志逻辑122还使得微处理器执行动作1104和1105,以便基于将第二对应存储器标记标识为第二存储器标记,并且基于由第三执行上下文的执行引起的第二存储器操作,执行以下中的至少一个:(i)当第二存储器操作导致到存储器高速缓存的第二注入时,发起将第二注入记日志到第一跟踪缓冲器(即,单元格1011,注入);或(ii)当第二存储器操作是向存储器高速缓存的第二写入时,执行(a)发起将第二写入记日志到第一跟踪缓冲器,或(b)驱逐作为第二写入的目标的第二高速缓存行中的一个(即,单元格1011,写入)。在实施例,方法1200的这种执行具有以下技术效果:对影响被标记为针对第一执行上下文记日志的存储器页的、由不被记录的执行上下文导致的存储器操作的影响记日志。

[0137] 在该示例的另一个继续中,参考单元格1012,基于动作1201c中第三执行上下文的执行,控制逻辑109b的存储器操作检测逻辑120使微处理器执行动作1202,以便检测由第三执行上下文的执行引起的第二存储器操作,第二存储器操作以第二存储器地址为目标。控制逻辑109b的存储器标记标识逻辑121还使得微处理器执行动作1102,以便基于检测到第二存储器操作来标识第二存储器操作的第二对应存储器标记,该第二对应存储器标记是多个存储器标记中的一个存储器标记。控制逻辑109b的记日志逻辑122还使得微处理器执行动作1104和1105,以便基于将第二对应存储器标记标识为第二存储器标记,并且基于由第三执行上下文的执行引起的第二存储器操作,执行以下中的至少一个:(i)当第二存储器操作导致到存储器高速缓存的第二注入时,发起将第二注入记日志到第二跟踪缓冲器(即,单元格1012,注入);或(ii)当第二存储器操作是向存储器高速缓存的第二写入时,执行(a)发起将第二写入记日志到第二跟踪缓冲器,或(b)驱逐作为第二写入的目标的第二高速缓存行中的一个(即,单元格1011,写入)。在实施例,方法1200的这种执行具有以下技术效果:对影响被标记为针对第一执行上下文记日志的存储器页的、由不被记录的执行上下文导致的存储器操作的影响记日志。

[0138] 在该示例的另一个继续中,多个存储器标记还包括:(iii)第三存储器标记,指示第三存储器区域(例如,页801b-3)针对第一执行上下文和第二执行上下文两者被记日志。参考单元格1013,基于动作1201a中第三执行上下文的执行,控制逻辑109b的存储器操作检测逻辑120使微处理器执行动作1202,以便检测由第三执行上下文的执行引起的第二存储器操作,第二存储器操作以第二存储器地址为目标。控制逻辑109b的存储器标记标识逻辑121还使得微处理器执行动作1102,以便基于检测到第二存储器操作来标识第二存储器操作的第二对应存储器标记,该第二对应存储器标记是多个存储器标记中的一个存储器标记。控制逻辑109b的记日志逻辑122还使得微处理器执行动作1104和1105,以便基于将第二对应存储器标记标识为第三存储器标记,并且基于由第三执行上下文的执行引起的第二存储器操作,执行以下中的至少一个:(i)当第二存储器操作导致到存储器高速缓存的第二注入时,发起将第二注入记日志到第一跟踪缓冲器和第二跟踪缓冲器两者(即,单元格1013,注入);或(ii)当第二存储器操作是到存储器高速缓存的第二写入时,执行(a)发起将第二注入记日志到第一跟踪缓冲器和第二跟踪缓冲器两者或(b)驱逐作为第二写入的目标的第二高速缓存行中的一个(即,单元格1013,写入)。在实施例,方法1200的这种执行具有以下技术效果:对影响被标记为针对第一执行上下文和第二执行上下文两者被记日志的存储

器页的、由第二执行上下文导致的存储器操作的影响记日志。

[0139] 在该示例的另一个继续中,参考单元格1003,基于动作1201a中第一执行上下文的执行,控制逻辑109b的存储器操作检测逻辑120使微处理器执行动作1202,以便检测由第一执行上下文的执行引起的第二存储器操作,第二存储器操作以第二存储器地址为目标。控制逻辑109b的存储器标记标识逻辑121还使得微处理器执行动作1102,以便基于检测到第二存储器操作来标识第二存储器操作的第二对应存储器标记,该第二对应存储器标记是多个存储器标记中的一个存储器标记。控制逻辑109b的记日志逻辑122还使得微处理器执行动作1104和1105,以便基于将第二对应存储器标记标识为第一存储器标记,基于由第一执行上下文的执行引起的第二存储器操作,以及基于第二存储器操作导致到存储器高速缓存的第二注入,发起将第二注入记日志到第一跟踪缓冲器(即,单元格1003,注入)。在实施例 中,方法1200的这种执行具有以下技术效果:对由第一执行上下文的执行导致的、来自被标记为针对第一执行上下文记日志的存储器页的注入记日志。

[0140] 在该示例的另一个继续中,参考单元格1008,基于动作1201b中第二执行上下文的执行,控制逻辑109b的存储器操作检测逻辑120使微处理器执行动作1202,以便检测由第二执行上下文的执行引起的第二存储器操作,第二存储器操作以第二存储器地址为目标。控制逻辑109b的存储器标记标识逻辑121还使得微处理器执行动作1102,以便基于检测到第二存储器操作来标识第二存储器操作的第二对应存储器标记,该第二对应存储器标记是多个存储器标记中的一个存储器标记。控制逻辑109b的记日志逻辑122还使得微处理器执行动作1104和1105,以便基于将第二对应存储器标记标识为第二存储器标记,基于由第二执行上下文的执行引起的第二存储器操作,以及基于第二存储器操作导致到存储器高速缓存的第二注入,发起将第二注入记日志到第二跟踪缓冲器(即,单元格1008,注入)。在实施例 中,方法1200的这种执行具有以下技术效果:对由第二执行上下文的执行导致的、来自被标记为针对第二执行上下文记日志的存储器页的注入记日志。

[0141] 在该示例的另一个继续中,多个存储器标记还包括:(iii)第三存储器标记,指示第三存储器区域(例如,页801b-4)针对第任何执行上下文不被记日志。参考单元格1006,基于动作1201a中第一执行上下文的执行,控制逻辑109b的存储器操作检测逻辑120使微处理器执行动作1202,以便检测由第一执行上下文的执行引起的第二存储器操作,第二存储器操作以第二存储器地址为目标。控制逻辑109b的存储器标记标识逻辑121还使得微处理器执行动作1102,以便基于检测到第二存储器操作来标识第二存储器操作的第二对应存储器标记,该第二对应存储器标记是多个存储器标记中的一个存储器标记。控制逻辑109b的记日志逻辑122还使得微处理器执行动作1104和1105,以便基于将第二对应存储器标记标识为第三存储器标记,基于由第一执行上下文的执行引起的第二存储器操作,以及基于第二存储器操作是从存储器高速缓存的第二读取,发起将第二读取记日志到第一跟踪缓冲器(即,单元格1006,读取)。在实施例 中,方法1200的这种执行具有以下技术效果:对由第一执行上下文导致的、来自被标记为不被记日志的存储器页的存储器读取操作的影响记日志。

[0142] 在该示例的另一个继续中,多个存储器标记还包括:(iii)第三存储器标记,指示第三存储器区域(例如,页801b-4)针对第任何执行上下文不被记日志。参考单元格1010,基于动作1201b中第二执行上下文的执行,控制逻辑109b的存储器操作检测逻辑120使微处理器执行动作1202,以便检测由第二执行上下文的执行引起的第二存储器操作,第二存储器

操作以第二存储器地址为目标。控制逻辑109b的存储器标记标识逻辑121还使得微处理器执行动作1102,以便基于检测到第二存储器操作来标识第二存储器操作的第二对应存储器标记,该第二对应存储器标记是多个存储器标记中的一个存储器标记。控制逻辑109b的记日志逻辑122还使得微处理器执行动作1104和1105,以便基于将第二对应存储器标记标识为第三存储器标记,基于由第二执行上下文的执行引起的第二存储器操作,以及基于第二存储器操作是从存储器高速缓存的第二读取,发起将第二读取记日志到第二跟踪缓冲器(即,单元格1010,读取)。在实施例中,方法1200的这种执行具有以下技术效果:对由第二执行上下文导致的、来自被标记为不被记日志的存储器页的存储器读取操作的影响记日志。

[0143] 因此,本文所描述的至少一些实施例利用存储器页标记作为记日志提示来确定给定存储器操作的效果应该被记录到其中的执行跟踪,以便实现在多个执行上下文的同时/交错执行期间有效地记录可独立重放的执行跟踪的技术效果。

[0144] 尽管已经用特定于结构特征和/或方法行为的语言描述了主题,但是应当理解,所附权利要求中定义的主题不一定限于上述描述的特征或行为,或者上述行为的顺序。相反,所描述的特征和动作被公开为实现权利要求的示例形式。

[0145] 本发明可以在不偏离其基本特征的情况下以其他特定形式体现。所描述的实施例在所有方面仅被视为说明性的,而非限制性的。因此,本发明的范围是,由所附权利要求而非前述描述所指示。在权利要求的含义和等效范围内的所有变化都应包含在其范围内。当在所附权利要求中引入元素时,冠词“一”、“一个”、“该”和“所述”旨在表示存在一个或多个元素。术语“包括”、“包含”和“具有”旨在是包括性的,并表示可能存在除所列元素之外的其他元素。除非另有规定,术语“集合”、“超集”和“子集”旨在排除一个空集,因此“集合”被定义为非空集合,“超集”被定义为一个非空超集,“子集”被定义成一个非空子集。除非另有规定,否则术语“子集”排除了其超集的全部(即,超集至少包含不包含在子集中的至少一个项)。除非另有说明,否则“超集”可以包括至少一个附加元素,“子集”可以排除至少一个元素。

100

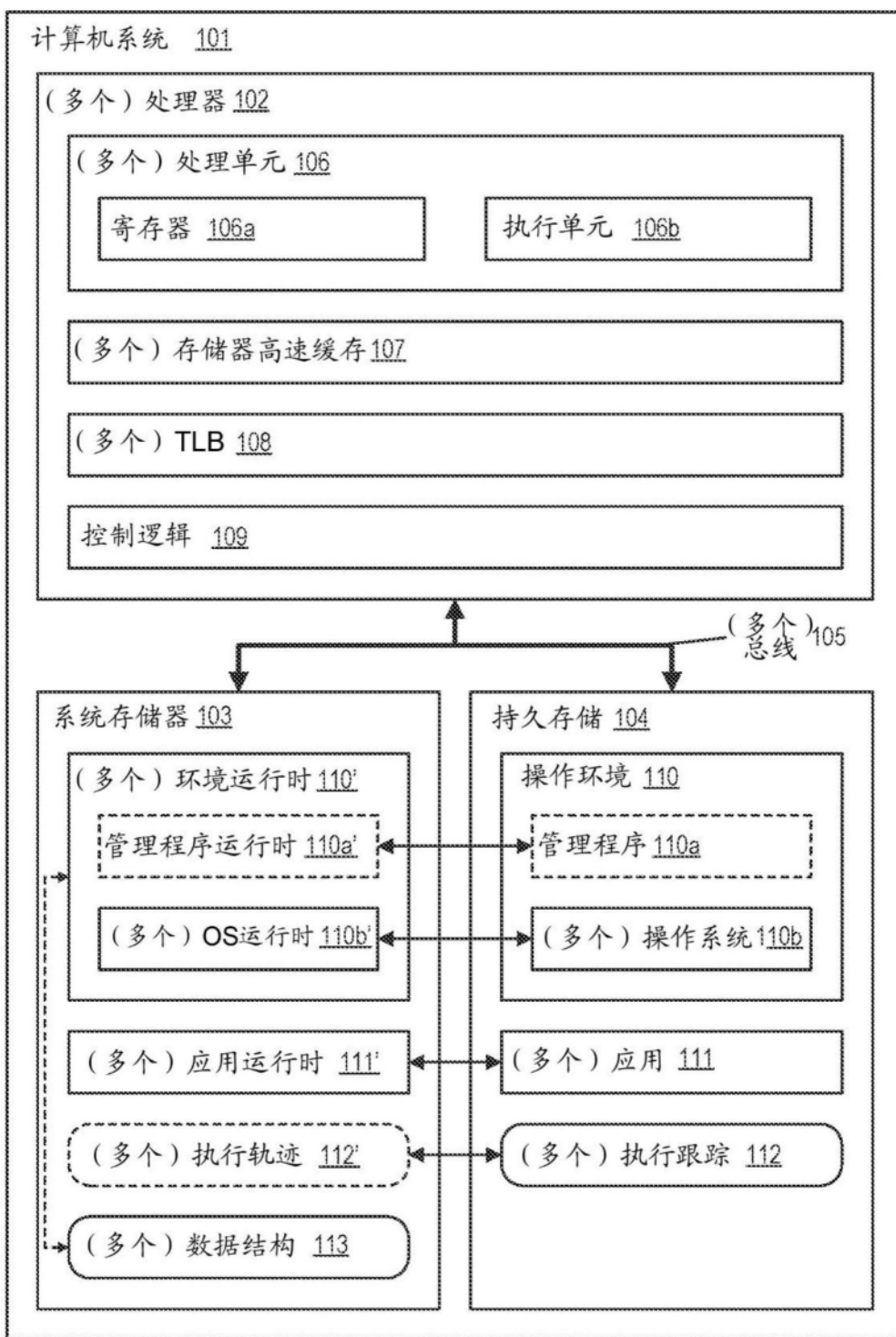


图1A

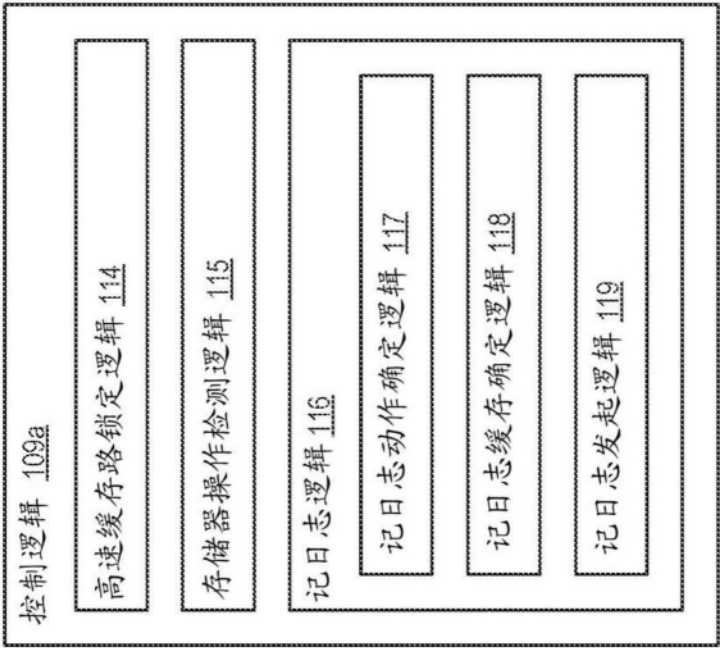


图1B

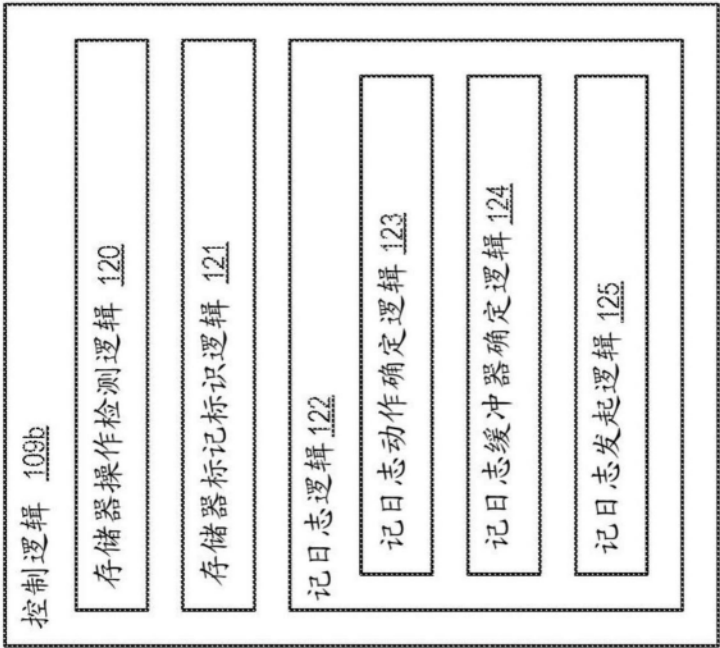


图1C

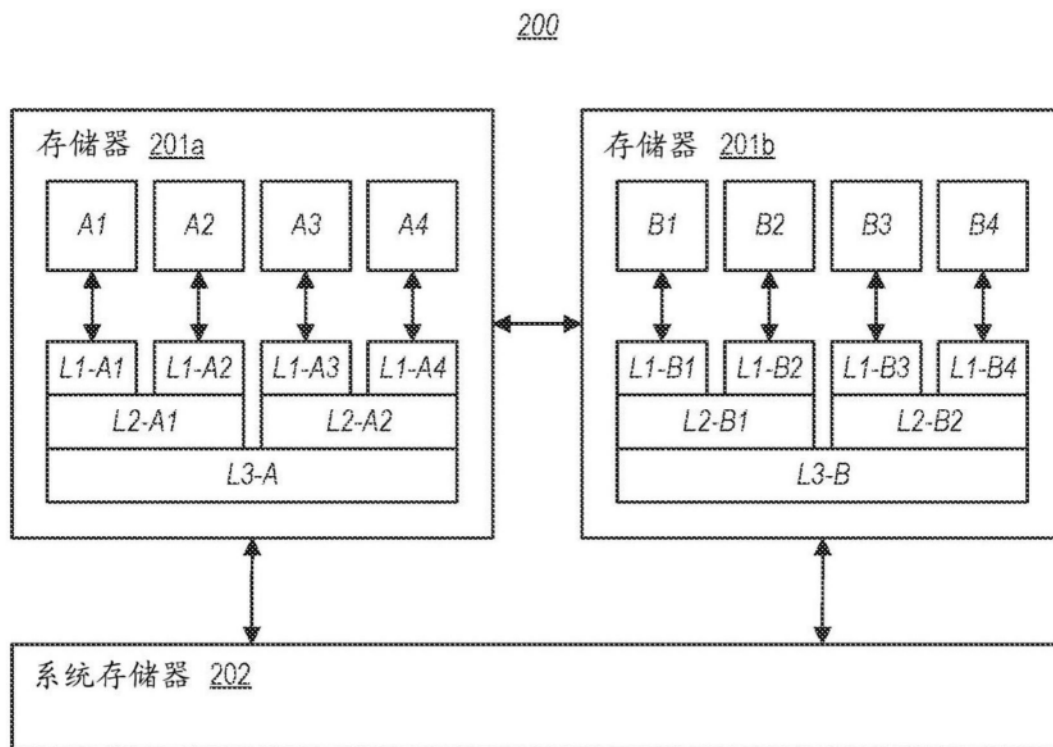


图2

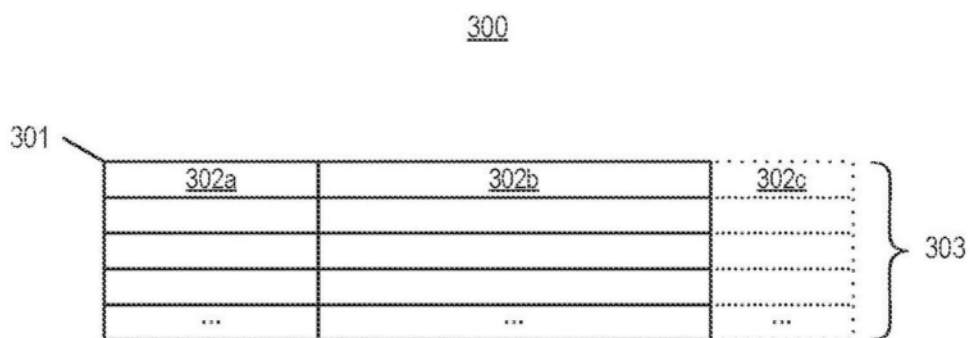


图3

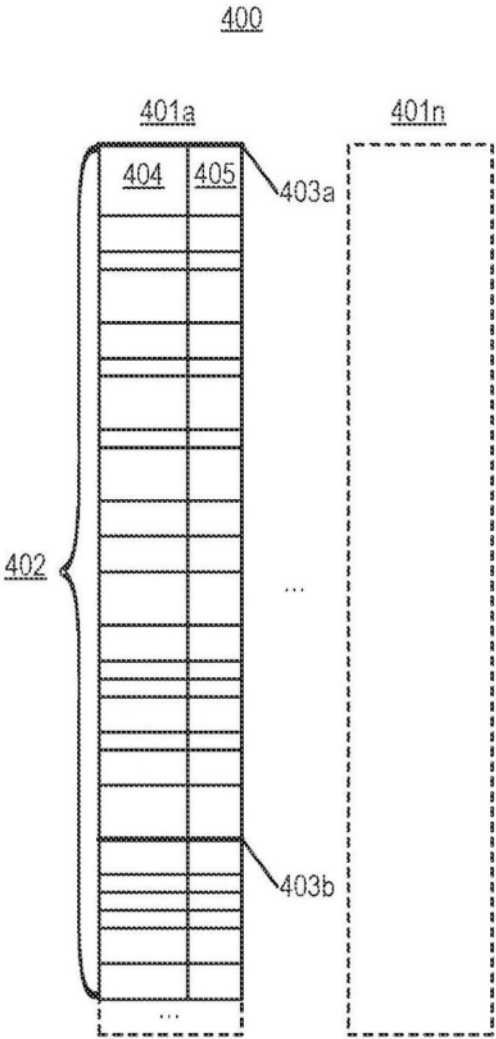


图4

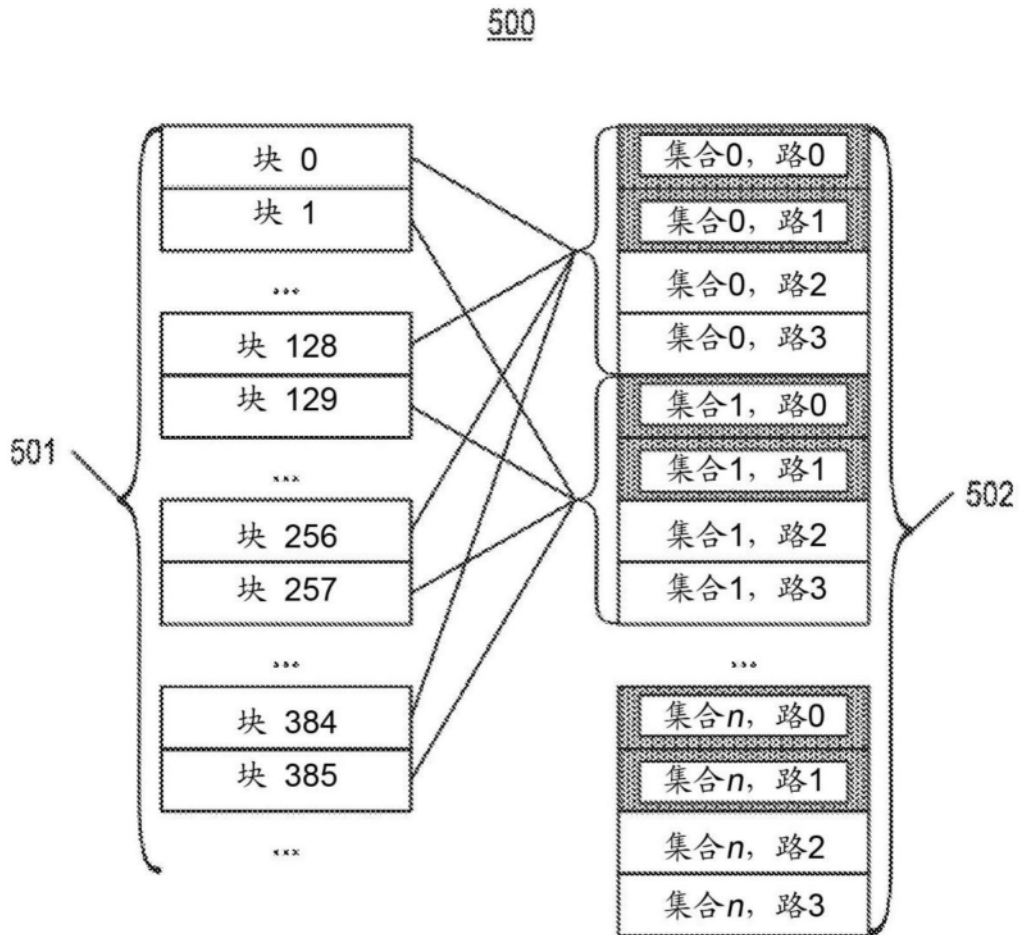


图5

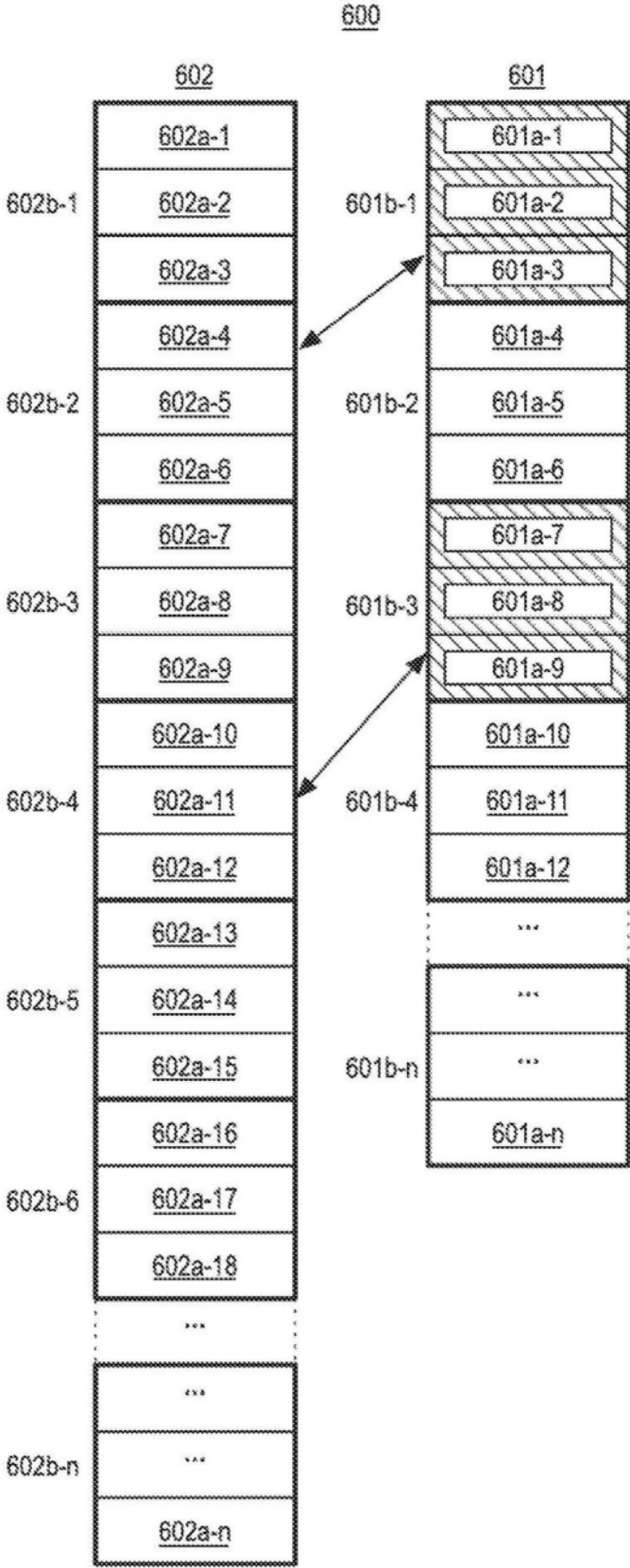


图6

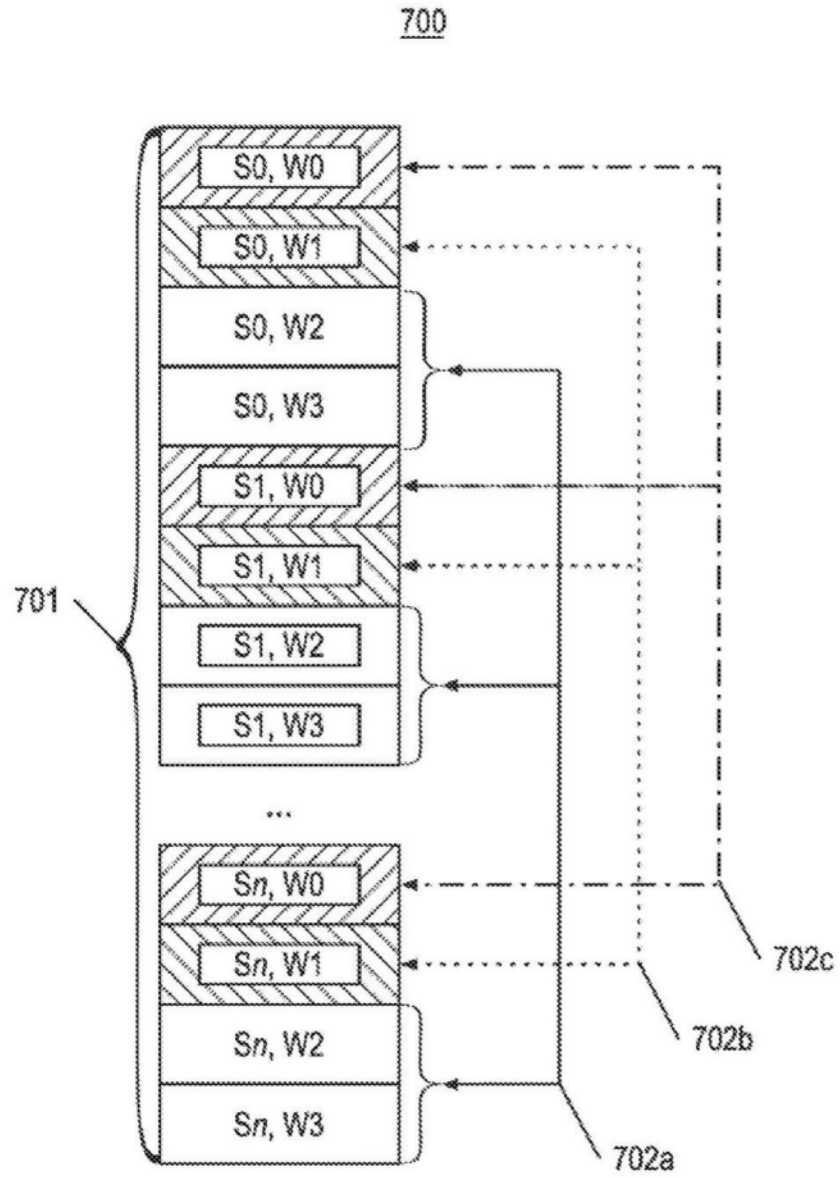


图7

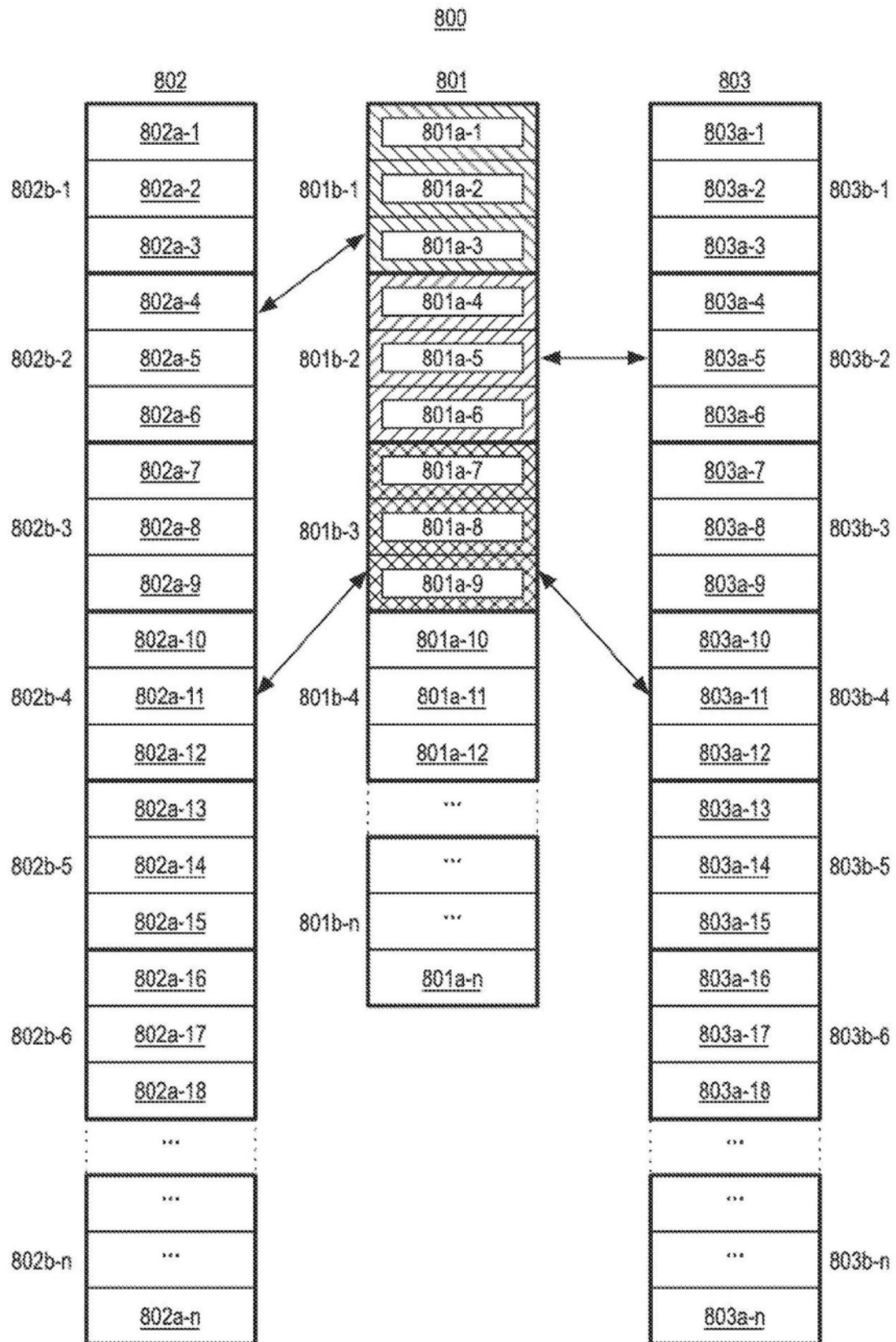


图8

900

	902a 上下文A的 保留的（多个）路	902b 上下文B的 保留的（多个）路	902c 不被保留的 （多个）路
901a 上下文A （被记录）	903 注入：向A的跟踪记日志 读取：不记日志 写入：不记日志	904 注入：向B的跟踪记日志 读取：向A的跟踪记日志 写入：向B的跟踪记日志、 或驱逐	905 注入：不记日志 读取：向A的跟踪记日志 写入：不记日志
901b 上下文B （被记录）	906 注入：向A的跟踪记日志 读取：向B的跟踪记日志 写入：向A的跟踪记日志、 或驱逐	907 注入：向B的跟踪记日志 读取：不记日志 写入：不记日志	908 注入：不记日志 读取：向B的跟踪记日志 写入：不记日志
901c （多个）不被记录 的上下文	909 注入：向A的跟踪记日志 读取：不记日志 写入：向A的跟踪记日志、 或驱逐	910 注入：向B的跟踪记日志 读取：不记日志 写入：向B的跟踪记日志、 或驱逐	911 注入：不记日志 读取：不记日志 写入：不记日志

图9

1000

	1002a 针对上下文A的被记 日志的 (多个) 页	1002b 针对上下文B的被记 日志的 (多个) 页	1002c 针对上下文A和B的 被记日志的 (多个) 页	1002d 不被记日志的 (多个) 页
1001a 上下文A (被记录)	1003 注入: 向A的跟踪记日志 读取: 不记日志 写入: 不记日志	1004 注入: 向B的跟踪记日志 读取: 向A的跟踪记日志 写入: 向B的跟踪记日志、 或驱逐	1005 注入: 向A和B的跟踪记 日志 读取: 不记日志 写入: 向B的跟踪记日志、 或驱逐	1006 注入: 不记日志 读取: 向A的跟踪记日志 写入: 不记日志
1001b 上下文B (被记录)	1007 注入: 向A的跟踪记日志 读取: 向B的跟踪记日志 写入: 向A的跟踪记日志、 或驱逐	1008 注入: 向B的跟踪记日志 读取: 不记日志 写入: 不记日志	1009 注入: 向A和B的跟踪记 日志 读取: 不记日志 写入: 向A的跟踪记日志、 或驱逐	1010 注入: 不记日志 读取: 向B的跟踪记日志 写入: 不记日志
1001c (多个) 不被 记录的上下文	1011 注入: 向A的跟踪记日志 读取: 不记日志 写入: 向A的跟踪记日志、 或驱逐	1012 注入: 向B的跟踪记日志 读取: 不记日志 写入: 向B的跟踪记日志、 或驱逐	1013 注入: 向A和B的跟踪记 日志 读取: 不记日志 写入: 向A和B的跟踪记 日志、或驱逐	1014 注入: 不记日志 读取: 不记日志 写入: 不记日志

图10

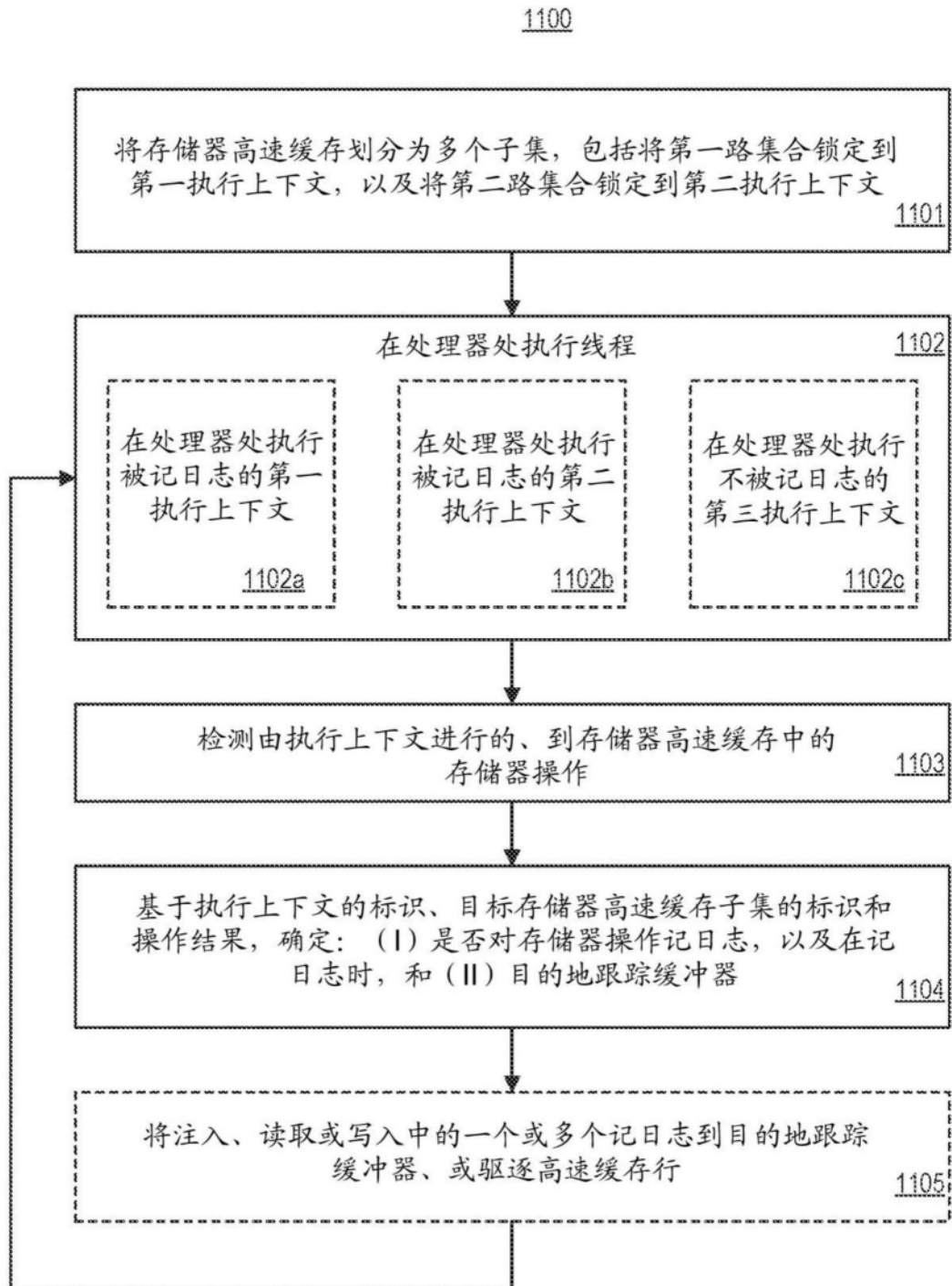


图11

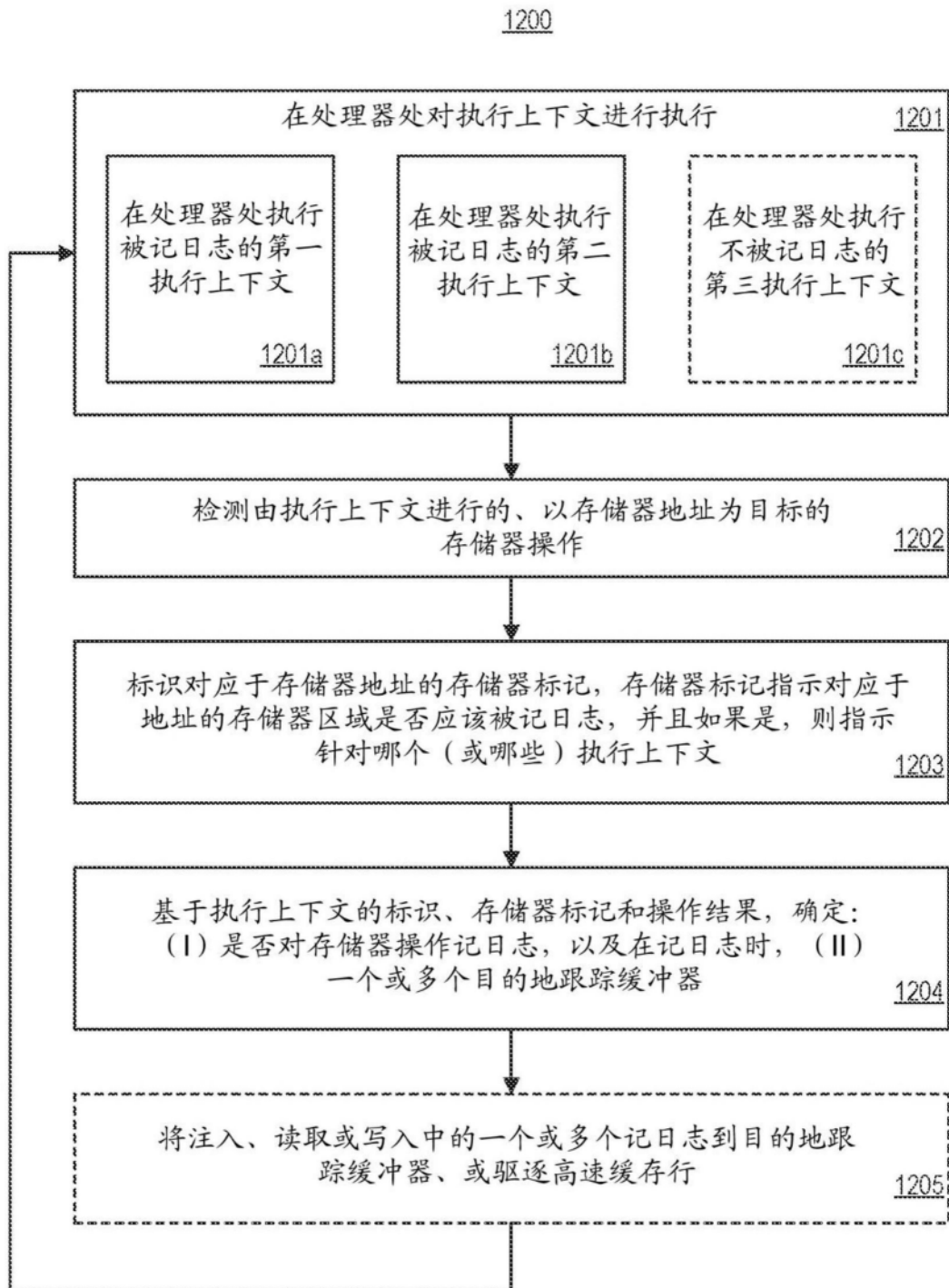


图12