



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년11월07일
(11) 등록번호 10-1458381
(24) 등록일자 2014년10월30일

(51) 국제특허분류(Int. Cl.)
G11C 16/10 (2006.01) G11C 7/10 (2006.01)
(21) 출원번호 10-2008-7028524
(22) 출원일자(국제) 2007년04월20일
심사청구일자 2012년04월19일
(85) 번역문제출일자 2008년11월21일
(65) 공개번호 10-2009-0026267
(43) 공개일자 2009년03월12일
(86) 국제출원번호 PCT/US2007/067090
(87) 국제공개번호 WO 2007/127678
국제공개일자 2007년11월08일
(30) 우선권주장
11/379,895 2006년04월24일 미국(US)
(뒷면에 계속)
(56) 선행기술조사문헌
KR1020010113496 A
전체 청구항 수 : 총 23 항

(73) 특허권자
샌디스크 테크놀로지스, 인코포레이티드
미국 텍사스 75024 플라노 노스 달라스 파크웨이
6900 투 리가시 타운 센터
(72) 발명자
카간, 이샤이
미국, 캘리포니아 94087, 썬니배일, 엔더비 웨이
1386
아흐메드, 리즈완
미국, 캘리포니아 95148, 산 호세, 볼테어 스트리트
4158
(뒷면에 계속)
(74) 대리인
박경제

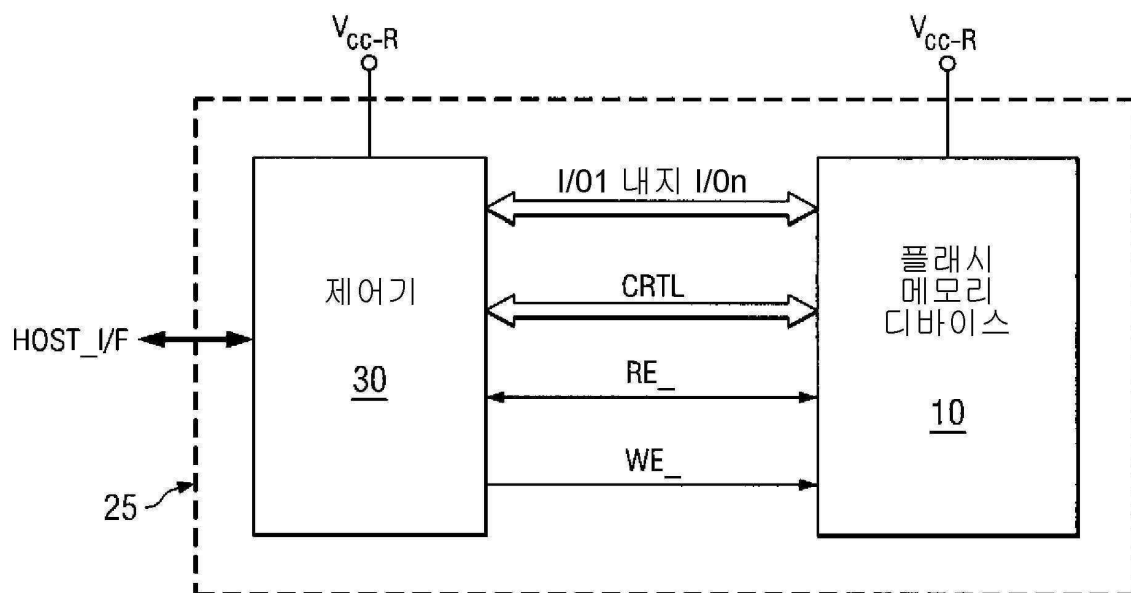
심사관 : 한선경

(54) 발명의 명칭 고성능 플래시 메모리 데이터 전송

(57) 요약

플래시 메모리 디바이스 및 제어기를 포함하고 향상된 데이터 전송 모드에 따라 동작 가능한 플래시 메모리 시스템이 개시된다. 플래시 메모리 디바이스는, "레저시" 모드에서, 제어기로부터의 판독 데이터 스트로브의 각 사이클과 동기하여 메모리에 의해 판독 데이터가 제공되고, 제어기로부터의 기록 데이터 스트로브의 각 사이클과 동기하여 메모리에 의해 입력 데이터가 래치되는 동작들 둘다 가능하다. 향상된 모드에서, 이것은 메모리에 개시 명령을 전송하는 제어기에 의해 개시될 수 있으며, 데이터는 더 높은 주파수, 예를 들면 정규 모드에서 이용 가능한 주파수의 2배의 주파수로 판독된다. 향상된 모드에서, 입력 데이터는 정규 모드에서 이용 가능한 주파수보다 높은 주파수에서 제어기에 의해 제공된다. 데이터 및 제어 신호들의 전압 스윙은 전력 소비를 감소시키기 위해 종래의 표준들로부터 감소된다.

대 표 도 - 도3



(72) 발명자	(30) 우선권주장
무가트, 파루크호	11/379,910 2006년04월24일 미국(US)
미국, 캘리포니아 94555, 프레몬트, 켄트필드 커몬 4800	11/424,573 2006년06월16일 미국(US)
린, 제이슨	11/424,581 2006년06월16일 미국(US)
미국, 캘리포니아 95051, 산타 클라라, 인버슨 코트 2670	11/458,422 2006년07월19일 미국(US)
	11/458,431 2006년07월19일 미국(US)

특허청구의 범위

청구항 1

플래시 메모리 제어기와 통신하도록 플래시 메모리 디바이스를 동작시키는 방법에 있어서,

정규 동작 모드(normal operating mode)에서, 상기 제어기로부터 수신된 판독 데이터 스트로브 신호의 제 1 극성의 변환(transitions)에 응답하여 입력/출력 라인을 통해 상기 제어기에 데이터 워드를 제공하는 단계와,

향상된 데이터 전송 모드(advanced data transfer mode)를 개시하기 위해 상기 제어기로부터 수신된 명령을 실행하는 단계와,

상기 제어기에 상기 판독 데이터 스트로브 신호를 구동(driving)하는 단계와,

상기 판독 데이터 스트로브 신호의 제 1 극성과 제 2 극성 모두의 변환과 동기하여 상기 향상된 데이터 전송 모드에서, 상기 플래시 메모리 디바이스에 저장된 데이터에 대응하는 데이터 워드를 입력/출력 라인을 통해 상기 제어기에 제공하는 단계를

포함하며,

상기 정규 동작 모드는 플래시 메모리 디바이스와 제어기 사이의 통신을 위한 표준화된 규격에 대응하고, 상기 표준화된 규격은 상기 입력/출력 라인을 통해 상기 판독 데이터 스트로브 신호와 상기 데이터 워드에 대한 하이 및 로우 논리 레벨을 한정하는 제 1 규정전압 규격을 포함하고,

상기 제공, 구동, 및 제공 단계는, 상기 입력/출력 라인을 통해 상기 판독 데이터 스트로브 신호와 상기 데이터 워드에 대한 하이 및 로우 논리 레벨을 한정하는 제 2 규정전압 규격을 사용하여 수행되고, 상기 제 2 규정전압 규격의 상기 하이 및 로우 논리 레벨은 상기 제 1 규정전압 규격의 상기 하이 및 로우 논리 레벨에 의해 한정된 전압 스윙(voltage swing)보다 더 작은 전압 스윙을 한정하는 플래시 메모리 디바이스 동작 방법.

청구항 2

삭제

청구항 3

제 1항에 있어서, 상기 제 1 규정전압 규격의 상기 하이 및 로우 논리 레벨에 의해 한정된 상기 전압 스윙은 3.3볼트이고, 상기 제 2 규정전압 규격의 상기 하이 및 로우 논리 레벨에 의해 한정된 상기 전압 스윙은 1.8볼트인, 플래시 메모리 디바이스 동작 방법.

청구항 4

제 1항에 있어서,

상기 실행 단계 후에, 상기 제어기로부터 기록 데이터 스트로브 신호를 수신하는 단계와,

상기 기록 데이터 스트로브 신호의 제 1 극성과 제 2 극성 모두의 변환을 수신하는 것에 응답하여, 상기 플래시 메모리 디바이스에 저장하기 위해 상기 입력/출력 라인 상의 데이터 워드에 래치하는 단계를

포함하는, 플래시 메모리 디바이스 동작 방법.

청구항 5

제 4항에 있어서, 상기 정규 동작 모드에서, 상기 제어기로부터 수신된 상기 기록 데이터 스트로브 신호의 제 1 극성의 변환에 응답하여, 상기 플래시 메모리 디바이스에 저장하기 위해 상기 입력/출력 라인 상의 데이터 워드에 래치하는 단계를 더 포함하는, 플래시 메모리 디바이스 동작 방법.

청구항 6

제 1항에 있어서, 상기 실행 단계는, 상기 입력/출력 라인 상에서 개시 명령 값을 수신하는 것에 응답하여, 상기 제어기로부터 기록 데이터 스트로브 신호의 제 1 극성의 변환과 조합하고, 상기 제어기로부터 명령 래치 인에이블 신호를 수신하는 것과 조합하여 수행되는, 플래시 메모리 디바이스 동작 방법.

청구항 7

제 6항에 있어서, 상기 향상된 데이터 전달 모드에서 상기 제어기에 데이터 워드를 제공하는 단계 동안, 상기 제어기로부터 보류 요청(suspend request)을 수신하는 것에 응답하여, 상기 입력/출력 라인 상에서 데이터 워드의 값을 유지하고 상기 판독 인에이블 신호의 현재 상태를 유지하는 단계를 더 포함하는, 플래시 메모리 디바이스 동작 방법.

청구항 8

제 7항에 있어서, 상기 제어기로부터 상기 보류 요청의 종료를 수신하는 것에 응답하여, 상기 향상된 데이터 전송 모드에서 상기 제어기에 데이터 워드를 제공하는 단계와 상기 판독 데이터 스트로브 신호를 구동하는 단계를 재시작하는 단계를 더 포함하는, 플래시 메모리 디바이스 동작 방법.

청구항 9

제 8항에 있어서, 상기 보류 요청은 상기 제어기로부터 제어 신호의 변환을 수신하는 것에 응답하는, 플래시 메모리 디바이스 동작 방법.

청구항 10

제 9항에 있어서,

상기 향상된 데이터 전송 모드에서 상기 제어기에 데이터 워드를 제공하고 상기 판독 데이터 스트로브 신호를 구동하는 단계 전에, 상기 제어기로부터 기록 데이터 스트로브 신호의 제1 극성의 변환과 조합하고, 상기 제어기로부터 어드레스 래치 인에이블 신호를 수신하는 것과 조합하여 상기 입력/출력 라인을 통해 상기 제어기로부터 메모리 어드레스를 수신하는 단계를

더 포함하고,

상기 보류 요청은 상기 향상된 데이터 전송 모드에서 상기 제어기에 데이터 워드를 제공하는 단계 동안 상기 어드레스 래치 인에이블 신호의 제 1 변환에 대응하는, 플래시 메모리 디바이스 동작 방법.

청구항 11

제 10항에 있어서, 상기 보류 요청의 종료는 상기 어드레스 래치 인에이블 신호의 제 2 변환에 대응하는, 플래시 메모리 디바이스 동작 방법.

청구항 12

플래시 메모리 제어기와 통신하도록 플래시 메모리 디바이스를 동작시키는 방법에 있어서,

향상된 데이터 전송 동작 모드에서:

판독 데이터 스트로브 신호의 제 1 극성과 제 2 극성 모두의 변환과 동기하여 상기 제어기에 상기 판독 데이터 스트로브 신호를 구동하는 단계와,

상기 플래시 메모리 디바이스에 저장된 데이터에 대응하는 데이터 워드를 입력/출력 라인을 통해 상기 제어기에 제공하는 단계와,

정규 동작 모드를 개시하기 위해 상기 제어기로부터 수신된 명령을 실행하는 단계와,

상기 제어기로부터 수신된 판독 데이터 스트로브 신호의 제 1 극성의 변환에 응답하여 입력/출력 라인을 통해 상기 제어기에 데이터 워드를 제공하는 단계를

포함하며,

상기 정규 동작 모드는 플래시 메모리 디바이스와 제어기 사이의 통신을 위한 표준화된 규격에 대응하고, 상기 표준화된 규격은 상기 입력/출력 라인을 통해 상기 판독 데이터 스트로브 신호와 상기 데이터 워드에 대한 하이 및 로우 논리 레벨을 한정하는 제 1 규정전압 규격을 포함하고,

상기 구동 및 제공 단계는, 상기 입력/출력 라인을 통해 상기 판독 데이터 스트로브 신호와 상기 데이터 워드에 대한 하이 및 로우 논리 레벨을 한정하는 제 2 규정전압 규격을 사용하여 수행되고, 상기 제 2 규정전압 규격의

상기 하이 및 로우 논리 레벨은 상기 제 1 규정전압 규격의 하이 및 로우 논리 레벨에 의해 한정된 전압 스윙보다 더 작은 전압 스윙을 한정하는 플래시 메모리 디바이스 동작 방법.

청구항 13

삭제

청구항 14

제 12항에 있어서,

상기 향상된 데이터 전송 모드에서, 상기 제어기로부터 기록 데이터 스트로브 신호를 수신하는 단계와,

상기 기록 데이터 스트로브 신호의 제 1 극성과 제 2 극성 모두의 변환을 수신하는 것에 응답하여, 상기 플래시 메모리 디바이스에 저장하기 위해 상기 입력/출력 라인 상의 데이터 워드에 래치하는 단계를

포함하는, 플래시 메모리 디바이스 동작 방법.

청구항 15

제 14항에 있어서, 상기 정규 동작 모드에서, 상기 제어기로부터 수신된 상기 기록 데이터 스트로브 신호의 제 1 극성의 변환에 응답하여 상기 플래시 메모리 디바이스에 저장하기 위해 상기 입력/출력 라인 상의 데이터 워드에 래치하는 단계를 더 포함하는, 플래시 메모리 디바이스 동작 방법.

청구항 16

플래시 메모리 디바이스에 있어서,

행과 열로 배열된 비휘발성 메모리 셀로 이루어진 적어도 하나의 메모리 어레이와,

상기 적어도 하나의 메모리 어레이에서 상기 메모리 셀의 저장 상태에 대응하는 데이터를 저장하기 위한 데이터 레지스터와,

상기 데이터 레지스터에 결합되고, 입력/출력 단자에 결합되며, 복수의 제어 단자에 결합되어, 상기 제어 단자에서 수신된 제어 신호에 응답하여, 상기 입력/출력 단자로부터 데이터를 수신하고 상기 입력/출력 단자에 데이터를 제공하며, 정규 동작 모드 및 향상된 동작 모드에서 상기 디바이스의 동작을 제어하기 위한, 제어 회로를

포함하고,

상기 정규 동작 모드에서, 상기 제어 회로는 상기 복수의 제어 단자 중 제 1 단자에서 수신된 판독 데이터 스트로브 신호의 제 1 극성의 변환에 응답하여 상기 입력/출력 단자에서 데이터 워드를 제공하고, 상기 정규 동작 모드는 플래시 메모리 디바이스와 제어기 사이의 통신을 위한 표준화된 규격에 대응하고, 상기 표준화된 규격은 상기 입력/출력 라인에서 상기 판독 데이터 스트로브 신호와 상기 데이터 워드에 대한 하이 및 로우 논리 레벨을 한정하는 제 1 규정전압 규격을 포함하고,

상기 향상된 동작 모드는 상기 입력/출력 라인에서 상기 판독 데이터 스트로브 신호와 상기 데이터 워드에 대한 하이 및 로우 논리 레벨을 한정하는 제 2 규정전압 규격에 대응하며, 상기 제 2 규정전압 규격의 상기 하이 및 로우 논리 레벨은 상기 제 1 규정전압 규격의 하이 및 로우 논리 레벨에 의해 한정된 전압 스윙보다 더 작은 전압 스윙을 한정하고,

상기 향상된 동작 모드에서, 상기 제어 회로는 상기 복수의 제어 단자 중 하나에서 판독 데이터 스트로브 신호를 제공하고, 상기 판독 데이터 스트로브 신호의 상기 제 1 극성과 제 2 극성 모두의 변환에 응답하여, 상기 입력/출력 단자에서 데이터 워드를 제공하는, 플래시 메모리 디바이스.

청구항 17

제 16항에 있어서,

상기 제어 회로에 결합된 명령 레지스터를

더 포함하고,

상기 제어 회로는 상기 복수의 제어 단자 중 제 2 단자에서 기록 데이터 스트로브 신호의 변환을 수신하는 것에

응답하여 상기 입력/출력 단자에서 수신된 명령 값을 상기 명령 레지스터에 저장하고,

상기 제어 회로는 상기 향상된 모드의 개시에 대응하는 상기 명령 값에 응답하여 상기 정규 동작 모드로부터 상기 향상된 동작 모드로 진입(enter)하는, 플래시 메모리 디바이스.

청구항 18

제 16항에 있어서,

상기 제어 회로에 결합된 명령 레지스터를 더 포함하고,

상기 제어 회로는 상기 복수의 제어 단자 중 제 2 단자에서 기록 데이터 스트로브 신호의 변환을 수신하는 것에 응답하여 상기 입력/출력 단자에서 수신된 명령 값을 상기 명령 레지스터에 저장하고,

상기 제어 회로는 상기 정규 모드의 개시에 대응하는 상기 명령 값에 응답하여 상기 향상된 동작 모드로부터 상기 정규 동작 모드로 진입하는, 플래시 메모리 디바이스.

청구항 19

삭제

청구항 20

제 16항에 있어서,

상기 제 1 규정전압 규격의 상기 하이 및 로우 논리 레벨에 의해 한정된 상기 전압 스윙은 3.3볼트이고,

상기 제 2 규정전압 규격의 상기 하이 및 로우 논리 레벨에 의해 한정된 상기 전압 스윙은 1.8볼트인, 플래시 메모리 디바이스.

청구항 21

제 16항에 있어서,

상기 향상된 동작 모드에서, 상기 제어 회로는 상기 복수의 제어 단자 중 제 2 단자에서 수신된 기록 데이터 스트로브 신호의 제 1 극성과 제 2 극성 모두의 변환에 응답하여, 상기 입력/출력 단자에서 수신된 데이터 워드를 상기 데이터 레지스터로 래치하고,

상기 정규 동작 모드에서, 상기 제어 회로는 상기 복수의 제어 단자 중 상기 제 2 단자에서 수신된 상기 기록 데이터 스트로브 신호의 제 1 극성의 변환에 응답하여, 상기 입력/출력 단자에서 수신된 데이터 워드를 상기 데이터 레지스터로 래치하는, 플래시 메모리 디바이스.

청구항 22

제 16항에 있어서,

상기 제어 회로에 결합된 명령 레지스터를

더 포함하고,

상기 제어 회로는 상기 복수의 제어 단자 중 제 2 단자에서 기록 데이터 스트로브 신호의 변환을 수신하는 것에 응답하여 상기 복수의 제어 단자 중 제 3 단자에서 수신된 명령 래치 인에이블 신호와 조합하여 상기 입력/출력 단자에서 수신된 명령 값을 상기 명령 레지스터에 저장하고,

상기 제어 회로는 상기 향상된 모드의 개시에 대응하는 상기 명령 값에 응답하여 상기 정규 동작 모드로부터 상기 향상된 동작 모드로 진입하고; 상기 제어 회로는, 상기 향상된 동작 모드에서, 상기 복수의 제어 단자 중 하나에서 보류 요청 신호를 수신하는 것에 응답하여 상기 복수의 제어 단자 중 상기 제 1 단자에서 상기 판독 인에이블 신호의 현재 상태와 상기 입력/출력 단자에서 데이터 워드의 현재 값을 유지하고,

상기 제어 회로는 제어기로부터 상기 보류 요청의 종료를 수신하는 것에 응답하여 상기 향상된 데이터 전송 모드에서 상기 제어기에 데이터 워드를 제공하는 것과 상기 판독 데이터 스트로브 신호를 구동하는 것을 재시작하고,

상기 제어 회로는 상기 제어기로부터 기록 데이터 스트로브 신호의 제 1 극성의 변환과 조합하고, 상기 제어기로부터 어드레스 래치 인에이블 신호를 수신하는 것과 조합하여, 상기 제어기로부터 상기 입력/출력 라인을 통해 메모리 어드레스를 수신하고,

상기 보류 요청은 상기 향상된 데이터 전송 모드에서 상기 제어기에 데이터 워드를 제공하는 동안 상기 어드레스 래치 인에이블 신호의 변환에 대응하는, 플래시 메모리 디바이스.

청구항 23

제 16항에 있어서, 상기 플래시 메모리 디바이스는 플래시 메모리 서브시스템에서 구현되고, 상기 플래시 메모리 서브시스템은,

호스트 시스템에 인터페이싱하기 위한 호스트 인터페이스를 구비한 플래시 메모리 제어기와,

상기 플래시 메모리 제어기에 결합된 데이터 버스와,

상기 플래시 메모리 제어기에 결합된 복수의 제어 라인을

더 포함하고,

상기 플래시 메모리 디바이스의 상기 제어 회로는 상기 데이터 버스 및 상기 복수의 제어 라인에 결합되고, 상기 제어 라인으로부터 수신된 제어 신호에 응답하여, 상기 데이터 버스로부터 데이터를 수신하고 상기 데이터 버스에 데이터를 제공하며, 정규 동작 모드 및 향상된 동작 모드에서 상기 디바이스의 동작을 제어하는, 플래시 메모리 디바이스.

청구항 24

플래시 메모리 디바이스에 있어서,

행과 열로 배열된 비휘발성 메모리 셀로 이루어진 적어도 하나의 메모리 어레이와,

상기 적어도 하나의 메모리 어레이에서 상기 메모리 셀의 저장 상태에 대응하는 데이터를 저장하기 위한 데이터 레지스터와,

상기 데이터 레지스터에 결합되고, 입력/출력 단자에 결합되며, 복수의 제어 단자에 결합되어, 상기 제어 단자에서 수신된 제어 신호에 응답하여, 상기 입력/출력 단자로부터 데이터를 수신하고 상기 입력/출력 단자에 데이터를 제공하며, 정규 동작 모드 및 향상된 동작 모드에서 상기 디바이스의 동작을 제어하기 위한, 제어 회로를

포함하고,

상기 정규 동작 모드에서, 상기 제어 회로는 상기 복수의 제어 단자 중 제 1 단자에서 수신된 판독 데이터 스트로브 신호의 제 1 극성의 변환에 응답하여 상기 입력/출력 단자에서 데이터 워드를 제공하고,

상기 향상된 동작 모드에서, 상기 제어 회로는 상기 복수의 제어 단자 중 하나에서 판독 데이터 스트로브 신호를 제공하고, 상기 판독 데이터 스트로브 신호의 선택된 극성의 변환에 응답하여, 상기 입력/출력 단자에서 데이터 워드를 제공하며,

상기 판독 데이터 스트로브 신호는 상기 정규 동작 모드에서 이용 가능한 최대 주파수를 갖고,

상기 향상된 데이터 전송 모드에서 상기 판독 데이터 스트로브 신호는 상기 정규 동작 모드에서 이용 가능한 최대 주파수보다 더 높은 주파수를 가지는, 플래시 메모리 디바이스.

청구항 25

제 24항에 있어서,

상기 향상된 동작 모드에서, 상기 제어 회로는 상기 복수의 제어 단자 중 제 2 단자에서 수신된 기록 데이터 스트로브 신호의 선택된 극성의 변환에 응답하여, 상기 입력/출력 단자에서 수신된 데이터 워드를 상기 데이터 레지스터로 래치하고,

상기 기록 데이터 스트로브 신호는 상기 정규 동작 모드에서 이용 가능한 최대 주파수를 가지며,

상기 향상된 데이터 전송 모드에서 상기 기록 데이터 스트로브 신호는 상기 정규 동작 모드에서 이용 가능한 최

대 주파수보다 더 높은 주파수를 갖고,

상기 정규 동작 모드에서, 상기 제어 회로는 상기 복수의 제어 단자 중 상기 제 2 단자에서 수신된 상기 기록 데이터 스트로브 신호의 제 1 극성의 변환에 응답하여, 상기 입력/출력 단자에서 수신된 데이터 워드를 상기 데이터 레지스터로 래치하는, 플래시 메모리 디바이스.

청구항 26

제 25항에 있어서, 상기 기록 데이터 스트로브 신호는 상기 판독 데이터 스트로브 신호에 대해 위상이 다르고 (out-of-phase), 상기 판독 데이터 스트로브 신호와 상기 기록 데이터 스트로브 신호의 각각의 선택된 변환에 응답하여, 상기 입력/출력 단자에서 데이터 워드가 제공되는, 플래시 메모리 디바이스.

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

명세서

기술분야

[0001] 본 발명은 플래시 메모리 디바이스들의 분야에 관한 것이며, 특히, 전자 시스템들에서 플래시 메모리 디바이스들과 메모리 제어기들 사이의 데이터 통신들에 관한 것이다.

배경 기술

- [0002] 본 기술분야에 잘 알려진 바와 같이, "플래시(flash)" 메모리들은, 이전의 전기적으로 소거 가능한 프로그램 가능한 판독 전용 메모리(EEPROM) 디바이스들에서와 같이 범용칩(chip-wide) 또는 큰 블록에 기초하기보다는, 상대적으로 작은 블록들에서 소거되어 재기록될 수 있는 전기적으로 소거 가능한 반도체 메모리 디바이스들이다. 이와 같이, 플래시 메모리는 저장된 데이터의 비휘발성(즉, 전력이 제거된 후에 데이터 보존)이 필수적이지만, 재기록의 주파수가 상대적으로 낮은 애플리케이션들에 특히 인기 있게 되었다. 플래시 메모리의 인기있는 애플리케이션들의 예들은 휴대용 오디오 플레이어들, 셀룰러 폰 헤드셋들에서의 폰 활동 및 전화 번호들의 "SIM"카드 저장장치, 컴퓨터들 및 워크스테이션들에 대한 "썸키(thumbkey)" 소거 가능한 저장장치 디바이스들, 디지털 카메라들에 대한 저장장치 디바이스들 등을 포함한다.
- [0003] 반도체 비휘발성 메모리 기술에서 중요한 최근의 진보는 "NOR" 메모리보다는 "NAND" 메모리와 같은 플래시 메모리의 배치이다. 본 기술분야에 잘 알려진 바와 같이, NOR 플래시 메모리는 비트 라인과 소스 라인간 병렬의 메모리 셀들의 열의 종래의 배치에 관련한다. NOR 열에서의 특정 셀의 액세스는 열에서의 다른 셀들을 오프로 유지하면서 워드 라인(제어 게이트)을 활성화로 구동함으로써 이루어지고, 비트 라인과 소스 라인 사이의 전류는 액세스된 셀의 상태에 의해 결정된다. 한편, NAND 메모리의 열에서의 메모리 셀들은 비트 라인과 소스 라인 사이에 직렬로 접속된다. 따라서 NAND 열에서의 특정 셀의 액세스는 활성화 워드 라인 레벨들을 가진 열에서의 모든 셀들을 턴온하고, 액세스될 셀들에 중간 워드 라인 레벨을 적용하도록 하며, 비트 라인과 소스 라인 사이의 전류는 다시 액세스된 셀의 상태에 의해 결정된다. 본 기술분야에 잘 알려진 바와 같이, NAND 플래시 메모리의 비트당 요구된 칩 면적은, 주로, NOR 메모리에 대한 NAND 메모리의 열에 대해 보다 소수의 도전체들(과 그에 따른 접촉들)이 요구되기 때문에 NOR 플래시 메모리의 비트당 면적으로부터 더욱 감소된다; 그 외에도, 액세스 트랜지스터들은 NAND 배치에서 다수의 셀들 사이에 공유될 수 있다. 또한, 종래의 NAND 플래시 메모리는 예를 들면, NOR 메모리의 경우에서와 같이 랜덤 액세스 메모리보다는, 열들을 따라 셀들을 순차적으로 액세스함으로써 직렬로 편리하게 액세스된다. 따라서 NAND 메모리는 음악 및 비디오 저장장치 애플리케이션들에 특히 적당하다.
- [0004] 플래시 메모리의 분야에서 다른 중요한 최근의 진보는 본 기술분야에서 멀티레벨 프로그램 셀(MLC)이라 칭해진다. 이 방식에 따라, 각각의 메모리 셀에 대해 2개보다 많은 데이터 상태들이 간단히 셀의 프로그래밍을 더욱 미세하게 제어함으로써 가능하게 된다. 종래의 이진 데이터 저장장치에서, 각각의 메모리 셀은 "0" 또는 "1" 상태로 프로그래밍된다. 이러한 이진 셀들의 판독은 어드레싱된 메모리 셀의 제어 게이트에 단일 제어 전압을 인가함으로써 달성될 수 있어서, "1" 상태로 프로그래밍되는 경우에 트랜지스터가 도전하지만, "0" 상태에서는 오프로 남아 있다; 따라서 어드레싱된 메모리 셀을 통해 도전을 감지하여 셀의 프로그래밍된 상태로 복귀한다. 대조적으로, MLC 방식의 통상적인 예에 따라, 4개의 가능한 상태들이 각각의 메모리 셀에 대해 규정되며, 통상적으로 이진 값들 00, 01, 10, 11에 대응한다. 실제로, 2개의 중간 상태들은 완전히 소거된 상태와 완전히 프로그래밍된 상태 사이의 셀의 부분 프로그래밍의 2개의 레벨들에 대응한다. 셀당 최대 8개의 가능한 상태들, 또는 3개의 이진 비트들을 가진 MLC 플래시 메모리의 일부 구현들이 잘 알려져 있다. 각각의 메모리 셀 상의 데이터의 2개 또는 3개의 비트들을 저장하기 위한 능력은 플래시 메모리 칩의 데이터 용량을 즉시 2배 또는 3배로 한다. 이러한 MLC 셀들을 포함하는 메모리들 및 MLC 플래시 메모리 셀들의 예들은 미국 특허 번호 제5,172,338호 및 미국 특허 제6,747,892 B2호에 기재되어 있으며, 이 둘은 본 명세서와 함께 공동으로 양도되고 본 명세서에 참조로서 포함되었다.
- [0005] NAND 플래시 메모리 아키텍처의 효율성들과 MLC 기술의 조합은 반도체 비휘발성 저장장치에 대해 비트당 상당히 감소된 비용뿐만 아니라, 개선된 시스템 신뢰도, 및 주어진 형식 요인에 대한 더 높은 데이터 용량 및 시스템 기능을 유발하였다. 그런데, 이들의 중요한 개선들에도 불구하고, 종래의 플래시 메모리 디바이스들에 대한 그 리고 그로부터의 데이터 전송 속도들은 속도를 유지하지 않았다. 플래시 메모리의 어떤 특정한 현대의 애플리케이션들은 특히 데이터 용량이 증가함에 따라 데이터 전송 속도들에 특히 민감하다. 예를 들면, 고성능의 지적 수준의 디지털 스틸 카메라들의 해상도는 10메가픽셀을 초과할 수 있고, 그 때문에 MLC NAND 플래시 메모리 기술의 진보들이 환영받는다. 그러나, 연속적인 이미지 캡처들 사이의 "셔터 래그(shutter lag)"는 센서로부터의 플래시 메모리로의 이미지 데이터의 데이터 전송 속도에 의존한다. 이미지들 사이의 이러한 지연 시간(카메라 사용자에게 대해 독립된 파라미터로 간주되며 이미지 해상도에 의존하지 않음)은 이들 카메라들에서 중요한 요인이 되고 있다. 특히 이미지 해상도가 계속 증가함에 따라, 종래의 데이터 전송 시간들이 이미지들 사이의 원하는 지연 시간을 달성하기에 충분하지 않음이 관찰되었다. 종래의 플래시 메모리로의 및 그로부터의 데이터 전송 시간들은 현대의 자기 디스크 드라이브들과 경쟁이 되지 않으며, 플래시 메모리에 대한 다른 바람직한 새로운 애플리케이션임은 당연하다. 따라서, 플래시 메모리가 현대의 고성능 디지털 스틸 카메라들의 요구들을 충족시

키거나 현대의 고성능 전자 시스템들의 고상의 대량 저장장치로서 역할하기 위하여, 플래시 메모리 디바이스들에 및 그로부터 훨씬 더 높은 데이터 전송 속도들을 달성하는 것이 필요하게 될 것이다.

[0006] 플래시 메모리들에 대한 종래의 데이터 전송 방식의 예는, 부품 번호 TH58NVG1S3AFT05(도시바, 2003)인 데이터 시트 2GBIT(256M X 8 BITS) COMS NAND EEPROM에 기술되어 있다. 이러한 종래의 방식은 8-비트 데이터 버스를 수반하며, 판독 인에이블 클록의 사이클당 각각의 데이터 출력상에 한 비트가 제공되고, 그 판독 인에이블 클록의 하강 에지와 동기한다. 또한, 그 데이터시트에 기술된 바와 같이, 이러한 종래의 방식은 3.3 볼트 논리 표준을 수반하여, 최소의 하이 논리 레벨 출력 전압(V_{OH})은 2.4볼트이고 최대의 로우 논리 레벨 출력 전압(V_{OL})은 0.4볼트이다. 이 디바이스는 20MHz의 최대 데이터 속도를 제공한다. 이 데이터 속도는 개인용 컴퓨터 시스템들의 대량 저장장치에 적당한 데이터 속도가 아니며, 이들 종래의 플래시 메모리들은 디스크 구동장치 대체에 적당하지 않는다고 예측된다.

[0007] 배경기술에 의해, 어떤 종래의 동적 랜덤 액세스 메모리들(RAM들)은 소위 "더블 데이터 속도(double data rate)", 또는 "DDR" 데이터 전송 기술들을 구현한다. 본 기술분야에 알려진 바와 같이, DDR 데이터 전송은 대응하는 데이터 스트로브 또는 클록의 상승 및 하강 에지들 둘다와 동기하는 하나 이상의 데이터 비트들(버스 라인들의 수에 의존)을 수반한다. 따라서 DDR 데이터 전송은 종래의 동기 데이터 전송의 데이터 속도의 2배로 데이터를 통신하며, 클록 에지의 하나와만(상승 또는 하강 에지) 동기한다. 그 외에도, 종래의 DDR 동적 RAM들은 소스-동기 데이터 스트로브들을 활용하며, 여기에서 RAM 디바이스는 메모리로부터의 판독을 위한 데이터 스트로브를 자체 생성한다(외부 회로는 메모리에 기록하기 위한 데이터 스트로브를 생성한다). 그러나, 입력/출력 스위칭 속도의 2배화는 데이터 전송의 전력 소비를 증가시켜, 단일-데이터 속도 통신들의 전력 소비의 2배에 가깝다.

[0008] 그러나, 현대의 전자 시스템들에서의 전력 소비는 중요하게 관련되고, 시스템에서의 집적 회로 디바이스들 중 데이터들 전송하는데 있어서 버스들 및 도전체들의 구동은 전체 시스템 전력 소비에 상당히 기여한다. 본 기술분야에 기본이 되는 바와 같이, 외부 도전체들을 구동하기 위한 출력 구동기 회로들의 전력 소비는 구동될 디지털 신호들의 스위칭 속도에 직접 관련된다. 상승한 바와 같이, 현대의 자기 디스크 드라이브들의 스위칭 속도에 접근하기 위한 데이터 전송 속도의 증가는 따라서 그러한 데이터 전송에 의해 소비되는 전력의 대응하는 증가를 요구하고, 모든 다른 파라미터들을 동일하게 유지할 것이다. 이러한 증가된 전력 소비는 더 큰 구동기 및 수신기 디바이스들과, 시스템 애플리케이션들에서의 개선된 열 소실 등을 요구하며, 그들 모두 전체 시스템에 대한 비용을 추가한다. 이러한 변경들이 행해지는 경우에도, 고속 데이터 전송으로부터 증가된 전력 소비는 디지털 카메라들, 랩탑 컴퓨터들 및 워크 스테이션들, 무선 전화 핸드셋들, 개인용 디지털 오디오 플레이어들 및 유사한 배터리 전력공급 디바이스들과 같은 휴대용 전자 시스템들에 바람직하지 않다.

[0009] 다른 배경기술에 의해, 울트라 DMA 모드(Ultra DMA Mode)로 알려진 통신 프로토콜은 COMPACT FLASH, 또는 CF+, 플래시 메모리 카드와 같은 플래시 메모리 카드에 및 그로부터 통신하기 위한 것이며 본 기술분야에 알려져 있다. 도 1은 잘 알려진 표준 CF+ and CompactFlash Specification Revision 3.0(컴팩트플래시 어소시에이션, 2004)에 따라 구성되고 동작하는 종래의 플래시 메모리 카드를 도시한다. 도 1에 도시된 바와 같이, 이 예에서는 표준에 따라 COMPACT FLASH 저장장치 카드로서 구성된 플래시 메모리 카드(2)는 하나 이상의 플래시 메모리 모듈들(2) 및 단일 칩 메모리 제어기(4)를 포함한다. 플래시 메모리 모듈(4)은 버스 data_I/O를 통해 메모리 제어기(6)에 및 그로부터 데이터를 전달하고, 제어 버스 ctrl을 통해 메모리 제어기(6)에 및 그로부터 제어 신호들을 수신 및 발행(issue)한다. 이 예에서, 상기 참조된 도시바 데이터시트에 기술된 데이터 전송 방식은 data_I/O 및 ctrl 버스들을 통한 플래시 메모리 모듈(4)과 메모리 제어기(6) 사이의 통신들에 대응한다. 메모리 제어기(6)은 호스트 인터페이스 HOST_IF를 통해 호스트 디바이스(예를 들면, 디지털 카메라, 디지털 오디오 플레이어, 개인용 컴퓨터 등)와 통신한다. 상기 참조된 CF+ and CompactFlash Specification은 울트라 DMA 모드("UDMA")에 따르는 것을 포함하여 호스트 인터페이스 HOST_IF를 통한 통신들을 기술한다. 그 명세에 기술된 바와 같이, UDMA 통신들은 특정 동작 모드에서 실행되며, 그러한 통신이 바람직한 에이전트(호스트 또는 메모리 카드(2))에 의해 제어 라인(UDMARQ) 상의 신호의 구동에 의해 개시된다. 또한, 그 명세에 기술된 바와 같이, UDMA 데이터 전송들은 소스-동기되며, 버스 HOST_IF 상에 데이터를 배치하고 있는 에이전트(메모리 카드(2) 또는 호스트 시스템)는 또한 데이터 스트로브 신호를 발행하고 있다. 그 외에도, 또한 그 명세에 기술된 바와 같이, 스트로브 신호의 상승 및 하강 에지들 둘다는 UDMA 동작 모드 하에 데이터의 전송에 이용된다.

[0010] 그러나, 본 발명과 관련하여, 도 1의 플래시 카드에서 호스트 인터페이스에 대한 UDMA 모드에서도, 메모리 모듈(4)과 메모리 제어기(6) 사이의 데이터 전송 속도가 메모리 카드(2)의 전체 성능을 제한하게 될 것임이 관찰되

었다. 그러나, 종래의 기술들에 따라 그 인터페이스에서의 데이터 전송의 속도 증가는 메모리 카드(2) 내의 전력 소비를 크게 증가시킬 것이다. 그 외에도, 메모리 집적 회로들의 입력/출력 인터페이스들에 대한 수정은 그러한 집적 회로들의 이용능력을 크게 제한할 것이며, 목록 제어 및 설계 오버헤드의 입장으로 부터 비용을 추가시킬 것임이 본 기술분야에 알려져 있다.

발명의 상세한 설명

- [0011] 따라서, 본 발명의 목적은 메모리 제어기에 및 그로부터 데이터를 전송하기 위한, 고성능 데이터 전송 모드를 갖는 플래시 메모리 모듈의 방법을 제공하는 것이다.
- [0012] 본 발명의 다른 목적은, 고성능 모드에 따른 데이터 전송이 종래의 데이터 전송보다 실질적으로 더 높지 않은 속도로 전력을 소비하는 방법을 제공하는 것이다.
- [0013] 본 발명의 다른 목적은, 종래의 데이터 전송 표준들과의 역방향 호환성을 제공하기 위해 '레거시(legacy)' 데이터 통신들이 또한 실행될 수 있는 방법을 제공하는 것이다.
- [0014] 본 발명의 다른 목적은, 고성능 데이터 전송 모드의 데이터 스큐(data skew)가 최소화되는 방법을 제공하는 것이다.
- [0015] 본 발명의 다른 목적들 및 이점들은 도면들과 함께 다음의 명세서를 참조하면 당업자에게 명백할 것이다.
- [0016] 본 발명의 제 1 양상은 다중-모드 데이터 인터페이스를 구비한 플래시 메모리 디바이스로 구현될 수 있다. 레거시 모드에서, 데이터 인터페이스는 외부적으로 발생된 데이터 스트로브와 동기하여 데이터를 제공하거나 수신하며, 도전체당 한 비트씩 스트로브의 각 사이클에서 통신된다. 향상된 모드(advanced mode)에서, 데이터 인터페이스는 소스-동기되며, 한 데이터 비트 또는 워드는 두 극성들의 스트로브 에지들(상승 및 하강)과 동기한다. 향상된 모드에서는 전력 소비를 감소시키기 위해 감소된 전압 스윙이 제공된다. 데이터 전송들을 위한 향상된 모드의 호출시, 레거시 동작 모드는 명령 및 제어 통신들에 계속 사용되고, 데이터 타임-아웃 및 다른 자동화된 제어 기능들이 향상된 동작 모드에 제공된다.
- [0017] 본 발명의 제 2 양상은 다중-모드 데이터 인터페이스를 구비한 플래시 메모리 디바이스로 구현될 수 있다. 레거시 모드에서, 데이터 인터페이스는 외부적으로 발생된 데이터 스트로브와 동기하여 데이터를 제공하거나 수신하며, 도전체당 한 비트씩 스트로브의 각 사이클에서 통신된다. 향상된 모드에서, 데이터 인터페이스는 소스-동기되며, 한 데이터 비트 또는 워드는 레거시 모드 스트로브의 주파수의 2배인 스트로브 신호의 상승 또는 하강 에지 중 하나와 동기한다. 향상된 모드에서는 전력 소비를 감소시키기 위해 감소된 전압 스윙이 제공된다. 데이터 전송들을 위한 향상된 모드의 호출시, 레거시 동작 모드는 명령 및 제어 통신들에 계속 사용되고, 데이터 타임-아웃 및 다른 자동화된 제어 기능들이 향상된 동작 모드에 제공된다.
- [0018] 본 발명의 제 3 양상은 다중-모드 데이터 인터페이스를 구비한 플래시 메모리 디바이스로 구현될 수 있다. 레거시 모드에서, 데이터 인터페이스는 외부적으로 발생된 데이터 스트로브와 동기하여 데이터를 제공하거나 수신하며, 도전체당 한 비트씩 스트로브의 각 사이클에서 통신된다. 레거시 모드의 기록 동작에서, 제어기에 의해 메모리에 발행된 기록 인에이블 스트로브 신호는 제어기에 의해 플래시 메모리에 제공된 각각의 데이터 워드를 클로킹하고, 이 레거시 모드의 판독 동작에서 제어기에 의해 메모리에 발행된 판독 인에이블 스트로브 신호는 제어기에 의해 플래시 메모리에 제공된 각각의 데이터 워드를 클로킹한다. 향상된 모드에서, 데이터 인터페이스는 소스-동기되며, 한 데이터 비트 또는 워드는 판독 및 기록 인에이블 스트로브들 둘다의 스트로브 에지들과 동기한다. 향상된 모드의 판독 동작에서, 플래시 메모리 디바이스는 교호하는 출력 데이터 워드들을 클로킹하기 위해 서로 상이한 위상으로 판독 및 기록 스트로브들을 발행한다. 향상된 모드의 기록 동작에서, 제어기는 교호하는 입력 데이터 워드들을 메모리로 클로킹하기 위해 서로 상이한 위상으로 판독 및 기록 스트로브들을 발행한다. 향상된 모드에서는 전력 소비를 감소시키기 위해 감소된 전압 스윙이 제공된다. 데이터 전송들을 위한 향상된 모드의 호출시, 레거시 동작 모드는 명령 및 제어 통신들에 계속 사용되고, 데이터 타임-아웃 및 다른 자동화된 제어 기능들이 향상된 동작 모드에 제공된다.

실시예

- [0028] 본 발명은, 플래시 메모리 모듈 및 이러한 플래시 메모리 모듈을 포함하는 서브시스템과 이를 동작시키는 방법으로 구현되는 바와 같이, 양호한 실시예와 관련하여 기술될 것이다. 특히, 이러한 예시적 플래시 메모리 모듈은, 본 발명이 컴퓨터 시스템들에서의 대량 데이터 저장장치에 대해 고상 비휘발성 메모리의 사용을 가능하게

하기 위하여, NAND형의 멀티-레벨 셀(MLC) 플래시 메모리들과 관련하여 특히 유용할 것으로 기대되기 때문에, NAND형의 멀티-레벨 셀(MLC) 플래시 메모리로서 기술된다. 그러나, 본 발명은 다양한 형태의 비휘발성 고상 메모리들을 수반하는 다른 애플리케이션들에 유용하고 유익할 것으로 기대된다. 따라서, 다음의 기술은 예의 방식으로만 제공되며, 청구된 본 발명의 실제 범위를 제한하는 것으로 의도되어서는 안됨을 알아야 한다.

[0029] 도 2는 본 발명의 양호한 실시예에 따라 구성된 플래시 메모리 디바이스(또는 모듈)(10)의 예시적 구성을 도시한 것이다. 플래시 메모리 디바이스(10)는 통상적으로 단일 집적 회로로 구성될 것이고, 이러한 구성은 하기에 더 기술되는 바와 같이, 다수의 메모리 제어기들 또는 메모리 제어기 논리 중 어느 하나와 인터페이스될 수 있는 것으로 예측된다. 도 2에 도시된 플래시 메모리 디바이스(10)의 아키텍처는 본 발명을 이해시키기 위한 목적으로 제공된 예일 뿐이며, 본 명세서를 참조하는 당업자라면 도 2에 도시된 아키텍처들과 상이한 아키텍처들의 플래시 메모리 디바이스들과 함께 본 발명을 쉽게 실현할 수 있다고 예측된다.

[0030] 플래시 메모리 디바이스(10)의 저장 능력은 플래시 메모리 어레이(12)에 있다. 어레이(12)는 본 기술분야에 알려진 바와 같이, 행들 및 열들로 배열된 전기적으로 프로그래밍 가능하고 소거 가능한 메모리 셀들을 포함한다. 단일 어레이(12)가 도 2에 도시되어 있지만, 어레이(12)가 다중 서브-어레이들로서 실현될 수 있으며, 다중 서브-어레이들 각각은 도 2의 예에 관해 하기에 상세히 기술되는 어드레스, 데이터 또는 제어 회로 중 일부 또는 전부와 같이 주변 회로의 개별 인스턴스를 각각 가지는 것이 당연하게 예측된다. 본 명세서를 참조하는 당업자라면, 이러한 다중 서브-어레이 아키텍처들과 함께 본 발명을 쉽게 실현할 수 있을 것으로 예측된다. 이 예에서, 어레이(12)의 메모리 셀들은 플로팅 게이트 금속 산화 반도체(MOS) 트랜지스터들이며, 하나의 메모리 셀에 대응하는 그러한 트랜지스터들 각각이 전기적으로 프로그래밍될 수 있고 또한 전기적으로 소거될 수 있도록 구성된다. 본 발명의 양호한 실시예에 따라, 어레이(12)의 메모리 셀들은 멀티-레벨 셀들(MLC)이며, 이들은 2개보다 많은 데이터 상태들로(즉, 2개보다 많은 임계 전압들 중 어느 하나로) 프로그래밍될 수 있어서, 각각의 그러한 셀은 다중-비트 디지털 값을 저장한다. 또한, 본 발명의 양호한 실시예에 따라, 다음의 기술로 명백한 바와 같이, 이들 메모리 셀들은 잘 알려진 NAND로 배열되는 것이 바람직하여, 셀들은 통상적으로 랜덤하게 액세스되는 것이 아니라 대량 저장장치 애플리케이션들에 유용한 바와 같이 직렬로 액세스된다. 당연히, 본 발명은 또한, 이진 메모리 셀들과 함께(즉, 단일 디지털 비트만 저장), 그리고 메모리 셀들의 NOR 배열들과 함께 사용될 수 있다.

[0031] 본 발명의 이러한 양호한 실시예에 따라, 공통 입력/출력 단자들 I/O1 내지 I/On이 제공되어, 입력/출력 제어 회로(20)에 접속된다. NAND형 플래시 메모리들에 대해 본 기술분야에 알려진 바와 같이, 플래시 메모리 디바이스(10)의 동작은 명령들의 수신 및 실행에 의해 대부분 제어되고, 입력/출력 단자들 I/O1 내지 I/On을 통해 디지털 워드들로서 통신되며, 제어 논리(18)에 의해 실행된다. 이와 같이, 입력/출력 제어 회로(20)는 제어 명령들, 어드레스 값들 및 입력 데이터를 수신하고, 입력/출력 단자들 I/O1 내지 I/On과 통신하는 구동기 및 수신기를 통해 상태 정보 및 출력 데이터를 제공한다. 입력/출력 단자들 I/O1 내지 I/On의 수 n은 일반적으로 8 또는 16이 될 수 있지만, 이러한 단자들의 임의의 수가 제공될 수 있음이 당연하다고 예측된다. 그 외에도, 입력/출력 제어 회로(20)는 전원 전압 V_{cc-R} 을 수신하고, 그 전압에 기초하여 논리 레벨들로 입력/출력 단자들 I/O1 내지 I/On을 구동한다. 하기에 상세히 기술되는 바와 같이, 본 발명의 이러한 양호한 실시예에 따라, 이 전원 전압 V_{cc-R} 은 종래의 플래시 메모리 디바이스들에서 사용될 때보다 더 낮은 전압에 있어서, 입력/출력 단자들 I/O1 내지 I/On으로의 데이터 전송들로부터 유발된 전력 소비는 더 높은 스위칭 속도들에서도 감소된다. 제어 논리(18)는 또한, 특히 판독 인에이블 단자 RE_로부터 더 낮은 전압들에서 출력 제어 신호들을 구동하게 되는 것에 기초하여 이 전력 전압 V_{cc-R} 을 수신한다.

[0032] 입력/출력 제어 회로(20)는 제어 논리(18)가 플래시 메모리 디바이스(10)의 동작을 제어할 때 제어 논리(18)에 의한 디코딩 및 실행을 위해, 명령 레지스터(24)에 명령 정보를 전송한다. 상태 정보는 제어 논리(18)에 의해 통상적인 방식으로 상태 레지스터(23)에 저장된다. 입력/출력 제어 회로(20)에 의해 입력/출력 단자들 I/O1 내지 I/On에서 수신된 어드레스 값들은 어드레스 레지스터(22)에서 버퍼링되고; 이러한 어드레스들의 행 부분은 행 디코더(11)에 의해 디코딩되고 열 부분은 열 디코더(15)에 의해 디코딩되어(이들 각각은 어드레스 버퍼를 통상적으로 포함함) 통상적인 방식으로 어레이(12)에서 원하는 셀 또는 셀들의 선택을 행한다. 입력/출력 제어 회로(20)는 또한, 실행될 데이터 전송의 방향에 의존하여, 데이터 레지스터(14)에 기록될 데이터를 전송하고 데이터 레지스터(14)로부터 출력 데이터를 수신하기 위하여 버스 DATA_BUS를 통해 데이터 레지스터(14)와 양방향 통신한다. 제어 논리(18)는 또한, 외부로부터 플래시 메모리 디바이스(12)로, 예를 들면, 칩 인에이블 CE_, 명령 래치 인에이블 CLE, 어드레스 래치 인에이블 ALE, 기록 인에이블 WE_, 판독 인에이블 RE_, 및 기록 보호 라인

WP_의 신호들에 대한 라인들을 포함하여 다양한 직접 제어 신호들을 수신한다. 본 기술분야에 알려진 바와 같이, 명령 래치 인에이블 CLE 및 어드레스 래치 인에이블 ALE 신호들은 기록 인에이블 WE_ 및 판독 인에이블 RE_ 신호들이 기록 및 판독 동작들에서 각각 데이터 스트로브들로 역할 할 때, 명령 또는 어드레스가 입력/출력 단자들 I/O1 내지 I/On 상으로 제공되고 있는지를 나타낸다.

[0033] 본 발명의 이 실시예에 따라, 기록 인에이블 WE_ 신호는 플래시 메모리 디바이스(10)에 대한 입력이다. 따라서, 입력/출력 단자들 I/O1 내지 I/On을 통해 플래시 메모리 디바이스(10)로 데이터의 전송을 위해, 기록 인에이블 WE_ 신호로서 전달되는 기록 데이터 스트로브는 플래시 메모리 디바이스(10) 외부의 디바이스에 의해, 통상적으로 인입 데이터의 소스 자체에 의해 항상 소싱된다. 그러나, 또한 본 발명의 양호한 실시예에 따라, 또한 하기에 더 기술되는 바와 같이, 판독 인에이블 RE_ 신호는 양방향이다. 정규 동작 모드에서, 플래시 메모리 어레이(12)로부터 판독되는 데이터의 목적지인 외부 디바이스는 판독 데이터 스트로브의 소스이며, 이것은 판독 인에이블 RE_ 신호로서 플래시 메모리 디바이스(10)에 대한 입력으로 전달된다. 본 발명의 양호한 실시예에 따라 향상된 동작 모드에서, 하기에 더 기술되는 바와 같이, 제어 논리(18)는 플래시 메모리 어레이(12)로부터 판독되고 데이터 레지스터(14)를 통해 I/O 제어 회로(20) 및 입력/출력 단자들 I/O1 내지 I/On와 통신된 데이터와 동기하여, 판독 인에이블 RE_ 신호로서 판독 데이터 스트로브를 발행한다.

[0034] 도 3은 본 발명의 양호한 실시예에 따라 플래시 메모리 카드(25)로의 플래시 메모리 디바이스(또는 모듈)(10)의 구현을 도시한다. 도 3에 도시된 바와 같이, 플래시 메모리 카드(25)는 적어도 플래시 메모리 디바이스(10) 자체 그리고 또한 제어기(30)를 포함한다. 제어기(30)는, 디지털 오디오 플레이어 또는 셀룰러 전화 핸드셋 등과 같은 휴대용 디바이스, 고성능 디지털 카메라 또는 개인용 컴퓨터와 같은 호스트 시스템에 외부 인터페이스 HOST_IF를 제공 및 관리하고, 인터페이스 HOST_IF는 또한, 본 기술분야에 알려진 바와 같이, 광범위한 호스트 시스템들 중 어느 하나로 삽입될 수 있는 범용 카드로서 구성되는 플래시 메모리 카드(25)의 외부 단자들의 세트에 대응할 수 있다. 인터페이스 HOST_IF는 현재 기술분야에 알려진 바와 같은 종래의 표준 인터페이스에 따라 동작할 수 있거나, 또는 미래의 플래시 메모리 인터페이스 표준들 또는 독점 인터페이스 프로토콜들과 관련하여 개발될 수 있는 것으로 예측된다. 상술된 바와 같이, 본 발명은 데이터 전송 속도에서 고성능 디지털 스틸 카메라의 중요한 애플리케이션과 같이 고속 데이터 전송을 제공하는데 있어서 특히 유리할 것으로 예측된다. 또한, 본 발명에 의해 제공된 높은 데이터 전송 속도들은 자기 디스크 드라이브들을 대체한 개인용 컴퓨터에서의 고상대량 저장장치 디바이스로서 플래시 메모리의 이용을 가능하게 할 수 있다고 예측된다. 이와 같이, 예를 들면 본원의 배경 기술에 상술된 UDMA 표준에 의해 예측할 때 고속 데이터 전송 능력을 최상으로 가질 것으로 예측된다.

[0035] 도 3에 도시된 바와 같이, 플래시 메모리 디바이스(10)는 도 2에 도시된 단자들과 일치된 방식으로 제어기(30)에 결합된다. 이점에서, 입력/출력 버스는 플래시 메모리 디바이스(10)의 단자들에 대응하여 유사하게 명명된 신호 라인들 I/O1 내지 I/On에 의해 형성된다. 제어 버스 CTRL은 제어기(30)를 플래시 메모리 디바이스(10)에 결합시키고, 도 2에 도시된 ALE, CLE, WP_ 및 CE_ 단자들에 접속된 신호 라인들을 포함한다. 플래시 메모리 디바이스(10)와 제어기(30) 사이의 통신을 위해 다른 제어 라인들 및 단자들이 제공될 수 있다고 예측되며, ALE, CLE, WP_ 및 CE_ 단자들이 플래시 메모리 디바이스(10)에 대한 입력으로서 도 2에 도시되어 있지만, 제어 버스 CTRL가 양방향 버스로서 도시되어 있다.

[0036] 도 3은 이 설명을 명확히 하기 위해 제어 버스 CTRL와 별도로 2개의 제어 라인들 RE_ 및 WE_을 도시한다. 본 발명의 이 실시예에 따라, 라인 WE_는 기록 동작들에서 데이터 스트로브를 운송하고(제어기(30)에서 메모리 디바이스(10)로 기록된 데이터), 이것은 플래시 메모리 디바이스(도 2)의 단자 WE_에 접속된다. 본 발명의 양호한 실시예에 따라, 라인 WE_ 상의 데이터 스트로브는 동작 모드들의 각각에서 제어기(30)에 의해 소싱된다. 라인 RE_는 판독 동작들에서 데이터 스트로브를 운송하고(플래시 메모리 디바이스(10)로부터 판독되고 제어기(30)에 통신된 데이터), 이것은 플래시 메모리 디바이스(10; 도 2)의 단자 RE_에 접속된다. 상술된 바와 같이, 본 발명의 양호한 실시예에 따라, 라인 RE_는 양방향이며, 판독 데이터 스트로브의 소스는 플래시 메모리 디바이스(10)의 현재 동작 모드에 의존한다. 정규 동작 모드에서, 제어기(30)는 플래시 메모리 디바이스(10)가 신호 라인들 I/O1 내지 I/On 상에서 유효한 데이터로서 존재하도록 유지하는 것에 응답하여, 판독 데이터 스트로브를 소싱한다. 향상된 동작 모드에서, 본 발명의 양호한 실시예에 따라, 플래시 메모리 디바이스(10)는 플래시 메모리 디바이스(10)로부터 제어기(30)로 데이터 전송을 위해 라인 RE_ 상에서 판독 데이터 스트로브를 소싱한다. 하기에 더 기술되는 바와 같이, 신호 라인들 I/O1 내지 I/On을 통해 제어기(30)에 의해 통신된 명령들은 플래시 메모리 디바이스(10)가 제어기(30)에 데이터를 전송하고 있는 동작 모드에 상관없이, 신호 라인 RE_ 상의 판독 데이터 스트로브 소스와 동기된다.

[0037] 제어기(30)가 본 기술분야에 알려진 바와 같이, 종래의 플래시 메모리 제어기 아키텍처들에 따라 실질적으로 구성되고, 본 발명의 양호한 실시예에 따라 플래시 메모리 디바이스(10)의 향상된 동작 모드에서 관독 동작들의 개시, 동작 및 종료 관련하여 본 명세서에 기술된 동작들을 실시하기 위한 필요에 따라 수정될 것이라 예측된다. 또한, 제어기(30) 내의 이들 향상된 동작 모드 기능들을 구현하기 위한 논리 하드웨어, 프로그램 명령들, 또는 그 조합은 본 명세서를 참조한 당업자에게는 명백한 것으로 예측된다. 이와 같이, 또한 당업자는 과도한 실험 없이 특정한 실험을 하는데 가장 적합한 것으로 제어기(30)의 수정들을 쉽게 구현할 것으로 예측된다.

[0038] 또한, 도 3에 도시된 바와 같이, 전원 전압 V_{cc-R} 은 플래시 메모리 디바이스(10) 및 제어기(25)의 각각에 접속되고 바이어싱된다. 이 전원 전압 V_{cc-R} 은 종래의 플래시 메모리 디바이스들 및 제어기들에서 사용된 전압보다 더 낮은 전압이어서, 입력/출력 라인들 I/O1 내지 I/O_n 및 다양한 제어 라인들을 통해 데이터 전송들 및 변환들로부터 유발된 전력 소비는, 하기에 더 기술되는 바와 같이 더 높은 스위칭 속도들에서도 감소된다. 특정한 예와 관련하여 하기에 더욱 상세히 기술하는 바와 같이, 이 전원 전압은 약 1.60볼트 내지 약 2.00볼트의 범위 내에서 약 1.80볼트의 정규 전압에 있을 수 있으며, 이것은 2.70볼트 내지 3.60볼트의 명세 범위 내에서 3.30볼트의 종래의 평균 정규 전원 전압보다 실질적으로 더 낮다.

[0039] 도 4a 내지 도 4e를 참조하여, 정규 동작 모드 및 또한 명령 통신 모드에 따라 메모리 카드(25)의 제어기(30)와 조합한 플래시 메모리 디바이스(10)의 동작이 기술될 것이다. 이들 동작 모드들은 현대의 플래시 메모리 디바이스들에 대한 종래의 플래시 메모리 인터페이스 프로토콜들에 실질적으로 대응할 것이고, 이들 동작 모드들은 본 발명의 양호한 실시예에 따라 플래시 메모리 디바이스(10)에 대한 "레거시" 입력/출력 프로토콜로서 역할 할 것으로 예측된다.

[0040] 도 4a는 제어기(30)로부터 플래시 메모리 디바이스(10)로의 명령의 통신을 도시한다. 본 기술분야에 알려진 바와 같이, 또한 하기에 더욱 상세히 기술되는 바와 같이, 현대의 플래시 메모리 디바이스들은, 제어기에 의해 발행되고 데이터 입력/출력 라인들을 통해 통신되는 특정 명령들에 응답하여 동작한다. 이와 같이, 이 예에서, 명령 CMD의 통신이 제어기(30)에 의해 실시되어, 명령 래치 인에이블 신호 CLE를 하이 활성 상태로 구동하고 어드레스 래치 인에이블 신호 ALE를 로우 비활성 상태로 구동하며, 어드레스보다는 명령이 입력/출력 라인들 I/O1 내지 I/O_n 상으로 통신되는 것을 지정한다. 칩 인에이블 신호 CE₁는 활성 로우가 취해져서 플래시 메모리 디바이스(10)를 종래의 방식으로 인에이블시키고, 본 기술분야에 알려진 바와 같이, 다중 플래시 메모리 디바이스(10)가 카드(25) 내에 제공되는 경우, 통신을 위한 플래시 메모리 디바이스들(10) 중 원하는 하나를 선택할 때, 개별 칩 인에이블 신호들 CE_n가 제어기(30)에 의해 이용될 수 있다. 도 4a에 도시된 명령 CMD에 대응하는 입력/출력 라인들 I/O1 내지 I/O_n 상으로 제어기(30)에 의해 제공된 디지털 워드는 제어기(30)에 의해 스트로빙되어, 기록 인에이블 라인 WE₁ 상에서 활성 로우 펄스를 발행하고; 라인 WE₁ 상의 펄스의 상승 에지는 I/O 제어 회로(20)가 명령 CMD에서 수신 및 래치되도록 하여, 최종적으로 명령 레지스터(24)(도 2)에 도달한다. 제어기(30)는 명령 래치 인에이블 신호 CLE를 비활성 로우 상태로 복귀시켜 명령 동작을 종료시킬 수 있다. 당연히, 본 기술분야에 알려진 바와 같이, 다중 워드 명령들 또는 다중 단일-워드 명령들은 이러한 방식으로 순차적으로 통신될 수 있고, 명령 래치 인에이블 라인 CLE는 이러한 통신들의 구간 동안 하이로 유지된다.

[0041] 도 4a에 도시된 방식으로 통신되는 한 명령은 메모리 어드레스가 제어기(30)에 의해 플래시 메모리 디바이스(10)에 통신될 것을 나타내는 명령이다(관독 동작을 위해 명령 00H; 직렬 데이터 입력 프로그램 또는 기록 동작을 위해 명령 10H). 도 4b는 본 발명의 양호한 실시예에 따라 정규 및 명령 동작 모드에서 제어기(30)에 의한 플래시 메모리 디바이스로의 이러한 어드레스의 명령의 타이밍을 도시한다. 이와 같이, 도 4b에 도시된 동작은 도 4a의 시퀀스에 따라 명령 00H의 통신을 따르며, 다음 신호 시퀀스에서 메모리 어드레스의 긴급한 전송을 나타낸다.

[0042] 비교적 광범위한 명령들이 이 정규 동작 모드에서 제어기(30)에 의해 플래시 메모리 디바이스(10)에 통신될 수 있다. 다음의 테이블은 본 발명의 양호한 실시예에서 예시적 명령 세트가 리스트된다:

명령	명령 코드(16진)
시리얼 데이터 입력	80
자동 프로그램	10
관독 어드레스 입력	00
시리얼 데이터 출력 중 열 어드레스 변화	05
관독 시작	30
관독 열 어드레스 변화	E0

자동 블록 제거	60, D0(2개의 사이클 명령)
ID 판독	90
상태 판독	70
리셋	FF

[0044] 도 4b를 참조하면, 본 발명의 양호한 실시예에 따라 제어기(30)로부터 플래시 메모리 디바이스(10)로의 메모리 어드레스의 전송이 기술될 것이다. 이 동작에서, 제어기(30)는 명령 래치 인에이블 신호 CLE를 비활성 로우로 구동하고, 어드레스 래치 인에이블 신호 ALE를 하이로 구동하며, 이것은 플래시 메모리 디바이스(10)에 (명령 값보다는)어드레스 값이 입력/출력 라인들 I/O1 내지 I/On 상으로 통신되는 것을 나타낸다. 칩 인에이블 신호 CE_n는 또한 활성 로우로 구동되며, 이것은 제어기(30)가 이 어드레스 정보의 수신시 플래시 메모리 디바이스(10)를 선택하고 있는 것을 나타낸다. 이 동작에서, 제어기(30)는 기록 인에이블 신호 WE_n의 활성 로우 펄스들을 발행하며, 어드레스 값의 일부를 나타내는 각각의 펄스는 제어기(30)에 의해 입력/출력 라인들 I/O1 내지 I/On 상으로 제공된다. 본 발명의 이 실시예에서, 이 어드레스 정보는 기록 인에이블 신호 WE_n의 상승 에지(즉, 활성 로우 펄스의 끝)와 동기하여, 플래시 메모리(10)가 입력/출력 라인들 I/O1 내지 I/On의 그 당시 현재 상태(then-current state)를 원하는 메모리 어드레스의 일부로서 어드레스 레지스터(22)(도 2)로 래치하는데 이 에지를 사용할 수 있다. 도 4b의 예에서 명백한 바와 같이, 메모리 어드레스는 다중 워드들(입력/출력 라인들 I/O1 내지 I/On의 수 n에 의해 규정된 폭)을 통해 연장한다. 이 경우, 메모리 어드레스는 워드 인에이블 신호 WE_n의 연속적인 활성 로우 펄스들과 동기하여 제공되는 4개의 어드레스 워드들 ADD0 내지 ADD3을 포함한다.

[0045] 도 4b에 도시된 어드레스 값의 통신 다음에, 제어기(30)는 플래시 메모리 디바이스(10)에 데이터의 기록을 수행하고 그로부터 데이터의 판독을 수행한다. 도 4c는 본 발명의 양호한 실시예에 따라 정규 동작 모드(즉, "레거시" 모드)에서 기록 동작을 실시하기 위하여 통신된 신호들을 도시한다. 도 2의 아키텍처에 따라, 이 데이터 기록 동작은 데이터 레지스터(14)에 대한 데이터의 기록이다. 이와 같이, 본 발명의 양호한 실시예에 따라, 도 4c에 관해 현재 기술되는 기록 동작 전에 둘다, 플래시 메모리 디바이스(10) 내의 목적지 메모리 어드레스가 제어기(30)에 의해 통신된 후에, 도 4a에 도시된 방식으로 데이터 레지스터 명령에 대한 기록(예를 들면, 명령 값 80H)이 실시된다. 데이터 기록 동작을 실시하기 위하여, 제어기(30)는 명령 래치 인에이블 신호 CLE 및 어드레스 래치 인에이블 신호 ALE 둘다를 비활성 로우로 구동하며, 이것은 기록될 입력 데이터(즉, 명령도 아니고 어드레스 값도 아님)가 입력/출력 라인들 I/O1 내지 I/On 상으로 통신되는 것을 플래시 메모리 디바이스(10)에 나타낸다. 당연히 칩 인에이블 신호 CE_n는 또한 이 동작에 대해 활성 로우로 구동된다. 제어기(30)는 그 후에 입력/출력 라인들 I/O1 내지 I/On 상으로 제공되는 데이터의 워드 또는 바이트 각각과 함께 기록 인에이블 신호 WE_n의 활성 로우 펄스들을 발행한다. 본 발명의 이 실시예에서, 명령 및 어드레스 전송들의 경우에서와 같이, 유효 입력 데이터는 각각의 펄스의 끝에서 기록 인에이블 신호 WE_n의 상승 에지와 동기하여 제공된다. 이 에지에 응답하여, 플래시 메모리 디바이스(10)는 입력 데이터의 워드 또는 바이트에 대응하여 입력/출력 라인들 I/O1 내지 I/On의 그 당시 현재 상태를 I/O 제어 회로(20) 내의 데이터 래치로 또는 데이터 레지스터(14)에 버스 DATA_BUS를 통해 직접(또는 최종적으로) 래치한다. 도 4c는 기록 인에이블 신호 WE_n의 4개의 펄스들과 동기하여, 입력/출력 라인들 I/O1 내지 I/On을 통한 4개의 워드들 D_{in}(0) 내지 D_{in}(3)의 통신을 도시한다.

[0046] 도 4d는 본 발명의 양호한 실시예에 따라 정규 동작("레거시") 모드에서 데이터 판독 동작(플래시 메모리 디바이스(10)로부터 제어기(30)로)을 실행하는데 있어서, 제어기(30) 및 플래시 메모리 디바이스(10)를 도시한다. 데이터 기록 동작의 경우에서와 같이, 명령 시퀀스(예를 들면 도 4a에 도시된 바와 같이) 및 어드레스 시퀀스(예를 들면 도 4b에 도시된 바와 같이)는 이 판독 동작에 앞서 이미 실행되었다. 하나 이상의 기록 동작들은 또한 이 판독(즉, 이 경우, 판독이 기록된 것과 동일한 어드레스에 대한 것이라면, 이 판독은 이전 기록의 검증으로 역할하게 된다) 전에 이미 실행되었을 수 있거나, 또는 기록 동작(예를 들면 도 4c에 도시된 바와 같이)이 동일한 메모리 어드레스에 대한 판독-수정-기록 시퀀스의 형태로, 이 판독 동작 후에 수행될 수 있다. 판독 전에 어드레스의 통신에 응답하여, 그 어드레스에 대응하는 메모리 셀들의 콘텐츠들이 감지되어 데이터 레지스터(14)에 전송된다. 이와 같이, 도 4d의 판독 동작은 데이터 레지스터(14)의 현재 콘텐츠들의 판독이다. 이 판독 동작을 실시하기 위하여, 제어기(30)는 도 4a에 관해 상술된 방식으로 명령 동작에서 적당한 명령(예를 들면 명령 E0h)을 발행한다.

[0047] 이 동작에서, 데이터 기록 동작에서와 같이, 제어기(30)는 명령 래치 인에이블 신호 CLE 및 어드레스 래치 인에이블 신호 ALE 둘다 비활성 로우로 구동하고 칩 인에이블 신호 CE_n를 활성 로우로 구동하였다. 제어기(30)는 기

록 인에이블 신호 WE_를 비활성 하이로 취함으로써 원하는 판독 동작을 나타낸다. 이 데이터 판독 동작에서, 플래시 메모리 디바이스(10)는 제어기(30)에 의해 발생된 바와 같이, 기록 인에이블 신호 RE_의 활성 로우 펄스들의 하강 에지들에 응답하여 데이터 워드들 D_{out}을 출력한다. 따라서, 이 정규 동작 모드에서, 제어기(30)는 판독 인에이블 신호 RE_의 활성 로우 펄스를 발행한 후 지정된 액세스 시간(플래시 메모리 디바이스(10)가 그 메모리 셀들의 상태들을 감지하고 감지된 상태들을 데이터 레지스터(14)에 및 입력/출력 라인들 I/O1 내지 I/O_n 밖으로 전송하는데 관련된 동작들의 일부 또는 전부를 실시하도록 허용)을 대기함으로써 플래시 메모리 디바이스(10)로부터 데이터의 수신에 동기할 수 있다. 제어기(30)는 그 후에 플래시 메모리 디바이스(10)로부터 데이터를 수신하기 위하여 입력/출력 라인들 I/O1 내지 I/O_n의 데이터 상태들을 그 입력 버퍼에 래치할 수 있다. 도 4d의 예에서, 4개의 데이터 워드들 D_{out}(0) 내지 D_{out}(3)은 순차적으로 판독되고, 플래시 메모리 디바이스(10)가 I/O 제어 회로(20)의 출력 구동기들로 하여금 입력/출력 단자들 I/O1 내지 I/O_n을 고임피던스(“고-Z”) 상태로 두게 한 후에, 칩 인에이블 신호 CE_의 상승 에지는 이 판독 동작을 종료한다.

[0048] 이 정규 동작("레거시") 모드에 따른 다른 동작들은 본 기술분야에 알려진 바와 같이 이러한 동작들을 이용가능하게 하는 것이 바람직하다. 예를 들면, 제어기(30)는, 도 4a의 타이밍 다음에 특정 상태 명령(예를 들면 명령 코드 70H)을 발행하고 판독 인에이블 신호 RE_의 활성 로우 펄스의 발생에 응답하여 입력/출력 라인들 I/O1 내지 I/O_n을 통해 상태 레지스터(24)의 콘텐츠들을 수신함으로써, 이 정규 동작 모드에서 상태 레지스터(24)의 콘텐츠들을 판독할 수 있다.

[0049] 도 4c 및 도 4d로부터 명백한 바와 같이, 하나의 데이터 워드 또는 바이트(다음의 설명에서 "데이터 워드(data word)"로서 칭해짐)는 그 경우에서와 같이, 기록 인에이블 신호 WE_ 또는 판독 인에이블 신호 RE_의 각각의 사이클 동안 통신된다. 도면들 및 이전의 설명으로부터 명백한 바와 같이, 제어기(30)는 이 정규 동작 모드에서 기록 인에이블 신호 WE_ 또는 판독 인에이블 신호 RE_ 둘다를 제어하고 소싱한다. 판독 동작에서, 특히, 단 하나의 데이터 워드가 판독 인에이블 신호 RE_의 각각의 완전한 사이클 동안 판독되기 때문에, 제어기(30)는 그 판독 데이터 스트로브(판독 인에이블 신호 WE_)를 자체 발행하고 판독 데이터를 수신 및 래치하기 위하여, 종래의 플래시 메모리 타이밍 요건들 및 성능에 따라 충분한 시간을 가진다. 그러나, 성능의 수준은 플래시 메모리 카드(25)가 컴퓨터 시스템의 대량 데이터 저장장치로서 사용될 때와 같이, 플래시 메모리 디바이스(10)의 고속 사용을 하는데 그다지 필수적이지 않을 수 있다. 그 외에도, 이러한 동작의 "레거시" 모드는 상술된 UDMA 인터페이스 프로토콜 하에서와 같이, 제어기(30)로부터 호스트 시스템으로 고속 외부 인터페이스 모드에 뒤떨어질 수도 있다고 예측된다.

[0050] 따라서 본 발명의 양호한 실시예에 따라, 플래시 메모리 디바이스(10)는 향상된, 보다 고성능의 판독 및 기록 동작 모드를 제공하고, 제어기(30)는 향상된 모드의 이점을 취하도록 구성된다. 이 향상된 모드를 이용하는 플래시 메모리 디바이스(10) 및 제어기(30)의 동작은 도 5a 및 도 5b와 도 6a 내지 도 6e의 타이밍도와 관련하여 상세히 기술될 것이다.

[0051] 도 5a 및 도 6a 내지 도 6c는 데이터 판독 동작(즉, 플래시 메모리 카드(25)에서 플래시 메모리 디바이스(10)로부터 제어기(30)로)을 수행하는 플래시 메모리 디바이스(10)의 동작을 도시한다. 도 5a의 처리(40)에서, 플래시 메모리 디바이스(10) 및 제어기(30)가 전력을 상승시켜, 이들 두 디바이스들을 도 4a 내지 도 4d에 관련하여 상술한 바와 같이, 정규 동작 모드(처리 42)로 있게 한다. 처리(44)에서, 이 정규 모드에서의 판독 및 기록 동작들(만약 있다면)은 이 정규 동작("레거시") 모드에서 실행된다.

[0052] 향상된 판독 동작 모드로의 진입은 처리(46)에서 시작하고, 여기서 제어기(30)는 도 4b와 관련하여 상술한 바와 같이, 정규 동작 모드에 따라 플래시 메모리 디바이스(10)에 대한 메모리 어드레스 값을 발행한다. 처리(46)에서 제어기(30)에 의해 발행된 메모리 어드레스는 초기 메모리 어드레스이고, 이로부터 향상된 동작 모드에서 데이터가 판독되고, 상술된 대응하는 판독 어드레스 입력 명령의 전송이 뒤따르는 것이 바람직하다. 처리(48)에서, 제어기(30)는 플래시 메모리 디바이스(10)에 "데이터 전송 개시(initiate data transfer)" 또는 "IDT" 명령 시퀀스를 발행한다. 도 6a는 이 동작을 더 상세하게 도시한다.

[0053] 본 발명의 양호한 실시예에 따라, "IDT" 명령은 처리(48)에서 향상된 데이터 전송 모드를 개시하기 위하여 제어기(30)에 의해 플래시 메모리 디바이스에 발행된다. 이 명령은 도 4a에 관련하여 상술한 명령들의 발행과 동일한 방식으로 발행되며, 제어기(30)는 칩 인에이블 신호 CE_를 활성 로우로 구동하고, 어드레스 래치 인에이블 신호 ALE를 비활성 로우로 구동하며, 명령 래치 인에이블 신호 CLE를 활성 하이로 구동한다. 기록 인에이블 신호 WE_의 활성 로우 펄스의 상승 에지는 제어기(30)에 의해 입력/출력 라인들 I/O1 내지 I/O_n 상으로 구동된 IDT 명령 값 IDT_CMD(다른 할당된 명령 값들과는 상이한 값을 가진 이진 워드임)에 대한 데이터 스트로브로서

역할 한다. 기록 인에이블 신호 WE₁가 하이로 취한 다음의 특정한 시간 후에, 제어기(30)는 입력/출력 라인들 I/O1 내지 I/O_n을 고임피던스 상태로 둔다. 그리고, 기록 인에이블 신호 WE₁의 상승 에지 다음의 다른 경과된 시간 t_{rel} 후에, IDT 명령에 스트로빙할 때, 제어기(30)는 그 후에 또한 판독 인에이블 신호 RE₁이 제어를 해제 하여, 대응하는 라인 RE₁의 상태를 구동하기 위해(제어기(30)와의 데이터 충돌의 위험 없이), 플래시 메모리 디바이스(10)의 제어 논리(18)를 허용한다.

[0054] IDT 명령이 플래시 메모리 디바이스(10)에 래치되고 그에 의해 실행되면, 플래시 메모리 디바이스(10)는 그 후에 고속 모드의 판독 데이터 전송 처리(50)의 실행을 시작한다. 도 6a에 도시된 바와 같이, 이 판독 데이터 전송 처리는 기록 인에이블 신호 WE₁의 상승 에지 후에 영이 아닌 액세스 시간의 경과 후에, 제 1 유효 출력 데이터 워드 D_{out}(0)을 발행하는 플래시 메모리 디바이스(10)와 시작한다. 이러한 제 1 출력 데이터 워드 D_{out}(0)을 제공하면, 플래시 메모리 디바이스(10)는 부가의 출력 데이터 워드들 D_{out}(1) 등과 동기하여, 판독 인에이블 신호 RE₁의 활성 펄스들을 발행하기 시작한다. 본 발명의 양호한 실시예에 따라, 하나의 데이터 워드 D_{out}(k)는 플래시 메모리 디바이스(10) 자체에 의해 구동된 판독 인에이블 신호 RE₁의 하강 및 상승의 각각의 에지와 동기하여 발행된다. 도 6a의 예에서, 각각의 출력 데이터 워드 D_{out}(k)는 영이 아닌 액세스 시간만큼 그 스트로브 에지에 뒤따르고, 대안적으로, 각각의 판독 인에이블 신호 RE₁ 에지는 대응하는 유효 데이터 워드 D_{out}(k) 내의 제어기(30)에 발행(또는 발행되도록 지연)될 수 있다.

[0055] 따라서 본 발명의 양호한 실시예에 따라, 플래시 메모리 디바이스(10)가 이 향상된 모드에서 입력/출력 라인들 I/O1 내지 I/O_n을 통해 제어기(30)에 데이터를 제공하는 속도는 정규 동작 모드(도 4d)에서 데이터 속도보다 실질적으로 더 빠르며, 통상적인 실현들에 있어서의 데이터 속도의 2배에 가깝다. 이러한 더 높은 데이터 속도는 플래시 메모리 디바이스(10)가 판독 인에이블 신호 RE₁의 판독 데이터 스트로브 에지들을 발행하도록 허용함으로써 부분적으로 인에이블되며, 이것은 제어기(30)가 이들 판독 데이터 스트로브 에지들을 발행하는 경우 수반되는 필수적인 타이밍 윈도우들 및 전파 지연을 없앤다.

[0056] 그러나, 당업자에게 명백한 바와 같이, 출력 데이터가 입력/출력 라인들 I/O1 내지 I/O_n 상으로 제공되는 증가된 속도는 모든 다른 요인들이 동일할 때, 이 판독 동작에서 플래시 메모리 디바이스(10)의 I/O 제어 회로(20) 내의 출력 디바이스 회로로부터 주로, 플래시 메모리 카드(25) 내의 전력 소실을 실질적으로 증가시킨다. 이러한 전력 소비는 현대 동향에서와 같이 데이터 워드 폭(즉, 입력/출력 라인들 I/O1 내지 I/O_n의 수 n)이 증가함에 따라 악화된다. 본 발명의 양호한 실시예에 따라, 이러한 전력 소비는 현재 기술되는 바와 같이 입력/출력 라인들 I/O1 내지 I/O_n 상의 출력 신호들의 전압 스윙을 감소함으로써 크게 감소된다.

[0057] 종래의 플래시 메모리 디바이스들은 잘 알려진 3.3볼트의 버스 표준을 이용하며, 여기서 최소 고레벨 출력 전압 V_{OH}은 2.4볼트이고, 최대 저레벨 출력 전압 V_{OL}은 0.4 볼트이며, 명목상 전압 스윙은 약 3.3볼트이다. 본 기술분야에 잘 알려진 바와 같이, 이러한 표준에 따라, 이들 전압들은 명목상 3.3볼트이고 2.70볼트 내지 3.60볼트의 명세 범위를 가진 전원 전압에 기초한다. 현대의 플래시 메모리 디바이스들에 대한 종래의 정규 동작 모드에 따라, 출력 데이터 속도는 25MHz(즉, 40nsec마다 데이터 변환), 각 사이클에서 데이터 변환을 하는 주어진 입력/출력 라인 I/O_k의 최악의 경우, 플래시 메모리 디바이스(10)는 12.5MHz에서 입력/출력 라인 I/O_k의 용량을 충전하도록 요구된다. 이 입력/출력 라인 I/O_k에 대한 65pF의 통상적인 라인 용량을 가정하면, 하나의 입력/출력 라인 I/O_k에 대한 수 밀리암페어의 전류 소비는:

[0058]
$$I_k = f * C(V_{OH} - V_{OL})$$

[0059]로부터 계산될 수 있으며, 이 예에서 하이 및 로우 데이터 레벨들 사이에 통상적인 3.3볼트 스윙을 사용하여:

[0060]
$$I_k = 12.5 * 0.065(3.3) = 2.681mA$$

[0061]의 결과가 생긴다. 판독 인에이블 신호 RE₁를 구동하는데 소비된 전류는 변환마다 대응하는 도전체를 충전해야 하므로, 전류 I_k의 2배가 될 것이다. 따라서, 이 예에서 종래의 정규 동작 모드에서 소비된 전체 전류는 8개의 입력/출력 라인들 I/O1 내지 I/O₈을 가정할 때 하기와 같다:

[0062]
$$I_{total} = 8(2.681) + 2(2.681) = 26.81mA$$

[0063] 본 발명의 양호한 실시예에 따라, 버스 전압은 이 종래의 3.3v 버스 레벨로부터 예를 들면 약 1.8볼트의 버스 전압으로 실질적으로 감소되어, 약 1.80볼트의 명목상 전압 스윙을 규정한다. 이 경우, 최소 고출력 레벨 전압

V_{OH-R} 한도의 예는 약 1.44볼트(명목상 전원 전압의 80%)가 될 수 있고, 최대 저출력 레벨 전압 V_{OL-R} 한도의 예는 약 0.36볼트(명목상 전원 전압의 20%)가 될 수 있다. 이러한 감소된 전압 동작에서, 이들 전압들은 명목상 1.80볼트이고 약 1.60볼트 내지 약 2.0볼트의 범위로 허용되는 전원 전압에 기초한다. 50MHz의 데이터 속도의 최상의 경우(데이터 전송에 대해, 전류 소비에 대한 최악의 경우)를 가정하면, 입력/출력 라인들 I/O1 내지 I/On에 대한 충전 주파수는 25MHz가 될 것이다. 따라서, 단일 입력/출력 라인 I/Ok에 대해 소비된 전류 I_k 는 하이 및 로우 데이터 레벨들 사이에 통상적인 1.8볼트 스윙을 사용하여 하기와 같이 계산될 수 있다:

[0064] $I_k = 25 * 0.065(1.8) = 2.925mA$

[0065] 입력/출력 라인당 이러한 전류 소비는 따라서, 향상된 동작 모드에 대해 그다지 상이하지 않고, 데이터 속도의 2배를 제공한다. 그러나, 판독 인에이블 신호 RE_{-} 는 정규 동작 모드에서와 동일한 주파수에서 동작한다(그러나, 단지 상승 에지만이 아니라 각각의 에지와 하나의 데이터 워드가 클로킹한다). 그러나, 전압 스윙은 또한, 1.8볼트 버스 전압에서 또한 동작할 때, 당연히 감소되고, 이와 같이, 소비된 전류는 입력/출력 라인들 중 하나에 대한 것과 동일하다. 이 예에서, 향상된 동작 모드에서 소비된 총 전류는 다시 8개의 입력/출력 라인들 I/O1 내지 I/O8을 가정할 때 하기와 같다:

[0066] $I_{total} = 8(2.925) + 1(2.925) = 26.33mA$

[0067] 이것은 3.3볼트 버스 전압에서 동작하는 종래의 플래시 메모리 카드들에 대한 것보다 약간 적다. 그리고 이러한 약간 낮은 전류 소비가 입력/출력 신호들에 대해 더 낮은 전압 스윙(1.8볼트 대 3.3볼트)으로 얻어지기 때문에, 향상된 동작 모드에서 소비된 전력은 종래의 플래시 메모리 카드들에서 소비된 것보다 실질적으로 더 낮다. 이러한 예들에 따라, 정규 동작 모드에서 종래의 8개의 I/O 플래시 메모리에서 소비된 전력은 약 88mW(3.3볼트 곱하기 26.81mA)가 될 것이고, 상술된 본 발명의 양호한 실시예의 예에 의해 소비된 전력은 약 47mW(1.8볼트 곱하기 26.33mA)가 될 것이다. 이러한 실질적인 전력 소비의 감소는 데이터 전송 속도에서의 실질적 개선의 조합으로 얻어지며 큰 버스트들에 대한 데이터 속도의 2배에 가깝다.

[0068] 따라서, 향상된 판독 데이터 전송이 이들 더 낮은 버스 전압들(종래의 플래시 메모리 디바이스들에 비해)에서 실행되는 본 발명의 양호한 실시예에 따라, 향상된 모드에서 소비된 전류는 정규 동작 모드에서 종래의 플래시 메모리 디바이스들에 의해 소비된 것보다 나쁘지 않다. 그리고, 플래시 메모리 디바이스(10)가 마찬가지로 정규 동작 모드에서 동작하는 능력을 가진 본 발명의 양호한 실시예에 따라, 더 낮은 버스 전압이 향상된 모드와 정규 동작 모드 둘뿐 아니라, 명령들 및 어드레스 값의 통신을 포함한 다른 동작들에도 사용된다. 이와 같이, 플래시 메모리 디바이스(10)는 종래의 플래시 메모리 디바이스들보다 데이터의 전송에 있어서 더 적은 전력을 소비한다.

[0069] 상술한 내용으로 명백한 바와 같이, 명령 및 어드레스 신호들은 정규 동작 모드에서 통신된다. 용이한 구현을 위해, 이들 신호들의 통신을 위한 버스 전압은 더 낮은 버스 전압(예를 들면 1.8볼트)에서 유지되는 것이 또한 바람직하며, 플래시 메모리 카드(25)의 전력 소비의 부가적 감소를 제공한다.

[0070] 도 5a를 참조하면, 본 발명의 이 실시예에 따른 플래시 메모리 디바이스(10)는 제어기(30)로부터 보류 요청에 응답할 수 있다. 본 발명에 따라, 판독 데이터 전송의 보류 요청은, 예를 들면, 그 내부 수신 데이터 버스가 가득 찬 경우와 같은 다수의 이유들 중 어느 하나 때문에, 제어기(30)에 의해 필요하게 될 수 있다고 예측된다. 이와 같이, 도 5a의 결정(51)은 그러한 보류가 요구되는지의 여부를 결정한다. 요구되지 않는다면, 고속 판독 데이터 전송은 도 6a와 관련하여 상술된 방식으로, 처리(56)에서 계속된다.

[0071] 제어기(30)가 판독 데이터 전송의 보류를 요청한다면(결정(51)이 YES임), 처리(52)에서 보류 요청을 발행한다. 이 예시적 구현에서, 이 요청은 제어기(30)에 의해 판독 전송 동작 동안 어드레스 래치 인에이블 신호 ALE_{-} 에 대해 활성 하이 레벨이 나타나게 한다. 도 6b는 향상된 모드에서 판독 데이터 전송 동안(즉, 모드가 호출되고 데이터 전송이 시작된 후에) 발생하는 이러한 보류 동작을 도시한다. 도 6b의 예에서, 제어기(30)는 플래시 메모리 디바이스(10)로부터 제어기(30)로의 데이터 전송 동안, 어드레스 래치 인에이블 신호 ALE_{-} 를 나타나게 함으로써 데이터 전송 보류를 요청한다. 응답하여, 플래시 메모리 디바이스(10)는 판독 인에이블 신호 RE_{-} 를 보류하고(로우 레벨로 보여질 때, 또는 하이 레벨로 보여질 때), 판독 인에이블 신호 RE_{-} 가 보류된 후에 다음 데이터 워드의 발행을 지연한다. 이 향상된 모드에서 판독 인에이블 신호 RE_{-} 및 입력/출력 라인들 I/O1 내지 I/On의 급속한 스위칭 속도를 가정하면, 하나 또는 2개의 부가의 데이터 워드들 및 판독 인에이블 신호 RE_{-} 의 대응하는 에지들은 어드레스 래치 인에이블 신호 ALE_{-} 가 보류를 요청하기 위해 활성 하이로 구동된 후에, 플래시 메모리

디바이스(10)에 의해 구동될 수 있는 것으로 예측된다. 이 예에서, 제어기(30)는 출력 데이터 워드 $D_{out}(4)$ 동안 어드레스 래치 인에이블 신호 ALE를 나타내고, 플래시 메모리 디바이스(10)는 출력 데이터 워드 $D_{out}(6)$ 동안 판독 인에이블 신호 RE_{-} 및 입력/출력 라인들 I/O1 내지 I/On의 다른 변환들을 유지함으로써 응답한다.

[0072] 다른 데이터 전송의 보류는 제어기(30)가 어드레스 래치 인에이블 신호 ALE를 비활성화하도록 처리(54)를 실행할 때까지 계속하며, 따라서 보류가 종료된다. 도 6b에 도시된 바와 같이, 보류 상태는 제어기(30)가 어드레스 래치 인에이블 신호 ALE를 비활성 로우 상태로 취할 때 종료된다. 본 발명의 이 실시예에 따라, 어드레스 래치 인에이블 신호 ALE의 이러한 변환은 플래시 메모리 디바이스(10)로부터 다음 출력 데이터 워드, 즉 이 예에서 데이터 워드 $D_{out}(7)$ 에 대한 판독 데이터 스트로브로 역할 한다. 이 초기의 보류후 데이터 워드 후에, 플래시 메모리 디바이스(10)는 다시, 도시된 바와 같이 판독 인에이블 신호 RE_{-} 의 변환들을 나타냄으로써 판독 스트로브 신호를 발생시킨다. 이 예에서 판독 인에이블 신호 RE_{-} 의 다음 변환은 보류 기간이 끝난 후의 제 2 출력 데이터 워드 $D_{out}(8)$ 에 대한 스트로브이다. 향상된 모드 판독 데이터 전송은 도 6b에 도시된 바와 같이 처리(56)에서 계속된다.

[0073] 도 5a를 참조하면, 향상된 모드 판독 데이터 전송은 제어기(30)가 전송을 종료하기를 원하는 시간까지 계속하며, 이것은 처리들(58, 59)에서 플래시 메모리 디바이스(10)에 표시된다. 통상적으로, 이러한 전송은 플래시 메모리 디바이스(10) 내의 페이지의 끝에 도달된다고 제어기(30)가 결정할 때 종료될 것이지만, 전송은 또한 다른 이유들(예를 들면, 동작을 위해 원하는 데이터 전부를 수신받을 때)로 제어기(30)에 의해 종료될 수 있다.

[0074] 이 예에 따라, 이 데이터 전송을 종료하기 위하여, 제어기(30)는 먼저, 예를 들면 상술된 어드레스 래치 인에이블 신호 ALE의 활성 하이 레벨을 나타냄으로써 처리(58)에서 보류를 발행한다. 도 6c는 향상된 판독 데이터 전송 동작 동안 어드레스 래치 인에이블 신호 ALE의 변환이 도시된 종료 처리들(58, 59)의 예를 도시한다. 처리(58)의 보류 동작은 보류 동작 동안 처리(59)를 수행하는 제어기(30)에 의해 향상된 판독 데이터 전송의 종료로 변환된다. 대안적으로, 처리(59)는 플래시 메모리 디바이스(10)가 출력 데이터가 페이지의 끝에 도달했다고 자체 판단한 후에 수행될 수 있으며, 그 경우, 플래시 메모리 디바이스(10)는 판독 인에이블 신호 RE_{-} 를 마지막 레벨로 유지하고, 입력/출력 라인들 I/O1 내지 I/On 상의 현재(즉, 마지막) 출력 데이터 워드를 유지하며, 이 경우 어드레스 래치 인에이블 신호 ALE는 비활성 로우로 유지될 것이다. 도 6c에 도시된 예에서, 이 데이터 전송은 제어기(30)에 의해 종료되어, 어드레스 래치 인에이블 신호 ALE가 활성 하이일 때 명령 래치 인에이블 신호 CLE 상에 활성 하이 레벨이 나타나게 한다. 명령 래치 인에이블 신호 CLE의 변환에 응답하여, 플래시 메모리 디바이스(10)는 그 출력 구동기들이 입력/출력 라인들 I/O1 내지 I/On을 고임피던스 상태로 두도록 제어하고, 또한, 제어기(30)가 데이터 충돌의 발생을 회피하면서 적당할 때 이들 라인들의 제어를 취하도록 허용하는 두 경우들에서, 판독 인에이블 신호 RE_{-} 에 대응하는 도전체의 제어를 해제한다. 도 6c의 예에 도시된 바와 같이, 보류 및 종료 동작들이 판독 인에이블 신호 RE_{-} 를 로우 레벨로 생성했기 때문에, 제어기(30)는 판독 인에이블 신호 RE_{-} 의 제어를 취하여 도시된 바와 같이 변환을 유발하면, 대응하는 라인에 대해 비활성 하이 레벨을 구동할 것이고, 보류 및 종료 동작들이 판독 인에이블 신호 RE_{-} 를 하이 레벨로 이미 생성했다면, 이 라인의 변환은 없는 것이 당연하다.

[0075] 플래시 메모리 디바이스(10)는 정규 동작 모드("레거시" 모드)로 복귀하여, 도 5a에 도시된 흐름도의 처리(44)로 제어를 넘긴다. 새로운 향상된 모드 판독 데이터 전송은 본 발명의 이러한 양호한 실시예에 따라 개시 처리(48)의 다른 인스턴스를 요구할 것이다.

[0076] 또한 대안적으로, 제어기(30)가 칩 인에이블 신호 CE_{-} 를 나타내지 않으면 무조건적인 종료 발생할 것이다. 그러나, 이러한 무조건적인 종료는 플래시 메모리 디바이스(10) 및 제어기(30)에 내부적으로 및 그들로부터 외부적으로 둘다 "결함들(glitches)"과 다른 위조의 지정되지 않은 이벤트들을 유발할 수 있다.

[0077] 본 발명의 이러한 양호한 실시예에 따라, 향상된, 고성능 모드는 제어기(30)로부터 플래시 메모리 디바이스(10)로의 변환을 위해, 달리 말하면 기록 데이터 전송 동작들을 위해 제공된다. 도 5b의 흐름도는 도 6a 및 도 6d 내지 도 6e의 흐름도와 함께 이 동작을 도시하며, 지금부터 설명된다.

[0078] 향상된 모드 기록 데이터 전송을 실시하기 위하여, 플래시 메모리 디바이스(10)는 처리(60)에 진입하여 정규 동작 모드에서 시작한다. 판독 데이터 전송의 경우에서와 같이, 정규 모드 동작들은(만약 있다면) 처리(62)에서 먼저 실행될 수 있다. 처리(64)에서, 제어기(30)는 도 4b에 대해 상술한 바와 같이 이러한 정규 동작 모드에서 플래시 메모리 디바이스(10)에 어드레스 값을 발행한다. 처리(66)에서, 제어기(30)는 도 6a에 대해 상술한 향상

된 판독 데이터 전송을 위해 수행된 방식과 동일한 방식으로 향상된 데이터 전송 모드를 개시한다. 이러한 향상된 모드에서 기록 데이터 전송이 처리(66)를 통해 판독 데이터 전송과 실질적으로 동일하게 실행될 것으로 예측된다. 이와 같이, 예를 들면, 처리(66)에서 발행된 명령 값 IDT_CMD는 판독 및 기록 데이터 전송 동작들을 둘다에 대해 동일한 것으로 예측된다. 대안적으로, 개별 명령 값들은 서로에 대해 2개의 동작들을 위해 할당될 수 있다.

[0079] 처리(68)에서, 제어기(30) 및 플래시 메모리 디바이스(10)는 향상된 기록 데이터 전송을 실행한다. 도 6d는 명령 값 IDT_CMD, 명령 래치 인에이블 CLE에 대한 활성 하이 레벨, 및 기록 인에이블 신호 WE_에 대한 활성 로우 펄스의 조합이 제어기(30)에 의해 플래시 메모리 디바이스(10)에 발행되고, 따라서 향상된 모드 데이터 전송을 개시하는 처리(66)를 포함하여 이 동작의 예에서의 신호들의 타이밍을 도시한다. 이전의 예에서와 같이, 어드레스 래치 인에이블 신호 ALE는 비활성 로우 레벨로 유지되고, 칩 인에이블 신호 CE_는 활성 로우로 유지된다. 이 동작이 데이터 기록에 대한 것이므로, 판독 인에이블 신호 RE_(도 6d에 도시되지 않음)는 전체에 걸쳐 제어기(30)에 의해 비활성 하이로 유지될 것이다. 기록 데이터 전송 처리(68)가 제어기(30)의 전체 제어 하에 유지되기 때문에, 본 발명의 이 실시예에서, 명령 IDT_CMD의 발행과 기록 데이터 전송의 시작 사이의 지연은 판독 데이터 전송에서 제 1 출력 데이터 워드에 앞선 것보다 훨씬 더 짧을 수 있다(도 6a). 바람직하게, 개시 명령 IDT_CMD에 대응하는 기록 인에이블 신호 WE_의 펄스의 상승 에지와, 도시된 제 1 입력 데이터 워드 D_{in}(0)에 대응하는 기록 인에이블 신호 WE_의 제 1 펄스의 하강 에지 사이의 지정된 시간이 경과한다.

[0080] 기록 데이터 전송이 시작되면, 본 발명의 양호한 실시예에서, 기록 인에이블 신호 WE_의 두 하강 및 상승 에지들은 제어기(30)에 의해 나타난 기록 데이터 스트로브들로 역할 한다. 도 6d에 도시된 바와 같이, 이것은 제어기(30)로 하여금, 기록 인에이블 신호 WE_의 각 에지와 동기하여, 입력/출력 라인들 I/O1 내지 I/O_n 상으로 새로운 유효 기록 데이터 워드 D_{in}(k)를 발행하게 한다. 결과적으로, 이 향상된 모드에서의 기록 데이터 전송 속도는 동일한 기록 인에이블 신호 WE_ 주파수에 대해, 정규 동작 모드 기록 동작의 데이터 속도의 2배에 가까울 수 있다.

[0081] 본 발명의 이러한 양호한 실시예에 따라, 도 5b로 돌아가서, 보류 결정(69)은 또한, 향상된 모드 기록 데이터 전송에 걸쳐 수행된다. 통상적으로, 기록 보류에 대한 요구는 제어기(30)에 의해 단독으로 결정되며, 이것은 플래시 메모리 디바이스(10)가 버퍼의 오버플로 없이 이 데이터 속도에서 입력 데이터를 수신할 수 있는 것으로 예측된다. 보류가 필요없다면(결정(69)이 NO이면), 데이터 전송은 처리(72)에서 계속된다. 제어기(30)가 보류를 요구한다면(결정(69)이 YES이면), 기록 데이터 전송의 보류는 처리(70)에서 실시된다. 이 예에서, 보류 처리(70)는 필요하다면, 기록 인에이블 신호 WE_의 상태를 연장시킴으로써 제어기(30)에 의해 간단히 실시된다. 이 보류는 어느 상태(기록 인에이블 신호 WE_가 하이로 유지하거나 로우로 유지)로나 수행될 수 있고, 도 6d는 기록 데이터 워드 D_{in}(2)의 구간 동안 보류 처리(70)를 도시하며, 여기서 기록 인에이블 신호 WE_는 로우로 유지된다. 당연히, 제어기(30)는 보류 처리(70) 동안 부가의 기록 데이터 워드들 D_{in}(k)을 발행하지 않는다. 보류 기간의 종료는, 기록 데이터 전송을 계속하기 위하여(처리 72), 도 6d에 도시된 예에서 다음 유효 기록 데이터 워드 D_{in}(3)과 함께 기록 인에이블 신호 WE_의 변환을 구동함으로써 제어기(30)에 의해서 단지 실시된다.

[0082] 그리고, 판독 데이터 전송의 경우에서와 같이, 데이터 및 제어 신호들(입력/출력 라인들 I/O1 내지 I/O_n 및 기록 인에이블 신호 WE_에 대한 라인)의 전압 레벨들은 종래의 레벨들보다 더 낮은 전압 레벨인 것이 바람직하며, 예를 들면 하이 및 로우 논리 레벨들 사이에 1.8볼트 "스윙(swing)"한다. 상기에 상세히 기술된 바와 같이, 이러한 낮은 전압 버스는 정규 동작 모드에서 1/2의 데이터 속도로 동작하는 종래의 플래시 메모리 시스템들에서 소비되는 전력에서 또는 그 이하에서 이 향상된 기록 데이터 전송 모드에 의해 소비된 전력을 유지할 것이다.

[0083] 도 5b로 다시 돌아가서, 도 6e와 조합하여, 기록 데이터 전송의 종료는 판독 데이터 전송의 종료와 동일한 방식으로 실시된다. 처리(74)에서, 제어기(30)는 전송을 보류하기 위하여 어드레스 래치 인에이블 신호 ALE를 처리(74)에서 활성 하이 레벨로 나타내고, 처리(76)에서 명령 래치 인에이블 신호 CLE를 활성 하이 레벨로 나타내며(어드레스 래치 인에이블 신호 ALE를 하이로 유지하면서), 그 후에 기록 데이터 전송을 종료한다. 도 6e는 기록 데이터 전송을 종료하는데 있어서 다양한 신호들의 타이밍을 도시한다. 기록 인에이블 신호 WE_는 도 6e에 도시된 하이 레벨로 유지되거나, (이 예에서)마지막 데이터 워드 D_{in}(5)가 래치된 후에 로우 레벨로부터 하이 레벨로 취해질 수 있다. 특정한 펄스 폭에 대해 어드레스 및 명령 래치 인에이블 신호들 ALE, CLE에서 하이 레벨들을 각각 유지함으로써 실시된 향상된 모드 기록 데이터 전송의 종료 후, 플래시 메모리 디바이스(10) 및 제어기(30)의 정규 동작 모드에 다시 진입된다.

- [0084] 이 예에서, 정규 동작 모드는, 명령의 실행이 향상된 모드를 호출하도록 요구되는 것과, 플래시 메모리 디바이스(10)의 동작이 데이터 전송의 종료에서 정규 동작 모드로 복귀하는 것(명령의 실행을 요구하지 않고)을 고려하여 "디폴트(default)" 동작 모드가 효과적이다. 대안적으로, 플래시 메모리 디바이스(10)는 명령의 실행이 향상된 데이터 전송 모드 및 정규 동작 모드 둘다에 진입하도록 요구되도록 구성될 수 있어서, 일단 플래시 메모리 디바이스(10)가 향상된 데이터 전송 모드이면, 정규 동작 모드로 복귀하는 명령이 제어기(30)에 의해 발행되고 플래시 메모리 디바이스(10)에 의해 실행될 때까지 그 모드로 유지될 것이다. 당연히, 그러한 방식은 명령 시퀀스들의 속성에 부가의 오버헤드를 수반한다.
- [0085] 또한 대안적으로, 플래시 메모리 디바이스(10)의 "디폴트" 동작 모드는 향상된 데이터 전송 모드가 될 수 있어서 모든 데이터 전송들이, 제어기(30)에 의해 플래시 메모리 디바이스(10)를 정규 동작 모드로 두기 위한 명령이 발행되지 않는 한 향상된 모드에서 수행될 것으로 예측된다. 본 발명의 이러한 대안적인 실시예에 따라, 플래시 메모리 디바이스(10)가 정규 동작 모드에 있으면, 데이터 전송의 완료는 플래시 메모리 디바이스(10)가 향상된 데이터 전송 모드로 복귀하도록 유발할 것이다.
- [0086] 도 7은 본 발명의 이 대안적인 양호한 실시예에 따라 플래시 메모리 디바이스(10)의 동작들 도시하며, 여기서 향상된 데이터 전송 모드는 "디폴트" 모드가 효과적이다. 처리(80)에서, 플래시 메모리 디바이스(10) 및 제어기(30)는 전력을 상승시키거나, 리셋 동작을 완료하고, 명령의 발행 또는 실행을 요구하지 않고 디폴트 조건에서와 같이 효과적으로 처리(82)에서 향상된 동작 모드로 진입한다. 처리(84)에서, 판독 및 기록 동작들은 도 6b 내지 도 6d에 대해 상술된 바와 같이 효과적으로 향상된 데이터 전송 동작 모드에서 실행된다. 이 향상된 모드에서, 예를 들면 보류 동작들 등이 도 6c에 관해 상술된 바와 같이 실행될 수 있다고 예측되고, 또한, 어드레스, 명령, 및 상태 통신 동작들과 같은 다른 동작들은 원한다면 정규 동작 모드 방식을 따를 수 있을 것으로 예측된다.
- [0087] 처리(86)에서, 본 발명의 이러한 양호한 실시예에 따른 플래시 메모리 카드(25)는, 정규 동작 모드 전송이 시작되는 메모리 위치를 나타내는 어드레스 값을 플래시 메모리 디바이스(10)에 발행하는 제어기(30)에 의해 정규 또는 "레거시" 데이터 전송을 준비한다. 처리(88)에서, 제어기(30)는 정규 동작 모드를 개시하기 위한 명령 시퀀스를 발행하며, 이 명령 시퀀스는 도 6a에 관해 상술된 것에 실질적으로 대응할 것으로 예측되며, 이 명령 시퀀스 자체는 정규 동작 모드에 따라 동작하는 것이 바람직하다(명령 코드 값이 단일 바이트 값이라고 예측됨). 명령(88)에 응답하여, 플래시 메모리 디바이스(10)는 예를 들면, 데이터 전송의 방향에 의존하는 도 4c 및 도 4d에 관해 상술된 바와 같이, 정규 동작 모드 판독 또는 기록 데이터 전송 동작을 수행한다. 본 발명의 실시예에서, 제어기(30)는 상술된 바와 같이, 판독 데이터 스트로브 및 기록 데이터 스트로브 클록 신호들 둘다를 발행하는 것이 바람직하다.
- [0088] 그리고, 본 발명의 대안적인 양호한 실시예에 따라, 정규 동작 모드는 데이터 전송의 완료시 빠져나오게 된다(exit). 도 7의 예에서, 도 5a 및 도 5b에 관한 상술된 것과 유사하게, 데이터 전송의 종료는 처리(92)에서 제어기(30)에 의해 보류 신호(예를 들면 어드레스 래치 인에이블 신호에 대한 활성 레벨)를 발행하고, 그 후에 처리(93)에서 제어기(30)에 의해 전송을 종료한다(예를 들면, 명령 래치 인에이블 신호의 활성 레벨을 발행함으로써). 본 발명의 양호한 실시예에 따라 정규 동작 모드 데이터 전송의 종료시, 제어는 처리(84)로 복귀되고, 이 처리에서 향상된 데이터 전송 모드에 다시 진입되어, 판독 및 기록 데이터 전송 동작들이 처리(84)에서 원하는 대로 실행된다.
- [0089] 본 발명의 이러한 대안적인 양호한 실시예를 넘어, 플래시 메모리 디바이스(10)의 다양한 동작 모드들에 진입하고 빠져나오기 위한 다른 대안적인 방식들이 본 명세서를 참조한 당업자에게 명백할 것이며, 또한 이들 및 그러한 다른 대안적인 구현들이 청구한 본 발명의 범위 내에 있는 것으로 예측된다.
- [0090] 도 8a 내지 도 8e를 참조하여, 본 발명의 제 2 양호한 실시예에 따라, 플래시 메모리 카드(25)의 관점에서 플래시 메모리 디바이스(10)와 제어기(30) 사이의 신호들의 타이밍이 상세히 기술될 것이다. 본 발명의 제 2 양호한 실시예에 따라, 향상된 모드 동안 진입, 빠져나오기 및 동작의 전체 처리들은 판독 동작을 위한 도 5a 및 기록 동작을 위한 도 5b에 관해 상술된 처리들을 따르는 것이 바람직하다. 이와 같이, 이들 처리들의 상세한 설명은 도 8a 내지 도 8e와 관련하여 반복되지 않을 것이다.
- [0091] 본 발명의 제 1 양호한 실시예에 관해 상술된 바와 같이, 플래시 메모리 디바이스(10) 및 제어기(30)는 전력 상승의 다음에, 정규 동작("레거시") 모드에 있다. 이와 같이, 이 정규 모드에서 판독 및 기록 동작들(만약 있다면)은 사용자에게 의해 원하는 대로 실행된다. 판독 동작에 대한 향상된 동작 모드로의 진입은 데이터가 이 향상된 동작 모드에서 판독되는 초기 메모리 어드레스에 대응하는 메모리 어드레스 값을 정규 동작 모드에서 플래시

메모리 디바이스(10)로 발행하는 제어기(30)에 의해 수행된다. 이전에, 이러한 메모리 어드레스는 어드레스 래치 인에이블 신호 ALE에 대한 활성 레벨과 조합하여 입력/출력 라인들 I/O1 내지 I/On 상에 둔다.

[0092] 메모리 어드레스가 통신된 후, 제어기(30)는 칩 인에이블 신호 CE_l를 활성 로우로, 어드레스 래치 인에이블 신호 ALE를 비활성 로우로, 명령 래치 인에이블 신호 CLE를 활성 하이로 함으로써 이전과 같이 "개시 데이터 전송" 또는 "IDT" 명령 시퀀스를 플래시 메모리 디바이스(10)에 발행한다. 도 8a는 이 동작을 도시한다. 기록 인에이블 신호 WE_l의 활성 로우 펄스의 상승 에지는 제어기(30)에 의해 입력/출력 라인들 I/O1 내지 I/On 상으로 구동된 IDT 명령 값 IDT_CMD(이것은 다른 할당된 명령 값들과 상이한 값을 갖는 이진 워드임)에 대한 데이터 스트로브로서 역할 한다. 기록 인에이블 신호 WE_l 다음의 지정된 시간이 하이로 취해진 후, 제어기(30)는 입력/출력 라인들 I/O1 내지 I/On을 고임피던스 상태로 둔다.

[0093] 본 발명의 이러한 제 2 양호한 실시예에 따라, 플래시 메모리 디바이스(10)는 판독 인에이블 스트로브 신호 RE_l의 제어 및 구동을 취한다. 따라서, 도 8a에 도시된 바와 같이, IDT 명령을 스트로빙하는 기록 인에이블 신호 WE_l의 상승 에지 후에 시간 t_{rel} 이 경과할 때, 제어기(30)는 판독 인에이블 신호 RE_l의 제어를 해제한다. 플래시 메모리 디바이스(10)의 제어 논리(18)는 제어기(30)와 충돌 없이 대응하는 라인 RE_l의 상태를 구동할 수 있다. 플래시 메모리 디바이스(10)는 그 후에 고속, 향상된 모드, 판독 데이터 전송을 수행하기 시작한다. 본 발명의 이러한 제 2 양호한 실시예에 따라, 도 8a에 도시된 바와 같이, 플래시 메모리 디바이스(10)는 레거시 모드에서 이용가능한 고주파수 판독 인에이블 신호 RE_l와 조합하여, 레거시 모드에서보다 더 높은 데이터로 어드레싱된 메모리 셀들로부터 데이터를 제공한다.

[0094] 예를 들면, 플래시 메모리 디바이스(10)는 레거시 모드에서 그 신호의 주파수의 2배인 판독 인에이블 신호 RE_l의 구동과 조합하여, 데이터가 레거시 모드에서 제공되는 주파수의 2배로 이 향상된 모드에서 입력/출력 라인들 I/O에 출력 데이터를 제공할 수 있다. 예를 들면, 레거시 모드에서 최대 이용가능한 데이터 속도 및 판독 스트로브 주파수가 25MHz이면, 판독 데이터 신호 RE_l의 주파수 및 향상된 모드 데이터 속도는 50MHz 만큼 높을 수 있다. 플래시 메모리 디바이스(10)가 판독 인에이블 신호 RE_l 및 또한 데이터 워드들을 자체 소싱하고 있기 때문에, 이들 신호들이 플래시 메모리 디바이스(10)에 의해 생성되는 주파수는 제어기(30)의 직접 제어 하에 있지 않는다.

[0095] 도 8a는 이 향상된 모드 판독 동작을 도시한다. 판독 데이터 전송 처리는 워드 인에이블 신호 WE_l의 상승 에지 후에 영이 아닌 액세스 시간의 경과 후에, 제 1 유효 출력 데이터 워드 D_{out}(0)을 발행하는 플래시 메모리 디바이스(10)로 시작한다. 제 1 출력 데이터 워드 D_{out}(0) 후에, 플래시 메모리 디바이스(10)는 부가의 출력 데이터 워드들 D_{out}(1) 등과 동기하여, 판독 인에이블 신호 RE_l의 활성 펄스들을 발행하기 시작한다. 본 발명의 이러한 양호한 실시예에 따라, 하나의 데이터 워드 D_{out}(k)는 판독 인에이블 신호 RE_l의 전체 사이클과 동기되어 발행된다. 도 8a의 예에서, 판독 인에이블 신호 RE_l의 하강 에지는 데이터 워드들이 동기하는 신호 에지이고, 당연히, 판독 인에이블 신호 RE_l의 상승 에지(즉, 판독 인에이블 신호 "RE")는 동작하는 에지에 삽입될 수 있다. 도 8a에 도시된 바와 같이, 각각의 출력 데이터 워드 D_{out}(k)는 영이 아닌 액세스 시간만큼 판독 인에이블 신호 RE_l의 대응하는 하강 에지에 뒤따른다. 대안적으로, 판독 인에이블 신호 RE_l의 각각의 하강 에지는 대응하는 유효 데이터 워드 D_{out}(k) 내의 제어기(30)에 발행(또는 발행되도록 지연)될 수 있다.

[0096] 따라서, 본 발명의 이러한 제 2 양호한 실시예에 따라, 플래시 메모리 디바이스(10)가 이 향상된 모드에서 입력/출력 라인들 I/O1 내지 I/On을 통해 제어기(30)에 데이터를 전송하는 속도는 정규 동작 모드(도 4d)에서의 데이터 속도보다 실질적으로 빨라서, 통상적인 실현에 있어서의 데이터 속도의 2배에 가깝다. 이 더 높은 데이터 속도는 플래시 메모리 디바이스(10)가 판독 인에이블 신호 RE_l의 판독 데이터 스트로브 에지들을 발행하도록 허용함으로써 부분적으로 인에이블될 수 있으며, 이것은 제어기(30)가 이들 판독 데이터 스트로브 에지들을 발행하는 경우 수반되는 필수적인 타이밍 윈도우들 및 전과 지연을 제거한다. 그 외에도, 본 발명의 제 1 양호한 실시예에 관해 상술한 바와 같이, 입력/출력 라인들 I/O1 내지 I/On에서 이렇게 증가된 데이터 속도는 데이터 신호(및 판독 인에이블 신호 RE_l, 원하는 경우)의 감소된 전압 스윙을 사용함으로써 플래시 메모리 디바이스(10) 및 제어기(30)의 전력 소비를 극적으로 증가시키지 않고 얻어질 수 있다. 상술된 바와 같이, 이러한 라인들의 명목상 전압 스윙은 통상적으로 3.3v 버스 레벨로부터 예를 들면 약 1.80볼트의 명목상 전압 스윙으로 실질적으로 감소된다.

[0097] 예를 들면, 플래시 메모리 디바이스(10)와 제어기(30) 사이의 16-비트의 입력/출력 버스 인터페이스(즉, 16개의

입력/출력 라인들 I/O1 내지 I/O16이 있음)의 예에 대해, 본 발명의 이러한 제 2 양호한 실시예는 본 발명의 제 1 양호한 실시예의 것보다 단지 약간 더 많은 전력 소비를 수반한다. 상술된 바와 같이, 50MHz의 데이터 속도에 서, 입력/출력 라인들 I/O1 내지 I/O_n에 대한 충전 주파수는 본 발명의 이러한 양호한 실시예에 따라 25MHz가 될 것이다. 단일 입력/출력 라인 I/O(k)에 소비된 전류 I_k는 하이 및 로우 데이터 레벨들 사이에 통상적인 1.8 볼트 스윙을 사용하여 하기와 같이 계산될 수 있다:

[0098] $I_{k_k} = 25 * 0.065(1.8) = 2.925\text{mA}$

[0099] 그러나, 판독 인에이블 신호 RE₋가 정규 동작 모드에서 그리고 본 발명의 제 1 양호한 실시예에서와 같이 2배의 주파수에서 동작하고 있기 때문에, 이와 같이 전류 소비는 단일입력/출력 라인 I/O_k의 2배가 될 것이다:

[0100] $IRE = 50 * 0.065(1.8) = 2 * 2.925\text{mA} = 5.850\text{mA}$

[0101] 따라서, 이 예에서 향상된 동작 모드에서 소비된 총 전류는 16개의 입력/출력 라인들 I/O1 내지 I/O16의 경우에 대해 하기와 같다:

[0102] $I_{\text{total}} = 16(2.925) + 5.850 = 52.65\text{mA}$

[0103] 이것은 본 발명의 제 1 양호한 실시예에 따라 소비된 것(즉, 49.73mA)보다 약간 더 크다. 16-비트 I/O 버스의 경우에 대해, 종래의 데이터 전송에 소비된 전류는 상기한 설명에 따라 하기와 같다:

[0104] $I_{\text{total}} = 16(2.681) + 2(2.681) = 48.62\text{mA}$

[0105] 이것은 본 발명의 제 2 양호한 실시예에 따른, 52.65mA보다 약간 더 작다. 그러나, 본 발명의 이 실시예에 따라 소비된 전류가 종래의 구현보다 약간 더 높을지라도, 이 전류 레벨은 입력/출력 신호들에 대해 더 낮은 전압 스윙(1.8볼트 대 3.3볼트)에서 얻어진다. 결과적으로, 이러한 향상된 동작 모드에서 소비된 전력은 종래의 플래시 메모리 카드들에서 소비된 것보다 실질적으로 더 낮다. 이들 예들에 따라, 종래의 16개의 I/O 플래시 메모리에서 정규 동작 모드에서 소비된 전력은 약 160mW가 될 것이며(3.3볼트 곱하기 48.62mA), 상술된 본 발명의 양호한 실시예의 예에 의해 소비된 전력은 약 95mW가 될 것이다(1.8볼트 곱하기 52.65mA). 전력 소비의 이러한 실질적 감소는 데이터 전송 속도에서 실질적인 개선과 조합하여 얻어지며, 더 큰 버스트들에 대해 데이터 속도의 2 배에 가깝다.

[0106] 이전과 같이, 제어기(30)는 예를 들면, 그 입력 버퍼(플래시 메모리 디바이스(10)로부터)가 충전된 경우에, 플래시 메모리 디바이스(10)에 보류 요청을 발행할 수 있다. 이러한 보류 요청에 응답한 플래시 메모리 디바이스(10)의 동작은 도 8b에 도시되어 있다. 보류 요청은 제어기(30)에 의해 이루어지며, 고속 판독 전송 동안 어드레스 래치 인에이블 신호 ALE에 대해 활성 하이 레벨을 나타낸다. 이러한 요청에 응답하여, 플래시 메모리 디바이스(10)는 판독 인에이블 신호 RE₋(도시된 바와 같이 하이 레벨일 때 또는 로우 레벨일 때)를 보류하여, 판독 인에이블 신호 RE₋의 다음 사이클을 지연시킨다. 높은 데이터 속도 전송으로 인해, 하나 또는 2개의 부가의 데이터 워드들 및 판독 인에이블 신호 RE₋의 대응하는 사이클들은 플래시 메모리 디바이스(10)의 출력 "파이프라인(pipeline)"에 이미 있을 수 있어서, 이들 대응하는 데이터 워드들은 플래시 메모리 디바이스(10)가 보류 요청에 반응하기 전에 출력될 수 있다. 이 예에서, 제어기(30)는 출력 데이터 워드 D_{out}(4) 동안 어드레스 래치 인에이블 신호 ALE를 나타내고, 플래시 메모리 디바이스(10)는 출력 데이터 워드 D_{out}(6) 동안 입력/출력 라인들 I/O1 내지 I/O_n에서의 변환들 및 판독 인에이블 신호 RE₋의 다른 사이클들을 유지함으로써 응답한다.

[0107] 도 8c는 본 발명의 이러한 양호한 실시예에 따라 향상된, 고속 판독 데이터 전송의 종료로 도시한다. 이전과 같이, 제어기(30)는 어드레스 래치 인에이블 신호 ALE의 활성 하이 레벨을 나타냄으로써 보류 요청을 먼저 발행하여 고속 데이터 전송을 종료한다. 고속 요청 동안, 제어기(30)는 어드레스 래치 인에이블 신호 ALE가 활성 하이 인 동안 명령 래치 인에이블 신호 CLE에 대해 활성 하이 레벨을 나타냄으로써 데이터 전송 동작을 종료한다. 응답하여, 플래시 메모리 디바이스(10)는 그 출력 구동기들이 입력/출력 라인들 I/O1 내지 I/O_n을 고임피던스 상태로 두게 하고, 또한, 판독 인에이블 신호 RE₋에 대응하는 도전체의 제어를 해제한다. 제어기(30)는 다음 동작에 적당하다면 이들 라인들의 제어를 받을 수 있다.

[0108] 본 발명의 이러한 제 2 양호한 실시예에 따라, 향상된 모드의 기록 동작은 도 8d 및 도 8e에 관해 기술될 것이다. 판독 데이터 전송의 경우에서와 같이, 향상된 모드는 플래시 메모리 디바이스(10) 및 제어기(30)가 정규 또는 레거시 모드에서 동작한 후에 진입된다. 기록 동작에 대한 향상된 데이터 전송 모드로의 진입은 도 8a에 관해 상술된 향상된 판독 데이터 전송과 유사하게 수행된다. 도 8d에 도시된 바와 같이, 향상된 모드 명령 값

IDT_CMD은 명령 래치 인에이블 신호 CLE에 대한 활성 하이 레벨, 및 기록 인에이블 신호 WE_에 대한 활성 로우 펄스와 조합하여 제어기(30)에 의해 발행된다. 이전과 같이, 어드레스 래치 인에이블 신호 ALE는 비활성 로우 레벨로 유지되고, 칩 인에이블 신호 CE_는 활성 로우로 유지된다. 향상된 모드로의 진입을 위한 데이터 기록 동작은 판독 인에이블 신호 RE_를 기록 동작에 걸쳐 비활성 하이로 유지함으로써 제어기(30)에 의해 표시된다(도 8d에 도시되지 않음). 개시 명령 IDT_CMD과 기록 인에이블 신호 WE_의 펄스의 상승 에지와, 제 1 입력 데이터 워드 D_{in}(0)에 대응하는 기록 인에이블 신호 WE_의 제 1 펄스의 하강 에지 사이의 지정된 시간이 경과한다.

[0109] 이러한 향상된 모드 기록 데이터 전송 동안, 본 발명의 이러한 제 2 양호한 실시예에 따라, 기록 인에이블 신호 WE_의 사이클들의 주파수는 예를 들면, 정규 모드에서 기록들에 사용된 것의 주파수의 2배까지 증가된다. 기록 인에이블 신호 WE_의 하강 에지들은 이 예에서 기록 데이터 스트로브들로 역할 한다. 그리고 또한, 이 향상된 모드뿐만 아니라 정규 모드에서도, 기록 인에이블 신호 WE_는 제어기(30)에 의해 입력/출력 라인들 I/O1 내지 I/O_n 상으로 구동된 데이터 값들과 조합하여, 제어기(30)에 의해 나타난다. 도 8d에 도시된 바와 같이, 제어기(30)는 기록 인에이블 신호 WE_의 하강 에지와 동기하여 입력/출력 라인들 I/O1 내지 I/O_n 상으로 새로운 유효 기록 데이터 워드 D_{in}(k)를 발행한다. 기록 인에이블 신호 WE_의 주파수가 이 예에서 2배이기 때문에, 이 향상된 모드에서 기록 데이터 전송 속도는 정규 동작 모드 기록 동작의 데이터 속도의 2배에 가까울 수 있다. 예를 들면, 최대 기록 데이터 전송 속도 및 기록 인에이블 신호 주파수가 정규 모드에서 25MHz이면, 데이터 전송 속도 및 기록 인에이블 신호 주파수는 본 발명의 제 2 양호한 실시예에 따라 향상된 모드에서 50MHz만큼 높게 증가될 수 있다. 플래시 메모리 디바이스(10)는 본 발명의 이 실시예에 따라 구성되어, 더 높은 속도로 데이터를 수신 및 처리할 수 있다. 당연히, 제어기(30)는, 제어기(30)가 데이터를 자체 처리하고 있는 속도와 시스템 애플리케이션에 의존하여, 최대(예를 들면 50MHz)보다 낮은 주파수에서의 데이터 속도 및 실제 기록 인에이블 신호 주파수를 사용할 수 있다.

[0110] 또한, 본 발명의 이러한 실시예에 따라, 보류는 향상된 모드 기록 데이터 전송으로 삽입될 수 있다. 이 예에서, 이전과 같이, 제어기(30)는 도 8d에 도시된 바와 같이, 필요하다면 기록 인에이블 신호 WE_의 상태를 간단히 연장함으로써 기록 데이터 전송을 보류한다. 이 보류는 어느 상태로나(기록 인에이블 신호 WE_는 하이로 유지하거나 로우를 유지) 수행될 수 있다. 새로운 데이터 워드들 D_{in}(k)은 당연히 이 보류 기간 동안 발행되지 않는다. 보류 기간은 제어기(30)에 의해 종료되고, 기록 데이터 전송을 계속하기 위해 도 8d에 도시된 예에서 다음 유효 기록 데이터 워드 D_{in}(3)과 함께, 기록 인에이블 신호 WE_의 다음 사이클을 구동한다.

[0111] 그리고, 판독 데이터 전송의 경우에서와 같이, 데이터 및 제어 신호들(입력/출력 라인들 I/O1 내지 I/O_n 및 기록 인에이블 신호 WE_에 대한 라인)의 전압 레벨들은 종래의 레벨들보다 더 낮은 전압 레벨인 것이 바람직하며, 예를 들면 하이 및 로우 논리 레벨들 사이에 1.8볼트 "스윙"한다. 상기에 상세히 기술된 바와 같이, 이러한 낮은 전압 버스는 정규 동작 모드에서 1/2의 데이터 속도로 동작하는 종래의 플래시 메모리 시스템들에서 소비되는 전력에서 또는 그 이하에서 이 향상된 기록 데이터 전송 모드에 의해 소비된 전력을 유지할 것이다.

[0112] 도 8e를 참조하면, 향상된 모드 기록 데이터 전송은 본 발명의 제 2 양호한 실시예에 따른 향상된 판독 데이터 전송의 종료와 동일한 방식으로 수행된다. 향상된 모드의 종료는 제어기(30)에 의해 수행되며, 전송을 보류하기 위하여 어드레스 래치 인에이블 신호 ALE를 활성 하이 레벨로 구동하고, 그 시간 동안 제어기(30)는 기록 데이터 전송을 종료하기 위하여 명령 래치 인에이블 신호 CLE를 활성 하이 레벨로 나타낸다(어드레스 래치 인에이블 신호 ALE는 하이로 유지한다). 기록 인에이블 신호 WE_는 (이 예에서)마지막 데이터 워드 D_{in}(5)가 래치된 후에 유지되거나 또는 하이 레벨로 취해질 수 있다. 특정한 펄스 폭에 대해 어드레스 및 명령 래치 인에이블 신호들 ALE, CLE에서 하이 레벨들을 각각 유지함으로써 실시된 향상된 모드 기록 데이터 전송의 종료 후, 플래시 메모리 디바이스(10) 및 제어기(30)의 정규 동작 모드에 다시 진입된다.

[0113] 따라서, 본 발명의 이러한 제 2 양호한 실시예에 따라, 향상된 또는 고속 데이터 전송 동작 모드는 데이터 속도를 증가시키기 위해 더 높은 주파수 스트로브 신호들의 사용을 허용함으로써 대안적인 방식으로 실행될 수 있다. 본 발명의 제 2 양호한 실시예에 따라, 이 동작은 어떤 플래시 메모리 애플리케이션들에서 원하는 동작과 더욱 양립할 수 있다고 예측된다.

[0114] 도 2를 참조하면, 본 발명의 제 3 양호한 실시예에 따라, 판독 인에이블 신호 RE_ 및 기록 인에이블 신호 WE_ 둘다는 양방향이다. 정규 동작 모드에서의 판독 동작들에 대해, 플래시 메모리 어레이(12)로부터 판독되는 데이터의 목적지인 외부 디바이스는 판독 데이터 스트로브의 소스이며, 이것은 플래시 메모리 디바이스(10)에 대한 입력들로서 판독 인에이블 신호 RE_로서 전달된다. 이 정규 동작 모드에서의 기록 동작들에서, 입력 데이터들

제공하는 외부 디바이스는 입력 단자들 I/O1 내지 I/On에서의 입력 데이터의 배치와 동기하여, 기록 데이터 스트로브를 기록 인에이블 신호 WE_로서 소싱한다. 본 발명의 양호한 실시예에 따라 향상된 동작 모드에서의 판독 동작들에서, 하기에 더 기술되는 바와 같이, 제어 논리(18)는 서로 위상 이동된 2개의 판독 데이터 스트로브들을 발행하며, 판독 데이터 스트로브들 중 하나는 판독 인에이블 신호 RE_이고, 다른 것은 기록 인에이블 신호 WE_이다. 이들 신호들 각각의 에지 또는 변환은 플래시 메모리 어레이(12)로부터 판독되고 데이터 레지스터(14)를 통해 I/O 제어 회로(20)와 입력/출력 단자들 I/O1 내지 I/On과 통신된 데이터를 와 동기될 것이다. 유사하게, 기록 동작들은 플래시 메모리 디바이스(20)에 데이터 소스에 의해 발행된 기록 데이터 스트로브들로서 기록 인에이블 신호 WE_ 및 판독 인에이블 신호 RE_ 모두를 사용함으로써 향상된 동작 모드에서 실행될 것이다.

[0115] 본 발명의 이러한 제 3 양호한 실시예에서, 도 3을 참조하여, 라인 RE_는 레거시 모드 판독 동작들에 대한 데이터 스트로브를 운송하고(메모리 디바이스(10)로부터 판독되고 제어기(30)에 통신된 데이터), 이것은 플래시 메모리 디바이스(10)(도 2)의 단자 RE_에 접속된다. 상술한 바와 같이, 본 발명의 이러한 양호한 제 3 실시예에 따라, 라인 RE_은 양방향이며, 판독 데이터 스트로브는 플래시 메모리 디바이스(10)의 현재 동작 모드에 의존한다. 정규 동작 모드에서, 제어기(30)는 플래시 메모리 디바이스(10)가 신호 라인들 I/O1 내지 I/On 상에서 유효한 데이터로서 존재하도록 유지하는 것에 응답하여, 판독 데이터 스트로브를 소싱한다. 향상된 동작 모드에서, 본 발명의 양호한 실시예에 따라, 플래시 메모리 디바이스(10)는 플래시 메모리 디바이스(10)로부터 제어기(30)로 데이터 전송을 위해 라인 RE_ 상에서 판독 데이터 스트로브를 소싱한다. 하기에 더 기술되는 바와 같이, 제어기(30)는 향상된 모드 기록 동작들 동안 라인 RE_를 스트로빙할 것이다. 따라서, 라인 WE_와 유사하게, 제어 라인 RE_은 판독 및 기록 동작들 둘다에서 교호하는 데이터를 스트로빙하는데 이용되는 제 2 위상 이동된 스트로브 신호를 제공하기 위해 본 발명의 양호한 실시예들에 따라 향상된 데이터 전송 모드에서 판독 및 기록 동작들 모두에서 수반된다.

[0116] 하기에 더 상세히 기술되는 바와 같이, 제어기(30)에 의해 입력/출력 라인들 I/O1 내지 I/On을 통해 통신된 명령들은 플래시 메모리 디바이스(10)가 제어기(30)에 데이터를 전송하고 있는 동작 모드에 상관없이, 신호 라인 RE_ 상의 판독 데이터 스트로브 소스와 동기된다.

[0117] 따라서, 본 발명의 양호한 실시예에 따라, 플래시 메모리 디바이스(10)는 향상된, 고성능 판독 및 기록 동작 모드를 제공하며, 제어기(30)는 향상된 모드의 이점을 취하도록 구성된다. 본 발명의 제 3 양호한 실시예에 따라 이 향상된 모드를 이용하는데 있어서 플래시 메모리 디바이스(10) 및 제어기(30)의 동작은, 도 5a 및 도 5b의 흐름도와 도 9a 내지 도 9e의 타이밍도와 관련하여, 하기에 상세히 기술된다.

[0118] 도 5a 및 도 9a 내지 도 9c는 데이터 판독 동작을 수행(즉, 플래시 메모리 카드(25)에서 플래시 메모리 디바이스(10)로부터 제어기(30)로)하는데 있어서 플래시 메모리 디바이스(10)의 동작을 도시한다. 도 5a의 처리(40)에서, 플래시 메모리 디바이스(10) 및 제어기(30)는 도 4a 내지 도 4d에 관해 상술한 바와 같이, 정규 동작 모드에 따라 플래시 메모리 디바이스(10)에 메모리 어드레스 값을 발행한다(처리 42). 처리(44)에서, 정규 동작 모드에서의 판독 및 기록 동작들(만약 있다면)은 이 정규 동작("레거시") 모드에서 실행된다.

[0119] 도 4b에 관해 상술된 바와 같이, 향상된 판독 동작 모드로의 진입은 처리(46)에서 시작하며, 여기서 제어기(30)는 정규 동작 모드에 따라 플래시 메모리 디바이스(10)에 메모리 어드레스 값을 발행한다. 제어기(30)에 의해 발행된 메모리 어드레스는 초기 메모리 어드레스이고, 이로부터 향상된 동작 모드에서 데이터가 판독되고, 상술된 대응하는 판독 어드레스 입력 명령의 전송이 뒤따르는 것이 바람직하다. 처리(48)에서, 제어기(30)는 플래시 메모리 디바이스(10)에 "데이터 전송 개시" 또는 "IDT" 명령 시퀀스를 발행한다. 도 9a는 이 동작을 더 상세하게 도시한다.

[0120] 본 발명의 양호한 실시예에 따라, "IDT 판독" 명령은 처리(48)에서 향상된 데이터 전송 모드를 개시하기 위해 제어기(30)에 의해 플래시 메모리 디바이스(10)에 발행된다. 이 명령은 도 4a에 관해 상술된 명령들의 발행과 유사한 방식으로 발행되며, 제어기(30)는 칩 인에이블 신호 CE_를 활성 로우로 구동하고, 어드레스 래치 인에이블 신호 ALE를 비활성 로우로 구동하며, 명령 래치 인에이블 신호 CLE를 활성 하이로 구동한다. 기록 인에이블 신호 WE_의 활성 로우 펄스의 상승 에지는 제어기(30)에 의해 입력/출력 라인들 I/O1 내지 I/On 상으로 구동된 IDT 명령 값 IDT_RD_CMD(다른 할당된 명령 값들과는 상이한 값을 가진 이진 워드임)에 대한 데이터 스트로브로서 역할 한다. 기록 인에이블 신호 WE_가 하이를 취한 다음의 특정한 시간 후에, 제어기(30)는 입력/출력 라인들 I/O1 내지 I/On을 고임피던스 상태로 둔다. 그리고, 기록 인에이블 신호 WE_의 상승 에지 다음의 다른 경과된 시간 t_{rel} 후에, IDT 명령에 스트로빙할 때, 제어기(30)는 그 후에 또한 판독 인에이블 신호 RE_이 제어를 해제하여, 대응하는 라인 RE_의 상태를 구동하기 위해(제어기(30)와의 데이터 충돌의 위험 없이), 플래시 메모리

디바이스(10)의 제어 논리(18)를 허용한다. 본 발명의 양호한 실시예에 따라, 향상된 모드 데이터 전송의 방향(즉, 기록 또는 판독)은 향상된 데이터 전송 모드로의 진입시 IDT 명령의 값에 의해 확립되며, 이것은 하기에 기술되는 바와 같이, 판독 인에이블 신호 RE_̅ 및 기록 인에이블 신호 WE_̅ 둘다가 데이터 전송 자체에 사용되도록 허용한다.

[0121] 대안적으로, 향상된 데이터 전송 모드로의 진입 및 이 모드에서 판독 또는 기록 동작 중 어느 것이 실행되는지의 표시는 제어기(30)로부터 플래시 메모리 디바이스(10)로 여러 방식으로 통신될 수 있다. 예를 들면, 제어 신호들(판독 인에이블 RE_̅ 및 기록 인에이블 WE_̅ 신호들과 함께, ALE, CLE, WP_̅ 및 CE_̅ 라인들에 접속된 하나 이상의 신호 라인들을 포함하는 제어 버스 CTRL의 하나 이상의 라인들 상)의 변환들의 특정한 시퀀스. 판독 및 기록 동작들 중 하나 또는 둘다에 대해, 향상된 데이터 전송 모드에 진입하기 위한 이들 및 다른 대안적인 방식들은 이 설명을 참조하는 당업자에게 명백할 것으로 예측된다.

[0122] IDT 판독 명령이 플래시 메모리 디바이스(10)로 래치되고 그에 의해 실행되면, 플래시 메모리 디바이스(10)는 고속 모드 판독 데이터 전송 처리(50)를 실행하기 시작한다. 도 9a에 도시된 바와 같이, 이 판독 데이터 전송 처리는 기록 인에이블 신호 WE_̅의 상승 에지 후에 영이 아닌 액세스 시간의 경과 후에, 제 1 유효 출력 데이터 워드 D_{out}(0)을 발행하는 플래시 메모리 디바이스(10)로 시작한다. 이 제 1 출력 데이터 워드 D_{out}(0)를 제공하면, 플래시 메모리 디바이스(10)는 부가의 출력 데이터 워드들 D_{out}(1) 등 중 교호하는 워드들과 동기하여, 판독 인에이블 신호 RE_̅ 및 기록 인에이블 신호 WE_̅ 둘다의 활성 펄스들을 발행하기 시작한다. 본 발명의 이러한 양호한 실시예에 따라, 판독 인에이블 신호 RE_̅ 및 기록 인에이블 신호 WE_̅는 서로 위상이 다르고, 각각의 동일한 에지들(예를 들면, 상승 에지들이 대안적으로 이용될 수 있는 것이 당연하지만, 이 예에서는 하강 에지들)은 대응하는 데이터 워드를 클로킹한다. 도 9a에 도시된 바와 같이, 기록 인에이블 신호 WE_̅는 이 향상된 모드 판독 동작에서 판독 인에이블 신호 RE_̅와 180° 위상을 벗어난다. 이러한 상보 위상 관계는 출력 데이터 워드들의 스트로빙이 발생할 때마다 다음의 교호하는 하강 에지 상에 발생할 것이기 때문에 본 발명의 이러한 양호한 실시예에 따른 이러한 동작에는 필수적인 것이 아니지만, 상보 위상 관계는 데이터 전송 속도를 가장 빠르게 지정된 레벨로 최대화하는 것이 바람직하다. 도 9a에 도시된 바와 같이, 하나의 데이터 워드 D_{out}(k)는 플래시 메모리 디바이스(10) 자체에 의해 구동된 판독 인에이블 신호 RE_̅ 및 기록 인에이블 신호 WE_̅의 각각의 하강 에지와 동기하여 발행된다. 도 9a의 예에서, 각각의 출력 데이터 워드 D_{out}(k)는 영이 아닌 액세스 시간 만큼 대응하는 스트로브 에지에 뒤따르며, 대안적으로, 각각의 판독 인에이블 신호 RE_̅ 및 기록 인에이블 신호 WE_̅ 하강 에지는 대응하는 유효 데이터 워드 D_{out}(k) 내에서 제어기(30)에 발행(또는 발행되도록 지연)될 수 있다.

[0123] 따라서, 본 발명의 양호한 실시예에 따라, 플래시 메모리 디바이스(10)가 이 향상된 모드에서 입력/출력 라인들 I/O1 내지 I/O_n을 통해 제어기(30)에 데이터를 제공하는 속도는 정규 동작 모드(도 4d)에서 데이터 속도보다 실질적으로 더 빠르며, 통상적인 실현들에 있어서의 데이터 속도의 2배에 가깝다. 이러한 더 높은 데이터 속도는 플래시 메모리 디바이스(10)가 판독 인에이블 신호 RE_̅ 및 기록 인에이블 신호 WE_̅의 판독 데이터 스트로브 에지들을 발행하도록 허용함으로써 부분적으로 인에이블되며, 이것은 제어기(30)가 이들 판독 데이터 스트로브 에지들을 발행하는 경우 수반되는 필수적인 타이밍 윈도우들 및 전파 지연을 없앤다. 그 외에도, 이들 2개의 신호들에 대한 하강 스트로브 에지들의 주파수는 단일 신호의 2배에 가까울 수 있다. 기록 인에이블 신호 WE_̅는 데이터 전송의 방향이 IDT 판독 명령 값에 의해 설정되기 때문에, 이 판독 동작에 사용하기에 이용가능하다.

[0124] 그러나, 당업자에게 명백한 바와 같이, 출력 데이터가 입력/출력 라인들 I/O1 내지 I/O_n 상에서 제공되는 증가된 속도는 모든 다른 요인들이 동일할 때, 이 판독 동작에서 플래시 메모리 디바이스(10)의 I/O 제어 회로(20) 내의 출력 디바이스 회로로부터 주로, 플래시 메모리 카드(25) 내의 전력 소실을 실질적으로 증가시킨다. 이러한 전력 소비는 현대 동향에서와 같이 데이터 워드 폭(즉, 입력/출력 라인들 I/O1 내지 I/O_n의 수 n)이 증가함에 따라 악화된다. 본 발명의 양호한 실시예에 따라, 이러한 전력 소비는 현재 기술되는 바와 같이 입력/출력 라인들 I/O1 내지 I/O_n 상의 출력 신호들의 전압 스윙을 감소함으로써 크게 감소된다.

[0125] 종래의 플래시 메모리 디바이스들은 잘 알려진 3.3볼트의 버스 표준을 이용하며, 여기서 최소 고레벨 출력 전압 V_{OH}은 2.4볼트이고, 최대 저레벨 출력 전압 V_{OL}은 0.4 볼트이며, 명목상 전압 스윙은 약 3.3볼트이다. 본 기술분야에 잘 알려진 바와 같이, 이러한 표준에 따라, 이들 전압들은 명목상 3.3볼트이고 2.70볼트 내지 3.60볼트의 명세 범위를 가진 전원 전압에 기초한다.

[0126] 본 발명의 양호한 실시예에 따라, 버스 전압은 이 종래의 3.3v 버스 레벨로부터 예를 들면 약 1.8볼트의 버스

전압으로 실질적으로 감소되어, 약 1.80볼트의 명목상 전압 스윙을 규정한다. 이 경우, 최소 고출력 레벨 전압 V_{OH-R} 한도의 예는 약 1.44볼트(명목상 전압 전압의 80%)가 될 수 있고, 최대 저출력 레벨 전압 V_{OL-R} 한도의 예는 약 0.36볼트(명목상 전압 전압의 20%)가 될 수 있다. 이러한 감소된 전압 동작에서, 이들 전압들은 명목상 1.80볼트이고 약 1.60볼트 내지 약 2.0볼트의 범위로 허용되는 전압 전압에 기초한다. 이 향상된 모드 동작에서 소비된 전류가 실질적으로 더 높지 않고, 데이터 속도가 더 높더라도 더 높은 전압 스윙에서 정규 동작 모드보다 약간 더 낮을 수 있음이 쉽게 계산될 수 있다. 이것은 기생 용량들에 각각의 출력에서 데이터 변환들만큼 충전되어야 하는 전압들이 더 높은 전압 스윙들에서 정규 동작 모드보다 더 낮기 때문이다. 그러나, 입력/출력 신호들의 더 낮은 전압 스윙은 이 향상된 동작 모드에서의 전력 소비를 종래의 플래시 메모리 카드들에서 소비된 것보다 실질적으로 더 낮게 한다. 전력 소비의 이러한 실질적인 감소는 데이터 전송 속도에서의 실질적 개선의 조합으로 얻어지며 큰 버스트들에 대한 데이터 속도의 2배에 가깝다.

[0127] 따라서, 향상된 판독 데이터 전송이 이들 더 낮은 버스 전압들(종래의 플래시 메모리 디바이스들에 비해)에서 실행되는 본 발명의 양호한 실시예에 따라, 향상된 모드에서 소비된 전류는 정규 동작 모드에서 종래의 플래시 메모리 디바이스들에 의해 소비된 것보다 나쁘지 않다. 그리고, 플래시 메모리 디바이스(10)가 마찬가지로 정규 동작 모드에서 동작하는 능력을 가진 본 발명의 양호한 실시예에 따라, 더 낮은 버스 전압이 향상된 모드와 정규 동작 모드 둘뿐 아니라, 명령들 및 어드레스 값의 통신을 포함한 다른 동작들에도 사용된다. 이와 같이, 플래시 메모리 디바이스(10)는 종래의 플래시 메모리 디바이스들보다 데이터의 전송에 있어서 더 적은 전력을 소비한다.

[0128] 상술한 내용으로 명백한 바와 같이, 명령 및 어드레스 신호들은 정규 동작 모드에서 통신된다. 용이한 구현을 위해, 이들 신호들의 통신을 위한 버스 전압은 더 낮은 버스 전압(예를 들면 1.8볼트)에서 유지되는 것이 또한 바람직하며, 플래시 메모리 카드(25)의 전력 소비의 부가적 감소를 제공한다.

[0129] 도 5a를 참조하면, 본 발명의 이 실시예에 따른 플래시 메모리 디바이스(10)는 제어기(30)로부터 보류 요청에 응답할 수 있다. 본 발명에 따라, 판독 데이터 전송의 보류 요청은, 예를 들면, 그 내부 수신 데이터 버스가 가득 찬 경우와 같은 다수의 이유들 중 어느 하나 때문에, 제어기(30)에 의해 필요하게 될 수 있다고 예측된다. 이와 같이, 도 5a의 결정(51)은 그러한 보류가 요구되는지의 여부를 결정한다. 요구되지 않는다면, 고속 판독 데이터 전송은 도 9a와 관련하여 상술된 방식으로, 처리(56)에서 계속된다.

[0130] 제어기(30)가 판독 데이터 전송의 보류를 요청한다면(결정(51)이 YES임), 처리(52)에서 보류 요청을 발행한다. 이 예시적 구현에서, 이 요청은 제어기(30)에 의해 판독 전송 동작 동안 어드레스 래치 인에이블 신호 ALE에 대해 활성 하이 레벨이 나타나게 한다. 도 9b는 향상된 모드에서 판독 데이터 전송 동안(즉, 모드가 호출되고 데이터 전송이 시작된 후에) 발생하는 이러한 보류 동작을 도시한다. 도 9b의 예에서, 제어기(30)는 플래시 메모리 디바이스(10)로부터 제어기(30)로의 데이터 전송 동안, 어드레스 래치 인에이블 신호 ALE를 나타나게 함으로써 데이터 전송 보류를 요청한다. 응답하여, 플래시 메모리 디바이스(10)는 판독 인에이블 신호 RE₋ 및 기록 인에이블 신호 WE₋를 보류하고(도시된 바와 같이 로우 레벨일 때, 또는 하이 레벨일 때), 판독 인에이블 신호 RE₋ 및 기록 인에이블 신호 WE₋가 보류된 후에 다음 데이터 워드의 발행을 지연한다. 이 향상된 모드에서 판독 인에이블 신호 RE₋, 기록 인에이블 신호 WE₋ 및 입력/출력 라인들 I/O1 내지 I/O_n의 급속한 스위칭 속도를 가정하면, 하나 또는 2개의 부가의 데이터 워드들, 판독 인에이블 신호 RE₋ 및 기록 인에이블 신호 WE₋의 대응하는 예지들은 어드레스 래치 인에이블 신호 ALE가 보류를 요청하기 위해 활성 하이로 구동된 후에, 플래시 메모리 디바이스(10)에 의해 구동될 수 있는 것으로 예측된다. 이 예에서, 제어기(30)는 출력 데이터 워드 D_{out}(4) 동안 어드레스 래치 인에이블 신호 ALE를 나타내고, 플래시 메모리 디바이스(10)는 출력 데이터 워드 D_{out}(6) 동안 판독 인에이블 신호 RE₋, 기록 인에이블 신호 WE₋ 및 입력/출력 라인들 I/O1 내지 I/O_n의 다른 변환들을 유지함으로써 응답한다.

[0131] 다른 데이터 전송의 보류는 제어기(30)가 어드레스 래치 인에이블 신호 ALE를 비활성화하도록 처리(54)를 실행할 때까지 계속하며, 따라서 보류가 종료된다. 도 9b에 도시된 바와 같이, 보류 상태는 제어기(30)가 어드레스 래치 인에이블 신호 ALE를 비활성 로우 상태로 취할 때 종료된다. 본 발명의 이 실시예에 따라, 어드레스 래치 인에이블 신호 ALE의 이러한 변환은 플래시 메모리 디바이스(10)로부터 다음 출력 데이터 워드, 즉 이 예에서 데이터 워드 D_{out}(7)에 대한 판독 데이터 스트로브로 역할 한다. 이 초기의 보류후 데이터 워드 후에, 플래시 메모리 디바이스(10)는 다시, 도시된 바와 같이 판독 인에이블 신호 RE₋ 및 기록 인에이블 신호 WE₋의 변환들을 나타냄으로써 판독 스트로브 신호를 발생시킨다. 이 예에서 기록 인에이블 신호 WE₋의 다음 동작 변환은 보류

기간이 끝난 후의 제 2 출력 데이터 워드 $D_{out}(8)$ 에 대한 스트로브이고, 판독 인에이블 신호 $RE_{\bar{}}$ 의 다음 동작 변환은 보류 기간이 끝난 후의 제 3 출력 데이터 워드 $D_{out}(9)$ 에 대한 스트로브이다. 향상된 모드 판독 데이터 전송은 도 9b에 도시된 바와 같이 처리(56)에서 계속된다.

[0132] 도 5a를 참조하면, 향상된 모드 판독 데이터 전송은 제어기(30)가 전송을 종료하기를 원하는 시간까지 계속하며, 이것은 처리들(58, 59)에서 플래시 메모리 디바이스(10)에 표시된다. 통상적으로, 이러한 전송은 플래시 메모리 디바이스(10) 내의 페이지의 끝에 도달된다고 제어기(30)가 결정할 때 종료될 것이지만, 전송은 또한 다른 이유들(예를 들면, 동작을 위해 원하는 데이터 전부를 수신받을 때)로 제어기(30)에 의해 종료될 수 있다.

[0133] 이 예에 따라, 이 데이터 전송을 종료하기 위하여, 제어기(30)는 먼저, 예를 들면 상술된 어드레스 래치 인에이블 신호 ALE 의 활성 하이 레벨을 나타냄으로써 처리(58)에서 보류를 발행한다. 도 9c는 향상된 판독 데이터 전송 동작 동안 어드레스 래치 인에이블 신호 ALE 의 변환이 도시된 종료 처리들(58, 59)의 예를 도시한다. 처리(58)의 보류 동작은 보류 동작 동안 처리(59)를 수행하는 제어기(30)에 의해 향상된 판독 데이터 전송의 종료로 변환된다. 대안적으로, 처리(59)는 플래시 메모리 디바이스(10)가 출력 데이터가 페이지의 끝에 도달했다고 자체 판단한 후에 수행될 수 있으며, 그 경우, 플래시 메모리 디바이스(10)는 판독 인에이블 신호 $RE_{\bar{}}$ 및 기록 인에이블 신호 $WE_{\bar{}}$ 를 마지막 레벨들로 유지하고, 입력/출력 라인들 $I/O1$ 내지 I/O_n 상의 현재(즉, 마지막) 출력 데이터 워드를 유지하며, 이 경우 어드레스 래치 인에이블 신호 ALE 는 비활성 로우로 유지될 것이다. 도 9c에 도시된 예에서, 이 데이터 전송은 제어기(30)에 의해 종료되어, 어드레스 래치 인에이블 신호 ALE 가 활성 하이 일 때 명령 래치 인에이블 신호 CLE 상에 활성 하이 레벨이 나타나게 한다. 명령 래치 인에이블 신호 CLE 의 변환에 응답하여, 플래시 메모리 디바이스(10)는 그 출력 구동기들이 입력/출력 라인들 $I/O1$ 내지 I/O_n 을 고임피던스 상태로 두도록 제어하고, 또한, 제어기(30)가 데이터 충돌의 발생을 회피하면서 적당할 때 이들 라인들의 제어를 취하도록 허용하는 두 경우들에서, 판독 인에이블 신호 $RE_{\bar{}}$ 및 기록 인에이블 신호 $WE_{\bar{}}$ 에 대응하는 도전체의 제어를 해제한다. 도 9c의 예에 도시된 바와 같이, 보류 및 종료 동작들이 판독 인에이블 신호 $RE_{\bar{}}$ 및 기록 인에이블 신호 $WE_{\bar{}}$ 를 로우 레벨로 생성했기 때문에, 제어기(30)는 판독 인에이블 신호 $RE_{\bar{}}$ 및 기록 인에이블 신호 $WE_{\bar{}}$ 의 제어를 취하여 도시된 바와 같이 변환을 유발하면, 대응하는 라인에 대해 비활성 하이 레벨을 구동할 것이고, 보류 및 종료 동작들이 이들 신호들 중 하나 또는 둘을 하이 레벨로 이미 생성했다면, 이 라인 상의 변환은 없는 것이 당연하다.

[0134] 플래시 메모리 디바이스(10)는 정규 동작 모드("레거시" 모드)로 복귀하여, 도 5a에 도시된 흐름도의 처리(44)로 제어를 넘긴다. 새로운 향상된 모드 판독 데이터 전송은 본 발명의 이러한 양호한 실시예에 따라 개시 처리(48)의 다른 인스턴스를 요구할 것이다.

[0135] 또한 대안적으로, 제어기(30)가 칩 인에이블 신호 $CE_{\bar{}}$ 를 나타내지 않으면 무조건적인 종료가 발생할 것이다. 그러나, 이러한 무조건적인 종료는 플래시 메모리 디바이스(10) 및 제어기(30)에 내부적으로 및 그들로부터 외부적으로 둘다 "결함들"과 다른 위조의 지정되지 않은 이벤트들을 유발할 수 있다.

[0136] 본 발명의 이러한 양호한 실시예에 따라, 향상된, 고성능 모드는 제어기(30)로부터 플래시 메모리 디바이스(10)로의 변환을 위해, 달리 말하면 기록 데이터 전송 동작들을 위해 제공된다. 도 5b의 흐름도는 도 9a 및 도 9d 내지 도 9e의 흐름도와 함께 이 동작을 도시하며, 지금부터 설명된다.

[0137] 향상된 모드 기록 데이터 전송을 실시하기 위하여, 플래시 메모리 디바이스(10)는 처리(60)에 진입하여 정규 동작 모드에서 시작한다. 판독 데이터 전송의 경우에서와 같이, 정규 모드 동작들은(만약 있다면) 처리(62)에서 먼저 실행될 수 있다. 처리(64)에서, 제어기(30)는 도 4b에 대해 상술한 바와 같이 이러한 정규 동작 모드에서 플래시 메모리 디바이스(10)에 어드레스 값을 발행한다. 처리(66)에서, 제어기(66)는 도 9a에 대해 상술한 향상된 판독 데이터 전송을 위해 수행된 방식과 동일한 방식으로 향상된 데이터 전송 모드를 개시한다. 이러한 향상된 모드에서 기록 데이터 전송은, 향상된 모드 데이터 전송이 판독보다는 기록 동작(제어기(30)로부터 플래시 메모리 디바이스(10)로)임을 나타내기 위한 상이한 명령 값 IDT_WR_CMD 를 제외하고, 처리(66)를 통해 판독 데이터 전송과 실질적으로 동일하게 실행될 것으로 예측된다. 이러한 상이한 값은 하기에 기술되는 바와 같이, 기록 인에이블 신호 $WE_{\bar{}}$ 및 판독 인에이블 신호 $RE_{\bar{}}$ 둘다가 기록 전송 자체 내에서 이용되도록 허용한다.

[0138] 처리(68)에서, 제어기(30) 및 플래시 메모리 디바이스(10)는 향상된 기록 데이터 전송을 실행한다. 도 9d는 명령 값 IDT_WR_CMD , 명령 래치 인에이블 CLE 에 대한 활성 하이 레벨, 및 기록 인에이블 신호 $WE_{\bar{}}$ 에 대한 활성 로우 펄스의 조합이 제어기(30)에 의해 플래시 메모리 디바이스(10)에 발행되고, 따라서 향상된 모드 데이터 전송

을 개시하는 처리(66)를 포함하여 이 동작의 예에서의 신호들의 타이밍을 도시한다. 이전의 예에서와 같이, 어드레스 래치 인에이블 신호 ALE는 비활성 로우 레벨로 유지되고, 칩 인에이블 신호 CE는 활성 로우로 유지된다. 이 동작이 데이터 기록에 대한 것이므로, 판독 인에이블 신호 RE_(도 9d에 도시되지 않음)는 전체에 걸쳐 제어기(30)에 의해 비활성 하이로 유지될 것이다. 기록 데이터 전송 처리(68)가 제어기(30)의 전체 제어 하에 유지되기 때문에, 본 발명의 이 실시예에서, 명령 IDT_WR_CMD의 발행과 기록 데이터 전송의 시작 사이의 지연은 판독 데이터 전송에서 제 1 출력 데이터 워드에 앞선 것보다 훨씬 더 짧을 수 있다(도 9a). 바람직하게, 개시 명령 IDT_WR_CMD에 대응하는 기록 인에이블 신호 WE_의 펄스의 상승 에지와, 도시된 제 1 입력 데이터 워드 D_{in}(0)에 대응하는 기록 인에이블 신호 WE_(또는 판독 인에이블 신호 RE)의 제 1 펄스의 하강 에지 사이의 지정된 시간이 경과한다.

[0139] 기록 데이터 전송이 시작되면, 본 발명의 양호한 실시예에서, 기록 인에이블 신호 WE_ 및 판독 인에이블 신호 RE_의 두 하강 에지들은 제어기(30)에 의해 나타난 기록 데이터 스트로브들로 역할 한다. 이들 신호의 상승 에지들이 대안적으로 사용될 수 있는 것은 당연하다. 그 외에도, 판독 데이터 전송의 경우에, 이 기록 동작에서의 데이터 전송 속도는 기록 인에이블 신호 WE_ 및 판독 인에이블 신호 RE_에 의해 증가되며, 두 신호들은 서로 위상을 벗어난 관계이며, 데이터 전송 속도를 최대화하기 위해 180°의 위상 관계가 바람직하다. 도 9d에 도시된 바와 같이, 이것은 제어기(30)로 하여금, 기록 인에이블 신호 WE_ 및 판독 인에이블 신호 RE_ 둘다의 각 하강 에지와 동기하여, 입력/출력 라인들 I/O1 내지 I/O_n 상으로 새로운 유효 기록 데이터 워드 D_{in}(k)을 발행하게 한다. 결과적으로, 이 향상된 모드에서의 기록 데이터 전송 속도는 정규, 레거시 동작 모드에서와 같이 기록 인에이블 신호 WE_ 및 판독 인에이블 신호 RE_의 동일한 주파수에 대해, 정규 동작 모드 기록 동작의 데이터 속도의 2배에 가까울 수 있다.

[0140] 본 발명의 이러한 양호한 실시예에 따라, 도 5b로 돌아가서, 보류 결정(69)은 또한, 향상된 모드 기록 데이터 전송에 걸쳐 수행된다. 통상적으로, 기록 보류에 대한 요구는 제어기(30)에 의해 단독으로 결정되며, 이것은 플래시 메모리 디바이스(10)가 버퍼의 오버플로 없이 이 데이터 속도에서 입력 데이터를 수신할 수 있는 것으로 예측된다. 보류가 필요없다면(결정(69)이 NO이면), 데이터 전송은 처리(72)에서 계속된다. 제어기(30)가 보류를 요구한다면(결정(69)이 YES이면), 기록 데이터 전송의 보류는 처리(70)에서 실시된다. 이 예에서, 보류 처리(70)는 필요하다면, 기록 인에이블 신호 WE_ 및 판독 인에이블 신호 RE_의 상태를 연장시킴으로써 제어기(30)에 의해 간단히 실시된다. 이 보류는 어느 상태(기록 인에이블 신호 WE_ 및 판독 인에이블 신호 RE_가 하이로 유지하거나 로우로 유지)로나 수행될 수 있고, 도 9d는 기록 데이터 워드 D_{in}(2)의 구간 동안 보류 처리(70)를 도시하며, 여기서 기록 인에이블 신호 WE_는 로우로 유지되고, 판독 인에이블 신호 RE_는 하이로 유지된다. 당연히, 제어기(30)는 보류 처리(70) 동안 부가의 기록 데이터 워드들 D_{in}(k)을 발행하지 않는다. 보류 기간의 종료는 제어기(30)에 의해서 단지 실시되고, 기록 데이터 전송을 계속하기 위하여(처리 72), 도 9d에 도시된 예에서 다음 유효 기록 데이터 워드 D_{in}(3)과 함께 기록 인에이블 신호 WE_ 또는 판독 인에이블 신호 RE_의 변환의 하강 에지를 구동한다.

[0141] 그리고, 판독 데이터 전송의 경우에서와 같이, 데이터 및 제어 신호들(입력/출력 라인들 I/O1 내지 I/O_n 및 기록 인에이블 신호 WE_ 및 판독 인에이블 신호 RE_에 대한 라인들)의 전압 레벨들은 종래의 레벨들보다 더 낮은 전압 레벨인 것이 바람직하며, 예를 들면 하이 및 로우 논리 레벨들 사이에 1.8볼트 "스윙(swing)"한다. 상기에 상세히 기술된 바와 같이, 이러한 낮은 전압 버스는 정규 동작 모드에서 1/2의 데이터 속도로 동작하는 종래의 플래시 메모리 시스템들에서 소비되는 전력에서 또는 그 이하에서 이 향상된 기록 데이터 전송 모드에 의해 소비된 전력을 유지할 것이다.

[0142] 도 5b로 다시 돌아가서, 도 9e와 조합하여, 기록 데이터 전송의 종료는 판독 데이터 전송의 종료와 동일한 방식으로 실시된다. 처리(74)에서, 제어기(30)는 전송을 보류하기 위하여 어드레스 래치 인에이블 신호 ALE를 처리(74)에서 활성 하이 레벨로 나타내고, 처리(76)에서 명령 래치 인에이블 신호 CLE를 활성 하이 레벨로 나타내며(어드레스 래치 인에이블 신호 ALE를 하이로 유지하면서), 그 후에 기록 데이터 전송을 종료한다. 도 9e는 기록 데이터 전송을 종료하는데 있어서 다양한 신호들의 타이밍을 도시한다. 기록 인에이블 신호 WE_ 및 판독 인에이블 신호 RE_는 (이 예에서)마지막 데이터 워드 D_{in}(5)가 래치된 후에 도 9e에 도시된 하이 레벨로 유지되거나 하이 레벨로 구동된다. 특정한 펄스 폭에 대해 어드레스 및 명령 래치 인에이블 신호들 ALE, CLE에서 하이 레벨들을 각각 유지함으로써 실시된 향상된 모드 기록 데이터 전송의 종료 후, 플래시 메모리 디바이스(10) 및 제어기(30)의 정규 동작 모드에 다시 진입된다.

- [0143] 이 예에서, 정규 동작 모드는, 명령의 실행이 향상된 모드를 호출하도록 요구되는 것과, 플래시 메모리 디바이스(10)의 동작이 데이터 전송의 종료에서 정규 동작 모드로 복귀하는 것(명령의 실행을 요구하지 않고)을 고려하여 "디폴트(default)" 동작 모드가 효과적이다. 대안적으로, 플래시 메모리 디바이스(10)는 명령의 실행이 향상된 데이터 전송 모드 및 정규 동작 모드 둘다에 진입하도록 요구되도록 구성될 수 있어서, 일단 플래시 메모리 디바이스(10)가 향상된 데이터 전송 모드이면, 정규 동작 모드로 복귀하는 명령이 제어기(30)에 의해 발행되고 플래시 메모리 디바이스(10)에 의해 실행될 때까지 그 모드로 유지될 것이다. 당연히, 그러한 방식은 명령 시퀀스들의 속성에 부가의 오버헤드를 수반한다.
- [0144] 또한 대안적으로, 플래시 메모리 디바이스(10)의 "디폴트" 동작 모드는 향상된 데이터 전송 모드가 될 수 있어서 모든 데이터 전송들이, 제어기(30)에 의해 플래시 메모리 디바이스(10)를 정규 동작 모드로 두기 위한 명령이 발행되지 않는 한 향상된 모드에서 수행될 것으로 예측된다. 이 경우, 판독 또는 기록 향상된 모드 동작인지의 어떤 표시는 상술된 바와 같이 판독 및 기록 인에이블 신호들이 데이터를 스트로빙하도록 하기 위해 제어기(30)에 의해 만들어질 수 있는 것으로 예측된다. 본 발명의 이러한 대안적인 실시예에 따라, 플래시 메모리 디바이스(10)가 정규 동작 모드에 있으면, 데이터 전송의 완료는 플래시 메모리 디바이스(10)가 향상된 데이터 전송 모드로 복귀하도록 유발할 것이다.
- [0145] 플래시 메모리 디바이스(10)의 다양한 동작 모드들에 진입하고 빠져나오기 위한 다른 대안적인 방식들이 본 명세서를 참조한 당업자에게 명백할 것이며, 또한 이들 및 그러한 다른 대안적인 구현들이 청구한 본 발명의 범위 내에 있는 것으로 예측된다.
- [0146] 따라서 본 발명의 양호한 실시예들에 따른 플래시 메모리 디바이스(10), 제어기(30) 및 플래시 메모리 카드(25)는 종래의 디바이스들 및 시스템들을 능가하는 중요한 이점들을 제공한다. 본 발명은 종래의 디바이스들 및 시스템들의 데이터 속도의 2배에 가까운 높은 데이터 전송 속도들을 가능하게 하면서, 향상된 능력을 갖지 않는 "레거시" 디바이스들과의 명령 및 신호 호환성을 여전히 제공한다. 그 외에도, 향상된 데이터 전송 모드에서 수반된 더 낮은 버스 전압 신호들은 전체 디바이스 및 시스템 전류 및 전력 소비를 종래의 플래시 메모리 디바이스들 및 시스템들의 전류 및 전력 소비에 가깝거나 더 낮게 유지한다.
- [0147] 결과적으로, 본 발명은 데이터 전송 속도들이 특히 중요한 이들 디지털 시스템 애플리케이션들에서 특히 유리할 수 있다고 예측된다. 상술된 바와 같이, 하나의 이러한 애플리케이션은 고성능 디지털 스틸 카메라들에 있다. 이러한 카메라들에서, 이미지 해상도(및 따라서 이미지당 캡처된 데이터)는 현재 10메가픽셀을 초과하며, 현재 최대 12.4메가픽셀의 카메라들이 시장에서 이용가능하다. 그러나, 이미지 센서로부터 플래시 메모리로의 데이터 전송 속도는, 이 데이터 전송 속도가 이미지들이 캡처될 수 있는 속도의 직접 요인이 됨에 따라, 중요하며, 직접 요인은 카메라 사용자에게 의해 "셔터 래그(shutter lag)"로서 일반적으로 표현된다. 그리고 카메라 사용자가 절대 지연과 만나는 것과 주로 관련되기 때문에(즉, 각각의 이미지에서 획득된 데이터량과 무관하게), 이미지 해상도가 증가함에 따라, 데이터 전송 속도에 대한 부하는 악화된다. 이러한 높은 데이터 전송 속도들에 대한 다른 잠재적인 애플리케이션은 컴퓨터 시스템들의 대량 저장장치 매체들로서 고상 플래시 메모리를 사용하며, 이것은 종래에 사용된 자기 디스크 드라이브 대량 저장장치의 일부 또는 전부를 실질적으로 대체한다. 디스크 드라이브들보다는 고상 메모리를 사용하는 능력은 컴퓨터 시스템들의 소형화 및 휴대성을 더욱 가능하게 하고, 또한 현대의 휴대용 및 핸드헬드 시스템들의 기능을 크게 증가시킬 것으로 예측된다.
- [0148] 본 발명이 양호한 실시예들에 따라 기술되었지만, 이들 실시예들의 수정들 및 대안들이 예상되는 것은 당연하며, 본 발명의 이점들 및 편의들을 얻는 이러한 수정들 및 대안들은 본 명세서 및 도면들을 참조하는 당업자에게는 명백할 것이다. 이러한 수정들 및 대안들은 본 명세서에서 후속적으로 청구되는 범위 내에 있는 것으로 예측된다.

산업상 이용 가능성

- [0149] 상술한 바와 같이, 본 발명은, 메모리 제어기에 및 그로부터 데이터를 전송하기 위한, 고성능 데이터 전송 모드를 갖는 플래시 메모리 모듈의 방법을 제공하는데 사용된다.

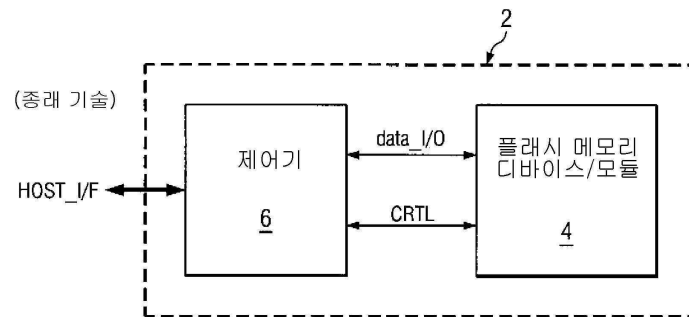
도면의 간단한 설명

- [0019] 도 1은 종래의 메모리 카드의 전기 블록도.
- [0020] 도 2는 본 발명의 양호한 실시예에 따라 구성된 메모리 모듈의 전기 블록도.

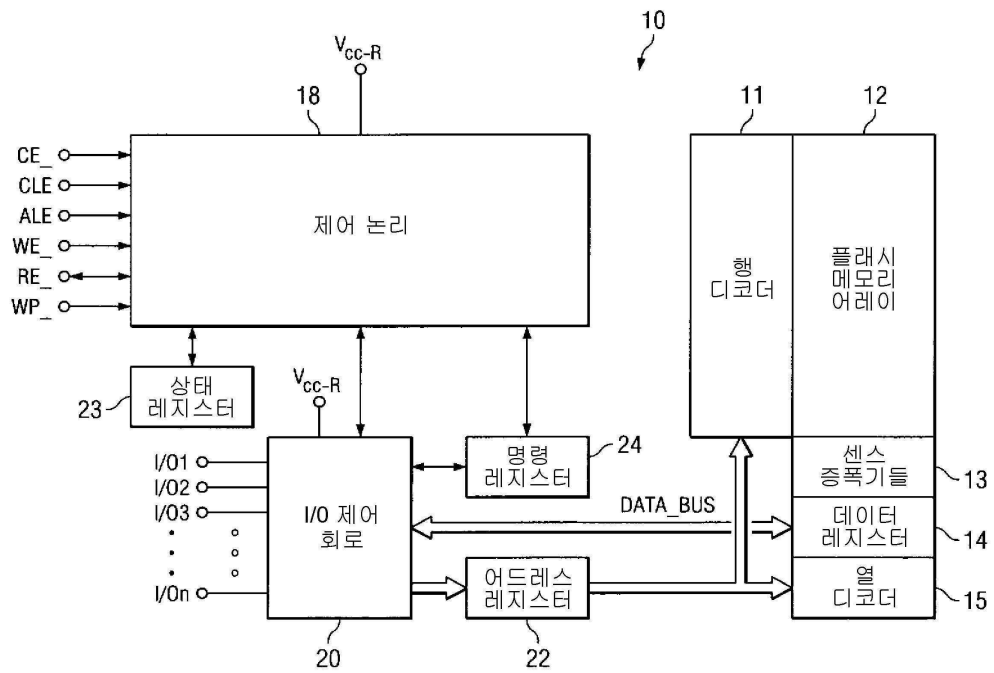
- [0021] 도 3은 본 발명의 양호한 실시예에 따라, 단일-칩 메모리 제어기와 조합한 시스템 또는 서브시스템으로 구현된 도 2의 메모리 모듈의 전기 블록도.
- [0022] 도 4a 내지 도 4d는 본 발명의 양호한 실시예에 따라, 정규 동작 모드 및 명령들의 통신에서 도 2 및 도 3의 플래시 메모리 모듈의 동작을 도시한 타이밍도.
- [0023] 도 5a 및 도 5b는 본 발명의 양호한 실시예에 따라, 향상된 모드 관독 데이터 전송들 및 기록 데이터 전송들의 동작을 각각의 도시한 흐름도.
- [0024] 도 6a 내지 도 6e는 본 발명의 제 1 양호한 실시예에 따라 5a 및 도 5b의 동작들에 수반되는 신호들을 도시한 타이밍도.
- [0025] 도 7은 본 발명의 제 2 양호한 실시예에 따라 향상된 모드 데이터 전송들의 동작을 도시한 흐름도.
- [0026] 도 8a 내지 도 8e는 본 발명의 제 2 양호한 실시예에 따라 5a 및 도 5b의 동작들에 수반되는 신호들을 도시한 타이밍도.
- [0027] 도 9a 내지 도 9e는 본 발명의 제 3 양호한 실시예에 따라 5a 및 도 5b의 동작들에 수반되는 신호들을 도시한 타이밍도.

도면

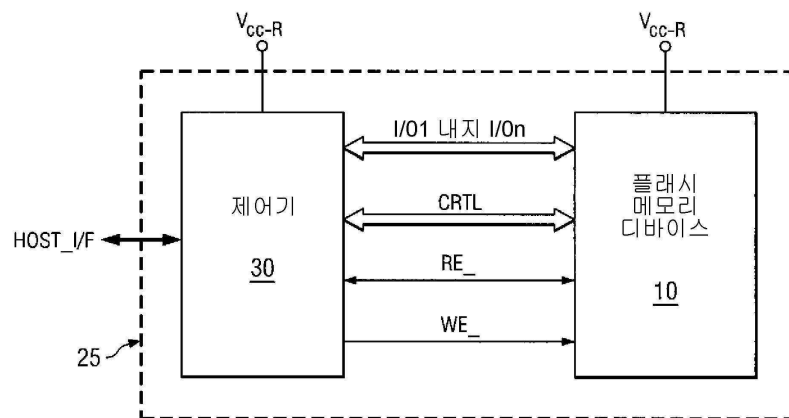
도면1



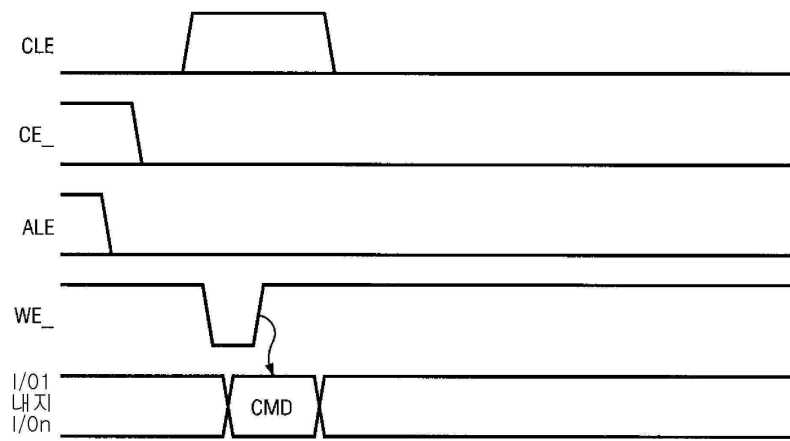
도면2



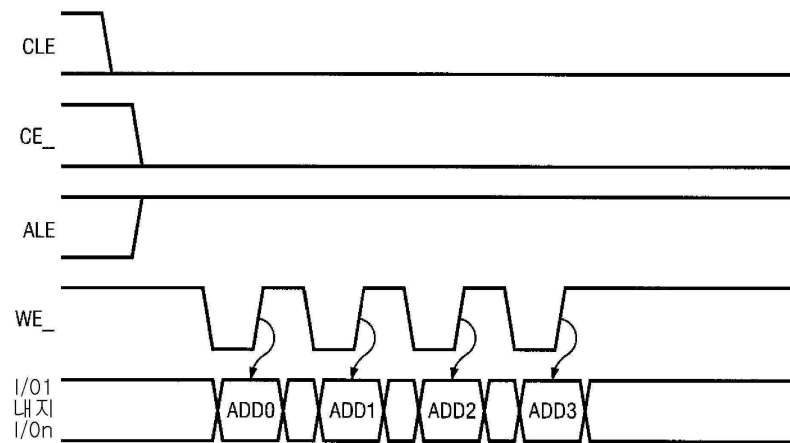
도면3



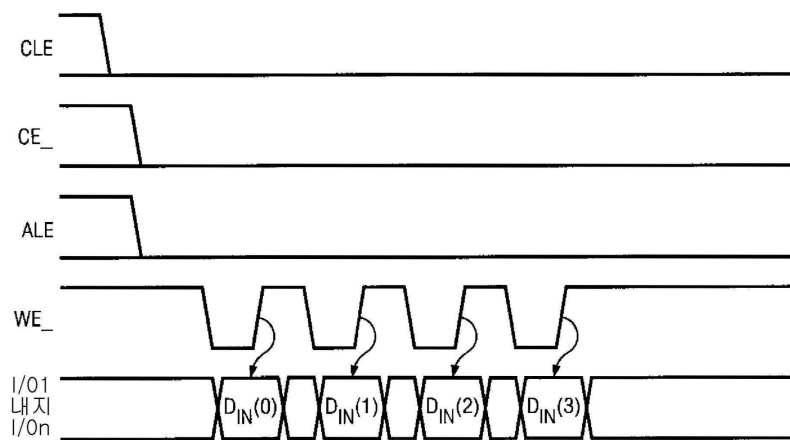
도면4a



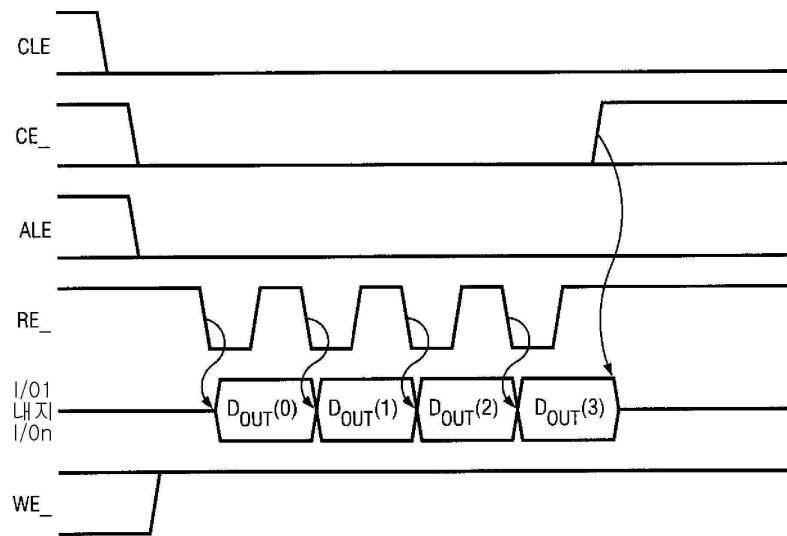
도면4b



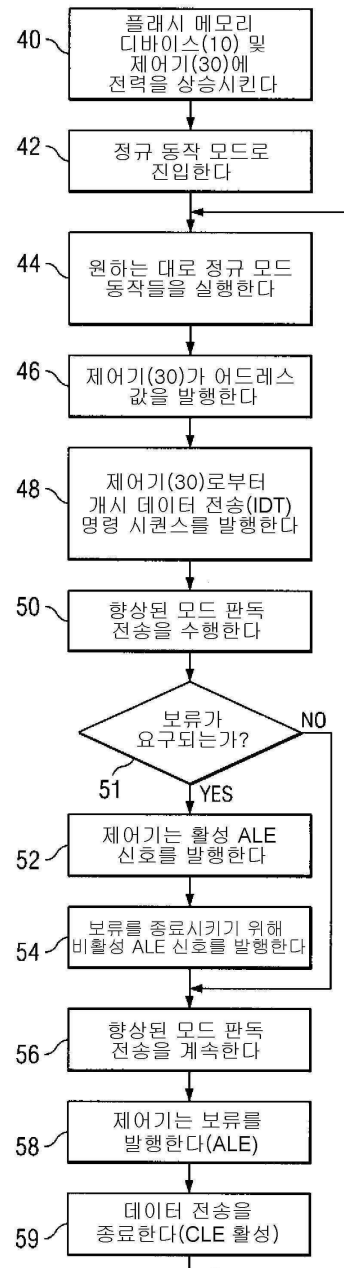
도면4c



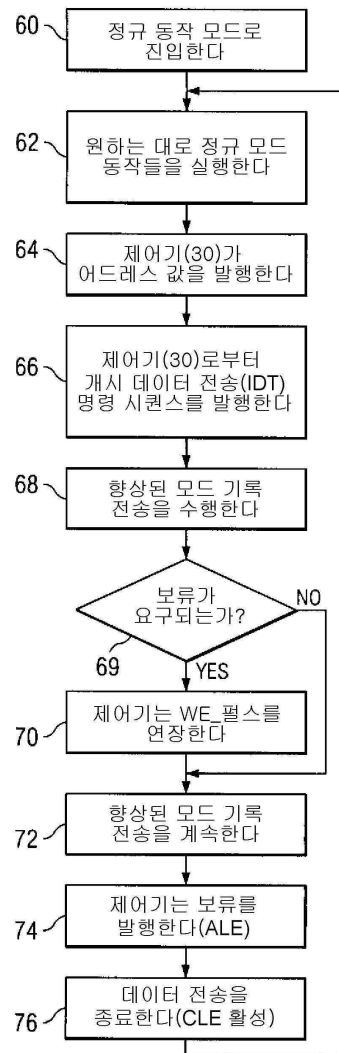
도면4d



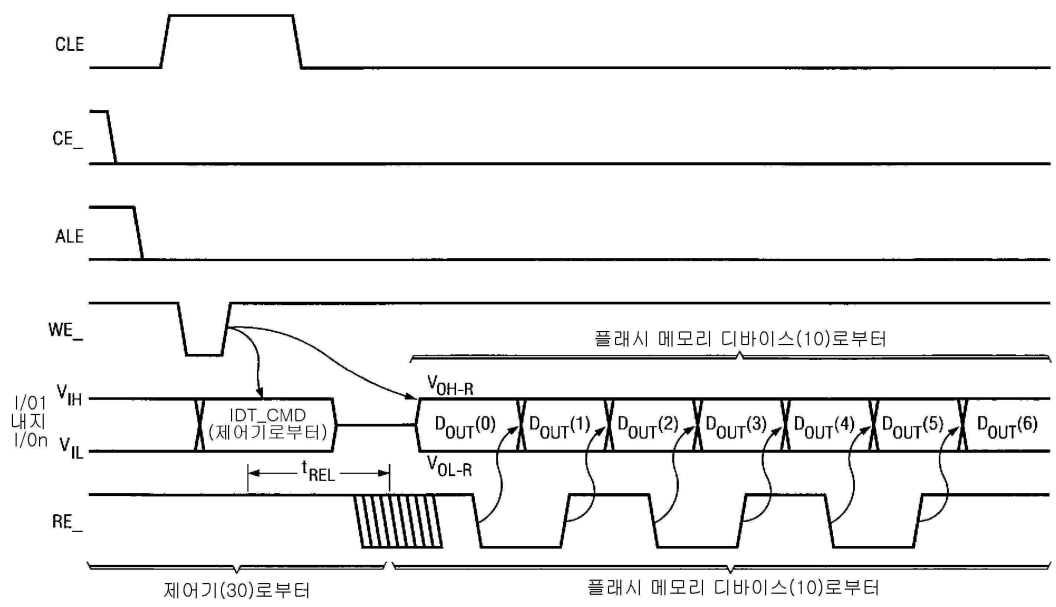
도면5a



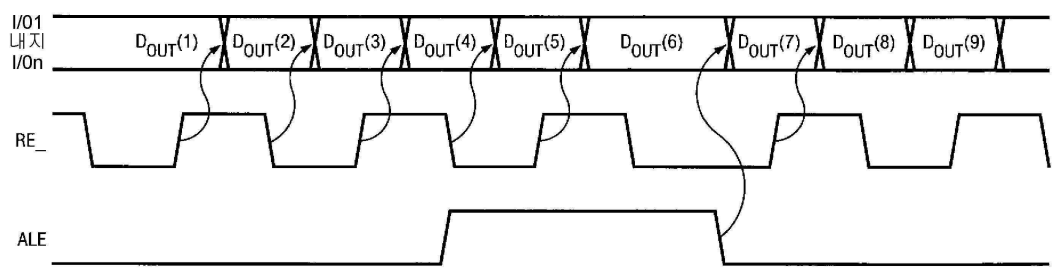
도면5b



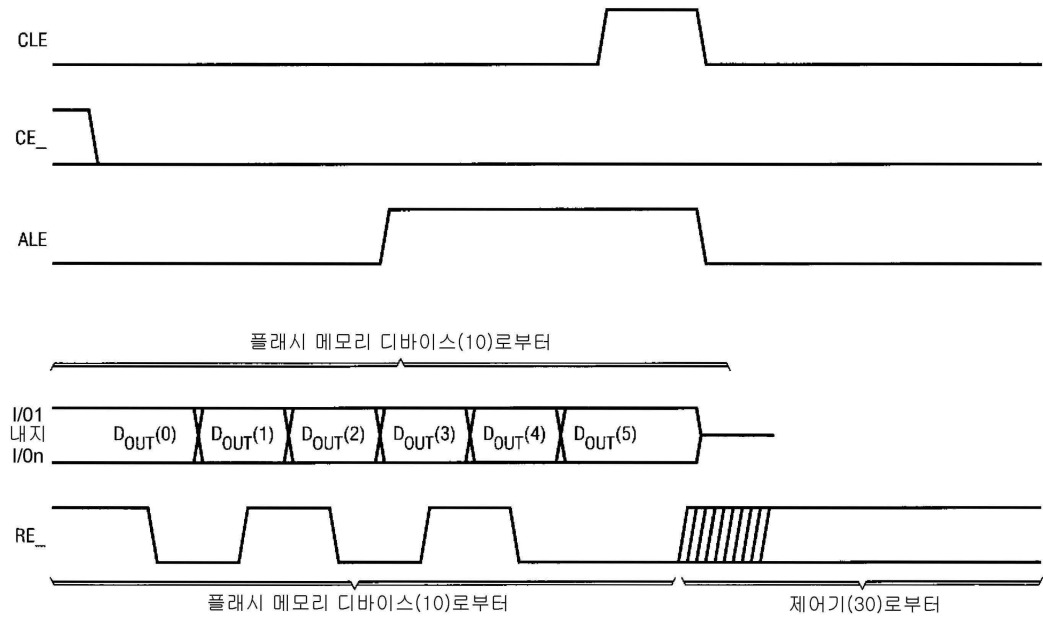
도면6a



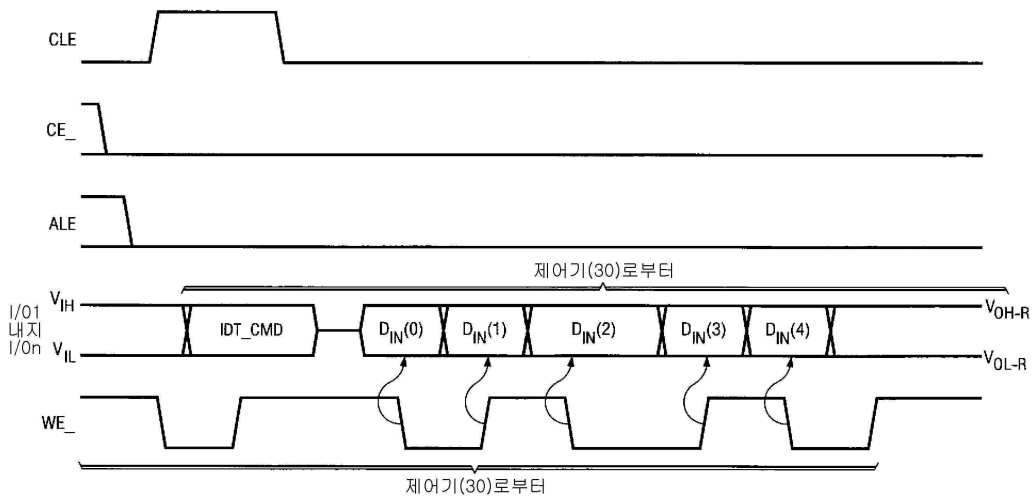
도면6b



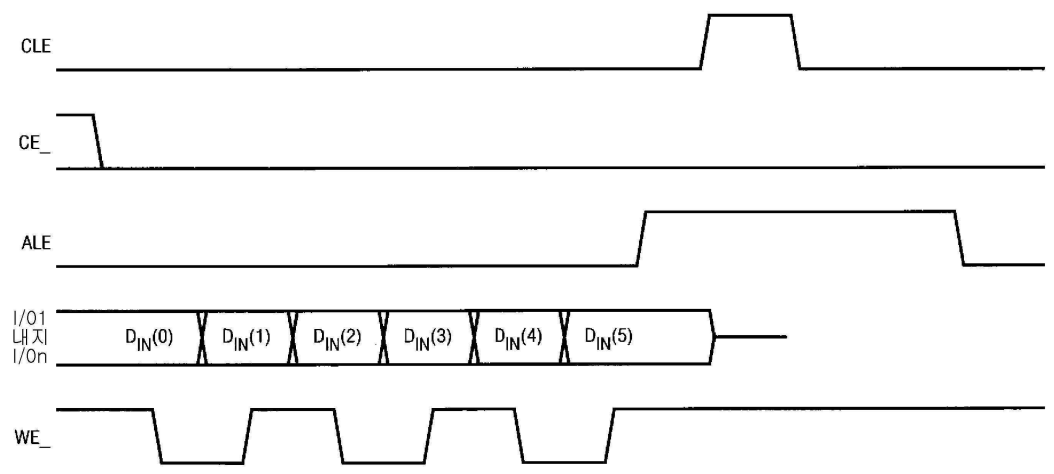
도면6c



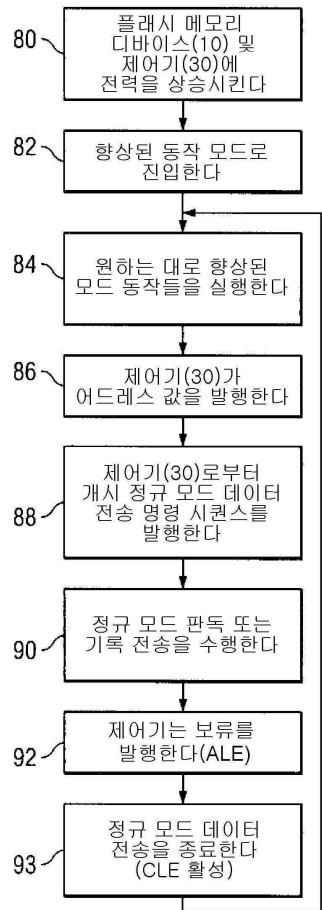
도면6d



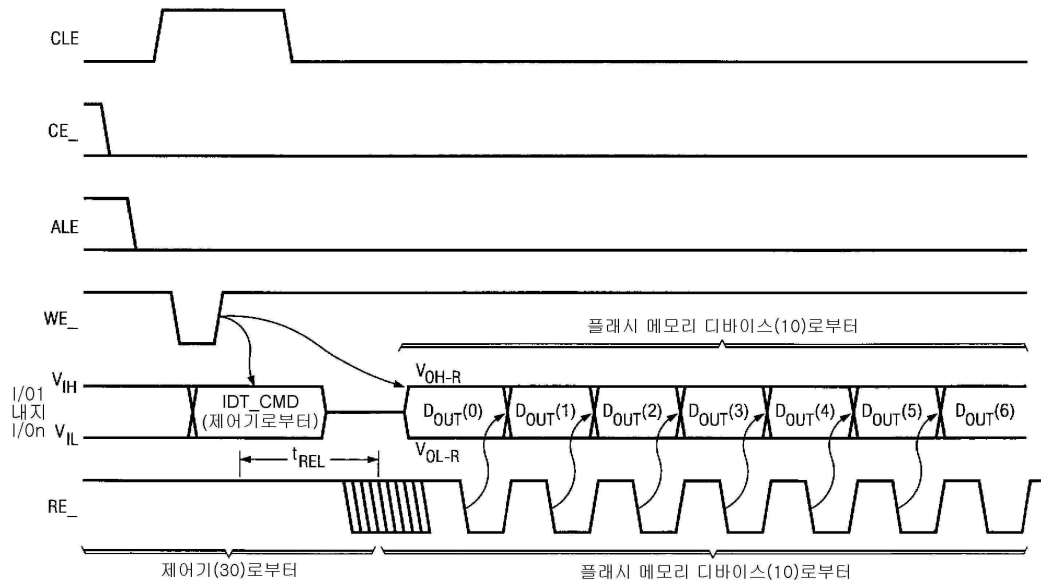
도면6e



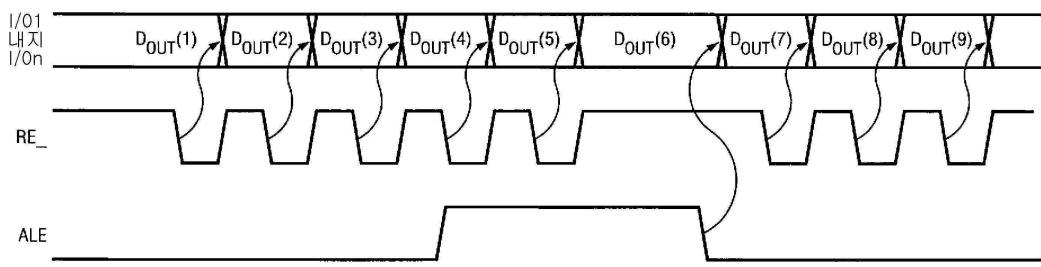
도면7



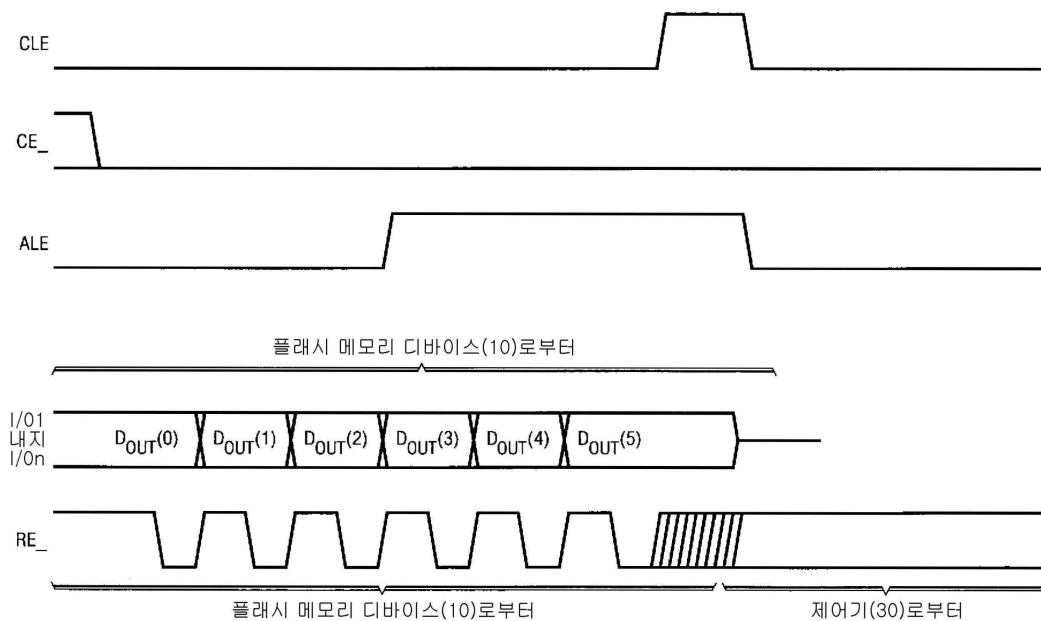
도면8a



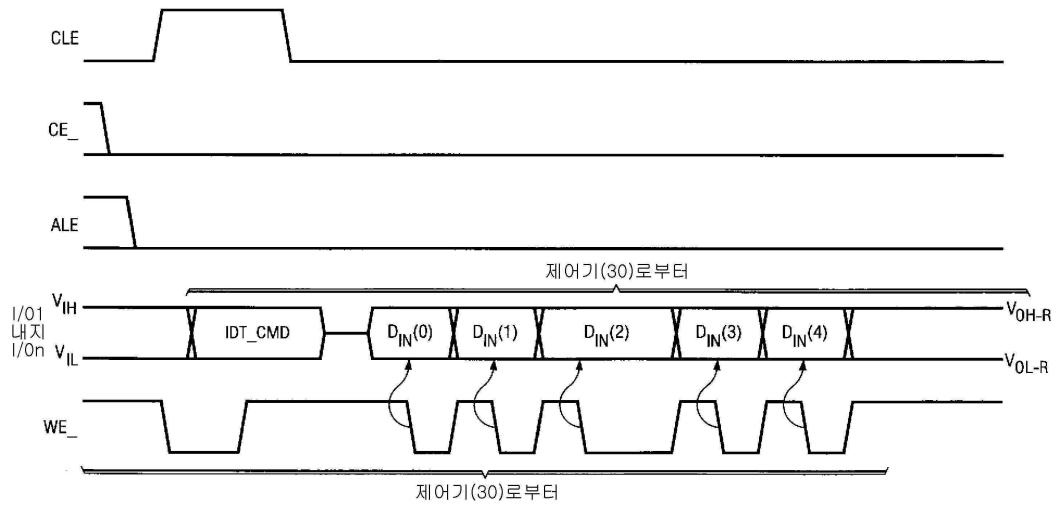
도면8b



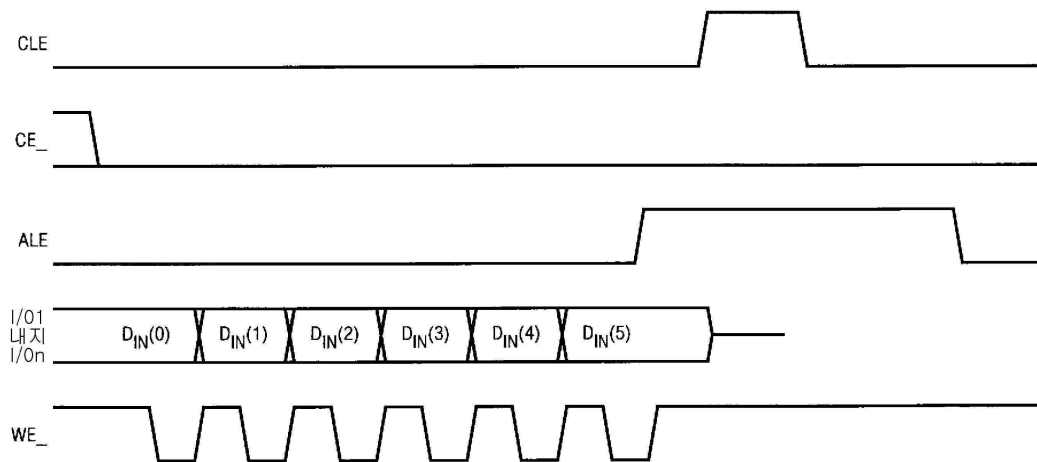
도면8c



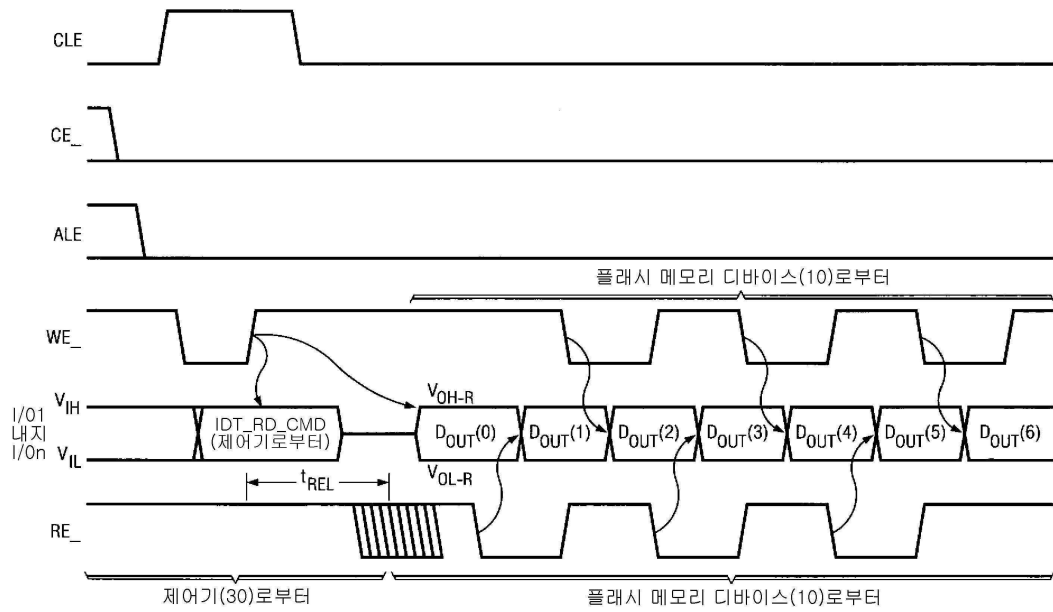
도면8d



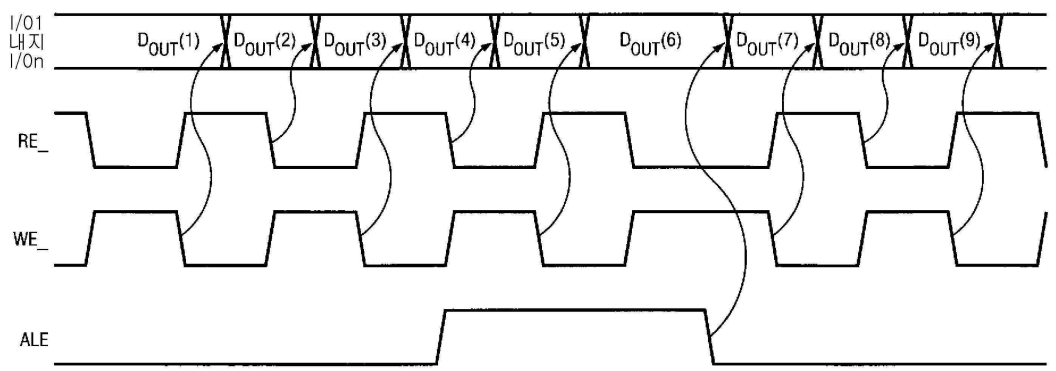
도면8e



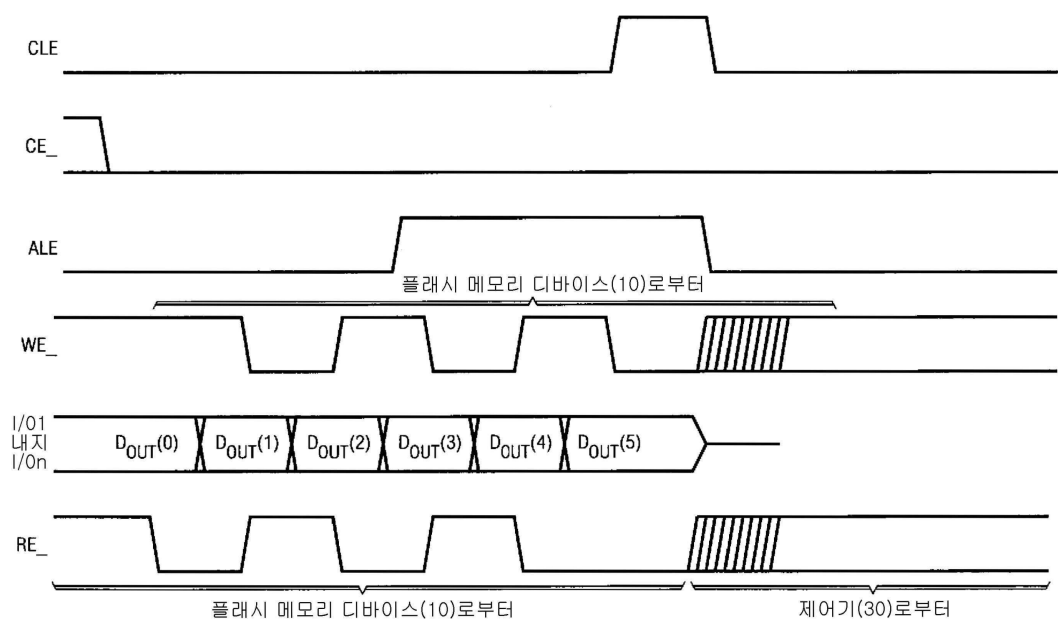
도면9a



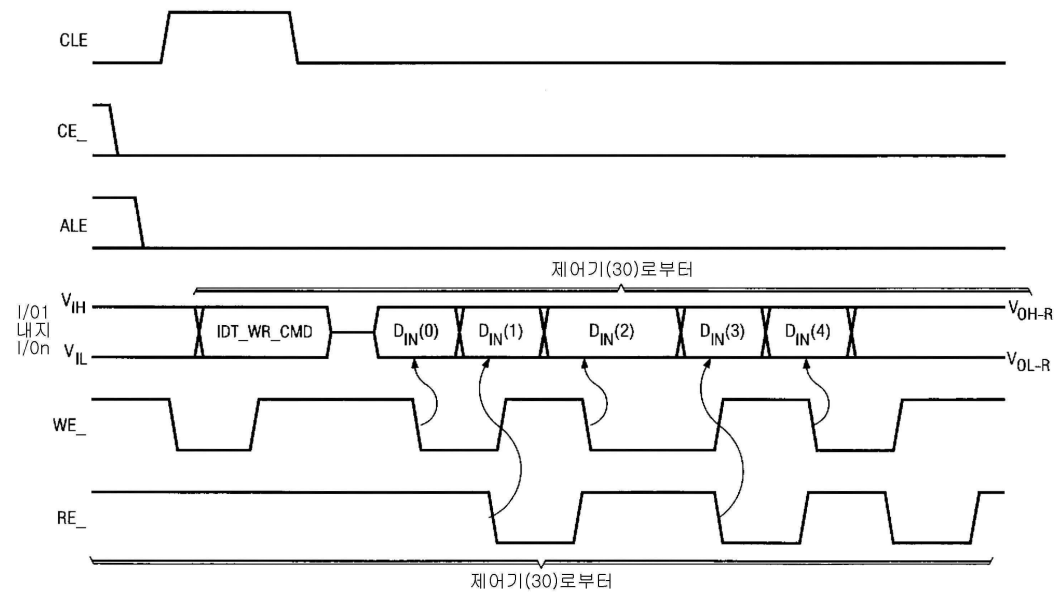
도면9b



도면9c



도면9d



도면9e

