



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0049028
(43) 공개일자 2009년05월15일

(51) Int. Cl.

H01L 27/115 (2006.01) H01L 21/8247 (2006.01)

(21) 출원번호 10-2008-0111556

(22) 출원일자 2008년11월11일

심사청구일자 2008년11월11일

(30) 우선권주장

JP-P-2007-292723 2007년11월12일 일본(JP)

(71) 출원인

가부시키가이샤 히타치세이사쿠쇼

일본국 도쿄도 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자

기노시마 마사하루

일본 도쿄도 치요다쿠 마루노우찌 1쵸메 6-1 가부시키가이샤 히타치세이사쿠쇼 지적재산권본부 내

테라오 모토타스

일본 도쿄도 니시타마군 히노테마찌 히라이 2196-383

(뒷면에 계속)

(74) 대리인

장수길, 이중희, 박충범

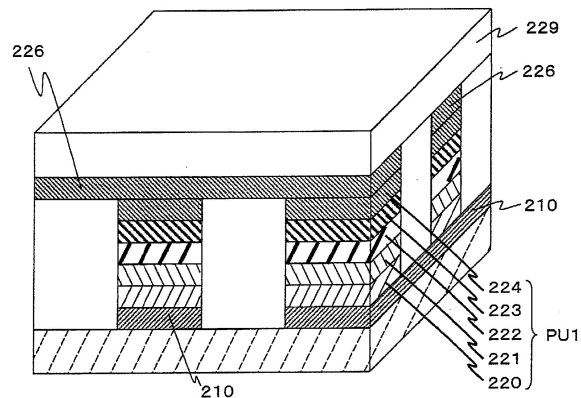
전체 청구항 수 : 총 12 항

(54) 불휘발성 반도체 기억 장치

(57) 요약

상 변화 메모리 등에서, 기록 재료와 선택 소자의 양방을 박막으로 형성하는 경우, 재기입 동작 등의 열에 의해 기록 재료층과 인접하는 층의 원자가 기록 재료까지 확산하여, 재기입 특성이 변화하거나 한다는 과제가 있었다. 상기 과제를 해결하기 위해, 본 발명은, 불휘발성 기록 재료층(224)과 선택 소자(220, 221) 사이에, 5nm 이상 200nm 이하의 막 두께의 반도체층(222)을 갖는다. 이에 의해, 대용량이면서 재기입 조건이 안정된 불휘발성 메모리가 얻어진다.

대표도 - 도18



(72) 발명자

마쯔오카 히데유키

일본 도쿄도 지요다꾸 마루노우찌 1쵸메 6-1 가부
시킴가이샤 히타치세이사쿠쇼 지적재산권본부 내

사사고 요시따카

일본 도쿄도 지요다꾸 마루노우찌 1쵸메 6-1 가부
시킴가이샤 히타치세이사쿠쇼 지적재산권본부 내

기무라 요시노부

일본 도쿄도 지요다꾸 마루노우찌 1쵸메 6-1 가부
시킴가이샤 히타치세이사쿠쇼 지적재산권본부 내

시마 아끼오

일본 도쿄도 지요다꾸 마루노우찌 1쵸메 6-1 가부
시킴가이샤 히타치세이사쿠쇼 지적재산권본부 내

다이 미쯔하루

일본 도쿄도 지요다꾸 마루노우찌 1쵸메 6-1 가부
시킴가이샤 히타치세이사쿠쇼 지적재산권본부 내

다카우라 노리카즈

일본 도쿄도 지요다꾸 마루노우찌 1쵸메 6-1 가부
시킴가이샤 히타치세이사쿠쇼 지적재산권본부 내

특허청구의 범위

청구항 1

제1 전극과,

제2 전극과,

상기 제1 전극 및 상기 제2 전극 사이에 형성된, 불휘발성 기록 재료층 및 선택 소자와,

상기 불휘발성 기록 재료층과 상기 선택 소자 사이에 형성되고, 상기 불휘발성 기록 재료층에 함유되는 원소를 함유하는 반도체층

을 갖는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 2

제1항에 있어서,

상기 반도체층은, 상기 선택 소자 위에 형성되고,

상기 불휘발성 기록 재료층은, 상기 반도체층 위에 형성되어 있는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 3

제1항에 있어서,

상기 반도체층은, 상기 불휘발성 기록 재료층 위에 형성되고,

상기 선택 소자는, 상기 반도체층 위에 형성되어 있는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 4

제1항에 있어서,

상기 불휘발성 기록 재료층은, 칼코겐 원소 중의 적어도 1원소를 함유하는 재료를 포함하는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 5

제1항에 있어서,

상기 반도체층은, Ge를 40원자% 이상 함유하는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 6

제5항에 있어서,

상기 반도체층은, Ge를 90원자% 이상 함유하는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 7

제1항에 있어서,

상기 반도체층은, Ge와 Si의 혼합 재료인 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 8

제1항에 있어서,

상기 반도체층은, InSb 또는 GaSb인 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 9

제1항에 있어서,

상기 반도체층은, 5nm 이상 200nm 이하의 막 두께를 갖는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 10

제1항에 있어서,

상기 선택 소자는, 다이오드인 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 11

제10항에 있어서,

상기 다이오드는, pin 폴리실리콘 다이오드인 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 12

제1항에 있어서,

메모리 셀은, 상기 불휘발성 기록 재료층과 상기 선택 소자를 포함하고,

상기 메모리 셀은, 상 변화 메모리의 메모리 셀인 것을 특징으로 하는 불휘발성 반도체 기억 장치.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은, 금속 화합물의 결정 상태와 비정질 상태 사이의 상 변화에 의해 결정되는 저항값을 불휘발로 기억하는, 전기적으로 재기입 가능한 상 변화 메모리 장치에 관한 것이다.

배경 기술

- <2> 불휘발성 기억 장치에는, 금속 화합물의 결정 상태와 비정질 상태를 기억 정보로서 이용하는 것이 있다. 이 기억 재료로서는, 일반적으로 텔루륨 화합물이 이용된다. 그들의 반사율의 차이에 의해 정보를 기억하는 원리는, DVD(디지털 버사타일 디스크)와 같은 광학적 정보 기억 매체에 널리 이용되고 있다.
- <3> 최근에 들어, 이 원리를 전기적 정보 기억에도 이용하는 제안이 이루어지고 있다. 이것은 광학적 방법과 달리, 비정질과 결정의 전기 저항의 차, 즉, 비정질의 고저항 상태와 결정의 저저항 상태를, 전류량 혹은 전압 변화에 의해 검출하는 방법이다. 후자의 전기적 정보 기억에 이용되는 것은 상 변화 메모리라고 불리며, 상 변화 메모리의 기본적인 메모리 셀의 구조는, 상 변화 저항 소자와 선택 소자를 조합한 구조이다. 상 변화 메모리는, 상 변화 저항 소자에 전류를 가함으로써 발생하는 줄 열에 의해 상 변화 저항 소자의 구성 요소인 불휘발성 기록 재료층을 결정 상태, 혹은 비정질 상태로 한다. 또한, 상 변화 메모리는, 불휘발성 기억 재료층의 결정 상태, 혹은 비결정 상태를 유지함으로써 정보를 기억, 유지한다. 그 재기입은, 전기적으로 고저항의 비정질 상태로 하는 경우, 대전류를 인가하여 불휘발성 기억 재료인 저항 변화 재료의 온도가 용점 이상으로 되도록 한 후, 급 냉하면 되며, 전기적으로 저저항의 결정 상태로 하는 경우, 인가하는 전류를 제한하여 용점보다 낮은 결정화 온도로 되도록 하면 된다. 일반적으로 불휘발성 기록 재료층의 저항값은 상 변화에 의해 2자리수로부터 3자리수 정도 변화한다. 이 때문에, 상 변화 메모리는, 결정인지 비정질인지에 따라 판독 신호가 크게 상이하여, 센스 동작이 용이하다.
- <4> [특허 문헌 1] US2006/0203541A1
- <5> [특허 문헌 2] US6,426,891B1

발명의 내용

해결 하고자하는 과제

- <6> 종래의 상 변화 메모리의 재기입에서, 결정 상태로부터 비정질 상태로, 혹은 비정질 상태에서부터 결정 상태로 상

변화시키기 위해, 불휘발성 기록 재료층은 매우 높은 온도까지 가열된다. 이 때문에, 재기입을 반복함에 따라, 불휘발성 기록 재료층에 근접한 막으로부터, 불휘발성 기록 재료층에 근접한 막을 구성하는 원자가 확산하여, 재기입 조건이 변화한다고 하는 과제가 있었다.

<7> 종래의 기술, 예를 들면, US2006/0203541A1(특허 문헌 1)에 기재된 기술에서는, 불휘발성 기록 재료층과 선택 소자 사이에 전기적인 접속이 오믹으로 되는 금속막을 배치하고 있지만, 금속막으로부터 금속 원소가 불휘발성 기록 재료층에 확산하여, 재기입 조건이 변화하는 것이 과제로 된다. 또한, US6,426,891B1(특허 문헌 2)에서는, 불휘발성 기록 재료층과 선택 소자 사이에, 재기입시에 발생하는 불휘발성 기록 재료층으로부터의 열의 확산을 방지하기 위해 도전성 단열막을 배치하고 있지만, 불휘발성 기록 재료층의 비정질화에 필요한 급냉이 곤란하게 된다고 하는 과제가 있다. 본 발명의 목적은, 불휘발성 기록 재료층에 인접하는 층으로부터의 원자 확산을 방지하고, 혹은 만약 확산하였다고 하여도 재기입 조건에 영향을 주지 않는 원자로 되도록 하고, 나아가 비정질화를 위한 급냉도 용이하게 함으로써, 안정된 재기입 조건을 유지하는 상 변화 메모리를 제공하는 데에 있다.

과제 해결수단

<8> 본 발명에 따른 대표적인 것을 예로 들면, 본 발명은, 제1 전극과, 제2 전극과, 제1 전극 및 제2 전극 사이에 형성된, 불휘발성 기록 재료층 및 선택 소자와, 불휘발성 기록 재료층과 선택 소자 사이에 형성된, 불휘발성 기록 재료층에 함유되는 원소를 함유하는 반도체층을 갖는 것이다. 또한, 이하, 불휘발성 기록 재료층과 선택 소자 사이에 형성된, 불휘발성 기록층에 함유되는 원소를 함유하는 반도체층을 간단히 반도체층이라고 부른다.

효과

<9> 본 발명에 의해, 재기입 조건이 안정된 상 변화 메모리가 얻어진다. 예를 들면, 재기입 시간이 50ns 이하이고 10^9 회 이상 재기입이 가능한 불휘발성 메모리가 실현된다.

발명의 실시를 위한 구체적인 내용

<10> 본 발명의 불휘발성 메모리의 메모리 셀을, 도 1~도 4를 이용하여 설명한다. 구조로서는, 불휘발성 기록 재료층과 선택 소자가 다른 계층으로 되어, 플러그를 통하여 전기적으로 접속되어 있는 것과는 달리, 플러그를 통하지 않고 불휘발성 기록 재료층과 선택 소자가 동 계층에서 전기적으로 접속되어 있는, 소위 필러 구조로 설명한다. 또한, 여기에서는, 선택 소자로서 pn 폴리실리콘 다이오드를 예로 설명한다. 그 때문에, 도 1~도 4에서는, pn 접합을 형성하는 제1 폴리실리콘층과 제2 폴리실리콘층을 나타내고 있지만, np 접합이나 pin 접합, nip 접합과 같은 다른 접합으로 되는 구조이어도 된다. 혹은 금속 배선층과 폴리실리콘층의 쇼트키 접합을 이용한 선택 소자를 메모리 셀에 이용하여도 된다. 또한, 불휘발성 기록 재료층은 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 를 예로 여기에서는 설명하지만, 칼코겐 원소(S, Se, Te) 중의 적어도 1원소를 함유하는 재료로 조성을 선택함으로써 동일 정도의 성능을 얻을 수 있다.

<11> 이하의 각 실시예에서, 각각 서로 다른 적층순으로 적층한 구조 및, 적절한 막 두께에 대하여, 정리하여 설명한다.

<12> 도 1은 제1 금속 배선층(102) 위에, 제1 폴리실리콘층(107), 제2 폴리실리콘층(106), 반도체층(105), 불휘발성 기록 재료층(104), 제2 금속 배선층(103), 제3 금속 배선층(101)을 순서대로 적층한, 실시예 1에 설명하는 구조이다.

<13> 불휘발성 기록 재료층(104)은 반도체층(105), 제1 폴리실리콘층(107) 및 제2 폴리실리콘층(106) 위에 형성되어 있다. 이와 같이, 제1 폴리실리콘층(107) 및 제2 폴리실리콘층(106)에 의해 구성된 pn 폴리실리콘 다이오드와 불휘발성 기록 재료층(104)과의 사이에 반도체층(105)이 형성되어 있으므로, 재기입 동작시에 발생하는 열에 의해 pn 폴리실리콘 다이오드 내에 불순물로서 도핑되어 있는 원자가 불휘발성 기록 재료층(104)까지 확산하는 것을 억제할 수 있다. 반도체층(105)의 막 두께는, 지나치게 두꺼워도 지나치게 얇아도 기능을 발휘할 수 없다. 지나치게 두꺼우면, 도전성이어도 저항이 지나치게 커서, 그 온도 의존성에 의해 불휘발성 기록 재료층(104)의 저항값의 온도 마진이 부족하다. 지나치게 얇으면, 불휘발성 기록 재료층(104)의 기억 기입시의 반복적인 온도 상승에 의해 선택 소자의 특성 열화를 방지할 수 없다.

<14> 막 두께와, 저저항 상태·고저항 상태의 고온에서의 저항비의 관계는, 반도체층(105)의 막 두께가 160nm인 경우

에는, 저저항 상태·고저항 상태의 저항비는 약 1:20으로 되고, 200nm인 경우에는, 약 1:10, 240nm인 경우에는 약 1:5로 된다. 이러한 저항 변화형의 불휘발성 메모리에서는, 저저항 상태와 고저항 상태의 저항비로서는, 오관독 방지의 관점으로부터 10배 정도 필요하게 되므로, 반도체층(105)의 막 두께는 200nm 이하이다.

<15> 한편, 막 두께와 재기입 가능 횟수의 관계는, 반도체층(105)의 막 두께가 3nm인 경우에는 재기입 가능 횟수는 약 10^5 회이며, 5nm인 경우에는 약 10^6 회, 8nm인 경우에는 약 10^6 회로 된다. 저항 변화형의 불휘발성 메모리에서는, 적어도 약 10^6 회의 재기입 가능 횟수를 가질 필요가 있으므로, 반도체층(105)의 막 두께는 5nm 이상이다.

<16> 도 2는 제1 금속 배선층(102) 위에, 불휘발성 기록 재료층(104), 반도체층(105), 제2 폴리실리콘층(106), 제1 폴리실리콘층(107), 제2 금속 배선층(103), 제3 금속 배선층(101)을 순서대로 적층한, 실시예 2에 설명하는 구조이다.

<17> 불휘발성 기록 재료층(104)은 반도체층(105) 및 제2 폴리실리콘층(106) 및 제1 폴리실리콘층(107)보다 아래에 형성되어 있다. 이와 같이, 제1 폴리실리콘층(107) 및 제2 폴리실리콘층(106)에 의해 구성된 pn 폴리실리콘 다이오드와 불휘발성 기록 재료층(104)과의 사이에 반도체층(105)이 형성되어 있으므로, 재기입 동작 시에 발생하는 열에 의해 pn 폴리실리콘 다이오드 내에 불순물로서 도핑되어 있는 원자가 불휘발성 기록 재료층(104)까지 확산하는 것을 억제할 수 있다. 반도체층(105)의 막 두께는, 지나치게 두꺼워도 지나치게 얇아도 기능을 발휘할 수 없다. 지나치게 두꺼우면, 도전성이어도 저항이 지나치게 커져, 그 온도 의존성에 의해 불휘발성 기록 재료층(104)의 저항값의 온도 마진이 부족하다. 지나치게 얇으면, 불휘발성 기록 재료층(104)의 기억 기입시의 반복적인 온도 상승에 의해 선택 소자의 특성 열화를 방지할 수 없다.

<18> 또한, 도 2의 경우에서도, 막 두께와 저항비의 관계, 막 두께와 재기입 가능 횟수의 관계는 전술한 도 1의 경우와 마찬가지로이다.

<19> 도 3은 제1 금속 배선층(102) 위에, 제1 폴리실리콘층(107), 제2 폴리실리콘층(106), 반도체층(105), 불휘발성 기록 재료층(104), 반도체층(105), 제2 금속 배선층(103), 제3 금속 배선층(101)을 순서대로 적층한, 실시예 3에 설명하는 구조이다. 즉, 실시예 1에서 설명한 구조의 반도체층(105)과, 제2 금속 배선층(103) 사이에 반도체층(105)을 새롭게 더 추가한 것이다. 이에 의해, 실시예 1에 설명한 효과 외에, 추가로 제2 금속 배선층(103) 내의 금속 원자의 불휘발성 기록 재료층(104)에의 확산을 억제할 수 있어, 금속 원자 기인의 재기입 조건의 변화를 억제할 수 있다. 또한, 새롭게 추가된 반도체층(105)에 의해 제2 금속 배선층(103)의 열 사이클에 의한 열화를 억제할 수 있어, 재기입 가능 횟수가 5배 이상 향상된다.

<20> 도 4는 제1 금속 배선층(102) 위에, 반도체층(105), 불휘발성 기록 재료층(104), 반도체층(105), 제2 폴리실리콘층(106), 제1 폴리실리콘층(107), 제2 금속 배선층(103), 제3 금속 배선층(101)을 순서대로 적층한, 실시예 4에 설명하는 구조이다. 즉, 실시예 2에서 설명한 구조의 반도체층(105)과, 제1 금속 배선층(102) 사이에 반도체층(105)을 새롭게 더 추가한 것이다. 이에 의해, 실시예 2에서 설명한 효과 외에, 추가로 제1 금속 배선층(102) 내의 금속 원자의 불휘발성 기록 재료층(104)에의 확산을 억제할 수 있어, 금속 원자 기인의 재기입 조건의 변화를 억제할 수 있다. 또한, 새롭게 추가된 반도체층(105)에 의해 제1 금속 배선층(102)의 열 사이클에 의한 열화를 억제할 수 있어, 재기입 가능 횟수가 5배 이상 향상된다.

<21> 또한, 도 3~도 4의 경우에서, 막 두께와 재기입 가능 횟수의 관계는 전술한 도 1의 경우와 마찬가지로이다. 또한, 반도체층(105)의 합계 막 두께와 저항비의 관계는, 도 1의 경우와 마찬가지로이다.

<22> <실시예 1>

<23> 이하, 본 발명의 불휘발성 메모리의 메모리 셀의 제조 방법을 도면에 기초하여 상세하게 설명한다. 또한, 설명하기 위한 전체 도면에서, 동일한 기능을 갖는 부재에는 동일한 부호를 붙이고, 그 반복 설명은 생략한다. 또한, 이하의 실시 형태에서는, 특별히 필요한 때 이외는 동일 또는 마찬가지로의 부분의 설명을 원칙적으로 반복하지 않는다. 또한, 실시 형태에서 이용하는 도면에서는, 단면도이어도 도면을 보기 쉽게 하기 위해 해칭을 생략하는 경우도 있다. 또한, 평면도이어도 도면을 보기 쉽게 하기 위해 해칭을 가하는 경우도 있다.

<24> 본 실시 형태에서, 본 발명의 메모리 셀은 도 5에 도시하는 반도체 기판(201) 위에 형성한다. 반도체 기판(201)은, 불휘발성 메모리뿐만 아니라, 불휘발성 메모리의 메모리 매트릭스를 동작시키기 위한 주변 회로도 형성하기 위한 기판이다. 주변 회로는 기존의 CMOS 기술을 이용하여 제조한다. 여기에서, 반도체 기판과 메모리 매트릭스와 주변 회로의 위치 관계를 도 6~도 8에 나타낸다. 도 6~도 8은 반도체 기판인 실리콘 기판의 소자 형성 표면에 대한 수직 방향의 단면도를 모식화한 것이다. 본 실시 형태에서는, 도 6에 도시한 바와 같이, 주

변 회로부 위에 메모리 매트릭스부를 제조하는 경우를 예로 들어 설명한다. 즉, 실리콘 기판 위에 제1층째로 되는 주변 회로부가 형성되고, 제2층째에 메모리 매트릭스부가 형성된 적층 구조이다. 또한, 메모리 매트릭스와 주변 회로의 위치 관계는, 도 7에 도시한 바와 같이 메모리 매트릭스부와 주변 회로부가 동일한 층에 있어도 되고, 도 8에 도시한 바와 같이 메모리 매트릭스부와 주변 회로부가 동일한 층에 있고, 또한 메모리 매트릭스부의 하층에도 주변 회로부가 있는 적층 구조이어도 된다. 또한, 도 6 및 도 8에서는 메모리 매트릭스부가 2층째로 되어 있지만, 3층째, 4층째이어도 되며, 적어도 주변 회로부의 상층에 있는 예이다.

<25> 도 5는, 반도체 기판(201) 위에, 제1 금속 배선층(202)과, 제1 폴리실리콘층(203)과, 제2 아몰퍼스 실리콘층(204)을 순서대로 퇴적한 구조를 도시하고 있다. 제1 금속 배선층(202)은 스퍼터링에 의해 형성된다. 제1 금속 배선층(202)의 재료는 텅스텐이다. 보다 바람직하게는, 저항률이 낮은 재료의 쪽이 전압 강하는 작고, 판독 전류를 취할 수 있기 때문에, 예를 들면, 알루미늄 또는 구리가 바람직하다. 또한, 제1 금속 배선층(202)과 반도체 기판(201) 사이에는, 접착성을 향상시키기 위해, TiN 등의 금속 화합물을 퇴적하여도 된다.

<26> 제1 폴리실리콘층(203)은, 붕소나 갈륨, 인듐 중 어느 하나를 함유하는 아몰퍼스 실리콘을 LP-CVD(Low Pressure Chemical Vapor Deposition: 저압 화학 기상 증착법)에 의해 퇴적하고, 그 후 RTA(Rapid Thermal Annealing: 급속 가열 처리)에 의해 결정화, 및 불순물 활성화화를 행하여 형성한다. 제1 폴리실리콘층(203)은, 50~250nm의 막 두께를 갖는다. 여기에서, 제1 금속 배선층(202)이 텅스텐인 경우, 제1 폴리실리콘층(203)을 형성하기 위한 재료는 붕소를 함유하는 아몰퍼스 실리콘의 쪽이, 갈륨 또는 인듐을 함유하는 아몰퍼스 실리콘보다도 텅스텐 실리콘사이드가 형성되기 어렵기 때문에 바람직하다. 또한, 텅스텐과 아몰퍼스 실리콘이 직접 접촉하여, 반응함에 따른 텅스텐 실리콘사이드의 형성을 방지하기 위해, 제1 폴리실리콘층(203)과 제1 금속 배선층(202) 사이에 TiN 등의 금속 화합물을 퇴적하여도 된다. 다음으로, 제2 아몰퍼스 실리콘층(204)은 인이나 비소를 함유하는 아몰퍼스 실리콘을 LP-CVD에 의해 퇴적함으로써 얻어진다. 제2 아몰퍼스 실리콘층(204)은 50~250nm의 막 두께를 갖는다.

<27> 도 9는, 도 5에서 퇴적한 제2 아몰퍼스 실리콘층(204)에 레이저 어닐링을 실시하는 공정을 도시하고 있다. 레이저 어닐링에 의해, 제2 아몰퍼스 실리콘층(204)의 결정화와 불순물 활성화화를 행함으로써, 제2 폴리실리콘층(205)을 형성한다. 본 실시예에서, 메모리 셀을 구성하는 선택 소자는 pn 다이오드이다. 그 때문에, 제1 폴리실리콘층(203)과 제2 폴리실리콘층(205)의 접합은 pn 접합으로서 설명하지만, np 접합이나 pin 접합, pi 접합과 같은 다른 접합, 혹은 제1 금속 배선층(203)과의 쇼트키 접합의 선택 소자를 메모리 셀에 이용하여도 된다.

<28> 도 10은, 도 9 위에, 반도체층(206)과, 불휘발성 기록 재료층(207)과, 제2 금속 배선층(208)을 순서대로 퇴적한 후의 구조를 도시한 도면이다. 반도체층(206)과, 불휘발성 기록 재료층(207)과, 제2 배선층(208)은 스퍼터링에 의해 퇴적한다.

<29> 불휘발성 기록 재료층(207)의 재료는 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 이며, 5~300nm의 막 두께를 갖지만, 보다 바람직하게는, 후속 공정의 드라이에칭이나 절연성 재료의 매립을 행하기 쉽도록, 어스펙트비가 낮아지게, 5~50nm의 막 두께가 바람직하다.

<30> 반도체층(206)은, 불휘발성 기록 재료층(104)의 구성 원소를 함유하는 재료로 구성된 반도체층이다. 이러한 층을 이용함으로써, 레이저 어닐링에서의 고온 상태에 의해, 불휘발성 기록 재료층에의 반도체층(206)으로부터의 일부 원소의 확산이 일어났다고 하여도, 재기입 특성이나 다이오드 특성에의 영향을 실용상 문제없는 정도로 억제할 수 있다. 예를 들면 Ge-Sb-Te계 재료 내에 Ge가 확산하여도, 메모리 특성의 변화는 문제가 없는 정도이다.

<31> 반도체층(206)은, 불휘발성 기록 재료층(207)의 재기입 조건의 변화가 발생하기 어려운 Ge를 재료로 하고, 5nm 이상 200nm 이하의 막 두께를 갖는다. 이 막 두께의 범위의 이유는, 전술한 바와 같다. 그리고, Ge의 함유량은 90원자% 이상이 바람직하다. 또한, Ge 대신에, Ge-Si 혼합 재료를 이용하여도 마찬가지로의 효과가 얻어진다. 이 경우에서도, 막 두께에 대해서는, 5nm 이상 200nm 이하가 바람직하다. 또한, 이 밖에, Ge와, Si 이외의 원소를 함유하는 재료이어도 된다. 이 경우에는, Ge 함유량이 40원자% 이상이면, 불휘발성 메모리의 재기입 특성이 열화하기 어려워 바람직하다. 즉, 반도체층(206)으로서, Ge-Si 혼합 재료 이외의 경우에서, 적어도 40원자% 이상의 Ge가 함유되어 있는 재료로 구성되어 있다. 또한, 이 반도체층(206)으로서, Ge 이외의 공지의 각종 반도체 재료를 이용하여도 되고, InSb, GaSb를 이용하여도 된다. 특히 반도체층으로서 중요한 점은, 그 반도체층이, 불휘발성 기록 재료층을 구성하는 재료를 포함하는 반도체 재료로 구성되어 있는 것이다. 이들 경우에도, 막 두께에 대해서는, 5nm 이상 200nm 이하가 바람직하다.

- <32> 본 실시예에서, 불휘발성 기록 재료층(207)의 구성 원소는 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 를 예로 들었지만, $\text{Ge}_3\text{Sb}_2\text{Te}_6$ 이나 $\text{Ge}_5\text{Sb}_2\text{Te}_8$, Ge-Te 등의 불휘발성 기록 재료층을 이용하여도 된다. 정보 재기입 원리로서 상 변화 메모리의 원리가 일레이지만, 그 이외에 고체 전해질 메모리의 원리를 이용하는 경우에는, 예를 들면 Cu_2Se 층이나 GeSe층을 불휘발성 기록 재료층으로 하고, 제1 금속 배선층 및 제2 금속 배선층 중 적어도 한쪽을 Cu로 하여도 된다. 단, 고체 전해질 메모리는, 기입 동작과 소거 동작에서 역방향의 전압을 인가하는 쌍방향의 동작 방식과, 기입 동작과 소거 동작에서 동방향의 전압을 인가하는 1방향의 동작 방식이 있는데, 여기에서는 불휘발성 기록 재료층의 선택 소자로서 다이오드를 이용하기 때문에, 1방향 전압으로 구동할 필요가 있다.
- <33> 반도체층(206)의 막 두께는, 지나치게 두꺼워도 지나치게 얇아도 기능을 발휘할 수 없다. 지나치게 두꺼우면, 도전성이어도 저항이 지나치게 커져, 그 온도 의존성에 의해 불휘발성 기록 재료층(207)의 저항값의 온도 마진이 부족하다. 지나치게 얇으면, 불휘발성 기록 재료층(207)의 기억 기입시의 반복적인 온도 상승에 의해 선택 소자의 특성 열화를 방지할 수 없다. 전술한 이유로부터, 반도체층(206)의 막 두께는 5nm 이상 200nm 이하이다.
- <34> 도 11은, 도 10 위에 기지의 리소그래피 기술을 이용하여 레지스트를 패터닝한 후의 구조를 도시한다. 레지스트(209)의 패턴은, 메모리 매트릭스의 워드선의 패턴이며, 인접하는 워드선의 패턴과 평행하여 연장되고, 세로 줄무늬 형상의 패턴이다.
- <35> 도 12는, 도 11에 도시하는 레지스트(209)를 마스크로 기지의 드라이에칭 기술을 이용하여, 제2 배선층(208), 불휘발성 기록 재료층(207), 반도체층(206), 제2 폴리실리콘층(205), 제1 폴리실리콘층(203), 및 제1 금속 배선층(202)을 에칭하여, 기지의 기술을 이용하여 레지스트(209)를 제거한 후의 구조를 도시한다. 제1 금속 배선층(210), 제1 폴리실리콘층(211), 제2 폴리실리콘층(212), 반도체층(213), 불휘발성 기록 재료층(214), 및 제2 금속 배선층(215)으로 이루어지는 적층막의 패턴은 레지스트(209)의 패턴을 반영하여, 세로의 줄무늬 형상의 패턴을 형성한다. 또한, 제1 금속 배선층(210)은, 불휘발성 메모리의 판독, 및 기입을 행할 수 있도록, 메모리 매트릭스의 워드선으로서 반도체 기판(201)과 전기적으로 접속되지만, 도시는 생략하였다.
- <36> 도 13은, 도 12에서의 패턴 간에 절연성 재료를 충전시킨 후에, 그 절연성 재료를, 기지의 기술인 CMP(Chemical Mechanical Polishing: 화학적 기계적 연마법)를 이용하여, 깎아내기를 행한 후의 구조를 도시한다. 이 깎아내기량은, 절연성 재료(217)와 제2 금속 배선층(215)의 표면 높이가 동일하게 되는 양이다.
- <37> 도 14는, 도 13에서의 절연성 재료(217)와 제2 금속 배선층(215) 위에 제3 금속 배선층(218)을, 스퍼터링에 의해 퇴적한 구조이다. 제3 금속 배선층(218)의 재료는 텅스텐이지만, 보다 바람직하게는, 저항률이 낮은 알루미늄이나 구리이다.
- <38> 도 15는, 도 14에서의 제3 금속 배선층(218) 위에 기지의 리소그래피 기술을 이용하여 레지스트를 패터닝한 후의 구조를 도시한다. 레지스트(219)의 패턴은, 메모리 매트릭스의 비트선의 패턴이며, 인접하는 비트선의 패턴과 평행하게 연장되고, 가로 줄무늬 형상의 패턴이다. 또한, 레지스트(219)의 패턴은 제1 금속 배선층(210)의 패턴과 교차한다.
- <39> 도 16은, 도 15에 도시하는 레지스트(219)를 마스크로, 기지의 드라이에칭 기술을 이용하여, 제3 금속 배선층(218), 제2 금속 배선층(215), 불휘발성 기록 재료층(214), 반도체층(213), 제2 폴리실리콘층(212), 제1 폴리실리콘층(211), 및 절연성 재료(217)를 가공하고, 기지의 기술을 이용하여 레지스트(219)를 제거한 후의 구조를 도시한다. 이 때, 메모리 셀을 선택할 수 있도록 하기 위해, 메모리 매트릭스의 워드선에 해당하는 제1 금속 배선층(210)을 남길 필요가 있다. 제1 폴리실리콘층(220), 제2 폴리실리콘층(221), 반도체층(222), 불휘발성 기록 재료층(223), 및 제2 금속 배선층(224)으로 이루어지는 적층막 PU1은 기둥 형상이다. 메모리 매트릭스의 비트선에 해당하는 제3 금속 배선층(226)은, 인접하는 제3 금속 배선층(226)과 평행한 세로 줄무늬의 형상이며, 제1 금속 배선층(210)과 교차하도록 배치된다. 또한, 제3 금속 배선층(226)은, 불휘발성 메모리의 판독, 및 기입을 행할 수 있도록, 메모리 매트릭스의 비트선으로서 반도체 기판(201)과 전기적으로 접속되지만, 도시는 생략하였다.
- <40> 도 17은, 도 16의 패턴 간에 절연성 재료를 퇴적한 후에, 퇴적한 절연성 재료를, 기지의 기술인 CMP를 이용하여, 깎아내기를 행한 후의 구조를 도시한다. 깎아내기량은, 절연성 재료(228)와 제3 금속 배선층(226)의 표면 높이가 동일하게 되는 양이다.
- <41> 도 18은, 도 17의 구조 위에, 절연성 재료(229)를 퇴적시킨 후의 구조를 도시한다.

- <42> 이상, 도 5 내지 도 18을 이용하여 설명한 제조 방법에 의해 제작한 메모리 셀의 상면도를 도 19에 도시한다. 메모리 셀의 워드선인 제1 금속 배선층(210)과, 비트선인 제3 금속 배선층(226)은 교차하며, 적층막 PU1은 그 교점에 배치된다.
- <43> 이하, 본 발명의 불휘발성 메모리의 메모리 셀을 적용한 메모리 매트릭스의 동작 방식에 대하여 도면을 이용하여 설명한다.
- <44> 도 20은, 불휘발성 메모리의 메모리 셀 어레이의 구성도이다. 메모리 셀 $MC_{ij}(i=1, 2, 3, \dots, m)(j=1, 2, 3, \dots, n)$ 는, 복수개 평행하게 배치된 제1 배선(이하, 워드선) $WL_i(i=1, 2, 3, \dots, m)$ 와, 워드선 WL_i 와 교차하도록 복수개 평행하게 배치된 제2 배선(이하, 비트선) $BL_j(j=1, 2, 3, \dots, n)$ 와의 교점에 배치되고, 선택 소자 SE와 상 변화 저항 소자 VR이 직렬로 접속된 구조로 되어 있다. 이 도면에서, 선택 소자 SE의 일단은 워드선 WL_i 와, 상 변화 저항 소자 VR의 일단은 비트선 BL_j 와 접속되어 있지만, 후술하는 바와 같이, 워드선 WL_i 와 비트선 BL_j 에의 전압 인가 방법에 의해 메모리 셀을 선택하기 때문에, 선택 소자 SE의 일단이 비트선 BL_j 와, 상 변화 저항 소자 VR의 일단이 워드선 WL_i 와 접속되어 있어도 된다.
- <45> 불휘발성 메모리의 기록은 다음과 같이 행한다. 예를 들면, 메모리 셀 MC11을 재기입하는 경우, 1번째의 워드선 WL_1 에 전압 V_h 를, 다른 워드선 WL_i 에 전압 V_l 을, 1번째의 비트선 BL_1 에 전압 V_l 을, 다른 비트선 BL_j 에 전압 V_l 을 인가하고, MC11의 상 변화 저항 소자에 전류를 흘려서 정보를 기억한다. 여기에서, 전압 V_h 는 전압 V_l 보다도 높은 전압이다. 재기입시, 비선택의 메모리 셀에 오기입이 행해지지 않도록 하기 위해, 작용을 갖는 선택 소자 SE가 필요하게 된다. 또한, 당연히, 전압 V_h 는 선택 소자 SE의 항복 전압 이하이어야만 한다. 불휘발성 메모리의 판독은 다음과 같이 행한다. 예를 들면, 메모리 셀 MC11의 정보를 판독하는 경우, 1번째의 워드선 WL_1 에 전압 V_m 을, 다른 워드선 WL_i 에 전압 V_l 을, 1번째의 비트선 BL_1 에 전압 V_l 을 인가하고, BL_1 에 흐르는 전류의 크기로부터 정보를 판독한다.
- <46> 상기에 메모리 매트릭스는 제1층만의 단층에서의 기입, 판독을 설명하였지만, 다층으로 하면 더 대용량화할 수 있어 바람직하다. 예를 들면, 도 21에 도시한 바와 같이 메모리 매트릭스를 2층 적층하는 경우, 도 18의 구조 위, 즉 절연성 재료(310) 위에, 실시예 1의 도 5 내지 도 18과 마찬가지로 하여, 메모리 매트릭스의 제2층째의 워드선인 제1 금속 배선층(402)과, 제2층째의 제1 폴리실리콘층(403) 및 제2층째의 제2 폴리실리콘층(404) 및 제2층째의 반도체층(405) 및 제2층째의 불휘발성 기록 재료층(406) 및 제2층째의 제2 금속 배선층(407)으로 이루어지는 기둥 형상의 제2층째의 적층막 PU12와, 메모리 매트릭스의 제2층째의 비트선에 해당하는 제3 금속 배선층(409)을 형성하고, 절연성 재료(408) 및 절연성 재료(410)를 형성하면 된다.
- <47> 이 경우에는, 2층째의 폴리실리콘층을 어닐링할 때에, 동시에 1층째의 불휘발성 기록 재료층(214)이 과열되지만, 불휘발성 기록 재료(214)가 배선층이나 절연층에 의해 덮여져 있기 때문에, 변형이나 박리를 방지할 수 있다.
- <48> 또한 메모리 매트릭스를 k층($k=1, 2, 3, \dots, 1$) 적층하는 경우도 마찬가지로의 방법으로 메모리 매트릭스를 제조한다. 당연히, 메모리 매트릭스를 적층하는 경우에는, 불휘발성 메모리의 기록 및 판독시, 층을 선택할 필요가 있다. 층의 선택은, 예를 들면 각 층의 워드선을 공통으로 한 경우, 기입하는 층을 비트선에 의해 선택할 수 있도록 하면 된다.
- <49> 이와 같이, 메모리 매트릭스를 적층으로 함으로써, 메모리 셀의 비트 밀도는 높아지게 되므로, 저코스트에서의 불휘발성 메모리의 제조가 가능하게 된다.
- <50> <실시예 2>
- <51> 본 실시 형태에서, 본 발명의 메모리 셀은 도 22에 도시하는 반도체 기판(201) 위에 형성한다. 반도체 기판(201)은, 불휘발성 메모리뿐만 아니라, 불휘발성 메모리의 메모리 매트릭스를 동작시키기 위한 주변 회로도 형성하기 위한 기판이다. 주변 회로는 기존의 CMOS 기술을 이용하여 제조한다. 주변 회로와 메모리 매트릭스의 위치 관계는 실시예 1과 마찬가지로이다.
- <52> 도 22는, 반도체 기판(201) 위에, 제1 금속 배선층(202)과, 불휘발성 기록 재료층(207)과, 반도체층(206)과, 제2 아몰퍼스 실리콘층(204)과, 제1 아몰퍼스 실리콘층(251)을 순서대로 퇴적한 구조를 도시한다. 제1 금속 배선층(202)은 스퍼터링에 의해 형성된다. 제1 금속 배선층(202)의 재료는 텅스텐이다. 보다 바람직하게는, 저항률이 낮은 재료의 쪽이 전압 강하는 작고, 판독 전류를 취할 수 있으므로, 예를 들면, 알루미늄 또는 구리가 바람직하다. 또한, 제1 금속 배선층(202)과 반도체 기판(201) 사이에는, 접착성을 향상시키기 위해, TiN 등의 금

속 화합물을 퇴적하여도 된다. 불휘발성 기록 재료층(207)과, 반도체층(206)은 스퍼터링에 의해 퇴적한다. 불휘발성 기록 재료층(207)의 재료는 예를 들면 결정-비정질상 변화에서 기록하는 데에 적합한 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 이며, 5~300nm의 막 두께를 갖지만, 보다 바람직하게는, 후속 공정의 드라이에칭이나 절연성 재료의 매립을 행하기 쉽도록, 어스펙트비가 낮아지게, 5~50nm의 막 두께가 바람직하다. 여기까지 적층한 단계에서, 반도체층(206)을 보호층으로 하여 불휘발성 기록 재료층을 레이저 어닐링하여도 된다. 이 경우, 반도체층(206)에의 레이저 어닐링은, 폴리실리콘층이 투과하는 파장 460nm 이상 1 μm 이하의 장파장 레이저를 이용하는 것이 바람직하지만, 폴리실리콘층에서 광이 흡수되고, 열 전도에 의해 불휘발성 기록 재료층이 가열되도록 450nm 이하의 단파장의 레이저를 이용하여도 된다. 레이저 조사는 연속, 또는 펄스 조사로 한다.

<53> 제2 아몰퍼스 실리콘층(204)은 인 혹은 비소를 함유하는 아몰퍼스 실리콘을 LP-CVD에 의해 퇴적한다. 제2 아몰퍼스 실리콘층(204)은 50~250nm의 막 두께를 갖는다. 제1 아몰퍼스 실리콘층(251)은, 붕소, 갈륨, 혹은 인듐을 함유하는 아몰퍼스 실리콘을 LP-CVD에 의해 퇴적한다. 제1 아몰퍼스 실리콘층(251)은, 50~250nm의 막 두께를 갖는다.

<54> 반도체층(206)의 막 두께는, 지나치게 두꺼워도 지나치게 얇아도 기능을 발휘할 수 없다. 지나치게 두꺼우면, 도전성이어도 저항이 지나치게 커져, 그 온도 의존성에 의해 불휘발성 기록 재료층(207)의 저항값의 온도 마진이 부족하다. 지나치게 얇으면, 불휘발성 기록 재료층(207)의 기억 기입시의 반복적인 온도 상승에 의해 선택 소자의 특성 열화를 방지할 수 없다. 전술한 이유로부터, 반도체층(206)의 막 두께는 5nm 이상 200nm 이하이다.

<55> 또한, 반도체층(206)은, 불휘발성 기록 재료층(207)의 재기입 조건의 변화가 발생하기 어려운, Ge의 함유량이 90% 이상인 재료이다. 또한, 실시예 1에서 설명한 재료이어도 된다. 본 실시예에서, 불휘발성 기록 재료층의 구성 원소는 $\text{Ge}_2\text{Sb}_2\text{Te}_5$ 를 예로 들었지만, $\text{Ge}_3\text{Sb}_2\text{Te}_6$ 이나 $\text{Ge}_5\text{Sb}_2\text{Te}_8$, Ge-Te 등의 불휘발성 기록 재료층을 이용하여도 된다. 고체 전해질 메모리 기록에 적합한 고체 전해질 재료를 이용하여도 된다.

<56> 도 23은, 도 22에서 퇴적한 제2 아몰퍼스 실리콘층(204)과 제1 아몰퍼스 실리콘층(251)에 레이저 어닐링을 실시하는 공정을 도시한다. 레이저 어닐링에 의해, 제2 아몰퍼스 실리콘층(204)과 제1 아몰퍼스 실리콘층(251)의 결정화, 및 불순물 활성화를 행함으로써, 제2 폴리실리콘층(205), 및 제1 폴리실리콘층(203)을 형성한다. 본 실시예에서, 메모리 셀을 구성하는 선택 소자는 pn 다이오드로 한다. 그 때문에, 제1 폴리실리콘층(203)과 제2 폴리실리콘층(205)의 접합은 pn 접합으로 하지만, np 접합이나 pin 접합, pi 접합과 같은 다른 접합의 선택 소자를 메모리 셀에 이용하여도 된다.

<57> 불휘발성 기록 재료층(207)을 반도체층(206) 및 제2 아몰퍼스 실리콘층(204) 및 제1 아몰퍼스 실리콘층(251)보다 아래에 형성하면, 적어도 반도체층(206)을 보호층으로 하여 불휘발성 기록 재료층(207)을 레이저 조사에 의해 어닐링하여, as-depo 상태의 원자 배열의 호트러짐을 대폭 줄여, 메모리 소자의 동작 수율을 10% 이상 향상시킬 수 있다. 폴리실리콘층을 어닐링하는 경우에는, 반도체층(206)을 통하여 아래에 있는 불휘발성 기록 재료층(207)도 용점보다 대폭으로 고온으로 될 가능성이 있지만, 단파장의 단펄스 레이저에 의해 어닐링하면, 아래의 열 확산을 억제하여, 변형이나 박리를 방지할 수 있다. 파장이 450nm 이하, 펄스 폭이 100 μs 이하인 펄스 레이저 조사의 경우에는, 변형이나 박리는 관찰되지 않는다.

<58> 도 24는, 도 23의 폴리실리콘층 위에, 제2 금속 배선층(208)을 스퍼터링에 의해 퇴적한 구조를 도시한다. 제2 금속 배선층(208)의 재료는 텅스텐이지만, 보다 바람직하게는, 저항률이 낮은 알루미늄이나 구리이다.

<59> 도 25는, 실시예 1의 도 11과 도 12에서 설명한 방법과 마찬가지로, 도 24의 제2 금속 배선층(208) 위에 기지의 리소그래피 기술, 드라이에칭 기술을 이용하여, 제2 배선층(208), 제1 폴리실리콘층(203), 제2 폴리실리콘층(205), 반도체층(206), 불휘발성 기록 재료층(207), 및 제1 금속 배선층(202)을 가공한 후의 구조를 도시한다. 제1 금속 배선층(210), 제1 폴리실리콘층(211), 제2 폴리실리콘층(212), 반도체층(213), 불휘발성 기록 재료층(214), 및 제2 금속 배선층(215)으로 이루어지는 적층막의 패턴은, 메모리 매트릭스의 워드선의 패턴과 동일하며, 인접하는 패턴과 평행하게 연장되고, 세로의 줄무늬 형상의 패턴이다. 또한, 제1 금속 배선층(210)은, 불휘발성 메모리의 판독, 및 기입을 행할 수 있도록, 메모리 매트릭스의 워드선으로서 반도체 기판(201)과 전기적으로 접속되지만, 도시는 생략하였다.

<60> 도 26은, 도 25의 구조 형성 후에, HDP-CVD를 이용하여 절연성 재료를 패턴 간에 충전시켜, CMP에 의해 평탄화를 행한 후, 제3 금속 배선층(218)을, 기지의 스퍼터링에 의해 퇴적한 구조이다. 제3 금속 배선층(218)의 재료는, 텅스텐이지만, 보다 바람직하게는, 저항률이 낮은 알루미늄이나 구리이다.

- <61> 도 27은, 도 26 위에 기지의 리소그래피 기술, 드라이에칭 기술을 이용하여, 제3 금속 배선층(218), 제2 금속 배선층(215), 불휘발성 기록 재료층(214), 반도체층(213), 제2 폴리실리콘층(212), 제1 폴리실리콘층(211), 및 절연성 재료(217)를 가공한 후의 구조를 도시한다. 이 때, 메모리 셀을 선택할 수 있도록 하기 위해, 메모리 매트릭스의 워드선에 해당하는 제1 금속 배선층(210)을 남길 필요가 있다. 불휘발성 기록 재료층(223), 반도체층(222), 제2 폴리실리콘층(221), 제1 폴리실리콘층(220), 및 제2 금속 배선층(224)으로 이루어지는 적층막 PU2는 기둥 형상이다. 제3 금속 배선층(226)의 패턴은, 메모리 매트릭스의 비트선의 패턴이며, 인접하는 비트선의 패턴과 평행하게 연장되고, 가로 줄무늬 형상의 패턴이다. 또한, 제3 금속 배선층(226)의 패턴은 제1 금속 배선층(210)의 패턴과 교차한다. 또한, 제3 금속 배선층(226)은, 불휘발성 메모리의 판독, 및 기입을 행할 수 있도록, 메모리 매트릭스의 비트선으로서 반도체 기판(201)과 전기적으로 접속되지만, 도시는 생략하였다.
- <62> 반도체층을 최적화하면, 제1 폴리실리콘층까지 적층하고나서 파장 350nm 이상 450nm 이하, 연속 또는 펄스 레이저에 의해 제1 폴리실리콘층과 불휘발성 기록 재료층의 레이저 어닐링을 동시에 행하여도 된다. 이 경우에는, 반도체층의 재료는 Si-Ge 혼합 재료가 바람직하다. Si-Ge계의 굴절률 및 감쇠 계수의 파장 의존성은, 도 28에 도시한 바와 같이 되므로, 폴리실리콘층을 투과하는 파장 460nm 이상 1 μ m 이하의 장파장 레이저에 의해 불휘발성 기록 재료층을 어닐링하고, 다음으로 파장 350nm 이하의 단파장 레이저에 의해 폴리실리콘층을 어닐링하여도 된다. 보다 바람직하게는, Si를 77 원자% 이상 94 원자% 이하 함유하는 Si-Ge에 의해 막 두께 5nm 이상 200nm 이하로 하였을 때, 폴리실리콘층도 불휘발성 기록 재료층도 최적의 어닐링이 이루어진다.
- <63> 도 29는, 도 27의 구조 형성 후에, HDP-CVD를 이용하여 절연성 재료(228)를 패턴 간의 갭에 충전시켜, CMP에 의해 평탄화를 행한 후, 절연성 재료(229)를 기지의 스퍼터링에 의해 퇴적한 도면이다.
- <64> 이상, 도 22 내지 도 27 및 도 29를 이용하여 설명한 제조 방법에 의해 제작한 메모리 셀의 상면도를 도 30에 도시한다. 메모리 셀의 워드선인 제1 금속 배선층(210)과, 비트선인 제3 금속 배선층(226)은 교차하고, 적층막 PU2는 그 교점에 배치된다. 각 층에 이용한 재료는 실시예 1과 마찬가지로이다. 또한, 실시예 1과 마찬가지로 메모리 매트릭스를 복수층 적층하여도 된다.
- <65> 본 실시예의 불휘발성 메모리의 메모리 셀을 적용한 메모리 매트릭스의 동작 방식은 실시예 1과 마찬가지로이다.
- <66> <실시예 3>
- <67> 도 31은, 실시예 1의 도 5 내지 도 18과 마찬가지로 하여, 반도체 기판(201) 위에 메모리 매트릭스의 워드선인 제1 금속 배선층(210)과, 제1 폴리실리콘층(220) 및 제2 폴리실리콘층(221) 및 반도체층(222) 및 불휘발성 기록 재료층(223) 및 반도체층(222) 및 제2 금속 배선층(224)으로 이루어지는 기둥 형상의 적층막 PU5와, 메모리 매트릭스의 비트선에 해당하는 제3 금속 배선층(226)을 형성하고, 절연성 재료(229) 및 절연성 재료(228)를 형성한 도면을 도시한다.
- <68> 반도체층을 형성함으로써, 불휘발성 기록 재료층에 반복 기입을 행할 때의 열 사이클에 의한 열화를 방지하여, 재기입 가능 횟수가 5배 이상으로 향상된다. 반도체층의 합계 막 두께에 대해서는 실시예 1과 동일하다. 각 층에 이용한 재료는 실시예와 마찬가지로이다. 또한, 실시예 1과 마찬가지로 메모리 매트릭스를 복수층 적층하여도 된다.
- <69> 본 실시예에서는, 제2 금속 배선층의 아래의 반도체층이 없는 경우와 비교하여, 반도체 재료를 형성한 후, 이 층을 보호층으로 하여, 불휘발성 기록 재료층을 레이저 어닐링할 수 있다. 반도체층의 막 두께에 대해서는 실시예 1과 동일하다. 각 층에 이용한 재료는 실시예와 마찬가지로이다. 또한, 실시예 1과 마찬가지로 메모리 매트릭스를 복수층 적층하여도 된다.
- <70> 본 실시예의 불휘발성 메모리의 메모리 셀을 적용한 메모리 매트릭스의 동작 방식은 실시예 1과 마찬가지로이다. 또한, 주변 회로와 메모리 매트릭스의 위치 관계는 실시예 1과 마찬가지로이다.
- <71> <실시예 4>
- <72> 도 32는, 실시예 1의 도 5 내지 도 18과 마찬가지로 하여, 반도체 기판(201) 위에 메모리 매트릭스의 워드선인 제1 금속 배선층(210)과, 반도체층(222) 및 불휘발성 기록 재료층(223) 및 반도체층(222) 및 제2 폴리실리콘층(221) 및 제1 폴리실리콘층(220) 및 제2 금속 배선층(224)으로 이루어지는 기둥 형상의 적층막 PU6과, 메모리 매트릭스의 비트선에 해당하는 제3 금속 배선층(226)을 형성하고, 절연성 재료(228) 및 절연성 재료(229)를 형성한 도면을 도시한다.
- <73> 반도체층을 형성함으로써, 불휘발성 기록 재료층에 반복 기입을 행할 때의 열 사이클에 의한 열화를 방지하여,

재기입 가능 횟수가 5배 이상으로 향상된다. 반도체층의 합계 막 두께에 대해서는 실시예 1과 동일하다. 각 층에 이용한 재료는 실시예와 마찬가지로이다. 또한, 실시예 1과 마찬가지로 메모리 매트릭스를 복수층 적층하여도 된다.

<74> 본 실시예의 불휘발성 메모리의 메모리 셀을 적용한 메모리 매트릭스의 동작 방식은 실시예 1과 마찬가지로이다. 또한, 주변 회로와 메모리 매트릭스의 위치 관계는 실시예 1과 마찬가지로이다. 이상, 각 실시예에 대하여 설명하였다. 각 실시예에서, 폴리실리콘 다이오드와, 불휘발성 기록 재료층 사이에, 불휘발성 기록 재료층에 함유되는 원소를 함유하는 반도체층을 형성함으로써, 재기입 동작시에 발생하는 열에 의해 폴리실리콘 다이오드에 함유되는 불순물이 불휘발성 기록 재료층까지 확산하는 것을 억제할 수 있다. 또한, 상기 반도체층은 불휘발성 기록 재료에 함유되는 원소를 함유하고 있기 때문에 상기 반도체층 내의 원소가 불휘발성 기록 재료층까지 확산하였다고 하여도 재기입 조건에 미치는 영향은 적다. 그 때문에, 재기입 조건이 안정된 불휘발성 메모리 또는 이제까지보다 재기입 가능 횟수가 많은 불휘발성 메모리가 얻어진다.

<75> 이상의 각 실시예에서는 상 변화 메모리에 대하여 설명하였지만, 본 발명의 사상을 일탈하지 않는 한도에서, 불휘발성 기록 재료층에는 공지의 각종 불휘발 기록 재료를 이용할 수 있다. 예를 들면 상 변화 재료, 고체 전해질 재료, 자성 재료 등이다. 이 경우에는, 반도체 재료로서, 각 재료에 함유되는 원소를 함유하는 반도체층을 형성함으로써, 마찬가지로의 효과가 얻어진다.

도면의 간단한 설명

- <76> 도 1은 본 발명의 실시 형태 1의 메모리 셀의 주요부 단면도.
- <77> 도 2는 본 발명의 실시 형태 2의 메모리 셀의 주요부 단면도.
- <78> 도 3은 본 발명의 실시 형태 3의 메모리 셀의 주요부 단면도.
- <79> 도 4는 본 발명의 실시 형태 4의 메모리 셀의 주요부 단면도.
- <80> 도 5는 본 발명의 실시 형태 1의 반도체 장치의 제조 공정 중의 조감도.
- <81> 도 6은 실리콘 기판 및 주변 회로부 및 메모리 매트릭스부의 위치 관계를 나타내는 도면.
- <82> 도 7은 실리콘 기판 및 주변 회로부 및 메모리 매트릭스부의 위치 관계를 나타내는 도면.
- <83> 도 8은 실리콘 기판 및 주변 회로부 및 메모리 매트릭스부의 위치 관계를 나타내는 도면.
- <84> 도 9는 도 5에 계속되는 반도체 장치의 제조 공정 중에서의 조감도.
- <85> 도 10은 도 9에 계속되는 반도체 장치의 제조 공정 중에서의 조감도.
- <86> 도 11은 도 10에 계속되는 반도체 장치의 제조 공정 중에서의 조감도.
- <87> 도 12는 도 11에 계속되는 반도체 장치의 제조 공정 중에서의 조감도.
- <88> 도 13은 도 12에 계속되는 반도체 장치의 제조 공정 중에서의 조감도.
- <89> 도 14는 도 13에 계속되는 반도체 장치의 제조 공정 중에서의 조감도.
- <90> 도 15는 도 14에 계속되는 반도체 장치의 제조 공정 중에서의 조감도.
- <91> 도 16은 도 15에 계속되는 반도체 장치의 제조 공정 중에서의 조감도.
- <92> 도 17은 도 16에 계속되는 반도체 장치의 제조 공정 중에서의 조감도.
- <93> 도 18은 도 17에 계속되는 반도체 장치의 제조 공정 중에서의 조감도.
- <94> 도 19는 도 18에 기재된 구조에 대응하는 상면도.
- <95> 도 20은 본 발명의 반도체 장치의 메모리 매트릭스의 주요부 회로도.
- <96> 도 21은 본 발명의 실시 형태 1의 반도체 장치의 제조 공정 중의 조감도.
- <97> 도 22는 본 발명의 실시 형태 2의 반도체 장치의 제조 공정 중의 조감도.
- <98> 도 23은 도 22에 계속되는 반도체 장치의 제조 공정 중에서의 조감도.

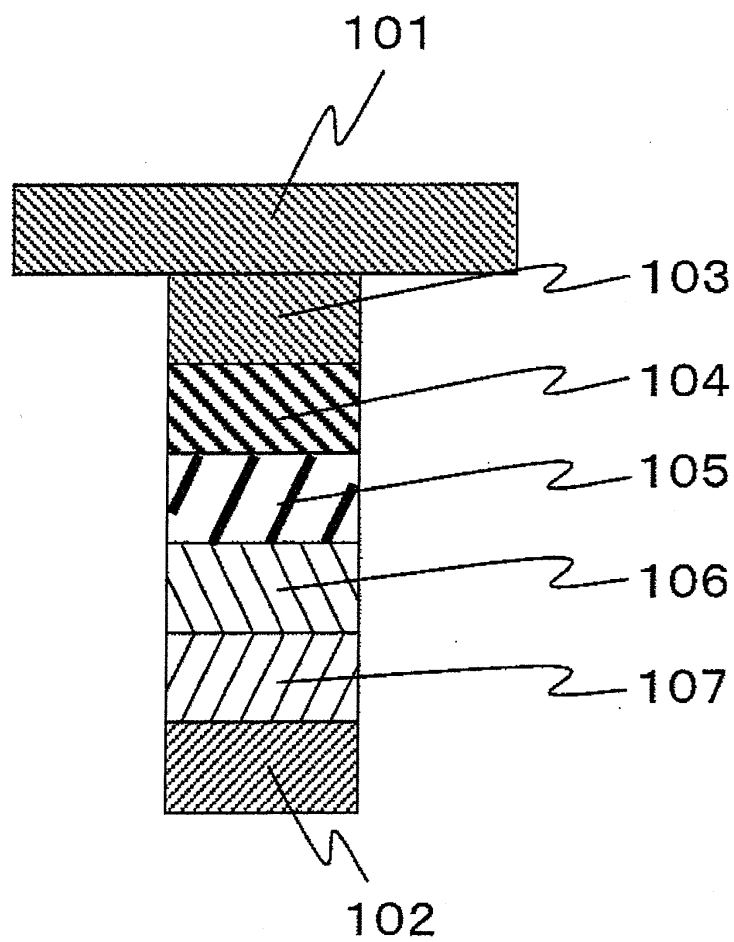
- <99> 도 24는 도 23에 계속되는 반도체 장치의 제조 공정 중에서의 조감도.
- <100> 도 25는 도 24에 계속되는 반도체 장치의 제조 공정 중에서의 조감도.
- <101> 도 26은 도 25에 계속되는 반도체 장치의 제조 공정 중에서의 조감도.
- <102> 도 27은 도 26에 계속되는 반도체 장치의 제조 공정 중에서의 조감도.
- <103> 도 28은 Si-Ge의 광학 상수에 관한 도면.
- <104> 도 29는 도 27에 계속되는 반도체 장치의 제조 공정 중에서의 조감도.
- <105> 도 30은 도 29에 기재된 구조에 대응하는 상면도.
- <106> 도 31은 본 발명의 실시 형태 4의 반도체 장치의 제조 공정 중의 조감도.
- <107> 도 32는 본 발명의 실시 형태 5의 반도체 장치의 제조 공정 중의 조감도.
- <108> <도면의 주요 부분에 대한 부호의 설명>
- <109> 101: 제3 금속 배선층
- <110> 102: 제1 금속 배선층
- <111> 103: 제2 금속 배선층
- <112> 104: 불휘발성 기록 재료층
- <113> 105: 반도체층
- <114> 106: 제2 폴리실리콘층
- <115> 107: 제1 폴리실리콘층
- <116> 201: 반도체 기판
- <117> 202: 제1 금속 배선층
- <118> 203: 제1 폴리실리콘층
- <119> 204: 제2 아몰퍼스 실리콘층
- <120> 205: 제2 폴리실리콘층
- <121> 206: 반도체층
- <122> 207: 불휘발성 기록 재료층
- <123> 208: 제2 금속 배선층
- <124> 209: 레지스트
- <125> 210: 제1 금속 배선층
- <126> 211: 제1 폴리실리콘층
- <127> 212: 제2 폴리실리콘층
- <128> 213: 반도체층
- <129> 214: 불휘발성 기록 재료층
- <130> 215: 제2 금속 배선층
- <131> 217: 절연성 재료
- <132> 218: 제3 금속 배선층
- <133> 219: 레지스트
- <134> 220: 제1 폴리실리콘층

<135>	221: 제2 폴리실리콘층
<136>	222: 반도체층
<137>	223: 불휘발성 기록 재료층
<138>	224: 제2 금속 배선층
<139>	225: 절연성 재료
<140>	226: 제3 금속 배선층
<141>	228: 절연성 재료
<142>	229: 절연성 재료
<143>	402: 제2층째의 제1 금속 배선층
<144>	403: 제2층째의 제1 폴리실리콘층
<145>	404: 제2층째의 제2 폴리실리콘층
<146>	405: 제2층째의 반도체층
<147>	406: 제2층째의 불휘발성 기록 재료층
<148>	407: 제2층째의 제2 금속 배선층
<149>	408: 제2층째의 절연성 재료
<150>	409: 제2층째의 제3 금속 배선층
<151>	410: 제2층째의 절연성 재료
<152>	251: 제1 아몰퍼스 실리콘층
<153>	SE: 선택 소자
<154>	VR: 상 변화 저항 소자
<155>	WL1: 1번째의 워드선
<156>	WL2: 2번째의 워드선
<157>	WLi: i번째의 워드선
<158>	WLm: m번째의 워드선
<159>	BL1: 1번째의 비트선
<160>	BL2: 2번째의 비트선
<161>	BLj: j번째의 비트선
<162>	BLn: n번째의 비트선
<163>	MC11: 1번째의 워드선과 1번째의 비트선의 교점에 있는 메모리 셀
<164>	MCi1: i번째의 워드선과 1번째의 비트선의 교점에 있는 메모리 셀
<165>	MCm1: m번째의 워드선과 1번째의 비트선의 교점에 있는 메모리 셀
<166>	MC1j: 1번째의 워드선과 j번째의 비트선의 교점에 있는 메모리 셀
<167>	MCij: i번째의 워드선과 j번째의 비트선의 교점에 있는 메모리 셀
<168>	MCmj: m번째의 워드선과 j번째의 비트선의 교점에 있는 메모리 셀
<169>	MC1n: 1번째의 워드선과 n번째의 비트선의 교점에 있는 메모리 셀
<170>	MCin: i번째의 워드선과 n번째의 비트선의 교점에 있는 메모리 셀

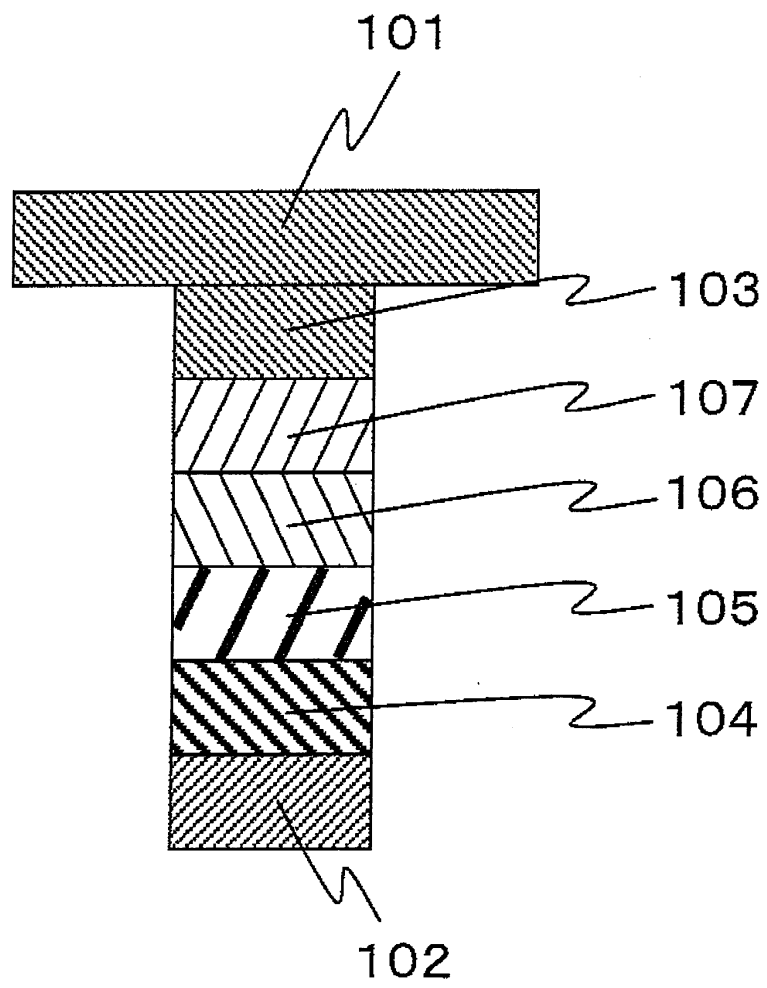
- <171> MCmn: m번째의 워드선과 n번째의 비트선의 교점에 있는 메모리 셀
- <172> Laser: 레이저
- <173> PU1: 적층막
- <174> PU12: 제2층째의 적층막
- <175> PU2: 적층막
- <176> PU5: 적층막
- <177> PU6: 적층막

도면

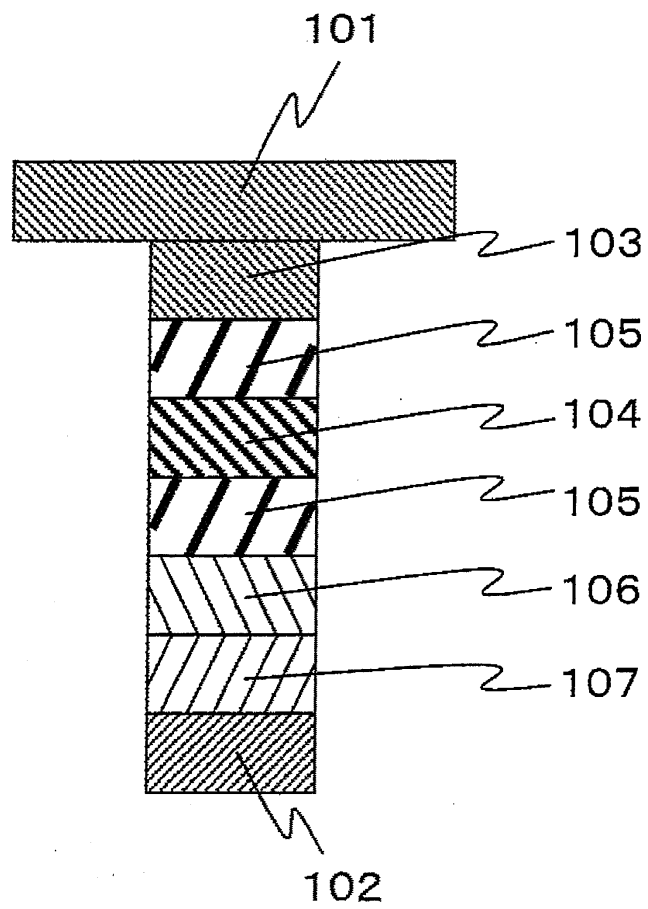
도면1



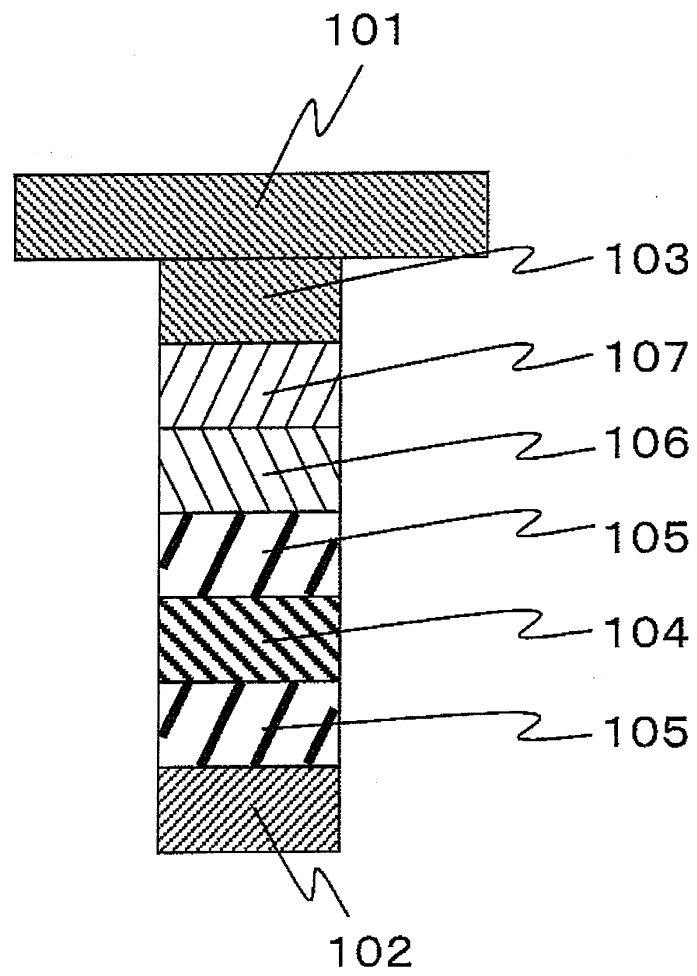
도면2



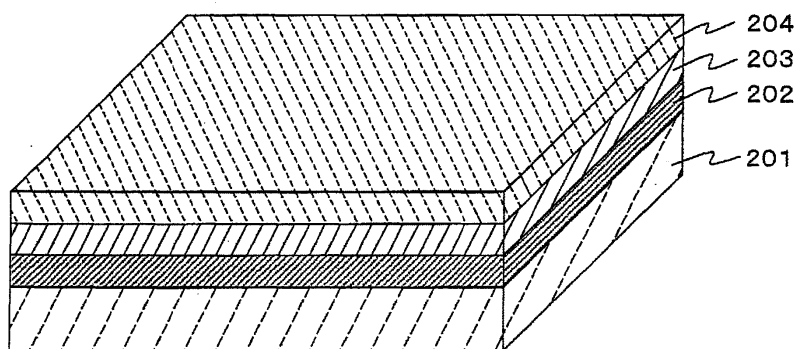
도면3



도면4



도면5



도면6

메모리 매트릭스부
주변 회로부
실리콘 기판

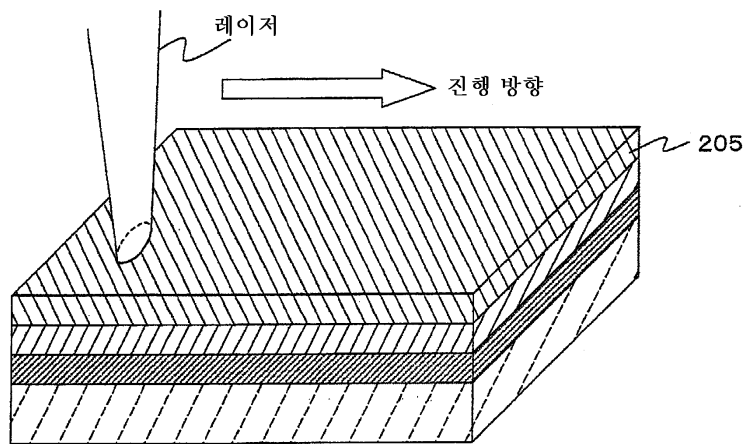
도면7

메모리 매트릭스부	주변 회로부
실리콘 기판	

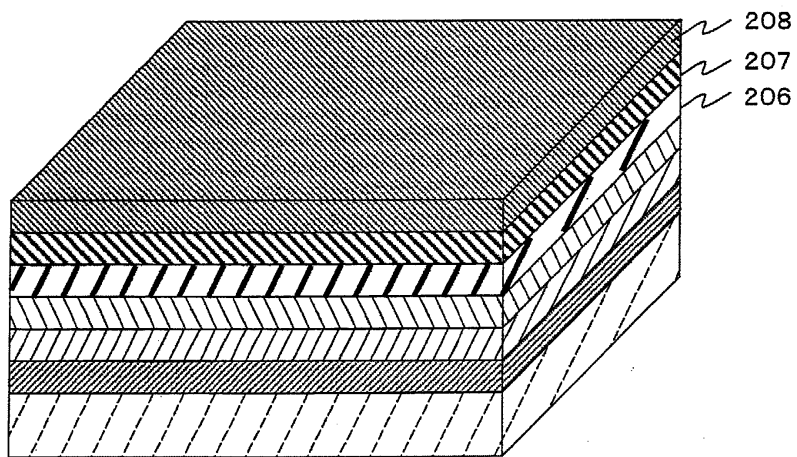
도면8

	메모리 매트릭스부
주변 회로부	
실리콘 기판	

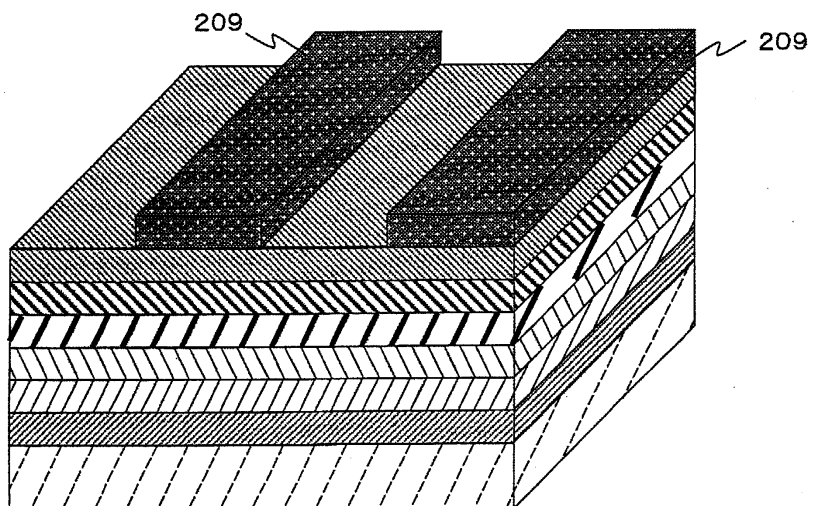
도면9



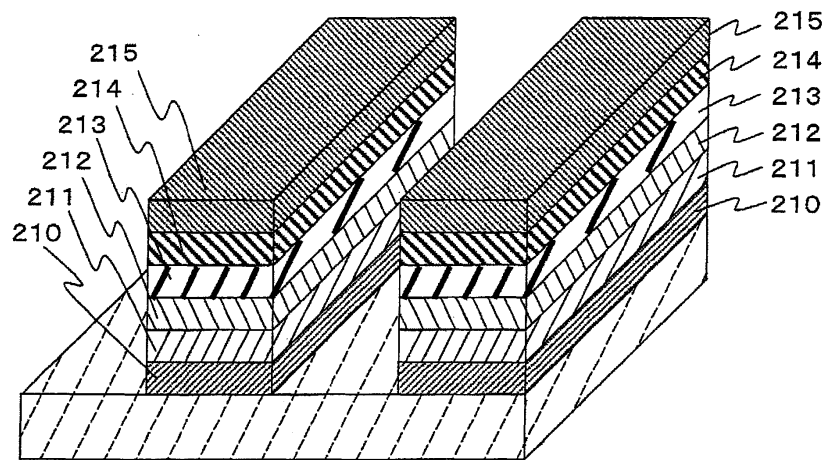
도면10



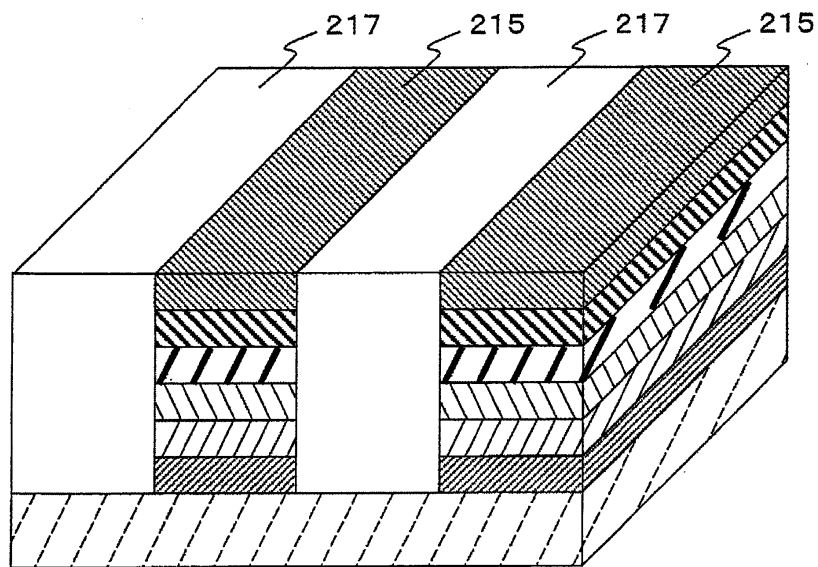
도면11



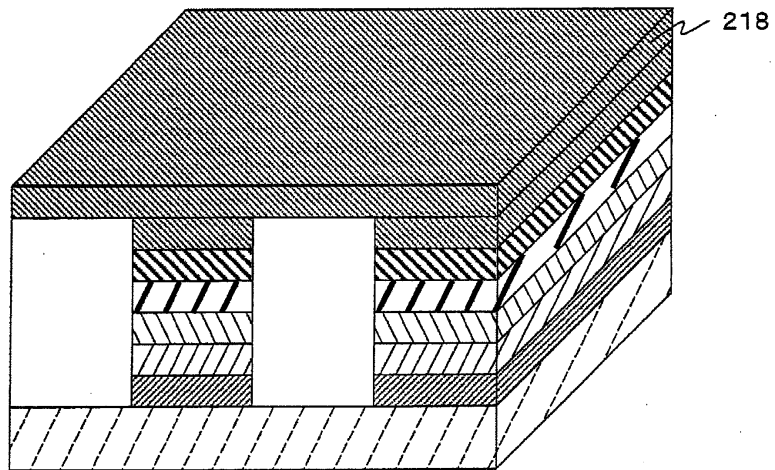
도면12



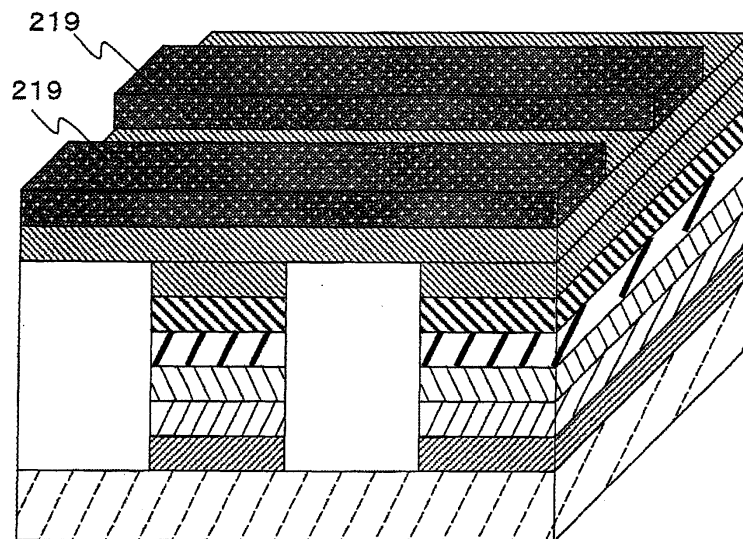
도면13



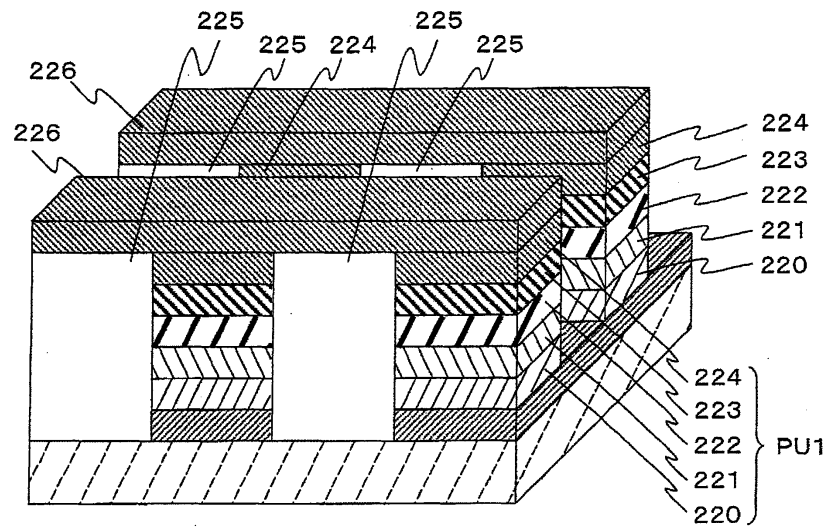
도면14



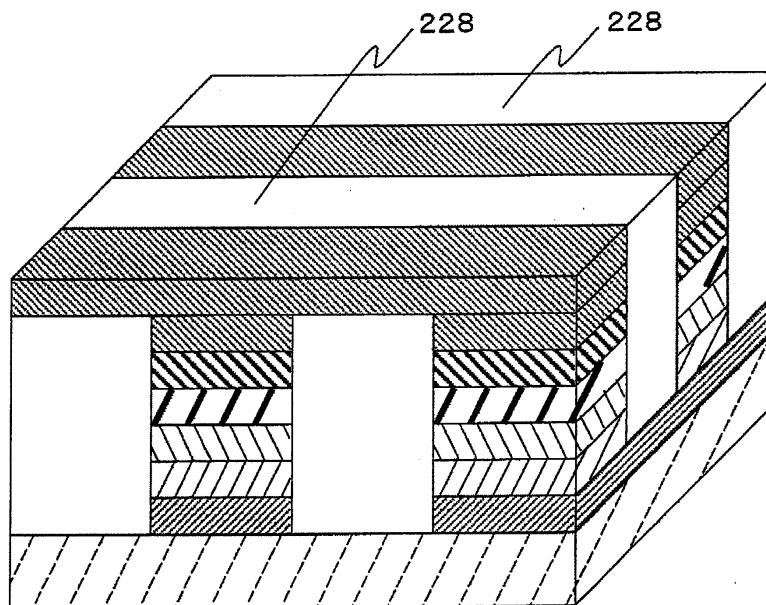
도면15



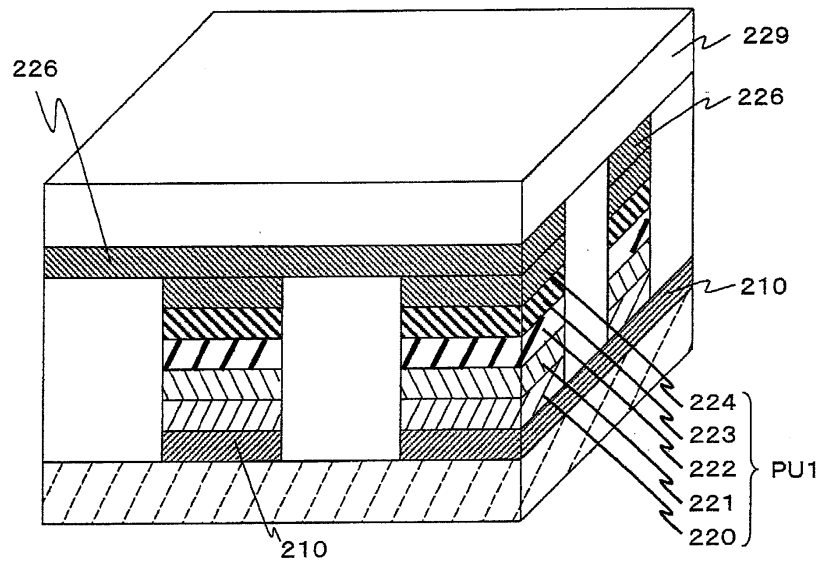
도면16



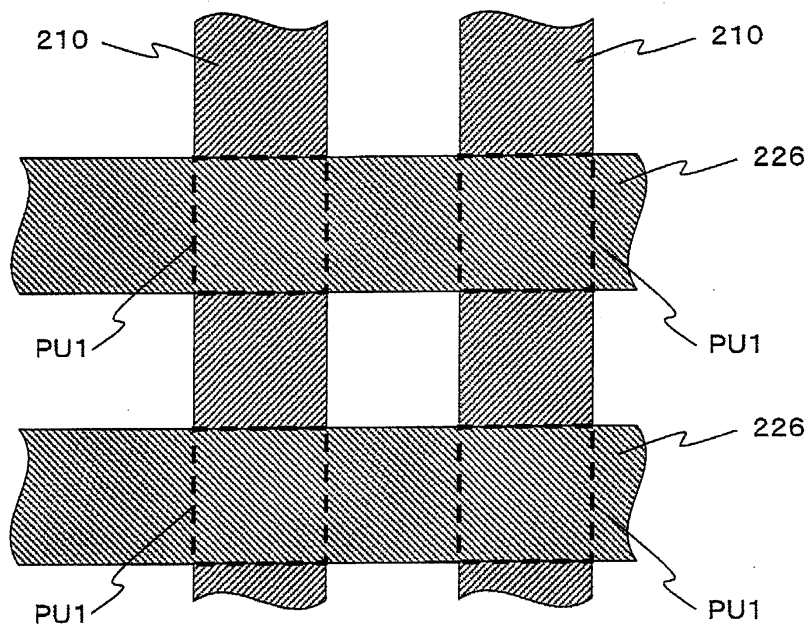
도면17



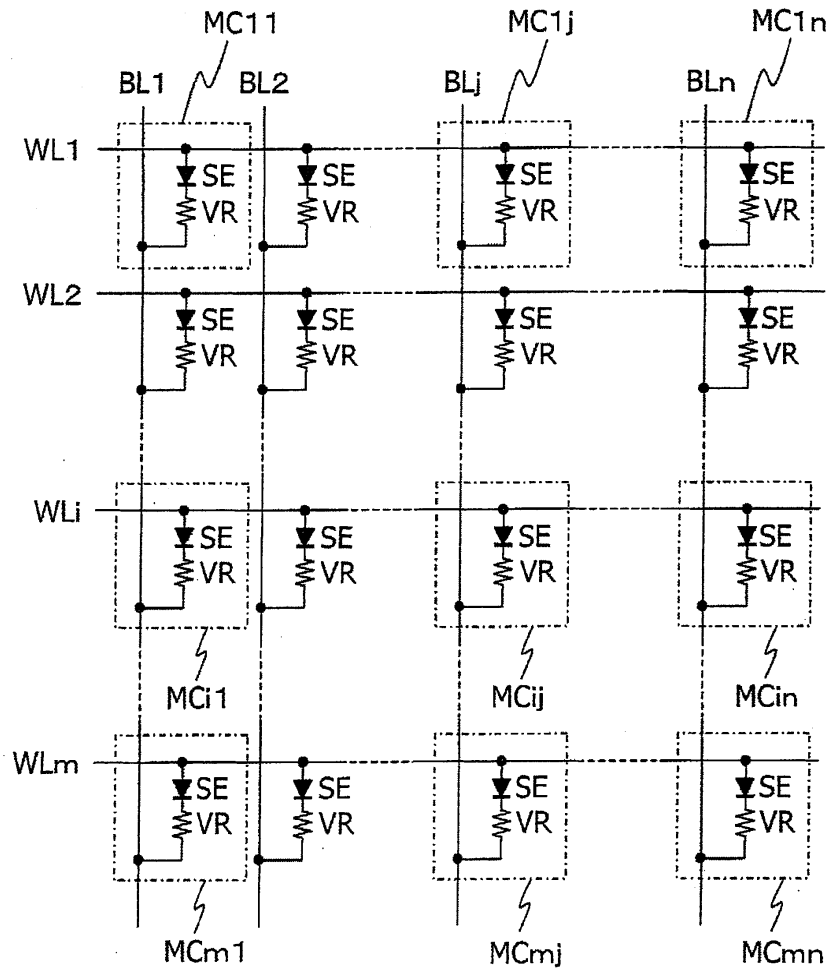
도면18



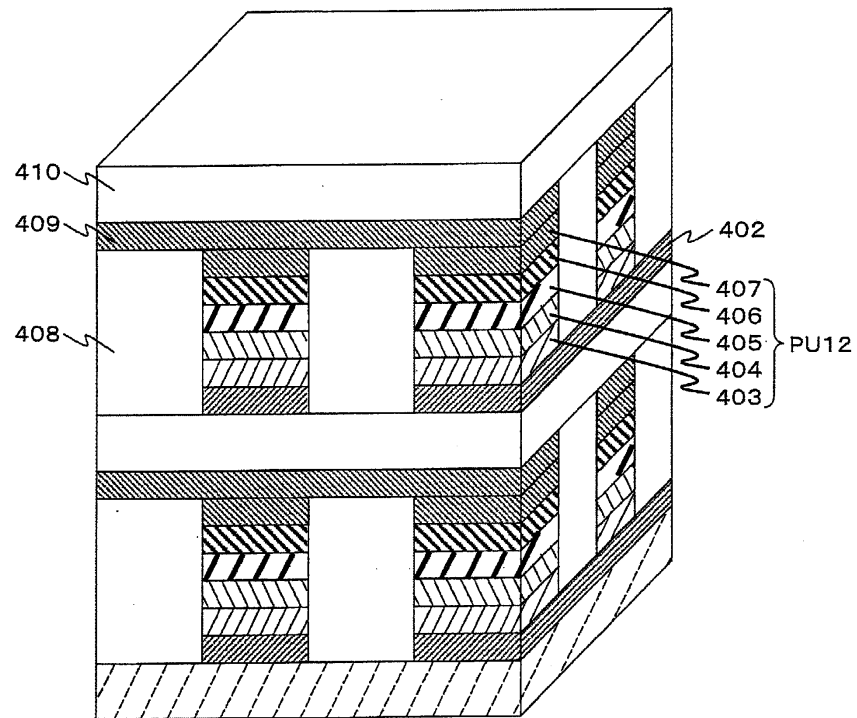
도면19



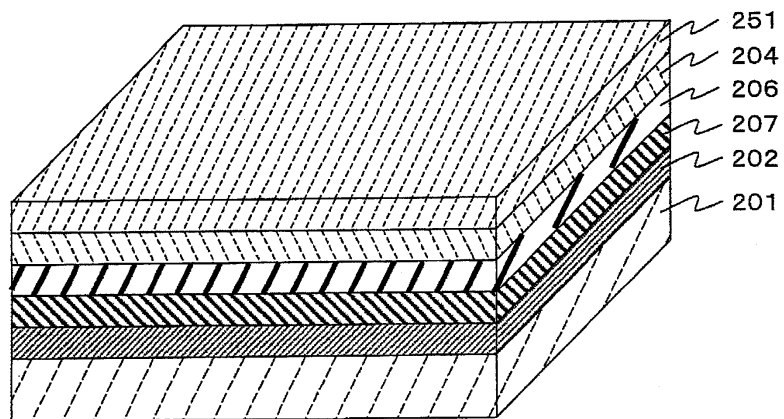
도면20



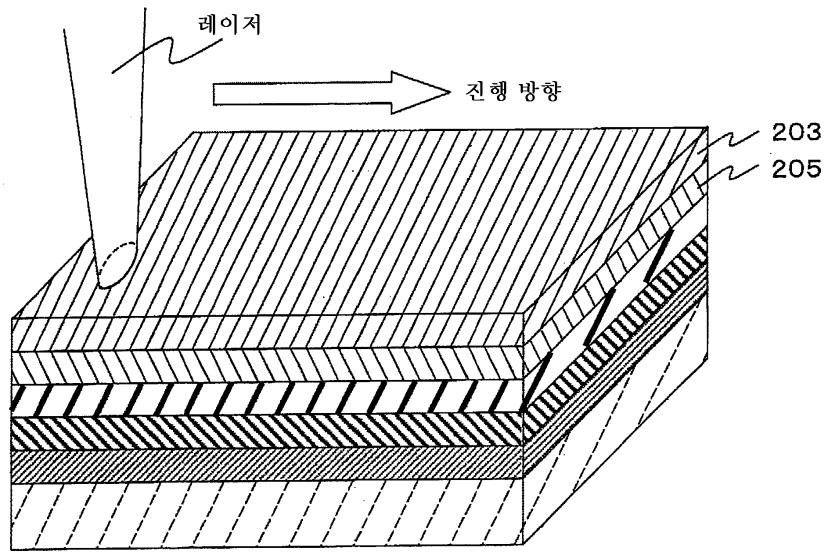
도면21



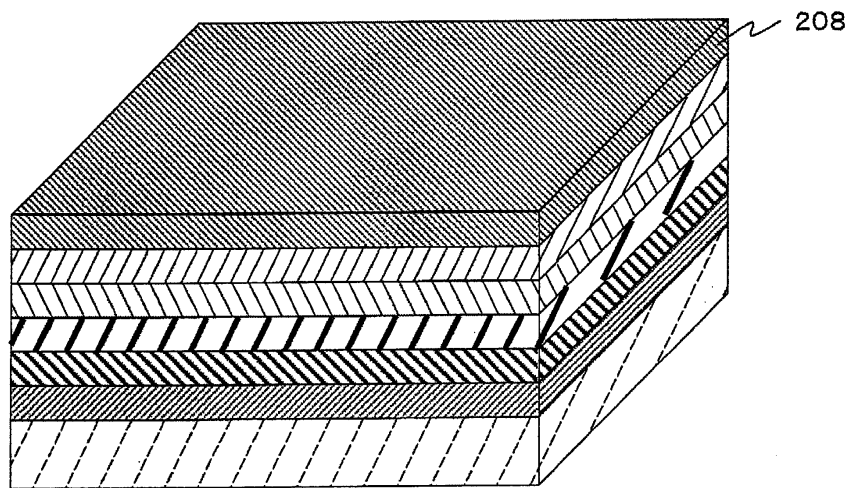
도면22



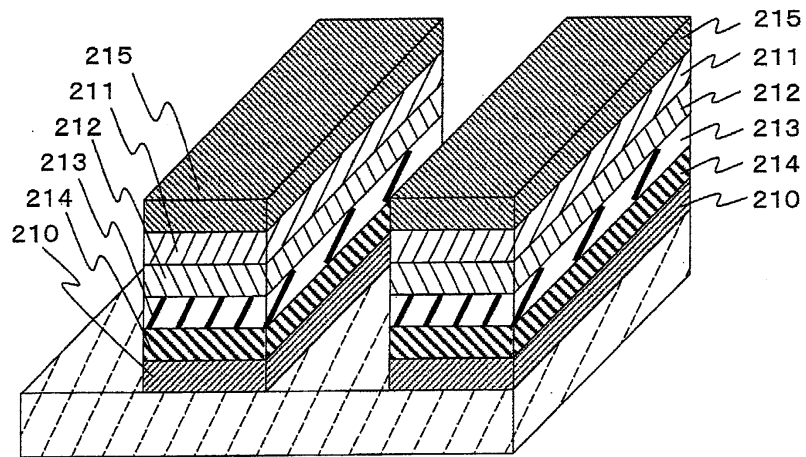
도면23



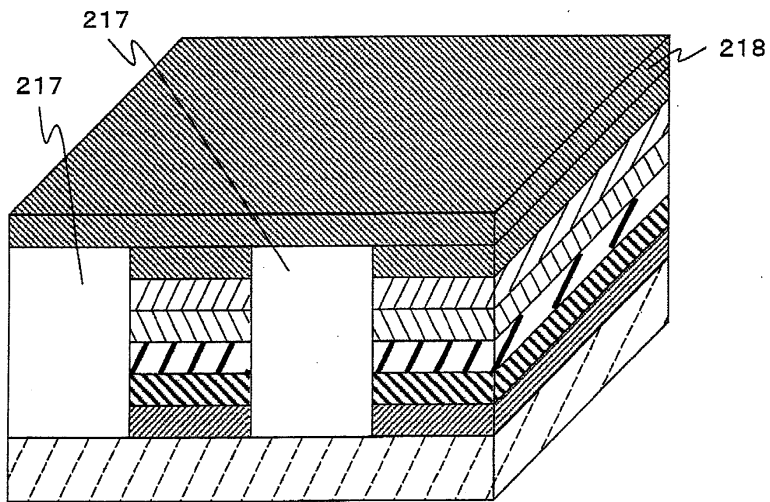
도면24



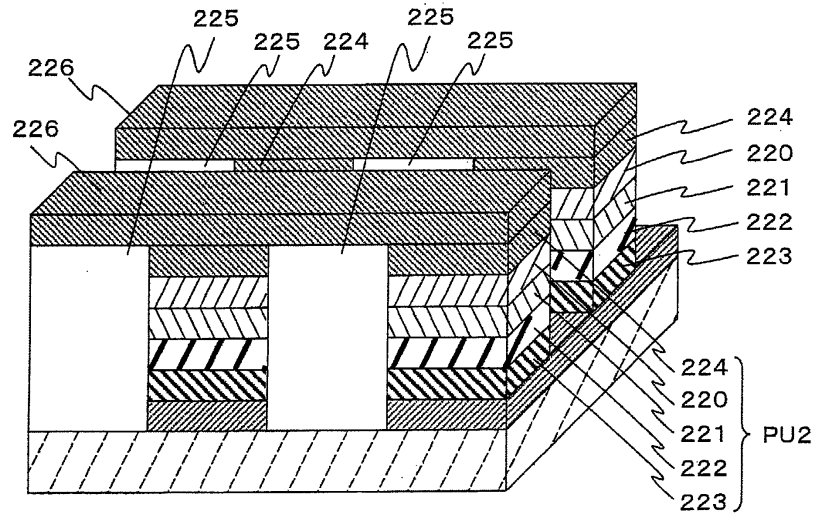
도면25



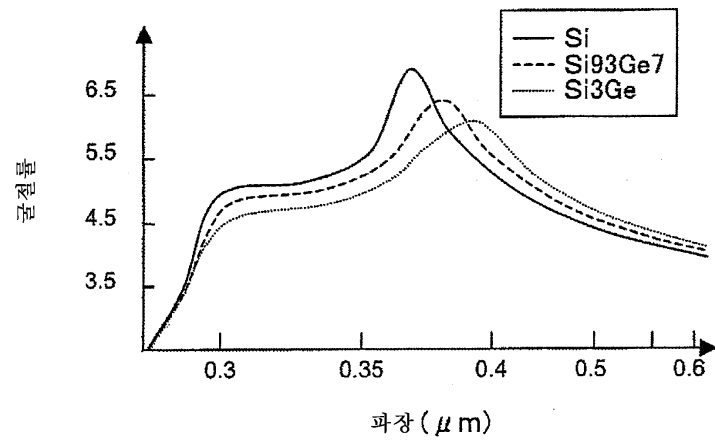
도면26



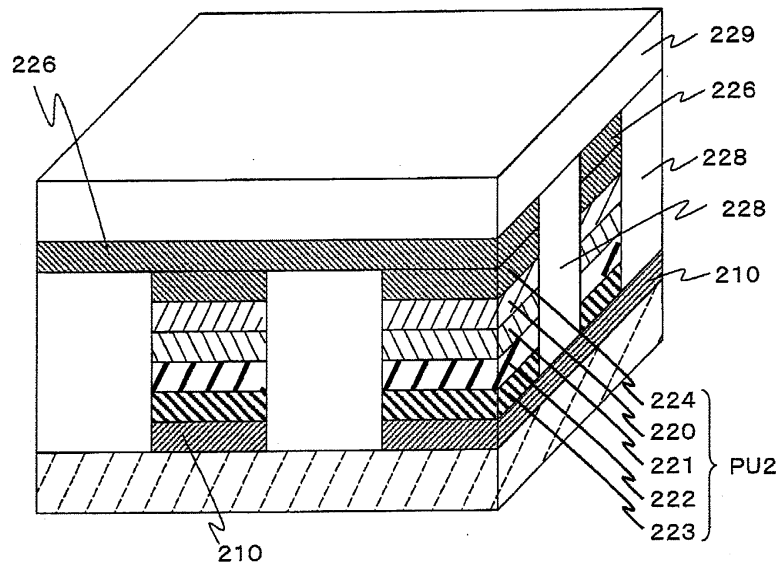
도면27



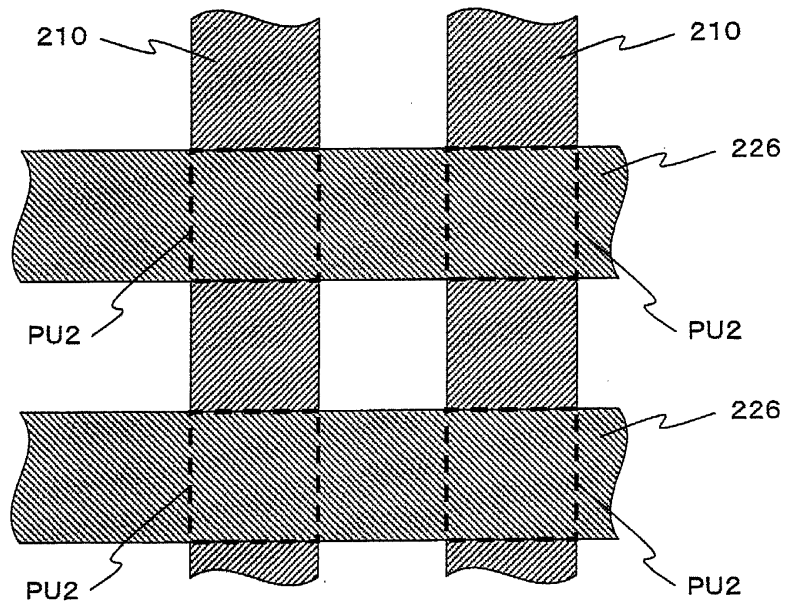
도면28



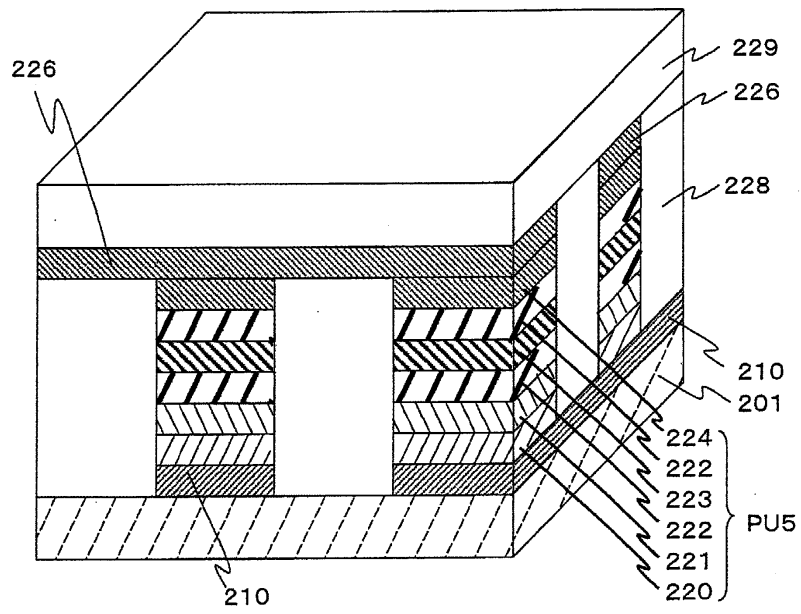
도면29



도면30



도면31



도면32

