

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G06F 12/00 (2006.01)

G11C 7/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510113828.9

[45] 授权公告日 2008 年 7 月 23 日

[11] 授权公告号 CN 100405327C

[22] 申请日 2005. 10. 19

[21] 申请号 200510113828.9

[30] 优先权

[32] 2004. 10. 19 [33] KR [31] 83745/04

[73] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 朴光一 张星珍 宋镐永

[56] 参考文献

US2002/0097625A1 2002. 7. 25

CN1527322A 2004. 9. 8

CN1508804A 2004. 6. 30

US2003/0053342A1 2003. 3. 20

审查员 袁克卿

[74] 专利代理机构 北京市柳沈律师事务所

代理人 吕晓章 李晓舒

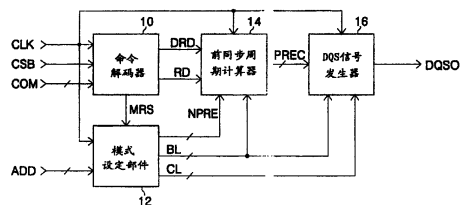
权利要求书 7 页 说明书 13 页 附图 11 页

[54] 发明名称

存储器系统、存储器设备和输出数据选通信号生成方法

[57] 摘要

一种输出数据选通信号生成方法和存储器系统，其包括多个半导体存储器设备；和用于控制半导体存储器设备的存储器控制器，其中，存储器控制器向半导体存储器设备提供命令信号和片选信号。一个或多个半导体存储器设备可以响应命令信号和片选信号而检测读命令和伪读命令，并且根据所计算的前同步周期数来生成一个或多个前同步信号。



1. 一种存储器系统，包括：
多个半导体存储器设备；和
存储器控制器，其被配置来控制多个半导体存储器设备，
其中，所述存储器控制器被配置来向多个半导体存储器设备提供命令信号和片选信号，并且输出多个半导体存储器设备的输出数据选通信号，和
多个半导体存储器设备中的每一个被配置来响应命令信号和片选信号而检测读命令和伪读命令，并且根据所计算的前同步周期数来生成至少一个前同步周期信号。
2. 如权利要求 1 所述的系统，其中所述所计算的前同步周期数是通过将与脉冲时间对应的周期数从表示伪读命令和读命令之间的多个周期的周期数中减去来计算的。
3. 如权利要求 1 所述的系统，其中所述存储器控制器被配置来通过共享线输出多个半导体存储器设备的输出数据选通信号。
4. 如权利要求 1 所述的系统，其中被提供给多个半导体存储器设备中的每一个的片选信号是各自的片选信号。
5. 如权利要求 1 所述的系统，其中被提供给多个半导体存储器设备中的每一个的命令信号接收公共命令信号。
6. 如权利要求 2 所述的系统，其中多个半导体存储器设备中的每一个通过响应于命令信号和片选信号检测至少一个其他半导体存储器设备的读命令来检测伪读命令。
7. 如权利要求 4 所述的系统，其中多个半导体存储器设备中的每一个包括：
命令解码器，其被配置来解码读信号、伪读信号和模式设定信号；
模式设定部分，其被配置来响应模式设定信号而设定脉冲时间信号和 CAS 等待时间信号；和
前同步周期计算器，其被配置来基于所计算的前同步周期数而生成前同步周期信号。
8. 如权利要求 7 所述的系统，其中多个半导体存储器设备中的每一个还包括输出数据选通信号发生器，其被配置来基于 CAS 等待时间信号而延迟所

生成的输出数据选通信号，并且响应读信号而生成输出数据选通信号的选通信号。

9. 如权利要求7所述的系统，其中如果片选信号被激活和命令信号表示读命令，则所述命令解码器生成读信号，并且如果片选信号被去激活和命令信号表示读命令，则所述命令解码器生成伪读信号。

10. 如权利要求7所述的系统，其中所述前同步周期计算器包括：

使能信号发生器，被配置来在与脉冲时间对应的周期期间生成被延迟的使能信号，其响应伪读信号和读信号中的一个而被激活并且响应伪读信号和读信号中的另一个而被去激活；

前同步周期计数器，其被配置来如果使能信号被激活则响应时钟信号而执行计数操作，并且如果使能信号被去激活则停止计数操作以生成所计算的前同步周期数；和

寄存器，其被配置来存储所计算的前同步周期数，并且输出前同步周期信号。

11. 如权利要求10所述的系统，其中所述模式设定部分被进一步配置来响应模式设定信号而设定前同步周期阈值。

12. 如权利要求11所述的系统，其中如果所计算的前同步周期数变成前同步周期阈值，则所述前同步周期计数器被配置为停止计数操作。

13. 如权利要求12所述的系统，其中所述寄存器初始存储前同步周期阈值，响应读信号而存储所计算的前同步周期数，并且输出前同步周期信号。

14. 如权利要求10所述的系统，其中所述使能信号发生器包括：

逻辑和门，其被配置来对伪读信号和读信号进行逻辑和运算；

脉冲时间延迟器，其被配置来根据脉冲时间信号而将逻辑和门的输出信号延迟多个周期；和

锁存器，被配置来生成使能信号，如果脉冲时间延迟器的输出信号被激活，那么其被激活，如果逻辑和门的输出信号被激活，那么其被去激活。

15. 如权利要求14所述的系统，其中所述脉冲时间延迟器包括多个级联的D触发器，并且如果逻辑和门的输出信号被激活，则D触发器被配置为复位。

16. 如权利要求11所述的系统，其中所述前同步周期计算器包括：

第一逻辑乘积门，其被配置来响应比较信号而生成时钟信号；

计数器，如果使能信号被激活则该计数器被配置为使能，执行计数操作，以便响应第一逻辑乘积门的输出信号而生成所计算的前同步周期数，并且如果使能信号被去激活，则该计数器复位；和

比较器，其被配置来将所计算的前同步周期数与前同步周期阈值进行比较，并且生成比较信号。

17. 如权利要求 16 所述的系统，其中所述计数器包括多个触发器，所述多个触发器是级联的并且被配置来响应第一逻辑乘积门的输出信号而执行计数操作。

18. 如权利要求 17 所述的系统，其中每个级联的触发器包括：

第二逻辑乘积门，其被配置来对输入信号和计数输出信号进行与操作以便生成第二逻辑乘积门的输出信号；

异或门，其被配置来对输入信号和计数输入信号进行异或操作；和

D 触发器，其被配置来锁存异或门的输出信号，以便响应时钟信号而生成计数输出信号，

其中使能信号被施加到级联的触发器中的第一个作为输入信号，施加地电压作为级联触发器中的第一个的计数输入信号，并且施加前面的级联的触发器的输出信号和计数输出信号作为后面的级联的触发器的输入信号和计数输入信号。

19. 一种半导体存储器设备，包括：

命令解码器，其被配置来解码读信号、伪读信号、和模式设定信号；

模式设定部分，其被配置来响应模式设定信号而设定脉冲时间信号和 CAS 等待时间信号；和

前同步周期计算器，其被配置来接收读信号、伪读信号和脉冲时间信号，并根据所计算的前同步周期数而生成前同步周期信号。

20. 如权利要求 19 所述的设备，其中所计算的前同步周期数是通过从表示在伪读信号和读信号之间出现的多个周期的周期数中减去与脉冲时间对应的周期数而计算的。

21. 如权利要求 20 所述的设备，其中所述半导体存储器设备还包括输出数据选通信号发生器，其被配置来响应读信号而生成输出数据选通信号，根据 CAS 等待时间信号延迟所生成的输出数据选通信号，并且生成输出数据选通信号的选通信号。

22. 如权利要求 20 所述的设备, 其中如果片选信号被激活和命令信号表示读命令, 则命令解码器生成读信号, 并且如果片选信号被去激活和命令信号表示读命令, 则命令解码器生成伪读信号。

23. 如权利要求 20 所述的设备, 其中所述前同步周期计算器包括:

使能信号发生器, 被配置来根据脉冲时间而生成延迟了多个周期的使能信号, 其响应伪读信号和读信号中的一个而被激活并且响应伪读信号和读信号中的另一个而被去激活;

前同步周期计数器, 其被配置来如果使能信号被激活则响应时钟信号而执行计数操作, 并且如果使能信号被去激活则停止计数操作以生成前同步周期数; 和

寄存器, 其被配置来存储前同步周期数并且输出前同步周期信号。

24. 如权利要求 23 所述的设备, 其中所述模式设定部分被进一步配置来响应模式设定信号而设定前同步周期阈值。

25. 如权利要求 24 所述的设备, 其中如果前同步周期数变成前同步周期阈值, 则所述前同步周期计数器停止计数操作。

26. 如权利要求 25 所述的设备, 其中所述寄存器初始存储前同步周期阈值, 响应读信号而存储所计算的前同步周期数, 并且输出前同步周期信号。

27. 如权利要求 23 所述的设备, 其中所述使能信号发生器包括:

逻辑和门, 其被配置来对伪读信号和读信号进行逻辑和运算;

脉冲时间延迟器, 其被配置来将逻辑和门的输出信号延迟与脉冲时间信号对应的多个周期; 和

锁存器, 被配置来生成使能信号, 如果脉冲时间延迟器的输出信号被激活, 那么其被激活, 如果逻辑和门的输出信号被激活, 那么其被去激活。

28. 如权利要求 27 所述的设备, 其中所述脉冲时间延迟器包括多个级联的 D 触发器, 并且如果逻辑和门的输出信号被激活则 D 触发器被配置为复位。

29. 如权利要求 24 所述的设备, 其中所述前同步周期计数器包括:

第一逻辑乘积门, 其被配置来响应比较信号而生成时钟信号;

计数器, 如果使能信号被激活则该计数器被配置为使能, 执行计数操作, 以便响应第一逻辑乘积门的输出信号而生成所计算的前同步周期数, 并且如果使能信号被去激活, 则该计数器复位; 和

比较器, 其被配置来将所计算的前同步周期数与前同步周期阈值进行比

较，并且生成比较信号。

30. 如权利要求 29 所述的设备，其中所述计数器包括多个触发器，所述多个触发器是级联的并且被配置来响应第一逻辑乘积门的输出信号而执行计数操作。

31. 如权利要求 30 所述的设备，其中每个级联的触发器包括：

第二逻辑乘积门，其被配置来对输入信号和计数输出信号进行与运算以便生成输出信号；

异或门，其被配置来对输入信号和计数输入信号进行异或操作；和

D 触发器，其被配置来锁存异或门的输出信号，以便响应时钟信号而生成计数输出信号，

其中所述使能信号被施加到级联的触发器中的第一个作为输入信号，施加地电压作为级联的触发器中的第一个的计数输入信号，并且施加前面的级联的触发器的输出信号和计数输出信号作为后面的级联的触发器的输入信号和计数输入信号。

32. 一种用于输出输出数据选通信号的方法，所述方法包括：

将命令信号和片选信号施加到多个半导体存储器设备的每一个；

响应命令信号和片选信号而检测读命令和伪读命令；

计算前同步周期数；和

基于所计算的前同步周期数而生成至少一个前同步周期信号。

33. 如权利要求 32 所述的方法，其中计算前同步周期数包括：从表示在伪读命令和读命令之间出现的多个周期的周期数中减去与脉冲时间信号对应的周期数。

34. 如权利要求 33 所述的方法，还包括：

通过共享线输出多个半导体存储器设备的输出数据选通信号。

35. 如权利要求 34 所述的方法，其中施加命令信号和片选信号包括：

将相同的命令信号施加到多个半导体存储器设备的每一个；和

将各个片选信号施加到多个半导体存储器设备的每一个。

36. 如权利要求 34 所述的方法，其中检测读命令和伪读命令包括：在多个半导体存储器设备的每一个处，响应命令信号和片选信号、通过检测至少另一个半导体存储器设备的读命令来检测伪读命令。

37. 如权利要求 36 所述的方法，还包括：

响应命令信号和片选信号而生成输出读信号、伪读信号和模式设定信号；
响应模式设定信号而设定脉冲时间信号、CAS等待时间信号和前同步周期阈值；

响应读信号而生成输出数据选通信号；和

延迟所生成的输出数据选通信号与CAS等待时间信号对应的多个周期。

38. 如权利要求37所述的方法，其中生成所述读信号、伪读信号和模式设定信号包括：如果片选信号被激活和命令信号是表示读命令的信号，则生成读信号，并且如果片选信号被去激活和命令信号是表示读命令的信号，则生成伪读信号。

39. 如权利要求38所述的方法，其中根据所计算的前同步周期数而生成前同步周期信号包括：

生成延迟了与脉冲时间信号对应的多个周期的使能信号，其响应伪读信号和读信号中的一个而被激活，并且响应伪读信号和读信号中的另一个而被去激活；

如果使能信号被激活，则执行计数操作；

如果所计算的前同步周期数变成前同步周期阈值，则停止计数，如果使能信号被去激活则结束所述计数操作以生成所计算的前同步周期数；

存储前同步周期阈值和所计算的前同步周期数；和

生成前同步周期信号。

40. 一种输出数据选通信号生成方法，包括：

响应命令信号和片选信号而生成读信号、伪读信号、和模式设定信号；

响应模式设定信号而设定脉冲时间信号、CAS等待时间信号和前同步周期信号；

计算前同步周期数；和

根据所计算的前同步周期数而生成前同步周期信号。

41. 如权利要求40所述的方法，其中计算前同步周期数包括：从表示在伪读信号和读信号之间出现的多个周期的周期数中减去与脉冲时间对应的周期数。

42. 如权利要求41所述的方法，还包括：

响应读信号而生成输出数据选通信号；

延迟所生成的输出数据选通信号与CAS等待时间信号对应的多个周期；

和

生成输出数据选通信号的选通信号。

43. 如权利要求 41 所述的方法，其中生成读信号、伪信号和模式设定信号包括：如果片选信号被激活和命令信号表示读命令，则生成读信号，并且如果片选信号被去激活和命令信号表示读命令，则生成伪读信号。

44. 如权利要求 43 的方法，其中根据所计算的前同步周期数生成前同步周期信号包括：

生成延迟了与脉冲时间信号对应的多个周期的使能信号，其响应伪读信号和读信号中的一个而被激活，并且响应伪读信号和读信号中的另一个而被去激活；

如果使能信号被激活，则响应时钟信号而执行计数操作；

如果所计算的前同步周期数变成前同步周期阈值，则停止计数操作；

存储前同步周期信号阈值和所计算的前同步周期数；和

生成前同步周期信号。

存储器系统、存储器设备和输出数据选通信号生成方法

本申请要求于2004年10月19日向韩国知识产权局提出的韩国申请第2004-83745号的权益，在此全文引用作为参考。

技术领域

本发明的示例实施例涉及一种生成具有前同步(preamble)信号的输出数据选通信号的存储器系统和半导体存储器设备以及用于生成输出数据选通信号的方法。

背景技术

通常，存储器系统可以包括存储器控制器和半导体存储器设备。在存储器控制器与半导体存储器设备之间的数据传输期间，可以与数据一起生成输入/输出数据选通信号，以便提供输入/输出数据的精确定时。

例如，在双数据速率、四倍数据速率等的半导体设备中，可以与时钟信号的上升沿和/或下降沿同步地执行数据输入/输出。可以与时钟信号同步地生成输入/输出数据选通信号。半导体设备在写操作期间可以用输入数据选通信号来接收取样的输入数据，并且在读操作期间可以使用输出数据选通信号来输出数据。

然而，随着存储器系统的操作速度增加，时钟信号的频率可能增加，因此在初始生成阶段期间，可以与时钟信号同步生成并且可以在读操作期间生成的输出数据选通信号不会从第一输出电压稳定地摆动到第二输出电压。结果，输出数据选通信号和初始生成的数据可能不会一致。

由于前面部分所述，在生成输出数据选通信号的选通信号之前的预定周期期间(例如，固定)，半导体存储器设备可以生成前同步信号，从而能够在选通信号生成的初始阶段期间提供稳定的摆动。结果，输出数据选通信号和发送的数据之间的生成定时可以一致。在生成输出数据选通信号的选通信号之前，前同步信号可以与时钟信号同步。然而，初始生成的前同步信号因为不稳定地摆动而不能与时钟信号同步，并且在预定周期(例如，固定)期间可被触

发以逐渐变得与时钟信号同步。

存储器控制器可以连接到多个半导体存储器设备，并且输出数据选通信号线可以共同连接到输出数据线。如果固定多个半导体存储器设备的数据选通信号的前同步信号的周期数，则因为可以在第二半导体存储器存储设备的读操作之后立即或者近似立即执行第一半导体存储器设备的读操作，则可能出现冲突。因为可以从第二半导体存储器设备中生成输出数据选通信号的前同步信号，同时可以从第一半导体存储器设备中生成输出数据选通信号的选通信号，所以在第一半导体设备的选通信号和第二半导体设备的输出数据选通信号的前同步信号之间发生冲突。

发明内容

本发明的示例实施例可以提供一种存储器系统，其能够在多个半导体存储器设备的读操作期间减少或防止在从一个半导体存储器设备生成的选通信号与从另一半导体存储器设备生成的前同步信号之间的冲突。

本发明的示例实施例可以提供一种能够改变输出数据选通信号的前同步信号的半导体存储器设备。

本发明的示例实施例可以提供一种存储器系统和/或半导体存储器设备的输出数据选通信号生成方法。

本发明的存储器系统的示例实施例可以包括多个半导体存储器设备；和存储器控制器，其被配置来控制多个半导体存储器设备，其中，存储器控制器可以被配置来向多个半导体存储器设备提供命令信号和片选信号，并且输出多个半导体存储器设备的输出数据选通信号。

在存储器系统的示例实施例中，一个或多个半导体存储器设备可被配置来响应命令信号和片选信号而检测读命令，并且根据所计算的前同步周期数来生成前同步信号。

在本发明的存储器系统的示例实施例中，所计算的前同步周期数可以通过将与脉冲时间(burst length)对应的周期数从表示伪读命令和读命令之间出现的周期数的周期数中减去来计算。

本发明的半导体存储器设备的示例实施例可以包括：命令解码器，其被配置来解码读信号、伪读信号、和模式设定信号；模式设定部分，其被配置来响应模式设定信号而设定脉冲时间信号和 CAS 等待时间信号；和前同步周

期计算器，其被配置来根据所计算的前同步周期数而生成前同步周期信号。

根据本发明的包括至少两个半导体存储器设备和控制多个半导体存储器设备的存储器控制器的存储器系统的输出数据选通信号生成方法的示例实施例可以包括：将命令信号和片选信号施加到半导体存储器设备；响应命令信号和片选信号而检测读命令和伪读命令；计算前同步周期数；和基于所计算的前同步周期数而生成至少一个前同步信号。

根据本发明的半导体存储器设备的输出数据选通信号发生方法的示例实施例可以包括：响应命令信号和片选信号而生成读信号、伪读信号、和模式设定信号；响应模式设定信号而设定脉冲时间信号、CAS等待时间信号和前同步周期信号；计算前同步周期数；和根据所计算的前同步周期数而生成前同步周期信号。

应当理解，本发明的示例实施例的前述一般描述以及本发明示例实施例的下述详细描述不会限制本发明。

附图说明

根据结合附图对以下本发明的示例性实施例的说明，本发明的示例性实施例将更为明显以及更容易理解。

图1是根据本发明的存储器系统的示例实施例的方框图。

图2是图1的存储器系统的示例实施例的半导体存储器设备的示例实施例的方框图。

图3是图2的半导体存储器设备的示例实施例的命令解码器的示例实施例的方框图。

图4A是图2的半导体存储器设备示例实施例的前同步周期计算器的示例实施例的方框图；

图4B是图2的半导体存储器设备示例实施例的前同步周期计算器的示例实施例的方框图；

图5是图4A和4B所示的计数使能信号发生器的示例实施例的方框图；

图6是图5所示的脉冲时间延迟器的示例实施例的方框图；

图7A是图4A所示的前同步周期计数器的示例实施例的方框图；

图7B是图4B所示的前同步周期计数器的示例实施例的方框图；

图8是图7A和7B所示的触发器的示例实施例的方框图；和

图 9 是图解说明根据本发明的示例实施例的操作的时序图。

具体实施方式

现在将参考附图来更全面地描述本发明的示例实施例。然而，本发明可以以不同方式来体现，并且不能被曲解为限于这里所阐述的示例实施例。相反，提供所述示例实施例以便向本领域的普通技术人员阐明本发明的范围。

图 1 是图解说明了根据本发明的存储器系统的示例实施例的方框图。图 1 所示的存储器系统的示例实施例可以包括存储器控制器 100 和 n 个半导体存储器设备 200-1 至 200- n 。

存储器控制器 100 的示例实施例可以输出下列中的一个或多个：片选信号 CSB1 至 CSB n ；时钟信号 CLK；命令信号 COM；寻址信号 ADD；输入数据信号 DIN；和输入数据选通信号 DQSI。片选信号 CSB1 至 CSB n 可被反转。存储器控制器 100 的示例实施例可以接收输出数据信号 DOUT 和/或输出数据选通信号 DQSO。 n 个半导体存储器设备 200-1 至 200- n 的示例实施例可以接收命令时钟信号 CLK、命令信号 COM、寻址信号 ADD、输入数据信号 DIN、和/或输入数据选通信号 DQSI。 n 个半导体存储器设备 200-1 至 200- n 的示例实施例中的每一个可以接收不同的被反转的片选信号 CSB1 至 CSB n 。 n 个半导体存储器设备 200-1 至 200- n 的示例实施例中的每一个可以输出输出数据选通信号 DQSO 和/或输出数据信号 DOUT。

在图 1 所示的示例实施例中，本发明的存储器系统的示例实施例可以基于片选信号 CSB1 至 CSB n (例如) 选择 n 个半导体存储器设备 200-1 至 200- n 中的一个。存储器系统的示例实施例也可以响应时钟信号 CLK、命令信号 COM 和寻址信号 ADD 中的任意一个或者组合，对半导体存储器设备 200-1 至 200- n 中的被选的一个执行写操作和/或读操作。

图 2 图解说明了图 1 的存储器系统的示例实施例的半导体存储器设备的示例实施例的方框图。图 2 示出了可以涉及生成输出数据选通信号 DQSO 的组件。如图 2 所示，半导体存储器设备的示例实施例可以包括命令解码器 10、模式设定部分 12、前同步周期计算器 14、和/或输出数据选通信号发生器 16。

命令解码器 10 的示例实施例可以接收和解码片选信号 CSB 和/或命令信号 COM，以便响应时钟信号 CLK 而生成伪读信号 DRD、读信号 RD 和模式设定信号 MRS 中的至少一个。

模式设定部分 12 的示例实施例可以接收和解码寻址信号 ADD, 以便响应模式设定信号 MRS 而生成脉冲时间 (burst length) 信号 BL、CAS 等待时间信号 CL、和最大前同步周期信号 NPRE 的至少一个。响应模式设定信号 MRS 而可被施加的寻址信号 ADD 可以是模式设定代码。最大前同步周期信号 NPRE 表示最大前同步周期数。脉冲时间信号 BL 可以是表示脉冲时间的信号, CAS 等待时间信号 CL 可以是表示 CAS 等待时间的信号。例如, 如果输入了对应于脉冲时间 4 的模式设定代码, 则模式设定部分 12 的示例实施例可以设定脉冲时间信号 BL4 为高电平, 如果输入了对应于脉冲时间 8 的模式设定代码, 则模式设定部分 12 的示例实施例可以设定脉冲时间信号 BL8 为高电平。或者, 当输入了对应于脉冲时间 4 的模式设定代码时, 模式设定部分 12 的示例实施例可被配置来将脉冲时间信号 BL4 设定为低电平, 并且当输入了对应于脉冲时间 8 的模式设定代码时, 模式设定部分 12 的示例实施例可被配置来将脉冲时间信号 BL8 设定为低电平。最大前同步周期数、脉冲时间和 CAS 等待时间中的一个或多个可以根据设计偏好而在设备间或者系统间不同。

前同步周期计算器 14 的示例实施例可以接收伪读信号 DRD、读信号 RD、最大前同步周期信号 NPRE、和脉冲时间信号 BL 中的至少一个, 并且可以计算可被用来生成前同步周期信号 PREC 的前同步周期数。前同步周期计算器 14 可以通过将与脉冲时间近似对应的周期数从与伪读信号 DRD 和读信号 RD 之间的周期数近似对应的周期数中减去来计算前同步周期数。

通过将与脉冲时间近似对应的周期数从与伪读信号 DRD 和读信号 RD 之间的周期数近似对应的周期数中减去来计算前同步周期数仅仅是如何计算前同步周期数的一个示例实施例, 并且应当理解上述计算方法不是用来限制本发明的。

可以使用所计算的前同步周期数来生成前同步周期信号 PREC。本发明的示例实施例可被配置使得所计算的前同步周期数可以不超过最大前同步周期数(例如, 前同步周期阈值)。

输出数据选通信号发生器 16 的示例实施例可以接收前同步周期数 PREC、脉冲时间信号 BL、和 CAS 等待时间信号 CL 中的至少一个, 以便生成输出数据选通信号 DQSO。输出数据选通信号发生器 16 的示例实施例可以生成具有近似对应于所计算的前同步周期数的周期数的前同步信号, 并且可

以生成具有近似对应于脉冲时间的周期数的选通信号。在施加了读命令之后，所生成的选通信号可以在对应于CAS等待时间的周期期间被延迟并且可以与时钟信号CLK同步地生成。

图3是图解说明了图2的半导体存储器设备的示例实施例的命令解码器的示例实施例的方框图。图3的命令解码器的示例实施例可以包括伪读命令检测器10-1、读命令检测器10-2、和/或模式设定命令检测器10-3。

伪读命令检测器10-1的示例实施例可以根据片选信号CSB、行地址选通信号RASB、列地址选通信号CASB和写使能信号WEB中的至少一个来生成伪读信号DRD。片选信号CSB、行地址选通信号RASB、列地址选通信号CASB和写使能信号WEB可以都是反转的信号。例如，如果反转的片选信号CSB具有高电平，并且在时钟信号CLK的上升和/或下降沿施加具有高电平的反转的写使能信号WEB、反转的行地址选通信号RASB、和反转的列地址选通信号CASB，则伪读命令检测器10-1的示例实施例可以生成伪读信号DRD。片选信号CSB、行地址选通信号RASB、列地址选通信号CASB和写使能信号WEB可以是或者可以不是反转的信号，并且可以响应各种信号电平(例如，高、低、正和负)。

读命令检测器10-2的示例实施例可以根据片选信号CSB、行地址选通信号RASB、列地址选通信号CASB和写使能信号WEB中的至少一个来生成读信号RD。例如，如果反转的片选信号CSB具有低电平，并且在时钟信号CLK的上升和/或下降沿施加具有高电平的反转的写使能信号WEB、反转的行地址选通信号RASB、和反转的列地址选通信号CASB，则读命令检测器10-2的示例实施例可以生成读信号RD。

模式设定命令检测器10-3的示例实施例可以根据片选信号CSB、行地址选通信号RASB、列地址选通信号CASB和写使能信号WEB中的至少一个来生成模式设定信号MRS。例如，如果向模式设定命令检测器10-3的示例实施例施加具有低电平的反转的写使能信号WEB、反转的片选信号CSB、和反转的行地址选通信号RASB、反转的列地址选通信号CASB，则模式设定命令检测器10-3的示例实施例可以生成模式设定信号MRS。

在图3的命令解码器的示例实施例中，伪读命令检测器10-1的示例实施例、读命令检测器10-2的示例实施例和模式设定命令检测器10-3的示例实施例中的每一个共享相同的时钟信号CLK、片选信号CSB、行地址选通信号

RASB、列地址选通信号 CASB 和写使能信号 WEB。在命令解码器的替换实施例中,伪读命令检测器 10-1、读命令检测器 10-2 和模式设定命令检测器 10-3 可以不共享相同的时钟信号 CLK、片选信号 CSB、行地址选通信号 RASB、列地址选通信号 CASB 和写使能信号 WEB。

图 4A 是图解说明了图 2 的半导体存储器设备示例实施例的前同步周期计算器的示例实施例的方框图。图 4A 所示的前同步周期计算器的示例实施例可以包括计数器使能信号发生器 14-1、前同步计数器 14-2、和寄存器 14-3。

计数器使能信号发生器 14-1 的示例实施例可以响应伪读信号 DRD 和/或读信号 RD 来生成触发使能信号 EN。例如,在对应于脉冲时间的周期期间可以延迟所生成的使能信号 EN,如果输入了伪读信号 DRD 和/或读信号 RD 则可以激活所生成的使能信号 EN,并且响应后来的(例如,下一个)伪读信号 DRD 和/或读信号 RD 可以去激活所生成的使能信号 EN。触发使能信号 EN 的激活和去激活可以是触发使能信号 EN 从第一电平转变为第二电平的形式,其中第一电平可以对应于高电平,而上面讨论的第二电平可以对应于低电平,反之亦然。

前同步周期计数器 14-2 的示例实施例可以响应使能信号 EN 而激活和/或去激活,并且可以根据时钟信号 CLK 执行计数操作。而且,如果计数值对应于指定的前同步周期数,则前同步周期计数器 14-2 的示例实施例可以停止计数。前同步周期计数器 14-2 的示例实施例可被配置来以各种方式执行计数操作。例如,前同步周期计数器 14-2 可被配置来根据前同步周期计数器 14-2 的设计、利用常数和/或可变增量来进行递增和/或递减。

寄存器 14-3 的示例实施例可被配置来存储和生成各种值和/或信号。例如,寄存器 14-3 的示例实施例可以响应读信号 RD 而初始存储最大周期信号 NPRES 和/或前同步周期计数器 14-2 输出的值,并且可以生成前同步周期信号 PREC。

图 4B 是图解说明了图 2 的半导体存储器设备示例实施例的前同步周期计算器的示例实施例的方框图。在图 4B 中,图 4A 的前同步周期计数器 14-2 被前同步周期计数器 14-2' 的示例实施例代替。图 4A 和 4B 中的相同附图标记代表相同的部分,因此省略相同部分的描述。

如前所讨论的,前同步周期计数器 14-2 的示例实施例可以响应使能信号 EN 而被使能,并且可以根据时钟信号 CLK 而执行计数操作。前同步周期计

数器 14-2' 的示例实施例可被配置来计数至预定值(例如, 前同步周期阈值)。前同步周期计数器 14-2' 的示例实施例可被配置来使用常数和/或可变增量递增和/或递减至预定值。

图 5 是图解说明了图 4A 和 4B 所示的计数使能信号发生器的示例实施例的方框图。图 5 所示的计数使能信号发生器的示例实施例可以包括逻辑和门 20、脉冲时间延迟器 22 和锁存器 24。

逻辑和门 20 的示例实施例可以包括或非门 NOR 和反转器 I1。逻辑和门 20 的示例实施例可以将伪读信号 DRD 和读信号 RD 相加来生成信号 b。

脉冲时间延迟器 22 的示例实施例可以在近似对应于脉冲时间信号 BL 的多个周期期间延迟逻辑和门 20 的示例实施例的输出信号 b, 并且响应时钟信号 CLK 而生成信号 a, 并且可以响应信号 bb 而复位。例如, 在半导体存储器设备以双数据速率操作的示例实施例中, 如果脉冲时间是 4, 则可以在两个周期期间执行延迟, 以及如果脉冲时间是 8, 则可以在四个周期期间执行延迟。

锁存器 24 的示例实施例可以包括反转器 I2 和 I3 以及与非门 NA1 和 NA2。如图 5 所示的锁存器 24 的示例实施例在信号 a 被激活时可以激活使能信号 EN, 并且如果信号 b 被激活时可以去激活使能信号 EN。

或者, 锁存器的实施例可被配置来当信号 a 被去激活时去激活使能信号 EN, 并且如果信号 b 被去激活则可以激活使能信号 EN(例如)。根据各个信号的电平, 可以确定激活和/或去激活信号 a 和 b。例如, 如果信号 a 对应于第一电平, 则信号 a 可被确定为被激活, 如果信号 a 对应于第二电平, 则信号 a 可被认为是去激活。信号 a 的第一电平可以对应于高电平, 信号 a 的第二电平可以对应于低电平, 反之亦然。

图 6 是图解说明了图 5 所示的脉冲时间延迟器的示例实施例的方框图。图 6 的脉冲时间延迟器的示例实施例可以包括 D 触发器 DF1 至 DF4 以及开关 SW1 至 SW4。根据本发明的示例实施例, 脉冲时间可以变化。例如, 如果脉冲时间被设定为 4, 则脉冲时间信号 BL4 可以具有高电平, 并且如果脉冲时间被设定为 8, 则脉冲时间信号 BL8 可以具有高电平。而且, 如果脉冲时间信号 BL4 具有高电平和脉冲时间信号 BL8 具有低电平, 则开关 SW1 可以接通, 而开关 SW2 至 SW4 可以断开。因此, D 触发器 DF1 和 DF2 可以操作来在两个周期期间延迟信号 b 以生成信号 a, 并且可以响应信号 bb 而复位。

根据第二示例, 如果脉冲时间信号 BL4 具有低电平而脉冲时间信号 BL8 具有高电平, 则开关 SW1 可以关断, 并且开关 SW2 至 SW4 可以接通。因此, 四个 D 触发器 DF1 至 DF4 在四个周期期间可以延迟信号 b, 以便响应时钟信号 CLK 而生成信号 a, 并且可以响应信号 b 而复位。

图 7A 是图解说明了图 4A 所示的前同步周期计数器的示例实施例的方框图。前同步周期计数器的示例实施例可以包括逻辑乘积门 30、计数器 32 和比较器 34。

逻辑乘积门 30 的示例实施例可以包括与非门 NA3 和反转器 14。逻辑乘积门 30 的示例实施例可以响应信号 c 而生成时钟信号 CLK。

计数器 32 的示例实施例可以包括触发器 FF1 至 FF3。计数器 32 的示例实施例可以响应使能信号 EN 而复位。根据图 7A 中的示例实施例, 如果生成了具有高电平的使能信号 EN, 则计数器 32 可以执行计数操作, 以便响应逻辑乘积门 30 的输出信号而生成 3 位信号 Q1 至 Q3。3 位信号 Q1 至 Q3 可以对应于前同步周期数。

如果 3 位信号 Q1 至 Q3 对应于最大前同步周期信号 NPRES1、NPRES2 和 NPRES3, 则比较器 34 的示例实施例可以生成具有低电平的信号 c。例如, 如果比较器 34 的示例实施例生成具有低电平的信号 c, 则逻辑乘积门 30 的输出信号具有低电平, 并且因此触发器 FF1 至 FF3 可以不计数。结果, 信号 Q1 至 Q3 可以保持先前的信号 Q1 至 Q3, 直到使能信号 EN 被禁能(例如, 低信号电平)。如果使能信号 EN 被禁能(例如低信号电平), 则信号 Q1 至 Q3 可被复位至低电平。例如, 如果最大前同步周期信号 NPRES 是 “101”, 则计数器 32 的示例实施例可以响应时钟信号 CLK 而计数至 “101”, 同时使能信号 EN 维持高电平, 并且之后维持 “101”, 因为在生成时钟信号 CLK 的逻辑乘积门 30 的示例实施例上由于比较器 34 的示例实施例的影响而没有生成时钟信号 CLK。如果使能信号 EN 被禁能(例如, 低电平), 则信号 Q1 至 Q3 可被复位至例如 “000”。

在图 7B 中, 图 7A 的比较器 34 的示例实施例被比较器 34' 的示例实施例代替。图 7A 和 7B 的相同附图标记表示相同部分, 因此省略相同部分的描述。

如果 3 位信号 Q1 至 Q3 具有预定值, 则比较器 34' 的示例实施例可以生成具有低电平的信号 c。例如, 如果 3 位信号 Q1 至 Q3 对应于 “101” 或者 “110”, 则比较器 34' 的示例实施例可被设计来检测 “101” 或者 “110”, 以便生成具

有低电平的信号 c。比较器 34' 的示例实施例可以包括简单的逻辑门，例如反转器或与非门。

图 8 是图解说明了图 7A 和 7B 所示的触发器的示例实施例的图。如图 8 所示的触发器的示例实施例可以包括逻辑乘积门 40、异或门 XOR、和 D 触发器 DF5。

逻辑乘积门 40 的示例实施例可以包括与非门 NA4 和反转器 I5。逻辑乘积门 40 的示例实施例可以将施加到输入端 C_i 和计数输出端 Q_i 的信号进行“与”(AND)运算，以便在输出端 C_o 处生成输出信号。

或非门 XOR 可以“或非”(XOR)输入端 C_i 和计数输入端 Q_{i-1} ，并且如果两个信号相同则可以生成具有低电平的信号，以及如果两个信号不同则可以生成具有高电平的信号。

D 触发器 DF5 可以响应于被施加到复位端 RE 的使能信号 EN 的下降沿而被复位，并且可以响应时钟信号 CLK 而锁存要输出至计数输出端 Q_i 的或非门的输出信号。如果具有高电平的信号被施加到输入端 C_i 和计数输出端 Q_i ，则图 8 的触发器的示例实施例可以生成到输出端 C_o 的具有高电平的信号，如果施加到输入端 C_i 的信号与施加到计数输入端 Q_{i-1} 的信号不同，则图 8 的触发器的示例实施例可以锁存具有高电平的信号，以便响应时钟信号 CLK 而生成具有高电平的计数输出信号 Q_i 。

图 5-8 使用特定的逻辑运算器(例如，反转器 I1-I5、D 触发器 DF1-DF4 等)来图解说明了本发明的示例实施例。然而，应当理解，可以使用各种逻辑运算器及其组合，因此图 5-8 是本发明的示例实施例，而不用来限制本发明。

图 9 是图解说明了根据本发明的半导体存储器设备的示例实施例的操作时序图。具体地，图 9 示出了半导体存储器设备的示例实施例的操作，其中存储器控制器 100 的示例实施例连接到半导体存储器设备 200-1 和 200-2 的示例实施例。半导体存储器设备的示例实施例以双数据速率操作，CAS 等待时间可以被设定为 6，脉冲时间可以被设定为 4，以及最大前同步周期信号 NPRES 可以被设定为“100”。

在图 9 中，CLK 和 COM 可以分别表示时钟信号和命令信号，它们可被共同地施加到半导体存储器设备 200-1 和 200-2 的示例实施例。CSB1 可以表示被施加到半导体存储器设备 200-1 的示例实施例的反转的片选信号，并且 CSB2 可以表示被施加到半导体存储器设备 200-2 的示例实施例的反转的片选

信号。RD1、DRD1、EN1、Q11至Q13和PREC1可以表示由半导体存储器设备200-1的示例实施例内部生成的信号，以及RD2、DRD2、EN2、Q21至Q23和PREC2可以表示由半导体存储器设备200-2的示例实施例内部生成的信号。DQSO和DOUT可以表示从半导体存储器设备200-1和200-2的示例实施例分别输出的输出数据选通信号和输出数据。

根据代表本发明示例实施例的图9中的时序图，在时钟信号的上升沿处施加具有低电平的可以表示读命令的反转的片选信号CSB1和命令信号COM，半导体存储器设备200-1的示例实施例的命令解码器10的示例实施例可以生成读信号RD1，并且半导体存储器设备200-2的示例实施例的命令解码器10的示例实施例可以生成伪读信号DRD2。半导体存储器设备200-1的示例实施例的寄存器14-3的示例实施例可以接收前同步周期计数器14-2或14-2'的示例实施例输出的信号Q11至Q13，其设定的初始值可以是“100”，以便响应读信号RD1而生成信号Q11至Q13作为前同步周期信号PREC1。

因此，半导体存储器设备200-1的示例实施例可以在时间段T1期间生成4周期的前同步信号，并且在时间段T2期间可以生成输出数据DOUT和选通信号。

在延迟了对应于脉冲时间(例如两个周期)的周期之后，半导体存储器设备200-1和200-2的每个示例实施例的计数器使能信号发生器14-1的示例实施例可以激活使能信号EN1和EN2。半导体存储器设备200-1和200-2的每个示例实施例的前同步周期计数器14-2或14-2'的示例实施例可以响应时钟信号CLK而执行计数操作。在施加了可以表示第一读命令的命令信号COM之后过去3个周期之后，如果在时钟信号CLK的上升沿处施加具有低电平的可以表示读命令的命令信号COM和反转的片选信号CSB2，半导体存储器设备200-2的示例实施例的命令解码器10的示例实施例可以生成读信号RD2，并且半导体存储器设备200-1的示例实施例的命令解码器10的示例实施例可以生成伪读信号DRD1。因此，半导体存储器设备200-1和200-2的每个示例实施例的计数器使能信号发生器14-1的示例实施例可以去激活使能信号EN1和EN2。半导体存储器设备200-1和200-2的每个示例实施例的前同步周期计数器14-2或14-2'的示例实施例可以停止计数操作，并且可以生成“001”的信号Q11至Q13。半导体存储器设备200-2的示例实施例的寄存器14-3可以接收信号“001”，以便响应读信号RD2而生成前同步周期信号PREC2。因

为读信号 RD2 在从伪读信号 DRD2 的 3 个周期之后可被使能以及脉冲时间 BL 可以是对应于两个周期的 4，因此前同步周期可以是一个周期，这是通过从三个周期减去两个周期而获得的。

因此，半导体存储器设备 200-2 的示例实施例可以在时间段 T3 期间生成一个周期的前同步信号，并且可以在时间段 T4 期间生成输出数据 DOUT 和选通信号。

根据本发明的示例实施例的上述示例操作，半导体存储器设备 200-1 的示例实施例可以生成 3 个周期的前同步信号，因为在时间段 T5 期间生成了前同步周期信号 PREC1 “011”，并且可以在时间段 T6 期间生成输出数据 DOUT 和选通信号。因为读信号 RD1 在从伪读信号 DRD1 的五个周期之后可被使能，并且脉冲时间 BL 为对应于两个周期的 4，因此前同步周期可以是 3 个周期，这是通过从五个周期减去两个周期而获得的。在时间段 T7 期间，半导体存储器设备 200-2 的示例实施例不会生成前同步信号，因为“000”的前同步周期信号 PREC2 生成输出数据 DOUT 和选通信号。时间段 T7 的选通信号变成半导体存储器设备 200-2 的前同步信号，因此从半导体存储器设备 200-2 的示例实施例输出的输出数据 DOUT 在时间段 T6 期间在时间上与选通信号一致。因为读信号 RD2 在从伪读信号 DRD2 的二个周期之后可被使能，并且脉冲时间 BL 为对应于两个周期的 4，因此前同步周期可以是零个周期，这是通过从二个周期减去两个周期而获得的。

用对应于脉冲时间的周期的延迟时间，存储器控制器 100 的示例实施例可以持续地施加读命令至半导体存储器设备 200-1 和 200-2。因此，可以改善数据总线的效率。

如图 9 的示例操作时序图所示，在本发明的存储器系统的示例实施例中，可以改变前同步周期，因此，从半导体存储器设备 200-1 和 200-2 的两个示例实施例输出的前同步信号和选通信号之间的冲突可能不会发生。

在上述的示例实施例中，存储器控制器 100 可以连接至两个半导体存储器设备 200-1 和 200-2。然而，本发明的示例实施例的示教可应用于其中存储器控制器连接到三个或更多个半导体存储器设备的示例实施例。

在半导体存储器设备的示例实施例的输出数据选通信号生成方法的示例实施例中，半导体存储器设备的示例实施例以双数据速率、四倍数据速率等操作，并且脉冲时间可以变化(例如，4、6、8 等)。然而，本发明的示例实施

例的示教可应用于其中半导体存储器设备以单倍或保护 (guard) 数据速率操作并且脉冲时间固定的情况。例如, 在脉冲时间固定的情况下, 可以实现本发明的示例实施例, 从而可以设计图 5 的脉冲时间延迟以在对应于固定响应时间的周期的期间延迟。

在本发明的上述示例实施例中, 存储器控制器的示例实施例连接到多个半导体存储器设备。然而, 本发明可应用于示例实施例, 其中存储器控制器的示例实施例连接到存储器模块。如果存储器控制器的示例实施例连接到双列 (dual rank) 存储器模块, 可以通过不同的线将片选信号分别施加到模块的前部和后部, 并且在存储器控制器的示例实施例与模块的前部和后部之间可以通过公共线发送其他信号。

如前所述, 本发明的存储器系统的示例实施例可以减少或防止从半导体存储器设备的一个示例实施例生成的选通信号与从半导体存储器设备的另一示例实施例生成的前同步信号之间的冲突, 从而半导体存储器设备的多个示例实施例中的每一个可以检测半导体存储器设备的其他示例实施例的读操作, 从而改变前同步周期的数量。

根据本发明的半导体存储器设备的示例实施例及其输出数据选通信号生成方法的示例实施例可以增加数据总线的效率。

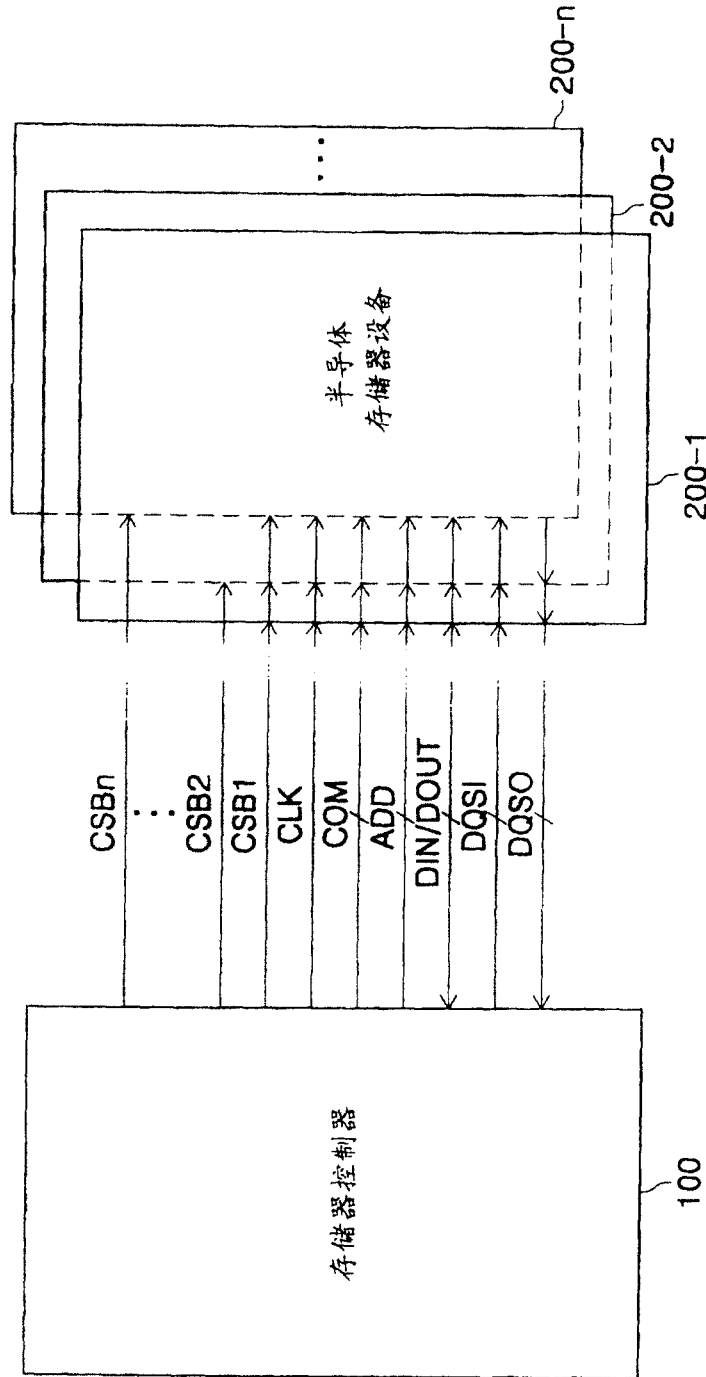


图 1

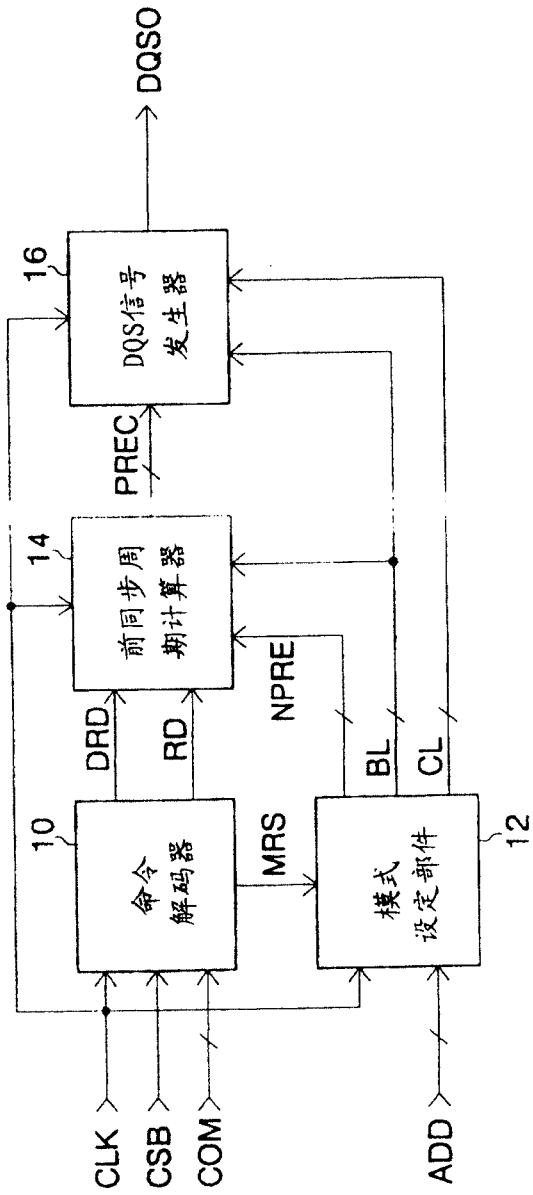


图 2

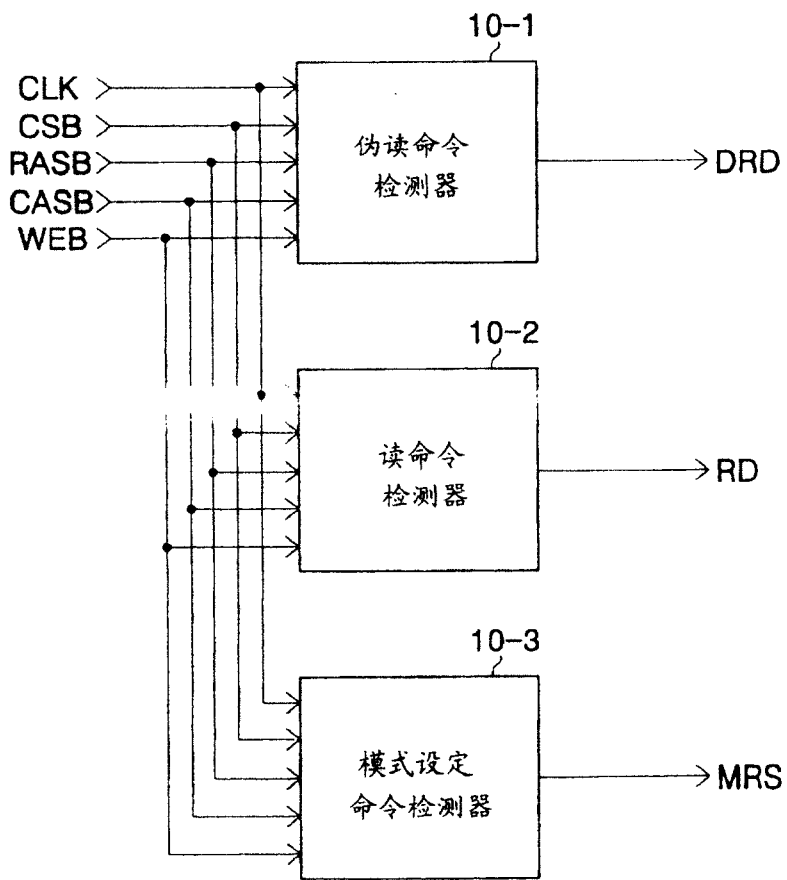


图 3

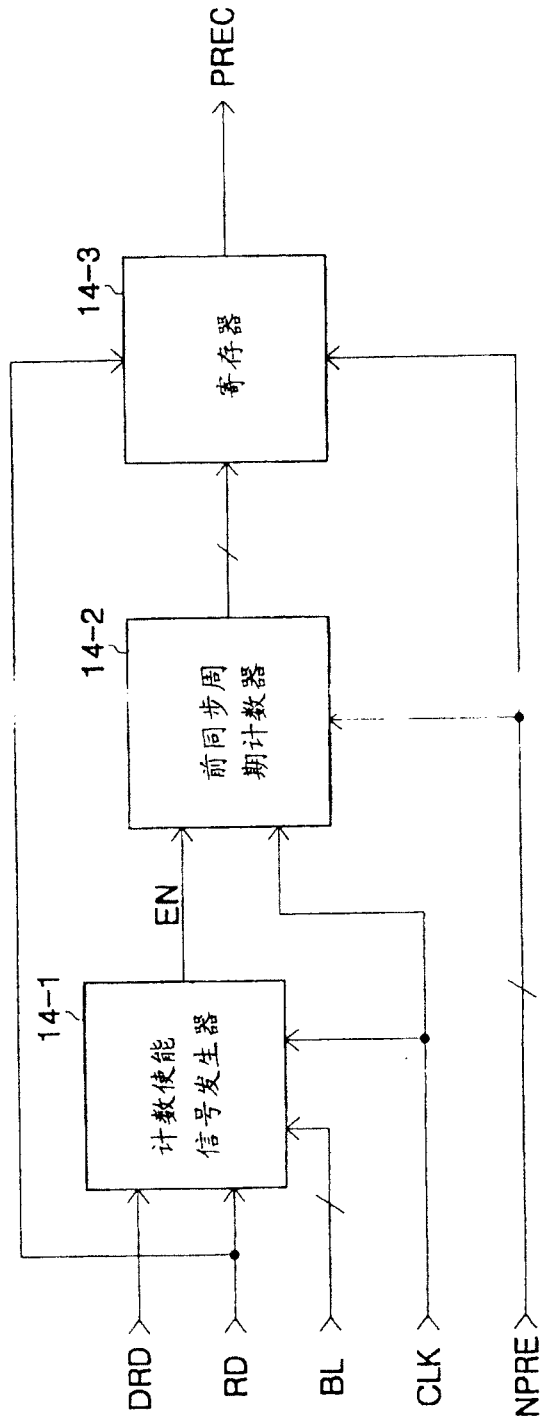


图 4A

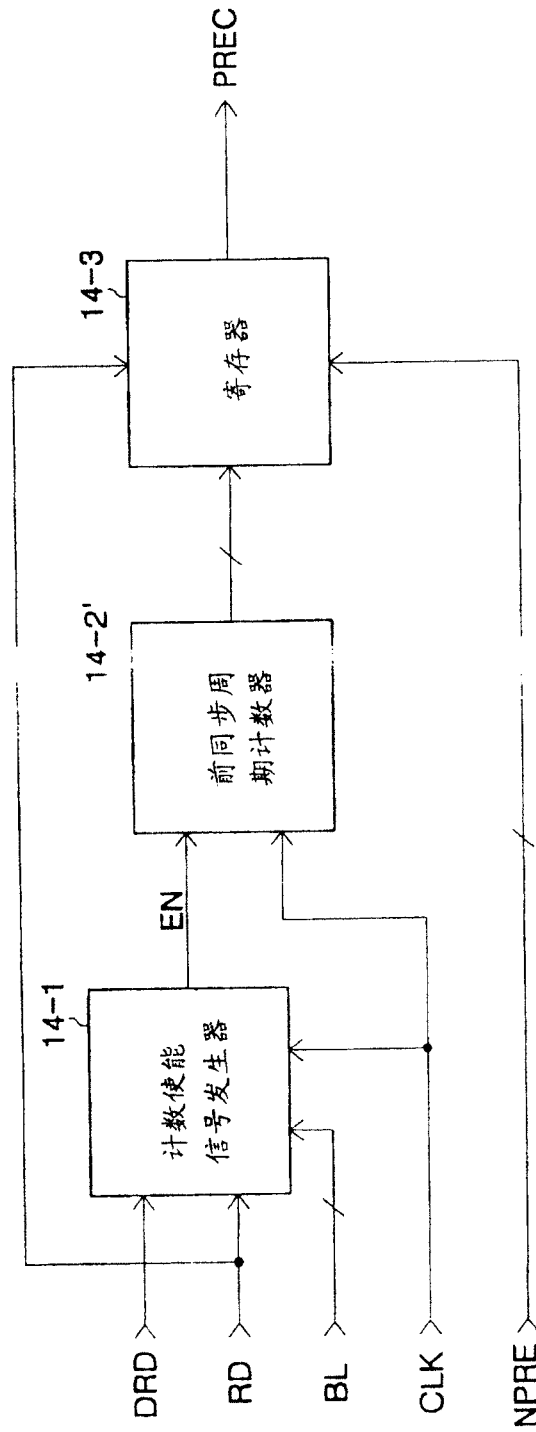


图 4B

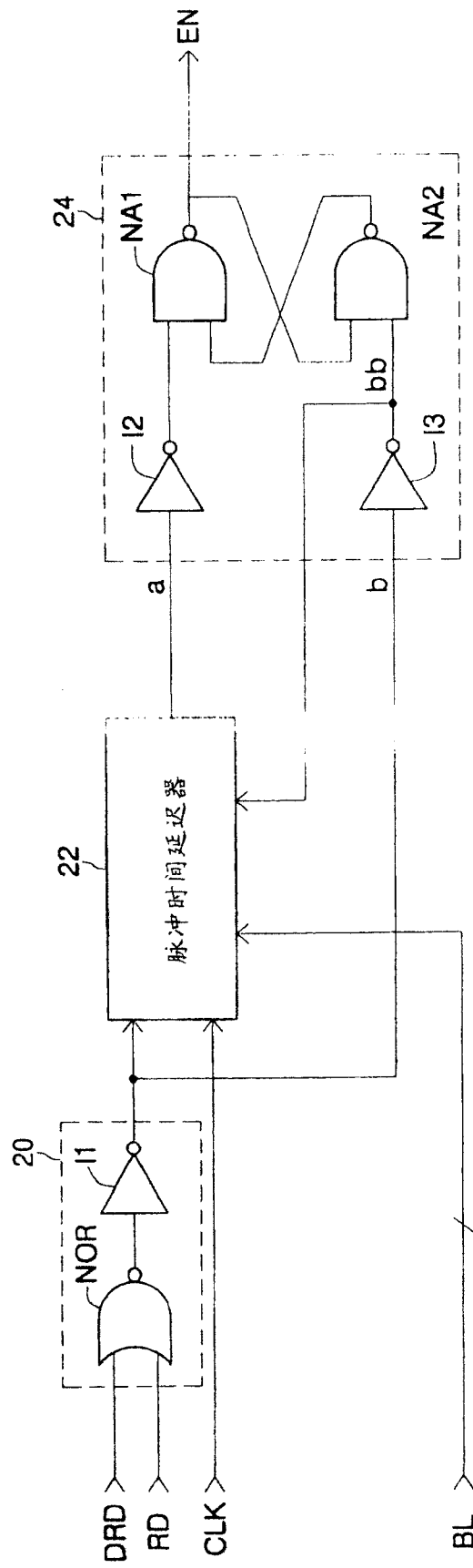


图 5

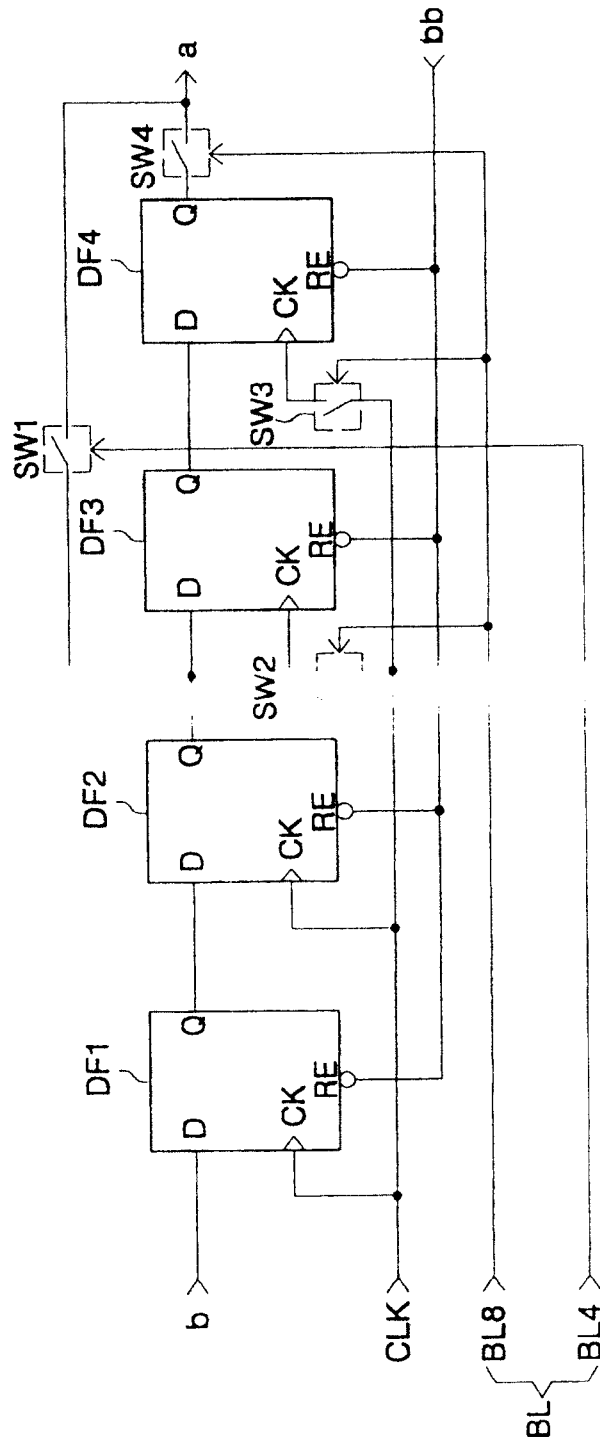


图 6

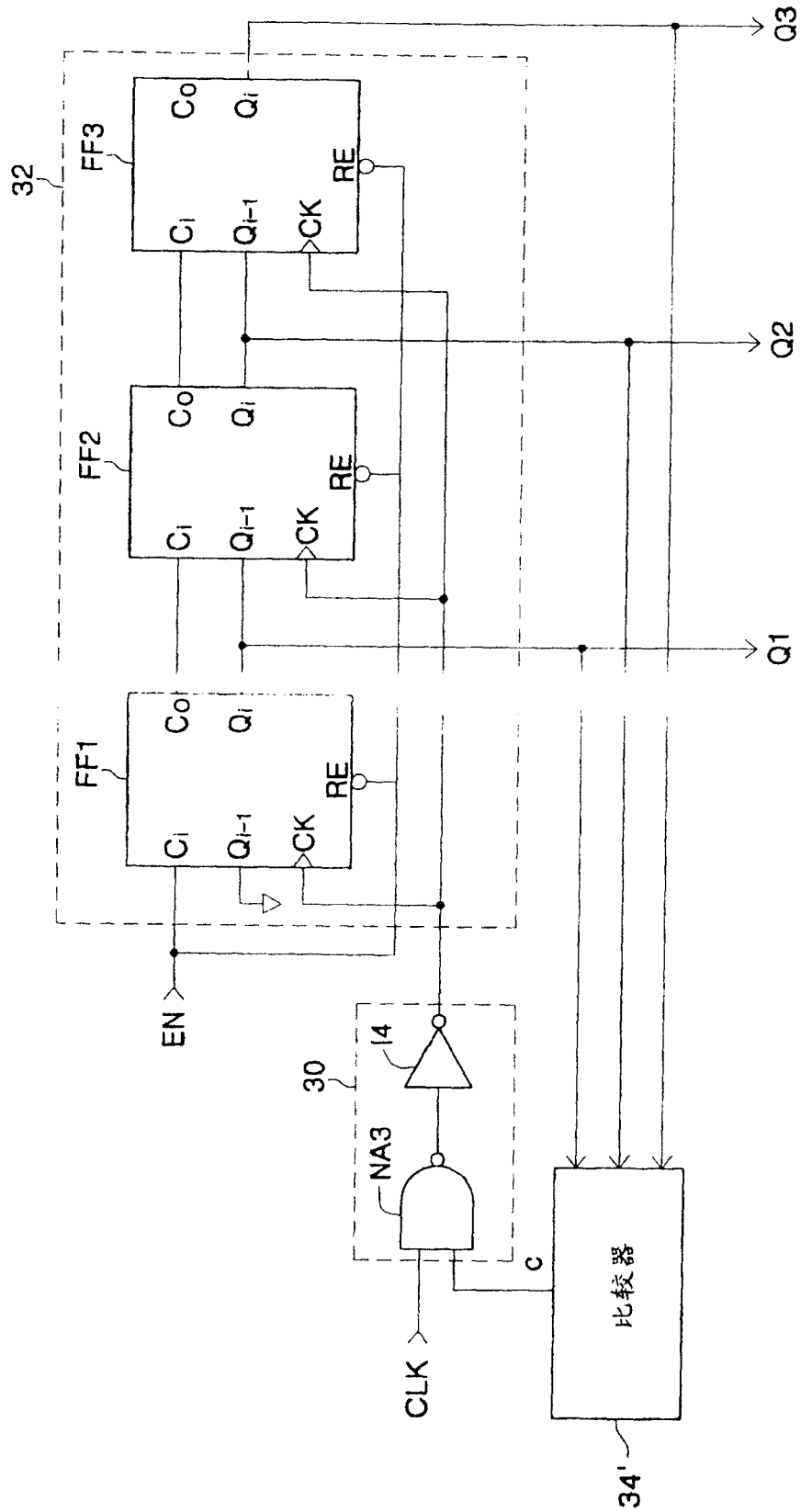


图 7B

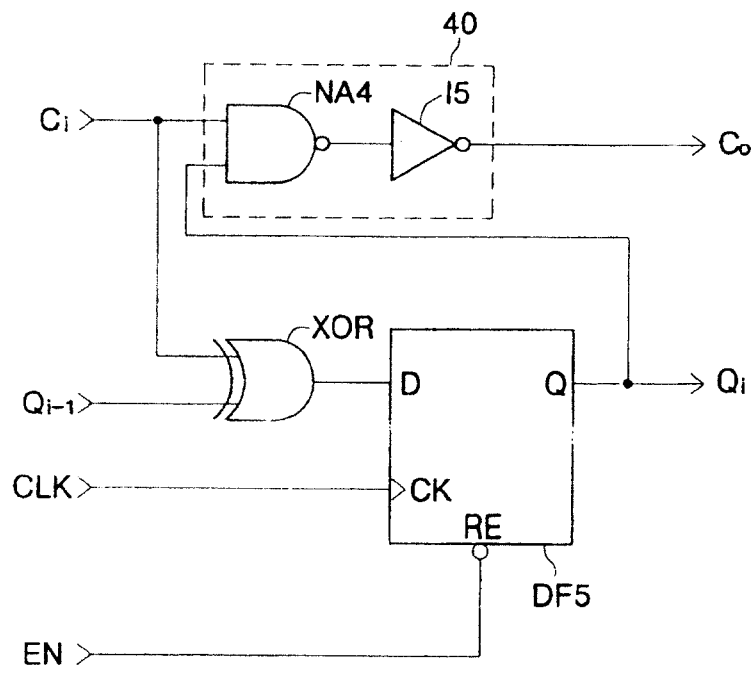


图 8

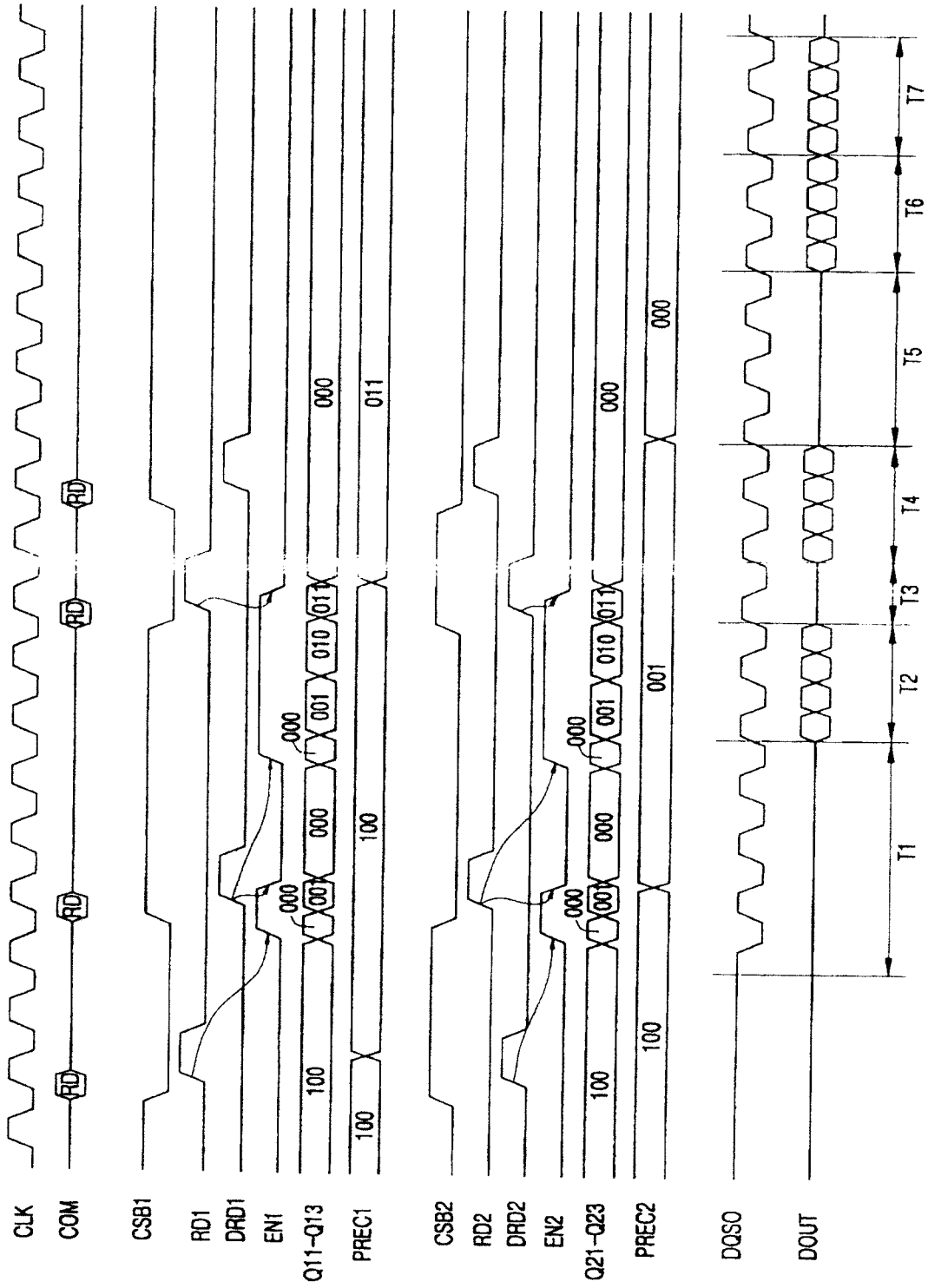


图 9