

|                                                                                                                                                    |                                                                                                                                                                     |                                                    |
|----------------------------------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------|
|                                                                   | (19) 대한민국특허청(KR)<br>(12) 공개특허공보(A)                                                                                                                                  | (11) 공개번호 10-2011-0064567<br>(43) 공개일자 2011년06월15일 |
| (51) Int. Cl.<br><i>H03F 1/26</i> (2006.01) <i>H03G 3/30</i> (2006.01)<br>(21) 출원번호 10-2009-0121235<br>(22) 출원일자 2009년12월08일<br>심사청구일자 2009년12월08일 | (71) 출원인<br>고려대학교 산학협력단<br>서울 성북구 안암동5가 1<br>(72) 발명자<br>정지채<br>서울특별시 서초구 서초동 1444-7 서초자이아파트<br>102-1305<br>이원태<br>충청남도 천안시 서북구 입장면 홍천리 13-1<br>(74) 대리인<br>특허법인 신성 |                                                    |

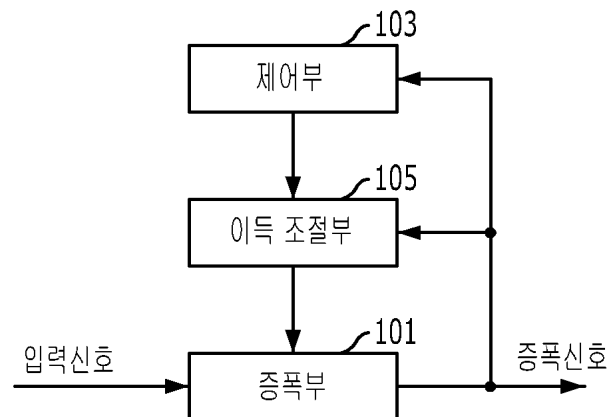
전체 청구항 수 : 총 8 항

#### (54) 저잡음 증폭기 및 증폭기의 이득 제어회로

##### (57) 요약

이득이 조절되는 저잡음 증폭기 및 증폭기의 이득 제어회로에 관한 기술이 개시된다. 이러한 기술에 따르면, 제1 또는 제2이득 제어신호에 따라 조절된 이득으로 입력신호를 증폭하여 증폭신호를 출력하는 증폭부; 상기 증폭신호의 크기와 기준전압의 비교 결과에 따른 선택신호를 생성하는 제어부; 및 상기 선택신호에 응답하여, 상기 증폭신호의 크기에 따른 상기 제1이득 제어신호 또는 상기 기준전압의 크기에 따른 상기 제2이득 제어신호를 출력하는 이득 조절부를 포함하는 저잡음 증폭기가 제공된다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 T0600484

부처명 교육인적자원부

연구관리전문기관

연구사업명 2단계두뇌뇌한국21

연구과제명 2단계BK21-(국고)4차년, 소프트웨어사업단

기여율

주관기관 BK21사업지원팀

연구기간 2009.03.01 ~ 2010.02.28

---

## 특허청구의 범위

### 청구항 1

제1 또는 제2이득 제어신호에 따라 조절된 이득으로 입력신호를 증폭하여 증폭신호를 출력하는 증폭부;  
 상기 증폭신호의 크기와 기준전압의 비교 결과에 따른 선택신호를 생성하는 제어부; 및  
 상기 선택신호에 응답하여, 상기 증폭신호의 크기에 따른 상기 제1이득 제어신호 또는 상기 기준전압의 크기에 따른 상기 제2이득 제어신호를 출력하는 이득 조절부  
 를 포함하는 저잡음 증폭기.

### 청구항 2

제 1항에 있어서,  
 상기 제1이득 제어신호는  
 상기 증폭신호의 크기에 따라 코드 값이 가변하는 이진 코드로 구성되며,  
 상기 제2이득 제어신호는  
 상기 증폭신호의 크기가 상기 기준전압보다 큰 경우에 상기 신호 생성부로부터 출력되며, 상기 증폭신호의 크기가 상기 기준전압보다 크기 전 상태에 생성되는 상기 제1이득 제어신호의 이진 코드 값 중 하나의 값을 갖는 이득 제어신호인  
 저잡음 증폭기.

### 청구항 3

제 1항에 있어서,  
 상기 신호 생성부는  
 상기 증폭신호의 피크 값에 따라 충방전되는 검출신호를 생성하는 피크 검출부;  
 상기 검출 신호에 따라 이진 코드로 구성된 상기 제1이득 제어신호를 생성하는 AD컨버터;  
 상기 제1이득 제어신호를 저장하는 신호 저장부; 및  
 상기 선택신호에 응답하여, 상기 제1이득 제어신호를 출력하거나 또는 신호 저장부에 저장된 제1이득 제어신호를 상기 제2이득 제어신호로 출력하는 신호 선택부  
 를 포함하는 저잡음 증폭기.

### 청구항 4

제 3항에 있어서,  
 상기 피크 검출부는  
 상기 증폭신호 크기와 상기 검출신호 크기의 비교결과에 따라, 기 설정된 전압으로 터미네이션된 상기 검출신호를 생성하는 터미네이션부;  
 상기 검출신호에 따른 전하를 충전하는 커패시터; 및  
 상기 커패시터에 충전된 전하를 방전시키는 방전부

를 포함하는 저잡음 증폭기.

#### 청구항 5

제 3항에 있어서,  
상기 신호 생성부는  
상기 제1이득 제어신호의 초기값을 설정하는 초기 전압 제거부  
를 더 포함하는 저잡음 증폭기.

#### 청구항 6

제 1항에 있어서,  
상기 증폭부는  
상기 제1 또는 제2이득 제어신호에 따라 온/오프되는 트랜지스터를 이용하여, 상기 증폭부에 흐르는 전류량을  
조절하는  
를 포함하는 저잡음 증폭기.

#### 청구항 7

상기 증폭신호의 크기와 기준전압의 비교 결과에 따른 선택신호를 생성하는 제어부; 및  
상기 선택신호에 응답하여, 상기 증폭신호의 크기에 따른 상기 제1이득 제어신호 또는 상기 기준전압의 크기에  
따른 상기 제2이득 제어신호를 출력하는 이득 조절부  
를 포함하며,  
상기 증폭신호는  
상기 제1증폭기 또는 제2증폭기에 의해 생성되는 증폭신호인  
증폭기의 이득 제어회로.

#### 청구항 8

제 7항에 있어서,  
상기 증폭신호의 피크 값에 따라 증방전되는 검출신호를 생성하는 피크 검출부;  
상기 검출신호에 따라 이진 코드로 구성된 상기 제1이득 제어신호를 생성하는 AD컨버터;  
상기 제1이득 제어신호를 저장하는 신호 저장부; 및  
상기 선택신호에 응답하여, 상기 제1이득 제어신호를 출력하거나 또는 신호 저장부에 저장된 제1이득 제어신호  
를 상기 제2이득 제어신호로 출력하는 신호 선택부  
를 포함하는 증폭기의 이득 제어회로.

## 명 세 서

### 발명의 상세한 설명

## 기술 분야

[0001] 본 발명은 저잡음 증폭기 및 증폭기의 이득 제어회로에 관한 것으로서, 보다 상세하게는 이득이 조절되는 저잡음 증폭기 및 증폭기의 이득 제어회로에 관한 것이다.

## 배경 기술

[0002] 최근 폭발적으로 증가하는 휴대용 단말기에 대한 소비자들의 요구를 충족시키기 위해, 휴대용 단말기의 크기는 소형화되는 동시에 휴대용 단말기의 소비전력을 최소화하는 방향으로 기술이 개발되고 있다. 이러한 요구에 부응하여 수신기의 개별 소자의 효율뿐만 아니라 전체 시스템의 효율을 증가시키는 방법에 대하여 연구가 수행되고 있다. 또한 전송매질의 불규칙적인 전송특성에 의해 발생하는 신호의 손상 현상인 페이딩(fading)현상 등의 채널장애로 인한 통신 장애를 극복하기 위해 이를 효과적으로 통제하는 기술이 개발되고 있다.

[0003] 일반적으로 무선 통신 시스템에서 입력신호를 증폭시키기 위해 다수 개의 증폭기를 사용한다. 다수 개의 증폭기를 사용하는 것은, 입력신호를 선형적으로 증폭할 수 있는 증폭기 각각의 동적 범위에는 제한이 있기 때문이며, 이러한 경우, 여러 개의 증폭기를 연결하여 사용하면 상기 문제를 해결할 수 있기 때문이다.

[0004] 특히, 저잡음 증폭기의 경우 입력신호의 크기가 클 때는 저이득 모드로 동작하며, 입력신호의 크기가 작을 때는 고이득 모드로 동작함으로써, 출력신호의 크기를 조절하는데, 이득이 과도하게 증가하는 경우, 불필요한 전력이 소모될 뿐만 아니라, 출력신호가 왜곡될 수 있는 문제가 있다.

## 발명의 내용

### 해결 하고자하는 과제

[0005] 본 발명은 상기 문제점을 해결하기 위하여 제안된 것으로서, 입력신호의 크기에 따라 이득이 불필요하게 증가하는 것을 방지할 수 있는 증폭기를 제공하는데 그 목적이 있다.

[0006] 본 발명의 목적들은 이상에서 언급한 목적으로 제한되지 않으며, 언급되지 않은 본 발명의 다른 목적 및 장점들은 하기의 설명에 의해서 이해될 수 있고, 본 발명의 실시예에 의해 보다 분명하게 이해될 것이다. 또한, 본 발명의 목적 및 장점들은 특허 청구 범위에 나타난 수단 및 그 조합에 의해 실현될 수 있음을 쉽게 알 수 있을 것이다.

### 과제 해결수단

[0007] 상기 목적을 달성하기 위한 본 발명은 제1 또는 제2이득 제어신호에 따라 조절된 이득으로 입력신호를 증폭하여 증폭신호를 출력하는 증폭부; 상기 증폭신호의 크기와 기준전압의 비교 결과에 따른 선택신호를 생성하는 제어부; 및 상기 선택신호에 응답하여, 상기 증폭신호의 크기에 따른 상기 제1이득 제어신호 또는 상기 기준전압의 크기에 따른 상기 제2이득 제어신호를 출력하는 이득 조절부를 포함하는 저잡음 증폭기를 제공한다.

[0008] 또한 상기 목적을 달성하기 위한 본 발명은 상기 증폭신호의 크기와 기준전압의 비교 결과에 따른 선택신호를 생성하는 제어부; 및 상기 선택신호에 응답하여, 상기 증폭신호의 크기에 따른 상기 제1이득 제어신호 또는 상기 기준전압의 크기에 따른 상기 제2이득 제어신호를 출력하는 이득 조절부를 포함하며, 상기 증폭신호는 상기 제1증폭기 또는 제2증폭기에 의해 생성되는 증폭신호인 증폭기의 이득 제어회로를 제공한다.

### 효과

[0009] 본 발명에 따르면, 입력신호의 크기에 따른 이득이 불필요하게 증가되는 것을 방지함으로써, 저잡음 증폭기의 전력소비가 감소할 수 있으며, 증폭되어 출력되는 증폭신호의 왜곡을 방지할 수 있다.

[0010] 또한 본 발명에 따르면, 저잡음 증폭기의 출력신호를 입력받는, 믹서(mixer)와 같은 소자의 입력 허용범위 내에서 저잡음 증폭기의 이득을 조절함으로써, 출력신호가 입력 허용범위를 벗어나 발생하는 비선형성 특성을 감소시킬 수 있다.

### 발명의 실시를 위한 구체적인 내용

- [0011] 이하 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있도록 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다. 상술한 목적, 특징 및 장점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이며, 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에 그 상세한 설명을 생략하기로 한다.
- [0012] 도 1은 본 발명의 일실시예에 따른 저잡음 증폭기를 나타내는 도면이다.
- [0013] 도 1에 도시된 바와 같이, 본 발명에 따른 저잡음 증폭기는 증폭부(101), 제어부(103) 및 이득 조절부(105)를 포함한다.
- [0014] 본 발명에 따른 증폭부(101)는 이득 조절부(105)에서 출력하는 이득 제어신호에 따라 조절된 이득으로 입력신호를 증폭하여 증폭신호를 출력한다. 이 때, 이득 조절부(105)는 제어부(103)의 제어에 따른 이득 제어신호를 출력한다. 제어부(103)는 증폭부로부터 피드백되는 증폭신호와 기준전압의 크기를 비교하여, 비교결과에 따른 선택신호를 생성하고, 이득 조절부(105)는 선택신호에 응답하여 이득 제어신호를 출력한다. 즉, 이득 조절부(105)는 증폭신호가 기준전압보다 크거나 작은 경우에 따른 이득 제어신호를 출력하고, 증폭부(101)는 이득 제어신호에 따라 이득을 조절한다.
- [0015] 따라서, 본 발명에 따르면, 증폭신호의 크기가 기준전압 크기 이상이 되는 경우, 조절된 이득에 의해 더 이상 크기가 증가하지 않는 증폭신호가 생성될 수 있다. 이하, 증폭부(101), 제어부(103) 및 이득 조절부(105)에 대해 보다 상세히 설명하기로 한다.
- [0016] 증폭부(101)는 제1 또는 제2이득 제어신호에 따라 조절된 이득으로 입력신호를 증폭하여 증폭신호를 출력한다. 즉, 증폭부(101)는 저잡음 증폭기에서 실제로 증폭을 수행하는 역할을 하며, 증폭을 수행하는 모든 증폭회로를 포함할 수 있다. 제1 및 제2이득 제어신호는 이득 조절부(105)가 출력하는 제어신호로서 자세히 후술된다.
- [0017] 제어부(103)는 증폭신호의 크기와 기준전압의 비교 결과에 따른 선택신호를 생성한다. 제어부(103)는 증폭부(101)로부터 피드백되는 증폭신호의 크기와 기준전압의 비교 결과에 따른 선택신호를 생성함으로써, 증폭신호의 크기가 기준전압 이상일 경우에 증폭신호의 크기가 더 이상 증가되는 것을 방지할 수 있다. 즉, 제어부(103)는 증폭신호의 크기가 더 이상 커지지 않도록 선택신호를 생성하고, 선택신호를 입력받는 이득 조절부(105)를 제어할 수 있다.
- [0018] 이득 조절부(105)는 선택신호에 응답하여, 증폭신호의 크기에 따른 제1이득 제어신호 또는 기준전압의 크기에 따른 제2이득 제어신호를 출력한다. 제1 및 제2이득 제어신호는 이진 코드로 구성될 수 있으며, 보다 상세하게 제1이득 제어신호는 증폭신호의 크기에 따라 코드 값이 가변하는 이진 코드로 구성될 수 있다. 코드 값이 가변됨에 따라 증폭부(101)에서 이득이 조절될 수 있다.
- [0019] 제2이득 제어신호는 증폭신호의 크기가 기준전압보다 큰 경우에 이득 조절부(105)로부터 출력되며, 증폭신호의 크기가 기준전압보다 크기 전 상태에 생성되는 제1이득 제어신호의 이진 코드 값 중 하나의 값을 갖는 이득 제어신호일 수 있다. 예를 들어, 증폭신호의 크기가 커짐에 따라 제1이득 제어신호가 '00', '01', '10' 및 '11'의 순서로 가변되며 이득이 증가하고, 증폭신호의 크기가 기준전압보다 크기 전 상태에 생성되는 제1이득 제어신호의 이진 코드 값이 '00', '01', '10'일 경우, 제2이득 제어신호의 이진 코드 값은 '10'일 수 있다.
- [0020] 따라서, 본 발명에 따르면, 증폭신호의 크기가 기준전압보다 큰 경우에도, 증폭신호의 크기가 기준전압보다 크기 전 상태에 생성되는 제1이득 제어신호가 증폭부(101)로 입력되기 때문에 증폭신호의 크기가 더 이상 증가되지 않을 수 있다. 이 때, 이득 조절부(105)는 피드백되는 증폭신호의 크기에 따라 증감하는 제1이득 제어신호를 저장한 상태에서, 선택신호에 응답하여, 증감하는 제1이득 제어신호 대신에 저장된 제1이득 제어신호 중 하나를 제2이득 제어신호로 출력할 수 있다.
- [0021] 또한 본 발명에 따르면, 기준전압의 크기를 조절함으로써, 증폭신호의 최대 크기를 조절할 수 있다. 즉, 전술된 예시에서 기준전압을 감소시켜, 제2이득 제어신호가 '01'이 되는 경우, 증폭신호 최대 크기는 제2이득 제어신호가 '10'인 경우보다 작아질 수 있다.

- [0022] 결국, 본 발명에 따르면, 증폭신호의 크기에 따른 이득이 불필요하게 증가되는 것이 방지됨으로써, 증폭기의 전력소비가 감소할 수 있으며, 증폭되어 출력되는 증폭신호의 왜곡을 방지할 수 있다. 또한 증폭기의 증폭신호를 이용하는 믹서와 같은 소자의 입력 허용범위내에서 증폭신호가 스윙할 수 있도록 함으로써, 믹서의 선형특성이 보장될 수 있다.
- [0023] 도 2는 도 1의 제어부(103) 및 이득 조절부(105)를 보다 상세하게 설명하기 위한 도면이다.
- [0024] 도 2에 도시된 바와 같이, 이득 조절부(105)는 보다 구체적으로 피크 검출부(201), AD컨버터(203), 신호 선택부(205) 및 신호 저장부(207)를 포함할 수 있다. 그리고 제어부(103)는 비교기일 수 있다.
- [0025] 피크 검출부(201)는 증폭신호의 피크 값에 따라 충방전되는 검출신호를 생성한다. 즉, 피크 검출부(201)는 정현파 전압(sinusoidal voltage)인 증폭신호의 피크에 비례하여 증가하는 검출신호를 생성할 수 있다. 예를 들어, 증폭신호의 피크 값이 증가할수록 검출신호의 전압이 증가하고, 증폭신호의 피크 값이 감소할수록 검출신호의 전압이 감소할 수 있다.
- [0026] AD컨버터(203)는 검출신호에 따라 이진 코드로 구성된 제1이득 제어신호(PRE\_SEL<0:1>)를 생성한다. 전술된 바와 같이, 검출신호는 증폭신호의 피크 값에 따라 충방전되는 아날로그 신호로서 AD컨버터(203)는 검출신호를 이진 코드로 구성되는 디지털 신호로 변환한다. AD컨버터(203)는 소정 기준전압을 복수의 전압으로 디바이딩(dividing)하고, 디바이딩된 전압과 검출신호 전압의 크기를 비교함으로써 이진 코드 값이 가변되는 제1이득 제어신호(PRE\_SEL<0:1>)를 생성할 수 있다. 이 때, AD컨버터(203)를 구성하는 비교기는 뱅뱅(bang-bang) 동작을 피하기 위하여 히스테리시스 특성을 가질 수 있다.
- [0027] 신호 선택부(205)는 선택신호에 응답하여, 제1이득 제어신호(PRE\_SEL<0:1>)를 출력하거나 또는 신호 저장부(207)에 저장된 제1이득 제어신호(PRE\_SEL<0:1>)를 제2이득 제어신호로 출력한다. 신호 저장부(207)는 제1이득 제어신호(PRE\_SEL<0:1>)를 저장하는데, 신호 선택부(205)는 선택신호에 따라 AD컨버터(203)로부터 생성된 제1이득 제어신호(PRE\_SEL<0:1>)를 바로 출력하거나 또는 신호 저장부(207)에 저장된 제1이득 제어신호(PRE\_SEL<0:1>)를 제2이득 제어신호로서 출력한다. 여기서, SEL<0:1>은 제1 및 제2이득 제어신호를 모두 나타내는 신호이다.
- [0028] 보다 상세히 설명하면, 신호 선택부(205)는 선택신호에 응답해 온/오프되는 스위치를 포함할 수 있으며, 스위치의 출력단에 래치로 구성된 신호 저장부(207)가 연결될 수 있다. 따라서, 스위치가 온된 상태에서는 AD컨버터(203)로부터 생성된 제1이득 제어신호(PRE\_SEL<0:1>)가 증폭부(101)로 전송되지만, 스위치가 오프된 상태에서는 신호 저장부(207)에 저장된 제1이득 제어신호(PRE\_SEL<0:1>)가 증폭부(101)로 전송된다. 전술된 바와 같이, 선택신호는 증폭신호의 크기와 기준전압의 비교 결과에 따른 신호로서, 스위치가 오프된 상태에서 신호 저장부(207)에 저장된 제1이득 제어신호는 제2이득 제어신호가 될 수 있다.
- [0029] 신호 저장부(207)를 구성하는 래치는 일반적으로 하나의 비트를 저장하기 때문에, 이득 제어신호를 구성하는 이진 코드의 비트에 따라 사용되는 래치는 가변될 수 있다. 또한 신호 저장부(207)는 스위치의 출력단에 연결되기 때문에, 스위칭 동작 관련하여 제1이득 제어신호 및 신호 저장부(207)에 저장된 신호가 충돌될 수 있다. 따라서, 래치를 구성하는 트랜지스터의 크기는 상기 충돌이 고려되어 설계됨이 바람직하다.
- [0030] 한편, 본 발명에 따른 저잡음 증폭기는 도 1에 도시된 바와 같이, 제1이득 제어신호(PRE\_SEL<0:1>)의 초기값을 설정하는 초기전압 제거부(209)를 더 포함할 수 있다. 증폭기가 동작하기 시작할 때, AD컨버터(203)가 비정상적으로 동작할 수 있기 때문에, 초기전압 제거부(209)는 AD컨버터(203)의 출력단에 연결되어 제1이득 제어신호(PRE\_SEL<0:1>)의 초기값을 설정한다.
- [0031] 보다 상세하게, 초기전압 제거부(209)는 비교기와 지연 회로를 포함할 수 있다. 비교기는 AD컨버터(203)에서 디바이딩되는 전압 중 가장 낮은 전압과 피크검출부(201)의 검출신호를 비교함으로써 AD컨버터(203)가 정상적인 제1이득 제어신호를 출력하기 전까지 기 설정된 값으로 제1이득 제어신호(PRE\_SEL<0:1>)의 초기값을 설정할 수 있다.
- [0032] 도 3은 피크 검출부(201)를 보다 상세히 설명하기 위한 도면이다.
- [0033] 도 3에 도시된 바와 같이, 피크 검출부(201)는 터미네이션부(301), 커패시터(303) 및 방전부(305)를 포함한다.

[0034] 터미네이션부(301)는 증폭신호 크기와 검출신호(VPEAK) 크기의 비교결과에 따라, 기 설정된 전압(VDD)으로 터미네이션(termination)된 검출신호(VPEAK)를 생성한다.

[0035] 증폭신호( $V_{in}$ )는 일반적으로 [수학식 1]과 같이  $V_{peak}$ 를 피크 값으로 하는 정현파 신호로서, 빠른 응답 성능을 가진 정현파 전압의 크기를 검출하기 위해 터미네이션부(301)는 넓은 선형동작 범위를 가지는 것이 바람직하다.

### 수학식 1

$$V_{in} = V_{peak} \sin(\omega t)$$

[0036]

[0037] 터미네이션부(301)의 비교기는 증폭신호와 검출신호(VPEAK)를 비교하고, 증폭신호가 검출신호(VPEAK)보다 클 경우, 로우레벨의 신호를 출력하고, 증폭신호가 검출신호(VPEAK)보다 작을 경우 하이레벨의 신호를 출력한다. 따라서, 증폭신호가 검출신호(VPEAK)보다 클 경우, 피모스 트랜지스터가 턴온되어 검출신호(VPEAK)의 전압은 상승하고, 증폭신호가 검출신호(VPEAK)보다 작을 경우, 피모스 트랜지스터가 턴오프되어 검출신호(VPEAK)의 전압은 하강한다.

[0038] 이 때, 커패시터(303)는 검출신호(VPEAK)에 따른 전하를 충전하고, 방전부(305)는 커패시터(303)에 충전된 전하를 방전시키기 때문에, 검출신호(VPEAK)의 전압은 서서히 상승 또는 하강할 수 있다.

[0039] 이 때, 방전부(305)는 일실시예로서, 다이오드 커넥트된 트랜지스터일 수 있다. 본 발명에 따른 피크 검출부(201)는 다이오드 커넥트된 트랜지스터를 방전부(305)로 이용함으로써, 방전 효과를 유지하면서 피크 검출부(201)의 크기를 소형화할 수 있으며, 따라서 회로 집적화에 유리한 장점이 있다.

[0040] 도 4는 AD컨버터(203)가 출력하는 제1이득 제어신호를 설명하기 위한 도면이다. 도 4에서는 증폭신호의 크기에 비례하여 이득을 증가시키는 제1이득 제어신호가 일실시예로서 설명된다.

[0041] 도 4에서 DM은 Detection Mode(검출 모드)의 약자로서, AD컨버터(203)에서 디바이딩되는 전압을 나타낸다. DM1에서 DM3으로 갈수록 높은 전압을 나타낸다. 그리고 도 4의 테이블에서 DV는 AD컨버터(203)로 입력되는 증폭신호를 나타낸다. 즉, 도4의 테이블에 따르면 DV와 DM1 내지 DM3에 따라 AD컨버터(203)는 온도계 코드(thermometer code)를 생성하고, 이를 다시 디코딩하여 이진 코드(binary code)로 구성되는 제1이득 제어신호를 생성한다.

[0042] 도 5는 증폭부(101)를 보다 상세히 설명하기 위한 도면이다.

[0043] 도 5에서는 2단 캐스코드 구조의 증폭부가 일실시예로서 설명된다. 도 5에 도시된 바와 같이, 본 발명에 따른 증폭부(101)는 2단으로서 제1 및 제2증폭회로(501, 503)를 포함한다. 입력신호는 제1증폭회로(501)의 제1포트(PORT1)로 입력되어 증폭되고, 제2증폭회로(503)의 제2포트(PORT2)로 출력된다.

[0044] 먼저, 수신단의 제일 앞에 위치하여 잡음 성분을 억제하고 원하는 신호만 증폭시키는 역할을 수행하는 저잡음 증폭기의 특성 및 설계에 대해 간단히 설명하기로 한다.

[0045] 기본적인 캐스코드 구조의 입력 임피던스( $Z_{in}$ )는 하기의 [수학식 2]과 같다.

### 수학식 2

$$Z_{in} = j\omega(L_s + L_g) + \frac{1}{j\omega C_{gs}} + \frac{g_m L_s}{C_{gs}}$$

[0046]

- [0047] [수학식 2]은 공통 접지 트랜지스터의 기본 구조에서 이론적으로 간결하도록 하기 위해 궤환 캐패시터를 무시하고 유도된 형태이다. [수학식 2]에서, 트랜지스터의 트랜스컨덕턴스( $g_m$ )가 고정된 상태에서 소스인덕터  $L_s$ 를 이용하면 입력 임피던스에서 요구하는 실수부를 만들 수 있다. 그리고 게이트인덕터  $L_g$ 를 이용하여 입력 임피던스( $Z_{in}$ )의 허수부를 제거할 수 있다. 기본적인 캐스코드 구조에 게이트와 소스 사이에 추가적인 캐패시터를 연결하게 되면, 최적의 잡음 반사계수  $G_{min}$ 과  $S_{11}$  (입력 반사계수)가 스미스 차트 상에서 한 곳에 모이는 현상이 나타나기 때문에 이득과 잡음 정합을 동시에 달성할 수 있다
- [0048] 일반적으로 MOSFET의 주요 잡음전력원은 드레인 전류 잡음(channel current noise)과 게이트 잡음(induced gate noise)로 이루어지며, 각각의 전력 밀도는 [수학식 3] 및 [수학식 4]과 같다.

### 수학식 3

[0049] 
$$\overline{i_{nd}^2} = 4kT\gamma g_{do}$$

### 수학식 4

[0050] 
$$\overline{i_{ng}^2} = 4kT\delta g_g$$

- [0051] 여기서,  $k$ 는 볼츠만 상수이고  $T$ 는 절대온도이다.  $g_{do}$ 는 트랜지스터의 영바이어스 드레인 컨덕턴스(zero-bias drain conductance)로  $V_{DS} = 0$ 일 때 드레인과 소스사이의 컨덕턴스를 나타낸다.  $\gamma$ 는 드레인 전류의 잡음 계수로 long channel의 경우  $\gamma$  값은 2/3이고,  $\delta$ 는 게이트 잡음계수이며 long channel의 경우 4/3이고 게이트 잡음과 관련된 파라미터  $g_g = \omega^2 C_{gs}^2 / 5g_{do}$ 이다.

- [0052] 전술된 두 잡음원, 즉 드레인 전류 잡음과 게이트 잡음을 고려하여, 잡음 지수(Noise Factor)를 구할 수 있으며, 잡음 지수 특성이 가장 우수한 지점을 찾을 수 있다. 따라서 특정 소모 전력과 입력 임피던스에 대해 증폭기의 잡음 지수를 최소화할 수 있는 트랜지스터의 최적의 크기가 존재한다.

- [0053] 2단으로 구성된 증폭부(101)는 충분한 이득을 확보하여 안정적 수신 특성과 적절한 잡음지수 특성을 나타낸다. 제1증폭회로(501)는 이득이 변화하면서 나타나는 반사계수와 잡음지수의 악화현상을 방지하는 역할을 한다. 그리고 제2증폭회로(503)는 이득을 조절하는 역할을 한다.

- [0054] Friis 공식에 따르면, 저잡음 증폭기의 잡음지수 값은 제1증폭회로(501)의 잡음지수 값을 따른다. 하기의 [수학식 5]는 2단 증폭기의 대한 Friis 공식이다.

### 수학식 5

[0055] 
$$F_{total} = \frac{S_{in} / N_{in}}{G_1 G_2 S_{in} / G_1 G_2 (F_1 + \frac{F_2 - 1}{G_1}) N_{in}} = F_1 + \frac{F_2 - 1}{G_1}$$

[0056] 여기서,  $G_1$  은 제1증폭회로(501)의 이득이고  $G_2$  는 제2증폭회로(503)의 이득이며,  $F_1$ 과  $F_2$ 는 제1 및 제2 증폭회로(501, 503) 각각의 잡음지수를 나타낸다.

[0057] 전술된 바와 같이, 수신기의 잡음 특성은 일반적으로 저잡음 증폭기의 첫번째 단의 잡음 특성이 절대적인 영향을 미치기 때문에, 첫번째 단 뒤의 회로에서 잡음특성 영향을 최소화하기 위해서는 일정 이상의 이득이 확보되어야 한다. 이를 위해 [수학식 5]를 고려하여, 저잡음 증폭기의 첫번째 단, 즉 제1증폭회로(501)에 제안된 전력 조건하에서 잡음을 최적화시키는 방법(Power-Constrained Noise Optimization Technique)이 사용될 수 있다.

[0058] 본 발명에 따르면, 증폭부(101)는 제1 또는 제2이득 제어신호에 따라 온/오프되는 트랜지스터를 이용하여, 증폭부(101)에 흐르는 전류량을 조절하여 이득을 조절한다. 도 5에서는 제1 또는 제2이득 제어신호에 따라 트랜지스터 M7, M8 및 M9가 온/오프되며 이득이 조절되는 경우가 일실시예로서 설명된다.

[0059] 디코더(505)는 제1 또는 제2이득 제어신호의 이진 코드 비트수 및 이득을 조절하기 위해 온/오프되는 트랜지스터의 개수에 따라 제1 또는 제2이득 제어신호를 디코딩한다. 예를 들어, 도 5에 도시된 바와 같이, 제1 또는 제2이득 제어신호가 SEL<0:1>의 2비트로 구성된 제어신호인 경우, 디코더(505)는 제1 또는 제2이득 제어신호를 디코딩하여 3비트의 신호(SW<1:3>)를 생성할 수 있다. 여기서, SELB<0:1>은 SEL<0:1>의 반전신호를 나타낸다. 그리고 트랜지스터 M7, M8 및 M9 각각은 3비트의 신호(SW<1:3>)에 따라 온/오프되며 이득을 조절한다.

[0060] 트랜지스터 M5, M7, M8 및 M9 각각에 흐르는 전류  $I_1$ ,  $I_2$ ,  $I_3$ ,  $I_4$ 와 이에 따른 이득의 관계는 수학식 6 내지 9와 같다. 여기서, 이득 모드(gain mode)는 이득 제어신호에 따른 서로 다른 이득을 나타낸다.

#### 수학식 6

$$\text{Gain mode 1} = I_1(W_5 / L_5)$$

#### 수학식 7

$$\text{Gain mode 2} = I_1(W_5 / L_5) + I_2(W_7 / L_7)$$

#### 수학식 8

$$\text{Gain mode 3} = I_1(W_5 / L_5) + I_3(W_8 / L_8)$$

#### 수학식 9

$$\text{Gain mode 4} = I_1(W_5 / L_5) + I_4(W_9 / L_9)$$

[0065] 도 5에 도시된 바와 같이, 트랜지스터 M5는 항상 턴온된 상태이며, 따라서, M7, M8 및 M9 중 하나가 온되는 경우가 M5만이 온되는 경우보다 높은 이득을 제공한다. 수학식 6 내지 8에 나타난 바와 같이, M7, M8 및 M9의 사이즈에 따라 이득은 조절될 수 있다.

[0066] 한편, 제2증폭회로(503)의 트랜지스터 M4는 입력과 출력의 격리도(isolation)를 증가시키는 역할을 한다.

[0067] 도 6 내지 도 8은 본 발명에 따른 저잡음 증폭기의 시뮬레이션 결과를 도시한 도면이다. 도 6 내지 도 8에서는 5.2 GHz 대역에서 입력신호의 크기에 따라 효율적으로 동작하며, 0.18um CMOS 공정을 통해 설계된 저잡음 증폭기가 일실시예로서 이용되었다. 또한 도 6 내지 도 8에서 이득 조절부(105)에 대한 시뮬레이션은 HSPICE 시뮬레이터가 이용되었으며, 증폭부(101)에 대한 시뮬레이션은 Cadence spectre 시뮬레이터가 이용되었다.

[0068] 도 6은 이득 조절부(105)에서 검출신호에 따른 이득 제어신호를 나타내는 도면이다. 검출신호의 크기가 증가할

수록 이득 제어신호의 비트 값 역시 증가하며, 제1이득 제어신호의 이진코드 값은 도 4에 도시된 코드 값과 일치함을 알 수 있다. 도 7은, 도 5에서 설명된 저잡음 증폭기의 이득 모드에 따른 이득을 나타내는 도면이다. 여기서, 저잡음 증폭기, 즉 증폭부(101)에 공급된 전원은 1.8V이며, 도 6과 관련하여 제1이득 제어신호의 비트 값이 증가할수록 이득이 증가함을 알 수 있다. 도 8은 입력 반사손실을 나타내는 도면으로서  $S_{11}$ 은 입력반사 계수를 나타낸다. 즉,  $S_{11}$  값이 낮을수록, 입력신호가 반사되지 않고 출력되는 특성이 우수하다. 도 8에 도시된 바와 같이, 5.2GHz 주파수 대역에서 저잡음 증폭기가 효율적으로 동작함을 알 수 있다.

[0069] 도 9는 본 발명의 일실시예에 따른 증폭기의 이득 제어회로를 설명하기 위한 도면으로서, 도 9에서는 본 발명에 따른 이득 제어회로(901), 저잡음 증폭기(903, LNA), 믹서(905, MIXER) 및 가변 이득 증폭기(907, VGA)를 포함하는 수신기가 일실시예로서 설명된다. 본 발명에 따른 이득 제어회로(901)는 도 1의 제어부(103) 및 이득 조절부(105)에 대응되며, 저잡음 증폭기(903)는 도 1의 증폭부(101)에 대응된다.

[0070] 저잡음 증폭기(903)는 이득 제어회로(901)의 제어에 따라 입력신호를 증폭하여 증폭신호를 출력한다. 믹서(905)는 기 설정된 신호와 증폭신호를 믹싱하여 가변 이득 증폭기(907)로 출력하며, 가변 이득 증폭기(907)는 믹싱된 신호를 다시 증폭한다. 이득 제어회로(901)는 가변 이득 증폭기(907)의 출력신호에 따라 이득 제어신호를 생성하며, 저잡음 증폭기(903)는 이득 제어신호에 따라 이득을 조절한다.

[0071] 본 발명에 따른 이득 제어회로(901)는 증폭신호의 크기와 기준전압의 비교 결과에 따른 선택신호를 생성하는 제어부 및 선택신호에 응답하여, 증폭신호의 크기에 따른 제1이득 제어신호 또는 기준전압의 크기에 따른 제2이득 제어신호를 출력하는 이득 조절부를 포함하며, 증폭신호는 제1증폭기 또는 제2증폭기에 의해 생성되는 증폭신호일 수 있다. 여기서, 제1증폭기는 저잡음 증폭기(903), 제2증폭기는 가변 이득 증폭기(907)일 수 있다.

[0072] 즉, 본 발명에 따른 이득 제어회로(901)는 도 1에서 설명된 바와 같이, 증폭기에 포함되어 구성될 수 있으며 또한 수신기에 별도의 통신 칩으로서 포함될 수 있다.

[0073] 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술사상과 특허청구범위의 균등범위 내에서 다양한 수정 및 변형이 가능함은 물론이다.

### 도면의 간단한 설명

[0074] 도 1은 본 발명의 일실시예에 따른 저잡음 증폭기를 나타내는 도면,

[0075] 도 2는 도 1의 제어부(103) 및 이득 조절부(105)를 보다 상세하게 설명하기 위한 도면,

[0076] 도 3은 피크 검출부(201)를 보다 상세히 설명하기 위한 도면,

[0077] 도 4는 AD컨버터(203)가 출력하는 제1이득 제어신호를 설명하기 위한 도면,

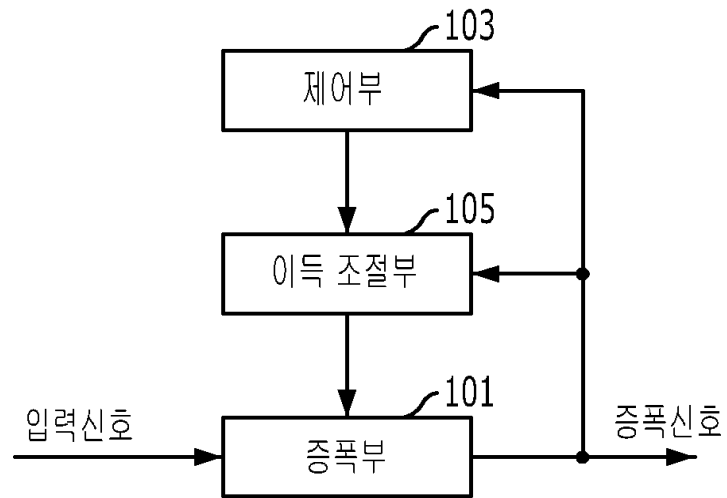
[0078] 도 5는 증폭부(101)를 보다 상세히 설명하기 위한 도면,

[0079] 도 6 내지 도 8은 본 발명에 따른 저잡음 증폭기의 시뮬레이션 결과를 도시한 도면,

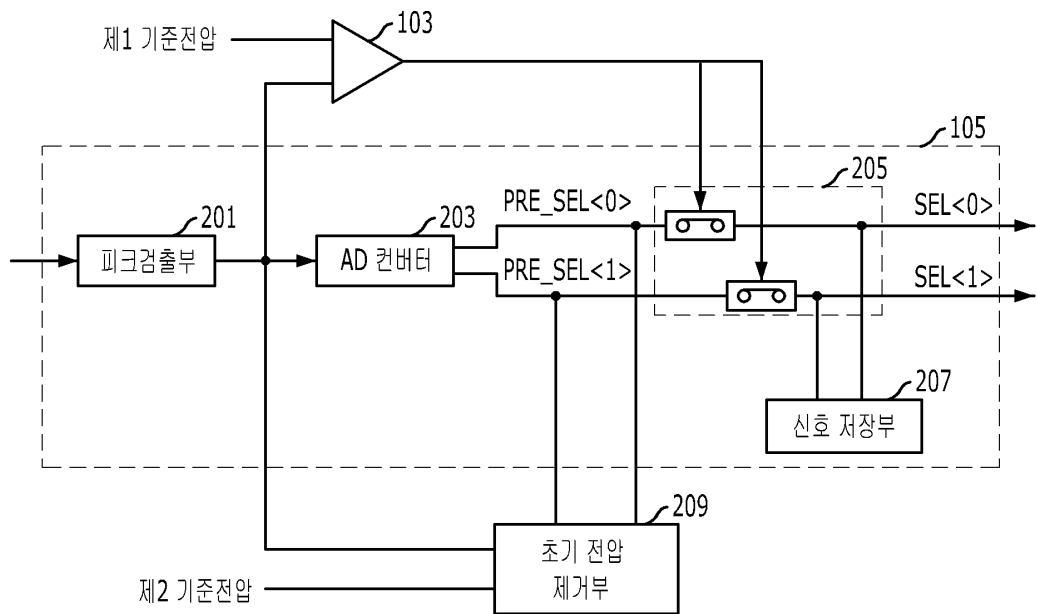
[0080] 도 9는 본 발명의 일실시예에 따른 증폭기의 이득 제어회로를 설명하기 위한 도면이다.

도면

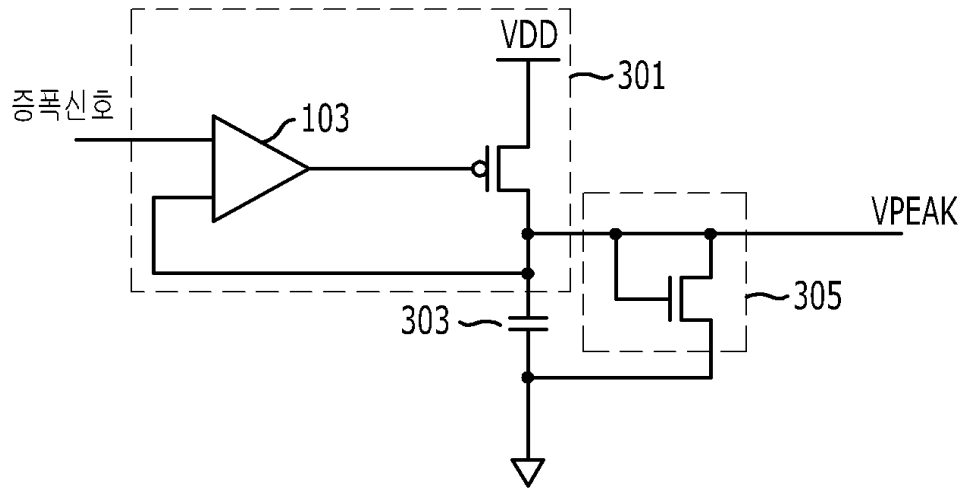
도면1



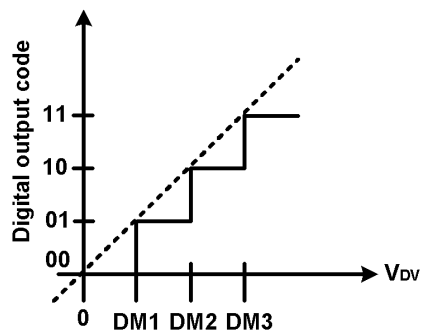
도면2



도면3

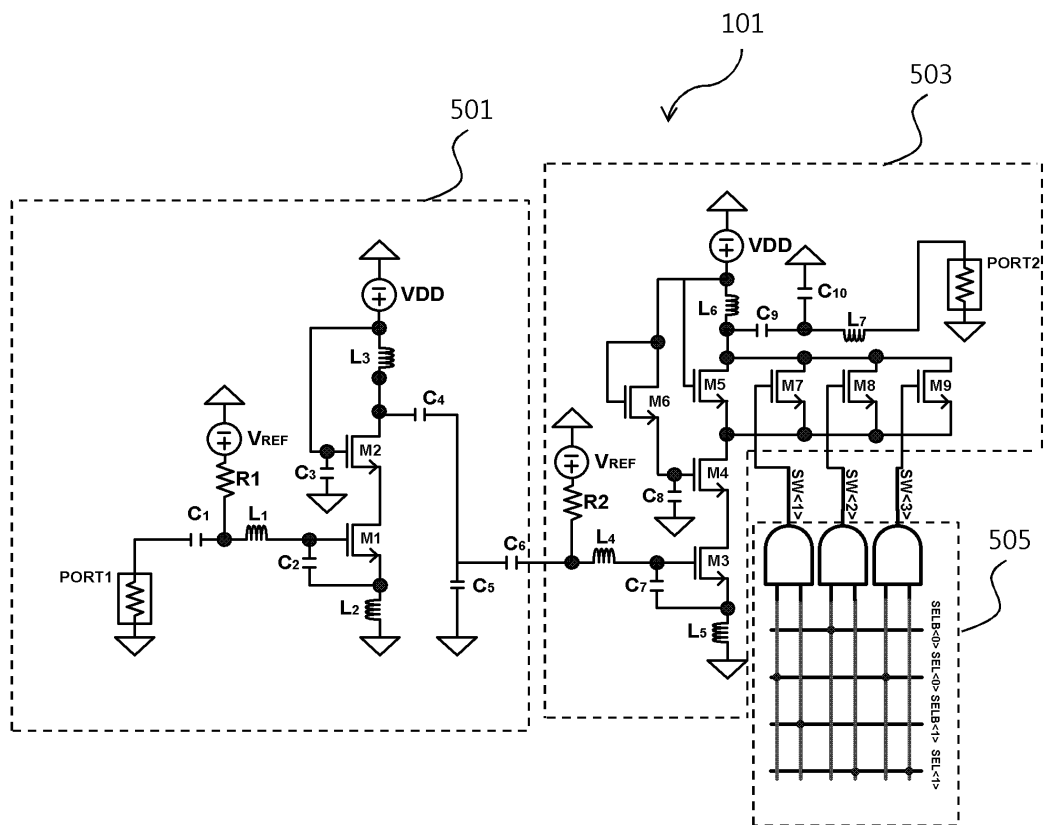


도면4

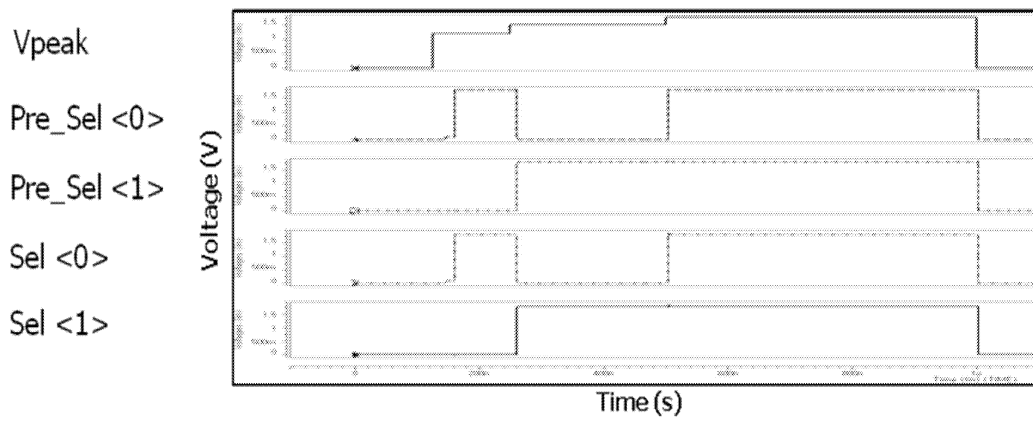


| Detection Voltage   | Thermometer Code | Binary Code |
|---------------------|------------------|-------------|
|                     | A2 A1 A0         | D1 D2       |
| $0 \leq DV < DM1$   | 0 0 0            | 0 0         |
| $DM1 \leq DV < DM2$ | 0 0 1            | 0 1         |
| $DM2 \leq DV < DM3$ | 0 1 1            | 1 0         |
| $DM3 \leq DV$       | 1 1 1            | 1 1         |

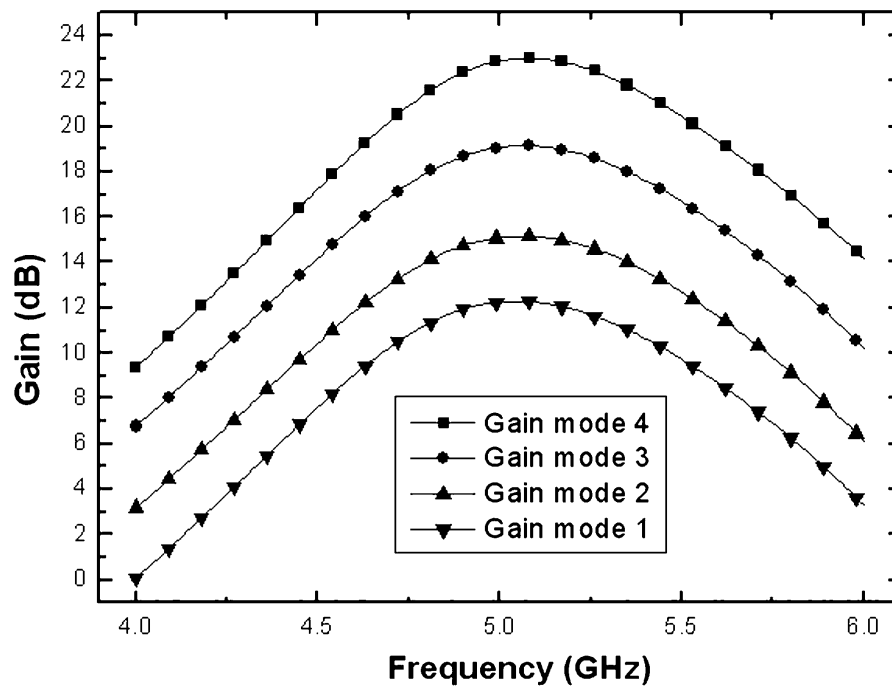
도면5



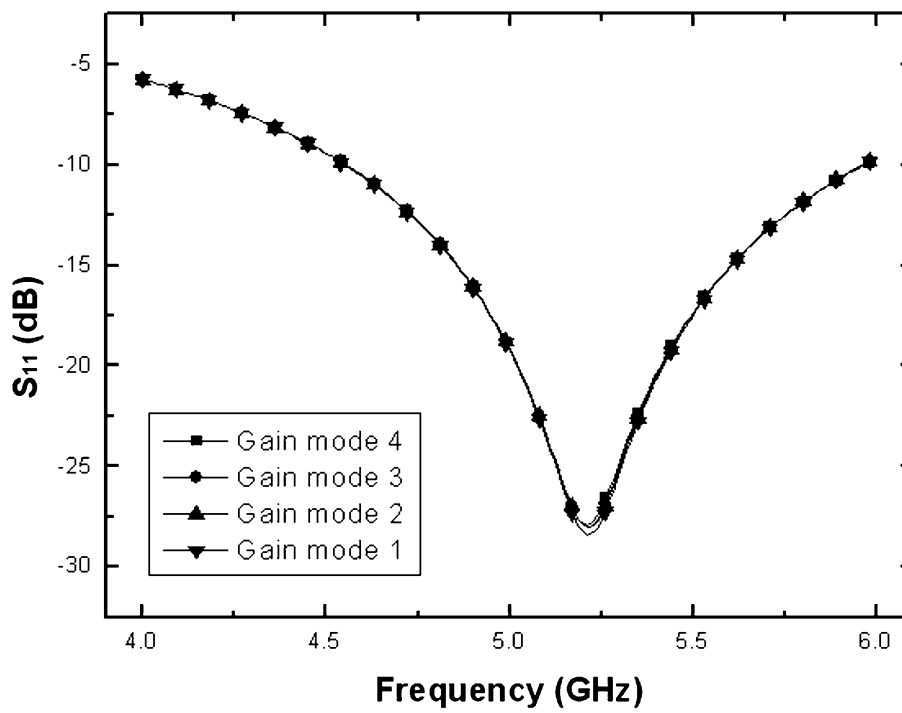
도면6



도면7



도면8



도면9

