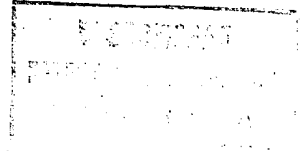




ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- 1
- (21) 4401435/24-24
 - (22) 31.03.88
 - (46) 23.09.89. Бюл. № 35
 - (72) В.В.Богданов и В.С.Лупиков
 - (53) 681.3.33 (088.8)

(56) Авторское свидетельство СССР
№ 1168953, кл. G 06 F 11/26, 1984.

Авторское свидетельство СССР
№ 1386996, кл. G 06 F 11/00, 1986.

(54) УСТРОЙСТВО ДЛЯ КОНТРОЛЯ
ЦИФРОВЫХ УСТРОЙСТВ

(57) Изобретение относится к вычислительной технике и может быть использовано для имитации информационных посылок в процессе настройки, контроля и диагностирования неисправностей цифровых устройств. Устройство содержит мультиплексор, счетчик,

2

блок памяти, группу элементов И, сумматор по модулю два и регистр сдвига. Цель изобретения состоит в сокращении аппаратных затрат устройства и достигается введением в него блока сравнения, элемента И-НЕ и формирователя импульсов. Имитируемая информация формируется из последовательности псевдослучайных кодов, генерируемых регистром сдвига с сумматором по модулю два в обратной связи, путем отсеивания запрещенных комбинаций. Отсеивание осуществляется по программе, хранящейся в блоке памяти, путем изменения с помощью группы элементов И структуры обратной связи генератора псевдослучайных кодов в моменты формирования им определенных кодов, заданных программой и обнаруживаемых блоком сравнения. 2 ил, 2 табл.

Изобретение относится к вычислительной технике и может быть использовано для имитации информационных сигналов на входах цифровых устройств при их автономной настройке, проверке работоспособности и диагностировании неисправностей.

Целью изобретения является сокращение аппаратных затрат и расширение класса решаемых задач устройства путем обеспечения выдачи имитируемой информации блоками произвольной длины.

На фиг.1 представлена функциональная схема устройства для имитации информационных каналов; на фиг.2 -

временные диаграммы, поясняющие работу устройства.

В табл. 1 и 2 приведены примеры имитируемой информационной последовательности.

Устройство содержит (фиг.1) мультиплексор 1, счетчик 2, блок 3 памяти, блок 4 сравнения, элемент И-НЕ 5, сумматор 6 по модулю два, группу элементов И 7-1 - 7-к, регистр 8 сдвига, формирователь 9 импульсов, синхровход 10, управляющий вход 11, вход 12 записи, информационные входы 13, информационный выход 14 и установочный вход 15. Число к элементов И 7 в группе определяется числом разрядов регист-

ра 8, необходимых для организации, кроме основной, дополнительных обратных связей в генераторе псевдослучайной последовательности (ПСК), построенном на базе регистра 8 сдвига с сумматором 6 по модулю два в обратной связи. На фиг.1 $k = 6$, что позволяет формировать n -разрядные (фиг.1, $n=15$) последовательности с образующими полиномами

$$P_1(x) = x^{15} + 1;$$

$$P_2(x) = x^{15} + x^{10} + x^5 + 1;$$

$$P_3(x) = x^{15} + x^{12} + x^3 + 1;$$

$$P_4(x) = x^{15} + x^{12} + x^5 + x^4 + x^2 + x + 1. \quad 15$$

Мультиплексор 1 содержит элемент НЕ 16 и элемент И-ИЛИ-НЕ 17 (фиг.1).

Устройство работает следующим образом.

В основу формирования информационных сигналов для контролируемых объектов положено программируемое отсеивание запрещенных комбинаций из последовательности кодов, получаемых с помощью генератора ПСК на базе регистра 8 сдвига с сумматором 6 по модулю два в обратной связи путем изменения структуры обратной связи генератора ПСК за один или несколько тактов до появления запрещенных кодовых комбинаций.

Перед началом работы для приведения устройства в исходное состояние подается импульс на установочный вход 15. При этом в регистр 8 сдвига записывается начальная кодовая комбинация, а счетчик 2 обнуляется. Затем в блок 3 памяти загружается программа селекции, определяющая структуру выходной последовательности информационных сигналов, и, в частности, кодовые комбинации, которые будут отсеяны из формируемой последовательности кодов. Программа селекции состоит из $(n+1)$ -разрядных инструкций. Группа разрядов $V_1 - V_n$ каждой инструкции определяет n -разрядную кодовую комбинацию, формируемую на выходах регистра 8 сдвига за один или несколько тактов до появления запрещенного кода и при которой осуществляется изменение обратной связи в генератора ПСК. Разряды $C_1 - C_k$ инструкции определяют структуру обратной связи генератора ПСК до достижения им кодовой комбинации, заданной в разрядах $V_1 - V_n$ той же инструкции. При загрузке программы селекции на управляющий вход 11 подается сигнал логического "0", задаю-

щий режим загрузки, на информационные входы 13 - код первой инструкции, а на вход 12 записи - отрицательный импульс сопровождения. Импульс записывает первую инструкцию программы в нулевую ячейку блока 3 памяти. По заднему фронту импульса записи формирователь 9 импульсов формирует отрицательный импульс, который поступает через мультиплексор 1 на счетный вход счетчика 2. По переднему фронту этого импульса содержимое счетчика 2 увеличивается на единицу. Аналогично загружаются остальные инструкции программ в блок 3 памяти. По окончании загрузки программы селекции импульсов по установочному входу 15 счетчик 2 обнуляется. На вход 12 записи подается сигнал логической "1", определяющий режим чтения для блока 3 памяти. На управляющем входе 11 устанавливается сигнал логической "1", задающий режим имитации информационных сигналов. На синхровход 10 подаются тактовые импульсы.

Рассмотрим работу на примере формирования фрагмента выходной последовательности кодов (фиг.3).

Предположим, что для контролируемого объекта запрещенными являются кодовые комбинации 000100001110000 и 101001000011. В исходном состоянии в регистре 8 сдвига записана начальная комбинация 100001110000000, счетчик 2 обнулен и на выходах блока 3 памяти установлена первая инструкция программы селекции. К сумматору 6 подключены только 14-й и 15-й разряды регистра 8 сдвига, т.е. в генераторе ПСК задана обратная связь, описываемая образующим полиномом $P_1(x) = x^{15} + x + 1$. По заднему фронту каждого тактового импульса на синхровходе 10 генератор ПСК формирует очередной код, поступающий на информационные выходы 14. Блок 4 сравнения осуществляет сравнение кода на выходах регистра 8 сдвига с кодом, установленным на выходах $V_1 - V_{15}$ блока 3 памяти. На третьем такте работы на выходе блока 4 сравнения формируется сигнал логической "1", свидетельствующий о совпадении сравниваемых кодов. На четвертом такте на выходе элемента И-НЕ 5 формируется отрицательный импульс, который через мультиплексор 1 поступает на счетный вход счетчика 2 и своим передним фрон-

том увеличивает его содержимое на единицу. На выходах блока 3 памяти устанавливается вторая инструкция программы имитации информационных сигналов. При этом разряды $C_1 - C_6$ инструкции обеспечивают подключение к сумматору 6 3, 12, 14 и 15-го разрядов регистра 8 сдвига, т.е. генератор ПСК настраивается на формирование псевдослучайной последовательности с образующим полиномом $P_3(x) = x^{15} + x^{12} + x^3 + 1$. По заднему фронту четвертого тактового импульса на информационных выходах 14 появляется первый код этой последовательности. Таким образом, запрещенная кодовая комбинация 000100001110000, которая должна была сформироваться по четвертому тактовому импульсу при образующем полиноме $P_4(x)$, будет пропущена.

После четвертого такта на информационные выходы 14 поступает последовательность ПСК с образующим полиномом $P_3(x)$. После седьмого такта блок 4 сравнения фиксирует равенство кодов на выходах регистра 8 сдвига и В 1 - В15 блока 3 памяти. С приходом следующего тактового импульса происходит смена в генераторе ПСК образующего полинома $P_3(x)$ на $P_4(x) = x^{15} + x^{10} + x^5 + x^4 + x^2 + x + 1$, тем самым пропускается запрещенная кодовая комбинация 100101001000011. Далее формирование информационных сигналов продолжается аналогичным образом.

Ф о р м у л а и з о б р е т е н и я

Устройство для контроля цифровых устройств, содержащее мультиплексор, управляющий вход которого является

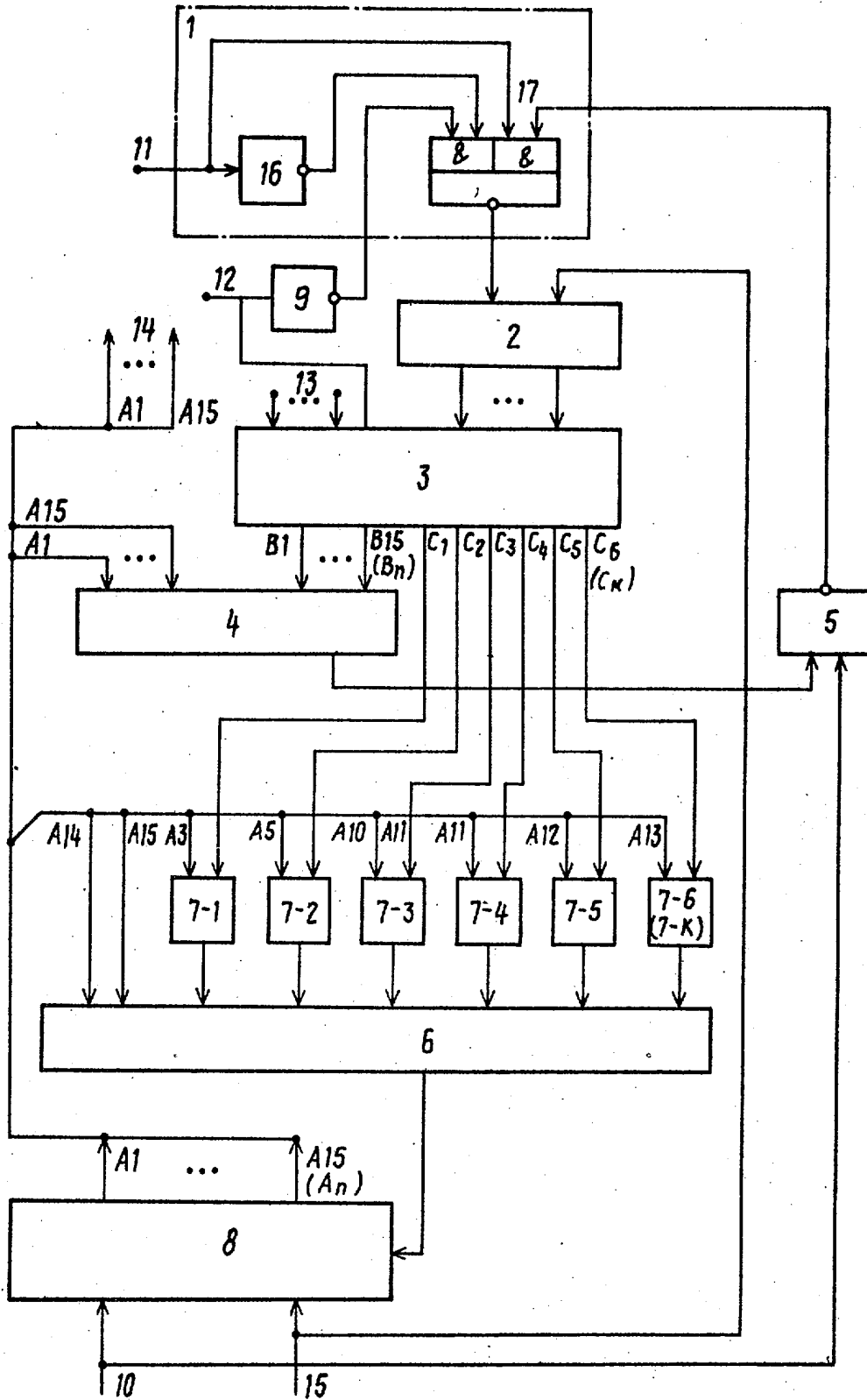
входом задания режима работы устройства, блок памяти, информационный и адресный входы которого соединены соответственно с командным входом устройства и выходом счетчика, группу элементов И и сумматор по модулю два, первая группа входов и выход которого подключены соответственно к группе выходов и информационному входу регистра сдвига, синхровход и вход сброса которого являются соответственно тактовым и установочным входами устройства, отличающееся тем, что, с целью сокращения аппаратных затрат устройства, в него введены блок сравнения, формирователь импульсов и элемент И-НЕ, причем первый информационный вход мультиплексора соединен с выходом элемента И-НЕ, первым входом соединенного с тактовым входом устройства, а вторым входом - с выходом блока сравнения, первая и вторая группы информационных входов которого подключены соответственно к группе выходов регистра сдвига и первой группе выходов блока памяти, вход записи которого является входом записи устройства и соединен через формирователь импульсов с вторым информационным входом мультиплексора, вторая группа входов сумматора по модулю два соединена с выходами элементов И группы, первые и вторые входы которых подключены соответственно к второй группе выходов блока памяти и группе выходов регистра сдвига, счетный вход и вход сброса счетчика соединены соответственно с выходом мультиплексора и установочным входом устройства, группы выходов регистра сдвига является информационной группой выходов устройства.

Т а б л и ц а 1

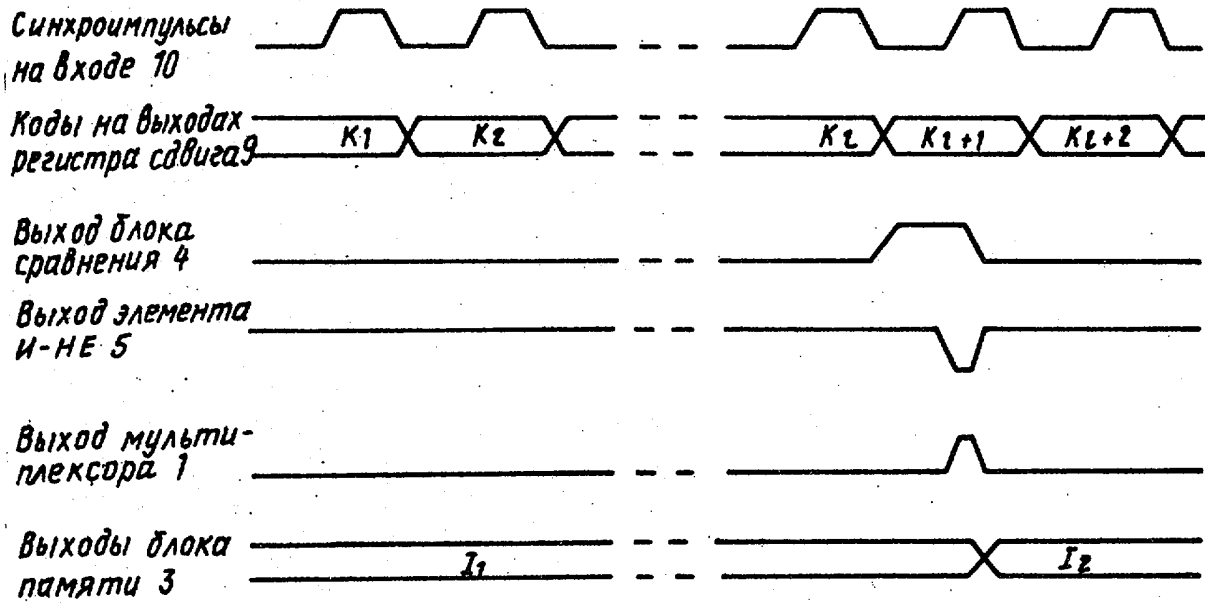
Адрес	Данные в блоке памяти 3																					
	V1	V2	V3	V4	V5	V6	V7	V8	V9	V10	V11	V12	V13	V14	V15	C ₁	C ₂	C ₃	C ₄	C ₅	C ₆	
0 0 0 0	0	0	1	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
0 0 0 1	0	0	1	0	1	0	0	1	0	0	0	0	1	1	1	1	0	0	0	1	0	0
0 0 1 0	1	1	0	0	1	1	1	0	0	0	1	0	1	0	0	0	1	1	1	0	1	0

Т а б л и ц а 2

№ такта	Выходы регистра сдвига 8														
	A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12	A13	A14	A15
0	1	0	0	0	0	1	1	1	0	0	0	0	0	0	0
1	0	1	0	0	0	0	1	1	1	0	0	0	0	0	0
2	0	0	1	0	0	0	0	1	1	1	0	0	0	0	0
3	1	0	0	1	0	0	0	0	1	1	1	0	0	0	0
4	0	1	0	0	1	0	0	0	0	1	1	1	0	0	0
5	1	0	1	0	0	1	0	0	0	0	1	1	1	0	0
6	0	1	0	1	0	0	1	0	0	0	0	1	1	1	0
7	0	0	1	0	1	0	0	1	0	0	0	0	1	1	1
8	0	0	0	1	0	1	0	0	1	0	0	0	0	1	1
9	1	0	0	0	1	0	1	0	0	1	0	0	0	0	1
10	1	1	0	0	0	1	0	1	0	0	1	0	0	0	0
11	1	1	1	0	0	0	1	0	1	0	0	1	0	0	0
12	0	1	1	1	0	0	0	1	0	1	0	0	1	0	0
13	0	0	1	1	1	0	0	0	1	0	1	0	0	1	0
14	1	0	0	1	1	1	0	0	0	1	0	1	0	0	1
15	1	1	0	0	1	1	1	0	0	0	1	0	1	0	0



Фиг. 1



Фиг. 2

Редактор О. Головач

Составитель В. Вертлиб

Техред М. Дидык

Кооректор В. Кабаций

Заказ 5814/47

Тираж 668

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101