

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7356573号
(P7356573)

(45)発行日 令和5年10月4日(2023.10.4)

(24)登録日 令和5年9月26日(2023.9.26)

(51)国際特許分類

F I

H 0 4 L 25/49 (2006.01)

H 0 4 L 25/49

Z

H 0 4 L 25/49

L

請求項の数 6 (全13頁)

(21)出願番号	特願2022-508572(P2022-508572)	(73)特許権者	516010548
(86)(22)出願日	令和2年9月16日(2020.9.16)		セイenchips テクノロジー カンパニ
(65)公表番号	特表2022-544251(P2022-544251		ーリミテッド
	A)		中華人民共和国 カントン, シェンチェ
(43)公表日	令和4年10月17日(2022.10.17)		ン, ナンシャ ン ディストリクト, シー
(86)国際出願番号	PCT/CN2020/115478		リー ストリート, リウシエン アヴェニ
(87)国際公開番号	WO2021/052347		ュー, ゼットティーイー インダストリ
(87)国際公開日	令和3年3月25日(2021.3.25)		アル パーク
審査請求日	令和4年2月9日(2022.2.9)	(74)代理人	100112656
(31)優先権主張番号	201910881843.X		弁理士 宮田 英毅
(32)優先日	令和1年9月18日(2019.9.18)	(74)代理人	100089118
(33)優先権主張国・地域又は機関	中国(CN)		弁理士 酒井 宏明
		(74)代理人	110002505
			弁理士法人航栄事務所
		(72)発明者	ルー シャオファン

最終頁に続く

(54)【発明の名称】 信号補正方法及び装置

(57)【特許請求の範囲】

【請求項 1】

変調待ちビットシーケンスにおける各変調シンボルに対応する複数のビットに対してそれぞれ予等化処理を行い、予等化処理の結果を加算して第1の変調シンボルを得ることと、
第1の変調シンボルに対して非線形プリディストーション処理を行って第2の変調シンボルを得ることと、を含み、

前記各変調シンボルに対応する複数のビットに対してそれぞれ行われる予等化処理は、
それぞれの等化係数を有し、

前記それぞれの等化係数に対応する予め設定された重みを乗じ、前記予め設定された重みに応じて前記等化係数を調整することを更に含む

信号補正方法。

【請求項 2】

第1の変調シンボルに対して非線形プリディストーション処理を行って第2の変調シンボルを得ることは、

ルックアップテーブルを用いて、前記第1の変調シンボルから前記第2の変調シンボルへのマッピングを実現すること、

又は、

ルックアップテーブルを用いて、前記第1の変調シンボルから出力シンボル補正值へのマッピングを実現することを含み、前記第1の変調シンボルに出力シンボル補正值を加算して前記第2の変調シンボルを得る

請求項 1 に記載の方法。

【請求項 3】

請求項 1 または 2 に記載の信号補正方法を実行するためのコンピュータ実行可能命令を記憶する

コンピュータ可読記憶媒体。

【請求項 4】

プロセッサとメモリを含み、メモリには、請求項 1 または 2 に記載の信号補正方法を実行するための、プロセッサ上で実行可能なコンピュータプログラムが記憶されている

信号補正を実現する装置。

【請求項 5】

ビット分離予等化処理モジュールと、非線形プリディストーションモジュールと、を備える信号補正装置であって、

ビット分離予等化処理モジュールは、各変調シンボルに対応する複数のビットにそれぞれ対応する複数の予等化プロセッサと、第 1 の加算器と、を含み、

前記複数の予等化プロセッサは、変調待ちビットシーケンスにおける各変調シンボルに対応する複数のビットに対してそれぞれ予等化処理を行うように設けられ、

第 1 の加算器は、前記複数の予等化プロセッサの処理結果を加算して第 1 の変調シンボルを得るように設けられ、

非線形プリディストーションモジュールは、第 1 の変調シンボルに対して非線形プリディストーション処理を行って第 2 の変調シンボルを得るように設けられ、

異なる前記予等化プロセッサは、それぞれの等化係数を有し、

各予等化プロセッサは、前記予等化プロセッサの等化係数に対応する予め設定された重みを乗じ、前記予め設定された重みに応じて前記予等化プロセッサの等化係数を調整するように設けられる

信号補正装置。

【請求項 6】

前記非線形プリディストーションモジュールは、ルックアップテーブルを用いて前記第 1 の変調シンボルから前記第 2 の変調シンボルへのマッピングを実現するように設けられ、

又は、

前記非線形プリディストーションモジュールは、ルックアップモジュールと第 2 の加算器を含み、

ルックアップモジュールは、ルックアップテーブルを用いて前記第 1 の変調シンボルから出力シンボル補正值へのマッピングを実現するように設けられ、

第 2 の加算器は、前記第 1 の変調シンボルに出力シンボル補正值を加算して前記第 2 の変調シンボルを得るように設けられる

請求項 5 に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、2019年9月18日に中国特許庁に提出された、出願番号を201910881843.Xとする中国特許出願の優先権を主張し、当該出願のすべての内容を参照により援用する。

【0002】

本願は、電子回路技術、例えば、信号補正方法及び装置に関するが、これらに限定されない。

【背景技術】

【0003】

データレートを向上させるために、高速シリアル通信回路(SERDES)は2つの進化方向を有し、1つはより速いシンボルレートを用いること、即ち、シンボル周期を短縮することであり、もう1つは、送信シンボル当たり、より多くの情報ビットを変調できる

10

20

30

40

50

ようにすること、即ち、高次変調を用いることである。これらの進化方式を実現するためには、送信機のさらなる高性能化が求められる。

【 0 0 0 4 】

データレートの向上に伴い、送信機の予等化は高速シリアル通信回路において最も重要な機能の1つとなっており、高次変調の導入に伴い送信機アナログ回路の非線形特性が顕著となり、システムの性能を制限する要因の1つとなっている。また、高速かつ低消費電力の高速シリアル通信回路が必要とされていることも、送信機の性能に課題をもたらしている。

【発明の概要】

【 0 0 0 5 】

本願は、高速シリアル通信における送信端信号に対する補正を簡単に実現でき、演算量を大きく低減できる信号補正方法及び装置を提供する。

【 0 0 0 6 】

本願は、変調待ちビットシーケンスにおける各変調シンボルに対応する複数のビットに対してそれぞれ予等化処理を行い、予等化処理の結果を加算して第1の変調シンボルを得ることと、

第1の変調シンボルに対して非線形プリディストーション処理を行って第2の変調シンボルを得ることと、を含む

信号補正方法を提供する。

【 0 0 0 7 】

本願は、上記のいずれかに記載の信号補正方法を実行するためのコンピュータ実行可能命令を記憶する、コンピュータ可読記憶媒体をさらに提供する。

【 0 0 0 8 】

本願は、プロセッサとメモリを含み、メモリには、上記のいずれかに記載の信号補正方法のステップを実行するための、プロセッサ上で実行可能なコンピュータプログラムが記憶されている、信号補正を実現する装置をさらに提供する。

【 0 0 0 9 】

本願は、ビット分離予等化処理モジュールと、非線形プリディストーションモジュールと、を備える信号補正装置であって、

ビット分離予等化処理モジュールは、各変調シンボルに対応する複数のビットにそれぞれ対応する複数の予等化プロセッサと、第1の加算器と、を含み、

前記複数の予等化プロセッサは、変調待ちビットシーケンスにおける各変調シンボルに対応する複数のビットに対してそれぞれ予等化処理を行うように設けられ、

前記第1の加算器は、前記複数の予等化プロセッサの処理結果を加算して第1の変調シンボルを得るように設けられ、

非線形プリディストーションモジュールは、第1の変調シンボルに対して非線形プリディストーション処理を行って第2の変調シンボルを得るように設けられる

信号補正装置をさらに提供する。

【図面の簡単な説明】

【 0 0 1 0 】

【図1】図1は、本願の信号補正方法のフローチャートである。

【図2】図2は、本願の信号補正装置の組成構造模式図である。

【図3】図3は、本願の第1の実施例における信号補正を実現する模式図である。

【図4】図4は、本願の第1の実施例における、予等化処理によるアイ・ダイアグラムの非線形の調整の例を示す図である。

【図5】図5は、本願の第2の実施例における信号補正を実現する模式図である。

【図6】図6は、本願の第3の実施例における信号補正を実現する模式図である。

【図7】図7は、本願の第3の実施例における非線形プリディストーション処理の模式図である。

【発明を実施するための形態】

10

20

30

40

50

【0011】

本願の典型的な配置において、コンピューティングデバイスは、少なくとも1つのプロセッサ(Central Processing Unit, CPU)、入出力インタフェース、ネットワークインタフェース、及びメモリを含む。

【0012】

メモリは、コンピュータ可読媒体における非永久メモリ、ランダムアクセスメモリ(Random Access Memory, RAM)、及び/又はリードオンリーメモリ(Read-Only Memory, ROM)若しくはフラッシュメモリ(flash RAM)等の不揮発性メモリなどの形態を含むことができる。メモリは、コンピュータ可読媒体の一例である。

10

【0013】

コンピュータ可読媒体は、永久及び非永久、着脱可能及び非着脱可能媒体を含んでよく、任意の方法又は技術によって情報の記憶を実現してよい。情報は、コンピュータ可読命令、データ構造、プログラムのモジュール又は他のデータであってもよい。コンピュータの記憶媒体の例としては、位相変化メモリ(Phase Change Random Access Memory, PRAM)、スタティックランダムアクセスメモリ(Static Random Access Memory, SRAM)、ダイナミックランダムアクセスメモリ(Dynamic Random Access Memory, DRAM)、他のタイプのランダムアクセスメモリ(RAM)、リードオンリーメモリ(ROM)、電氣的消去可能プログラマブルリードオンリーメモリ(Electrically Erasable Programmable Read-Only Memory, EEPROM)、フラッシュメモリ又は他のメモリ技術、コンパクトディスクリードオンリーメモリ(Compact Disc Read-Only Memory, CD-ROM)、デジタル多用途ディスク(Digital Versatile Disc, DVD)又は他の光学記憶、磁気カセット、磁気テープ磁気ディスク記憶又は他の磁気記憶デバイス、又は任意の他の非伝送媒体が挙げられるが、これらに限定されず、コンピューティングデバイスによってアクセス可能な情報を記憶するように設けられてもよい。本明細書の定義によれば、コンピュータ可読媒体は、変調されたデータ信号及び搬送波などの非一時的コンピュータ可読媒体(transitory media)を含まない。

20

【0014】

本願の目的、技術案及び利点をより明確にするために、以下では本願の実施例について、図面を参照して詳細に説明する。なお、本願における実施例及び実施例における特徴は、矛盾しない限り、互いに任意に組み合わせることができる。

30

【0015】

図1は、本願の信号補正方法のフローチャートである。図1に示すように、ステップ100からステップ101が含まれる。

【0016】

ステップ100では、変調待ちビットシーケンスにおける各変調シンボルに対応する複数のビットに対してそれぞれ予等化处理を行い、予等化处理の結果を加算して第1の変調シンボルを得る。

40

【0017】

1つの例示的な例では、各変調シンボルに対応する複数のビットに対してそれぞれ行われる予等化处理は、それぞれの等化係数を有する。例えば、1つの変調シンボルが2ビットを含むと仮定すると、一方のビットに対して予等化处理を行うための等化係数は $C_1(i)$ であり、他方のビットに対して予等化处理を行うための等化係数は $C_2(i)$ である。ここで、 $i = 0, 1, 2, \dots, L$ であり、 L は線形等化器の長さである。

【0018】

1つの例示的な例では、本願は、予め設定された重みに応じて前記等化係数を調整することをさらに含む。

【0019】

50

言い換えると、本願の予等化処理の等化係数は、重みによって調整されてもよい。例えば、1つの変調シンボルが、それぞれ4レベル振幅変調(4-level Pulse Amplitude Modulation, PAM4)の上位ビット及び下位ビットである2ビットを含むと仮定する。上位ビットの1つに対して予等化処理を行うための等化係数は $C1(i) = K1 \times C0(i)$ であり、下位ビットに対して予等化処理を行うための等化係数は $C2(i) = K2 \times C0(i)$ であり、ここで、 $i = 0, 1, 2, \dots, L$ であり、 L は線形等化器の長さである。 $K1$ 、 $K2$ は等化係数の重みである。重み $K1$ 、 $K2$ に対する調整によって、 $K1$ が $K2$ の2倍に等しい場合、出力される第1の変調シンボルのPAM4アイ・ダイアグラムの上目の高さ及び下目の高さは、中目の高さに等しくなり、 $K1$ が $K2$ の2倍よりも小さい場合、出力される第1の変調シンボルのPAM4アイ・ダイアグラムの上目の高さ及び下目の高さは、中目の高さよりも大きくなり、 $K1$ が $K2$ の2倍よりも大きい場合、出力されるPAM4アイ・ダイアグラムの上目の高さ及び下目の高さは、中目の高さよりも小さくなる。即ち、適切な重み $K1$ と $K2$ の比例関係を選択することにより、複数のビットがそれぞれ予等化処理を行う過程でアイ・ダイアグラムの非線形を調整することができ、つまり、適切な $K1$ と $K2$ の比例関係を選択することにより、本願の予等化処理に非線形プリディストーションを巧みに組み合わせることができる。

10

【0020】

1つの例示的な例では、重みは実際の応用場面に応じて予め設定されてもよい。

【0021】

20

本願では、重みを用いて複数のビットに対してそれぞれ行われる予等化処理の等化係数を調整することにより、本願の予等化処理に非線形プリディストーションを巧みに組み合わせ、信号補正に対する処理を大幅に簡略化し、演算量を低減する。

【0022】

ステップ101では、第1の変調シンボルに対して非線形プリディストーション処理を行って第2の変調シンボルを得る。

【0023】

1つの例示的な例では、ルックアップテーブルを用いて、入力シンボル(即ち、第1の変調シンボル)から出力シンボル(即ち、第2の変調シンボル)へのマッピングを実現することができる。

30

【0024】

1つの例示的な例では、このステップは、

ルックアップテーブルを用いて、入力シンボル(即ち、第1の変調シンボル)から出力シンボル補正值へのマッピングを実現することと、

入力シンボル(即ち、第1の変調シンボル)に出力シンボル補正值を加算して出力シンボル(即ち、第2の変調シンボル)を得ることと、を含んでよい。

【0025】

本願では、変調待ちビットシーケンスにおける各変調シンボルに対応する複数のビットに対してそれぞれ予等化処理を行い、予等化処理の結果に対して簡単な加算処理を行った後に非線形プリディストーション処理を行うことにより、高速シリアル通信における送信端信号に対する補正を簡単に実現し、演算量を大幅に低減し、ひいては送信機の性能を向上させる。

40

【0026】

本発明の実施例は、上記実施例のいずれかに記載の信号補正方法を実行するためのコンピュータ実行可能命令を記憶する、コンピュータ可読記憶媒体をさらに提供する。

【0027】

本発明の実施例は、プロセッサとメモリを含み、メモリには、上記実施例のいずれかに記載の信号補正方法を実行するための、プロセッサ上で実行可能なコンピュータプログラムが記憶されている、信号補正を実現する装置をさらに提供する。

【0028】

50

図 2 は、本願の信号補正装置の組成構造模式図である。図 2 に示すように、本願の信号補正装置は、少なくともビット分離予等化処理モジュールと、非線形プリディストーションモジュールと、を備え、ビット分離予等化処理モジュールは、各変調シンボルに対応する複数のビット（図 2 に示す各変調シンボルが m ビットに対応）にそれぞれ対応する複数の予等化プロセッサ（図 2 に示す m 個の予等化プロセッサ）と、第 1 の加算器と、を含み、複数の予等化プロセッサは、変調待ちビットシーケンスにおける各変調シンボルに対応する複数のビットに対してそれぞれ予等化処理を行うように設けられ、

第 1 の加算器は、複数の予等化プロセッサの処理結果を加算して第 1 の変調シンボルを得るように設けられ、

非線形プリディストーションモジュールは、第 1 の変調シンボルに対して非線形プリディストーション処理を行って第 2 の変調シンボルを得るように設けられる。

10

【0029】

1 つの例示的な例では、異なる予等化プロセッサは、それぞれの等化係数を有する。

【0030】

1 つの例示的な例では、各予等化プロセッサは、予め設定された重みに応じて前記予等化プロセッサの等化係数を調整するようにさらに設けられる。つまり、予等化プロセッサの等化係数は、重みによって調整されてもよい。本願では、重みを用いて複数のビットに対してそれぞれ行われる予等化処理の等化係数を調整することにより、本願の予等化処理に非線形プリディストーションを巧みに組み合わせ、信号補正に対する処理を大幅に簡略化し、演算量を低減する。

20

【0031】

1 つの例示的な例では、非線形プリディストーションモジュールは、ルックアップテーブルを用いて入力シンボル（即ち、第 1 の変調シンボル）から出力シンボル（即ち、第 2 の変調シンボル）へのマッピングを実現するように設けられる。

【0032】

1 つの例示的な例では、非線形プリディストーションモジュールは、ルックアップモジュールと第 2 の加算器を含み、

ルックアップモジュールは、ルックアップテーブルを用いて入力シンボル（即ち、第 1 の変調シンボル）から出力シンボル補正值へのマッピングを実現するように設けられ、

第 2 の加算器は、入力シンボル（即ち、第 1 の変調シンボル）に出力シンボル補正值を加算して出力シンボル（即ち、第 2 の変調シンボル）を得るように設けられる。

30

【0033】

本願では、変調待ちビットシーケンスにおける各変調シンボルに対応する複数のビットに対してそれぞれ予等化処理を行い、予等化処理の結果に対して簡単な加算処理を行った後に非線形プリディストーション処理を行うことにより、高速シリアル通信における送信端信号に対する補正を簡単に実現し、演算量を大幅に低減し、ひいては送信機の性能を向上させる。

【0034】

以下では、具体的な実施例を組み合わせる本願を詳細に説明する。

【0035】

40

第 1 の実施例は、高速シリアル通信における高次変調に利用可能な送信端予等化及び非線形補正方法を提供する。第 1 の実施例では、図 3 に示すように、入力データは変調待ちビットシーケンスであり、 $B_1(k)$ と表記され、 $k = 1, 2, 3, \dots, K, \dots$ である。ビット分離予等化処理モジュール 11 は、各変調シンボルに対応する複数のビットに対して予等化操作を行い、予等化された第 1 の変調シンボル S_{11} を出力し、非線形プリディストーション処理モジュール 12 は、予等化された第 1 の変調シンボル S_{11} に対してルックアップテーブルを用いて非線形プリディストーション処理を実現し、非線形プリディストーション後の第 2 の変調シンボル S_{12} を出力する。

【0036】

第 1 の実施例では、入力された変調待ちビットシーケンス $B_1(k)$ が 112 Gbps

50

信号であり、変調方式に P A M 4 を用い、出力されたシンボルレートが 5 6 G s p s であると仮定する。

【 0 0 3 7 】

図 3 に示すように、ビット分離予等化処理モジュール 1 1 は予等化プロセッサ 1 1 1 と予等化プロセッサ 1 1 2 を含み、変調待ちビットシーケンス B 1 (k) における各変調シンボルに対応する 2 つの変調待ちビットは、それぞれ予等化プロセッサ 1 1 1 と予等化プロセッサ 1 1 2 に入力され、そして、第 1 の加算器により、予等化プロセッサ 1 1 1 の出力結果 S 1 1 1 と予等化プロセッサ 1 1 2 の出力結果 S 1 1 2 とを加算処理して、予等化処理後の第 1 の変調シンボル S 1 1 を出力する。1 つの例示的な例では、予等化プロセッサ 1 1 1 と予等化プロセッサ 1 1 2 は、下記の線形予等化処理を含んでもよい。

10

【 0 0 3 8 】

$$S 1 1 1 (n) = \sum i (C 1 1 1 (i) \times B 1 (2 (n + i) - 1)) ;$$

$$S 1 1 2 (n) = \sum i (C 1 1 2 (i) \times B 1 (2 (n + i))) ;$$

【 0 0 3 9 】

ここで、C 1 1 1 (i) は予等化プロセッサ 1 1 1 の i 番目の等化係数であり、C 1 1 2 (i) は予等化プロセッサ 1 1 2 の i 番目の等化係数であり、i = 0 , 1 , 2 , . . . , L であり、L は線形等化器の長さである。S 1 1 1 (n) は予等化プロセッサ 1 1 1 の n 番目の変調シンボルの 1 番目のビットの出力結果であり、S 1 1 2 (n) は予等化プロセッサ 1 1 2 の n 番目の変調シンボルの 2 番目のビットの出力結果であり、n = 1 , 2 , 3 , . . . , N , . . . であり、N は変調待ちビットシーケンス B 1 (k) における変調シンボルの数である。

20

【 0 0 4 0 】

1 つの例示的な例では、予等化プロセッサ 1 1 1 と予等化プロセッサ 1 1 2 は、分散アルゴリズム (D i s t r i b u t e d A r i t h m e t i c) 構造を用いて実現してもよい。

【 0 0 4 1 】

予等化処理後の S 1 1 1 (n) と S 1 1 2 (n) は、第 1 の加算器によって以下の処理を行った後に第 1 の変調シンボル S 1 1 を得る。

【 0 0 4 2 】

$$S 1 1 (n) = S 1 1 1 (n) + S 1 1 2 (n) , n = 1 , 2 , 3 , . . . , N , . . .$$

30

【 0 0 4 3 】

第 1 の実施例では、P A M 4 の変調マッピング関係には 1 1 - > 3 , 1 0 - > 1 , 0 1 - > - 1 , 0 0 - > - 3 が含まれている。つまり、B 1 (k) , k = 1 , 2 , 3 , . . . , K , . . . において、奇数ビットは最上位ビット (M o s t S i g n i f i c a n t B i t , M S B) であり、偶数ビットは最下位ビット (L e a s t S i g n i f i c a n t B i t , L S B) であり、M S B のベースは L S B のベースの 2 倍である。

【 0 0 4 4 】

図 4 に示すように、i = 0 , 1 , 2 , . . . , L であり、L は線形等化器の長さである。C 1 1 1 (i) が C 1 1 2 (i) の 2 倍に等しい場合、出力される第 1 の変調シンボル S 1 1 の P A M 4 アイ・ダイアグラムの上目の高さ h _ u 及び下目の高さ h _ l は、中目の高さ h _ m に等しく、C 1 1 1 (i) が C 1 1 2 (i) の 2 倍よりも小さい場合、出力される第 1 の変調シンボル S 1 1 の P A M 4 アイ・ダイアグラムの上目の高さ h _ u 及び下目の高さ h _ l は、中目の高さ h _ m よりも大きく、C 1 1 1 (i) が C 1 1 2 (i) の 2 倍より大きい場合、出力される S 1 1 の P A M 4 アイ・ダイアグラムの上目の高さ h _ u 及び下目の高さ h _ l は、中目の高さ h _ m よりも小さい。即ち、適切な C 1 1 1 (i) と C 1 1 2 (i) の比例関係を選択することにより、複数のビットがそれぞれ予等化処理を行う過程でアイ・ダイアグラムの非線形を調整することができ、つまり、適切な C 1 1 1 (i) と C 1 1 2 (i) の比例関係を選択することにより、本願の予等化処理に非線形プリディストーションを巧みに組み合わせることができる。1 つの例示的な例では、

40

50

適切な $C_{111}(i)$ と $C_{112}(i)$ の比例関係を選択するという目的を達成するために、重みを用いて、異なる応用場面に応じて複数のビットがそれぞれ行った予等化処理の等化係数を調整することができる。

【0045】

第1の実施例では、第1の変調シンボル S_{11} の固定点ビット幅は4ビットであり、第2の変調シンボル S_{12} の固定点ビット幅は4ビットである。1つの例示的な例では、ルックアップテーブルは以下のように示され、ルックアップテーブルにおけるデータは4ビットの補数を用いて表されることができる。

【0046】

1000 -> 1000 ; 1001 -> 1000 ; 1010 -> 1001 ; 1011 -> 1010 ;
1100 -> 1100 ; 1101 -> 1101 ; 1110 -> 1110 ; 1111 -> 1111 ;
0000 -> 0000 ; 0001 -> 0001 ; 0010 -> 0010 ; 0011 -> 0011 ;
0100 -> 0101 ; 0101 -> 0110 ; 0110 -> 0111 ; 0111 -> 0111 。

【0047】

第2の実施例では、入力データが変調待ちビットシーケンスであり、 $B_2(k)$ と表記され、 $k = 1, 2, 3, \dots, K, \dots$ であり、入力される変調待ちビットシーケンスが112 Gbps 信号であり、変調方式に16レベル振幅変調 (16-level Pulse Amplitude Modulation, PAM16) を用い、出力されるシンボルレートが28 Gbaudであると仮定する。

【0048】

図5に示すように、ビット分離予等化処理モジュール21は、予等化プロセッサ211、予等化プロセッサ212、予等化プロセッサ213及び予等化プロセッサ214を含み、変調待ちビットシーケンス $B_2(k)$ における各変調シンボルに対応する4つの変調待ちビットは、それぞれ予等化プロセッサ211、予等化プロセッサ212、予等化プロセッサ213及び予等化プロセッサ214に入力され、そして、第1の加算器により、各予等化プロセッサの出力結果である出力結果 S_{211} 、出力結果 S_{212} 、出力結果 S_{213} 及び出力結果 S_{214} を加算処理して、予等化処理後の第1の変調シンボル S_{21} を出力する。1つの例示的な例では、予等化プロセッサ211、予等化プロセッサ212、予等化プロセッサ213及び予等化プロセッサ214は、下記の線形予等化処理を含んでもよい。

【0049】

$$\begin{aligned} S_{211}(n) &= \sum_i (C_{211}(i) \times B_2(4(n+i) - 3)) ; \\ S_{212}(n) &= \sum_i (C_{212}(i) \times B_2(4(n+i) - 2)) ; \\ S_{213}(n) &= \sum_i (C_{213}(i) \times B_2(4(n+i) - 1)) ; \\ S_{214}(n) &= \sum_i (C_{214}(i) \times B_2(4(n+i))) ; \end{aligned}$$

【0050】

ここで、 $C_{211}(i)$ は予等化プロセッサ211の i 番目の等化係数であり、 $C_{212}(i)$ は予等化プロセッサ212の i 番目の等化係数であり、 $C_{213}(i)$ は予等化プロセッサ213の i 番目の等化係数であり、 $C_{214}(i)$ は予等化プロセッサ214の i 番目の等化係数であり、 $i = 0, 1, 2, \dots, L$ であり、 L は線形等化器の長さである。 $S_{211}(n)$ は予等化プロセッサ211の n 番目の出力結果であり、 $S_{212}(n)$ は予等化プロセッサ212の n 番目の出力結果であり、 $S_{213}(n)$ は予等化プロセッサ213の n 番目の出力結果であり、 $S_{214}(n)$ は予等化プロセッサ214の n 番目の出力結果であり、 $n = 1, 2, 3, \dots, N, \dots$ である。

【0051】

予等化処理後の $S_{211}(n)$ 、 $S_{212}(n)$ 、 $S_{213}(n)$ 及び $S_{214}(n)$

は、第1の加算器によって以下の処理を行った後に第1の変調シンボルS21を得る。

【0052】

$$S_{21}(n) = S_{211}(n) + S_{212}(n) + S_{213}(n) + S_{214}(n),$$

$$n = 1, 2, 3, \dots, N, \dots$$

【0053】

1つの例示的な例では、PAM16の変調マッピング関係は以下のように示されてもよい。

【0054】

1111 -> 15 ; 1110 -> 13 ; 1101 -> 11 ; 1100 -> 9 ;
 1011 -> 7 ; 1010 -> 5 ; 1001 -> 3 ; 1000 -> 1 ;
 0111 -> -1 ; 0110 -> -3 ; 0101 -> -5 ; 0100 -> -7 ;
 0011 -> -9 ; 0010 -> -11 ; 0001 -> -13 ; 0000 -> -15 ;

10

【0055】

第2の実施例では、 $C_{211}(i) = 2 \times C_{212}(i) = 4 \times C_{213}(i) = 8 \times C_{214}(i)$, $i = 0, 1, 2, \dots, L$ と仮定し、Lは線形等化器の長さである。

【0056】

第2の実施例では、非線形プリディストーション処理モジュール22は、ルックアップテーブルを用いて、予等化処理後の第1の変調シンボルS21から非線形プリディストーション処理後の第2の変調シンボルS22へのマッピングを実現する。

【0057】

20

第3の実施例では、入力データが変調待ちビットシーケンスであり、 $B_3(k)$ と表記され、 $k = 1, 2, 3, \dots, K, \dots$ であり、入力された変調待ちビットシーケンスが56Gbps信号であり、変調方式に非ゼロ復帰変調(Non-Return-To-Zero, NRZ)を用い、出力されたシンボルレートが56Gbaudであると仮定する。

【0058】

図6に示すように、ビット分離予等化処理モジュール31は予等化プロセッサ311を含み、変調待ちビットシーケンス $B_3(k)$ における各変調シンボルに対応する1つの変調待ちビットは、それぞれ予等化プロセッサ311に入力され、出力結果 S_{311} は即ち予等化処理後の第1の変調シンボル S_{31} である。1つの例示的な例では、予等化プロセッサ311は下記の線形予等化処理を含んでもよい。

30

【0059】

$$S_{311}(n) = \sum_i (C_{311}(i) \times B_3(n+i));$$

【0060】

ここで、 $C_{311}(i)$ は予等化プロセッサ311のi番目の等化係数であり、 $i = 0, 1, 2, \dots, L$ であり、Lは線形等化器の長さである。 $S_{311}(n)$ は予等化プロセッサ311のn番目の出力結果であり、 $n = 1, 2, 3, \dots, N, \dots$ である。

【0061】

第3の実施例では、NRZの変調マッピング関係は1 -> 1, 0 -> 1を含んでもよい。

【0062】

40

図7に示すように、本実施例では、非線形プリディストーション処理モジュール32は、ルックアップテーブルを用いて、予等化処理後の第1の変調シンボル S_{31} から出力シンボル補正值シンボル S_{321} へのマッピングを実現し、そして、第2の加算器を用いて出力シンボル補正值シンボル S_{321} と入力された第1の変調シンボル S_{31} とを加算処理して、出力された第2の変調シンボル S_{32} を得る。

【0063】

1つの例示的な例では、第1の変調シンボル S_{31} の固定点ビット幅は4ビットであり、第2の変調シンボル S_{32} の固定点ビット幅は4ビットである。1つの例示的な例では、ルックアップテーブルは以下のように示されてもよい。

【0064】

50

1 0 0 0 - > 1 1 0 1 ; 1 0 0 1 - > 1 1 1 0 ; 1 0 1 0 - > 1 1 1 1 ; 1 0 1 1 - >
1 1 1 1 ;
1 1 0 0 - > 0 0 0 0 ; 1 1 0 1 - > 0 0 0 0 ; 1 1 1 0 - > 0 0 0 0 ; 1 1 1 1 - >
0 0 0 0 ;
0 0 0 0 - > 0 0 0 0 ; 0 0 0 1 - > 0 0 0 0 ; 0 0 1 0 - > 0 0 0 0 ; 0 0 1 1 - >
0 0 0 0 ;
0 1 0 0 - > 0 0 0 1 ; 0 1 0 1 - > 0 0 0 1 ; 0 1 1 0 - > 0 0 1 0 ; 0 1 1 1 - >
0 0 1 1 。

【 0 0 6 5 】

なお、本願の実施例で提供される図面は、本発明の基本的な概念を概略的に示したものに過ぎず、これらは、本明細書においてユニット、装置又はモジュール等と称され得るブロックであり、論理ゲート、集積回路、マイクロプロセッサ、マイクロコントローラ、メモリ回路、受動電子部品、能動電子部品、光学部品、ハードワイヤード回路等のアナログ及び/又はデジタル回路によって物理的に実現され、任意選択的にファームウェア及び/又はソフトウェアによって駆動されてもよい。これらの回路は、例えば、少なくとも1つの半導体チップ内に埋め込まれてもよく、又はプリント回路基板等の基板支持体上に埋め込まれてもよい。ブロックを構成する回路は、ブロックの機能の一部を実行するために、専用ハードウェア又はプロセッサ（例えば、少なくとも1つのプログラムされたマイクロプロセッサ及び関連回路）によって、或いは専用ハードウェアの組合せによって実行されてもよく、プロセッサは、ブロックの他の機能を実行してもよい。本発明の概念の範囲を逸脱しない場合、実施例における各ブロックは、2つ以上の相互に作用するブロック及び分離されたブロックに物理的に分割されてもよい。同様に、本発明の概念の範囲を逸脱しない場合、実施例におけるブロックは、より複雑なブロックに物理的に組み合わせてもよい。

10

20

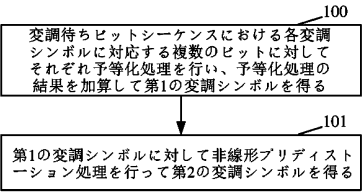
30

40

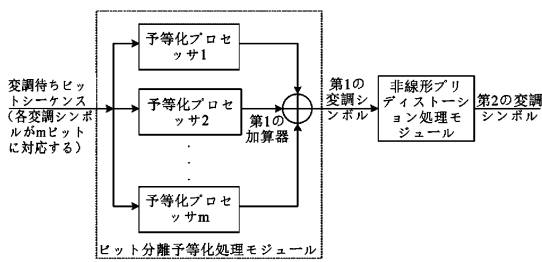
50

【図面】

【図 1】

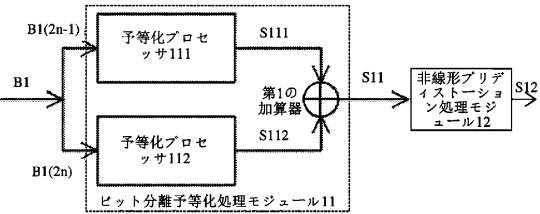


【図 2】

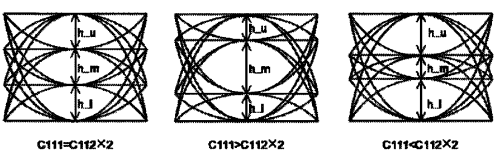


10

【図 3】

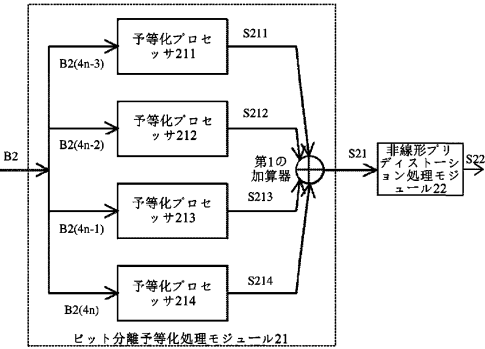


【図 4】

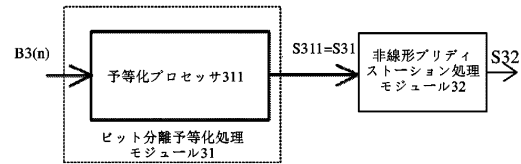


20

【図 5】



【図 6】

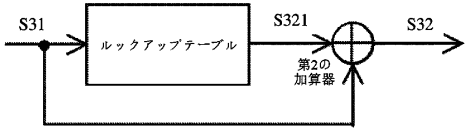


30

40

50

【 図 7 】



10

20

30

40

50

フロントページの続き

中華人民共和国 518057 カントン, シェンツェン, ナンシャ, ハイテク インダストリアル
パーク, ケジ ロード サウス, ゼットティーイー プラザ

審査官 吉江 一明

(56)参考文献 米国特許出願公開第2019/0044766 (US, A1)

特開2019-009504 (JP, A)

国際公開第2018/075239 (WO, A1)

特開2017-167314 (JP, A)

特表2016-530738 (JP, A)

北村 拓也, PAM-4 信号伝送波形の考察とその非線形性補正, 群馬大学大学院理工学府 理工
学専攻電子情報・数理教育プログラム, 2017年03月31日, pp.1-51, [https://core.ac.uk/do
wnload/pdf/141880191.pdf](https://core.ac.uk/download/pdf/141880191.pdf)

(58)調査した分野 (Int.Cl., DB名)

H04L 25/49