

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7032212号

(P7032212)

(45)発行日 令和4年3月8日(2022.3.8)

(24)登録日 令和4年2月28日(2022.2.28)

(51)国際特許分類

F I

H 0 1 L 21/60 (2006.01)

H 0 1 L 21/60 3 1 1 Q

H 0 1 L 23/12 (2006.01)

H 0 1 L 23/12 5 0 1 B

H 0 5 K 3/34 (2006.01)

H 0 5 K 3/34 5 0 1 E

H 0 5 K 3/34 5 0 5 A

請求項の数 10 (全14頁)

(21)出願番号 特願2018-70751(P2018-70751)
(22)出願日 平成30年4月2日(2018.4.2)
(65)公開番号 特開2019-186243(P2019-186243
A)
(43)公開日 令和1年10月24日(2019.10.24)
審査請求日 令和2年12月28日(2020.12.28)

(73)特許権者 000190688
新光電気工業株式会社
長野県長野市小島田町 8 0 番地
(74)代理人 100107766
弁理士 伊東 忠重
(74)代理人 100070150
弁理士 伊東 忠彦
(72)発明者 竹内 昭
長野県長野市小島田町 8 0 番地 新光電
気工業株式会社内
(72)発明者 田中 輝
長野県長野市小島田町 8 0 番地 新光電
気工業株式会社内
審査官 西村 治郎

最終頁に続く

(54)【発明の名称】 配線基板、半導体パッケージ及び配線基板の製造方法

(57)【特許請求の範囲】

【請求項 1】

配線基板の一方の面に設けられた複数の第 1 の接続端子及び複数の第 2 の接続端子、
を有し、
前記第 1 の接続端子は、
第 1 の直径を有し、表面が平坦又は凸状の第 1 の柱状電極と、
前記第 1 の柱状電極上の第 1 のパンプと、
を有し、
前記第 2 の接続端子は、
前記第 1 の直径よりも大きな第 2 の直径を有し、表面が凹状の第 2 の柱状電極と、
前記第 2 の柱状電極上の第 2 のパンプと、
を有し、
前記第 1 の接続端子同士のピッチが前記第 2 の接続端子同士のピッチより狭く、
前記第 1 のパンプ及び前記第 2 のパンプの融点は、前記第 1 の柱状電極及び前記第 2 の柱
状電極の融点よりも低いことを特徴とする配線基板。

【請求項 2】

前記第 1 の柱状電極及び前記第 2 の柱状電極は、銅若しくはニッケル又はこれらの両方を
含み、
前記第 1 のパンプ及び前記第 2 のパンプは、錫又ははんだを含むことを特徴とする請求項
1 に記載の配線基板。

【請求項 3】

前記第 1 の柱状電極の表面が凸状の曲面であり、
前記第 2 の柱状電極の表面が凹状の曲面であることを特徴とする請求項 1 又は 2 に記載の配線基板。

【請求項 4】

前記第 1 のパンプの表面が凸状の曲面であり、
前記第 2 のパンプの表面が凸状の曲面であることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の配線基板。

【請求項 5】

第 1 の接続部と第 2 の接続部とを有する配線層と、
前記配線層上に設けられたソルダレジスト層と、
前記ソルダレジスト層を貫通し、前記第 1 の接続部を露出する第 1 のビアホールと、
前記ソルダレジスト層を貫通し、前記第 2 の接続部を露出する第 2 のビアホールと、
を有し、
前記第 1 の柱状電極は、前記第 1 の接続部上に、前記第 1 のビアホールを通じて前記ソルダレジスト層の表面より上方に突出するように設けられ、
前記第 2 の柱状電極は、前記第 2 の接続部上に、前記第 2 のビアホールを通じて前記ソルダレジスト層の表面より上方に突出するように設けられていることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の配線基板。

【請求項 6】

請求項 1 乃至 5 のいずれか 1 項に記載の配線基板と、
前記配線基板に実装された半導体チップと、
を有し、
前記半導体チップは、
前記第 1 の接続端子に接続された第 3 の接続端子と、
前記第 2 の接続端子に接続された第 4 の接続端子と、
を有することを特徴とする半導体パッケージ。

【請求項 7】

配線基板の一方の面に、電解めっき法により、第 1 の直径を有し、表面が平坦又は凸状の複数の第 1 の柱状電極と、前記第 1 の直径よりも大きな第 2 の直径を有し、表面が凹状の複数の第 2 の柱状電極と、を形成する工程と、
電解めっき法により、前記第 1 の柱状電極上の第 1 のパンプと、前記第 2 の柱状電極上の第 2 のパンプと、を形成する工程と、
を有し、
前記第 1 の柱状電極同士のピッチが前記第 2 の柱状電極同士のピッチより狭く、
前記第 1 のパンプ及び前記第 2 のパンプの融点は、前記第 1 の柱状電極及び前記第 2 の柱状電極の融点よりも低く、
前記第 1 のパンプ及び前記第 2 のパンプの形成後に、前記第 1 のパンプ及び前記第 2 のパンプの融点以上、前記第 1 の柱状電極及び前記第 2 の柱状電極の融点未満の温度でリフローを行う工程を有することを特徴とする配線基板の製造方法。

【請求項 8】

前記第 1 の柱状電極と前記第 2 の柱状電極とを形成する工程において、
前記第 1 の柱状電極の表面を凸状の曲面とし、前記第 2 の柱状電極の表面を凹状の曲面とすることを特徴とする請求項 7 に記載の配線基板の製造方法。

【請求項 9】

前記リフローを行う工程において、
前記第 1 のパンプの表面を凸状の曲面とし、前記第 2 のパンプの表面を凸状の曲面とすることを特徴とする請求項 7 又は 8 に記載の配線基板の製造方法。

【請求項 10】

前記第 1 の柱状電極と前記第 2 の柱状電極とを形成する工程の前に、

第 1 の接続部と第 2 の接続部とを有する配線層を形成する工程と、
前記配線層上にソルダレジスト層を形成する工程と、
前記ソルダレジスト層を貫通し、前記第 1 の接続部を露出する第 1 のビアホールと、前記
ソルダレジスト層を貫通し、前記第 2 の接続部を露出する第 2 のビアホールと、を形成す
る工程と、
を有し、
前記第 1 の柱状電極と前記第 2 の柱状電極とを形成する工程において、
前記第 1 の接続部上に、前記第 1 のビアホールを通じて前記ソルダレジスト層の表面より
上方に突出するように前記第 1 の柱状電極を形成し、
前記第 2 の接続部上に、前記第 2 のビアホールを通じて前記ソルダレジスト層の表面より
上方に突出するように前記第 2 の柱状電極を形成することを特徴とする請求項 7 乃至 9 の
いずれか 1 項に記載の配線基板の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、配線基板、半導体パッケージ及び配線基板の製造方法に関する。

【背景技術】

【0002】

近年、半導体チップの接続端子の多端子化に伴い、直径が異なる複数の接続端子を有する
半導体チップが用いられている。このような半導体チップに対応するため、半導体チップ
を搭載する半導体パッケージに用いられる配線基板にも、直径が異なる複数の接続端子を
設けることが求められている。一般に、配線基板の接続端子には、銅（Cu）等のポスト
及びその上のパンプが含まれる。

20

【先行技術文献】

【特許文献】

【0003】

【文献】特開 2007 - 103878 号公報

特開 2017 - 152646 号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0004】

しかしながら、直径が異なる接続端子を含む半導体パッケージでは、配線基板と半導体チ
ップとの間で接続不良が生じることがある。例えば、直径が大きな接続端子（以下、大径
端子ということがある）に関し、2つの大径端子間でパンプ同士の短絡が生じることがあ
る。また、直径が小さな接続端子（以下、小径端子ということがある）に関し、小径端子
と半導体チップの接続端子とが接触できず、断線が生じることがある。このような短絡及
び断線は、直径が異なる接続端子を含む半導体パッケージの接続信頼性の低下につながる。

【0005】

本発明は、接続信頼性を向上することができる配線基板、半導体パッケージ及び配線基板
の製造方法を提供することを目的とする。

40

【課題を解決するための手段】

【0006】

配線基板の一態様は、配線基板の一方の面に設けられた複数の第 1 の接続端子及び複数の
第 2 の接続端子を有する。前記第 1 の接続端子は、第 1 の直径を有し、表面が平坦又は凸
状の第 1 の柱状電極と、前記第 1 の柱状電極上の第 1 のパンプと、を有する。前記第 2 の
接続端子は、前記第 1 の直径よりも大きな第 2 の直径を有し、表面が凹状の第 2 の柱状電
極と、前記第 2 の柱状電極上の第 2 のパンプと、を有する。前記第 1 の接続端子同士のピ
ッチが前記第 2 の接続端子同士のピッチより狭い。前記第 1 のパンプ及び前記第 2 のパ
ンプの融点は、前記第 1 の柱状電極及び前記第 2 の柱状電極の融点よりも低い。

【発明の効果】

50

【 0 0 0 7 】

開示の技術によれば、接続信頼性を向上することができる。

【 図面の簡単な説明 】

【 0 0 0 8 】

【 図 1 】 半導体パッケージに含まれる接続端子の例を示す断面図である。

【 図 2 】 半導体パッケージに含まれる接続端子の他の例を示す断面図である。

【 図 3 】 第 1 の実施形態に係る配線基板の構造を示す断面図である。

【 図 4 】 第 1 の実施形態に係る配線基板の製造方法を示す断面図（その 1 ）である。

【 図 5 】 第 1 の実施形態に係る配線基板の製造方法を示す断面図（その 2 ）である。

【 図 6 】 第 1 の実施形態に係る配線基板の製造方法を示す断面図（その 3 ）である。

10

【 図 7 】 第 1 の実施形態に含まれる接続端子の形成方法を示す断面図（その 1 ）である。

【 図 8 】 第 1 の実施形態に含まれる接続端子の形成方法を示す断面図（その 2 ）である。

【 図 9 】 第 1 の実施形態に含まれる接続端子の形成方法を示す断面図（その 3 ）である。

【 図 1 0 】 第 2 の実施形態に係る半導体パッケージを示す断面図である。

【 発明を実施するための形態 】

【 0 0 0 9 】

本発明者らは、従来の半導体パッケージにおいて短絡及び断線が生じる原因を究明すべく鋭意検討を行った。そして、本発明者らによる詳細な解析の結果、小径端子と大径端子との間で、ポストの高さを揃えているにも拘わらず、小径端子が大径端子よりも低くなっていることが明らかになった。ここで、この新たな知見について説明する。

20

【 0 0 1 0 】

図 1 は、半導体パッケージに含まれる接続端子の例を示す断面図である。図 1（a）及び（b）に示すように、これらの例では、ソルダレジスト層 9 0 0 に小径端子用のビアホール 9 1 5 及び大径端子用のビアホール 9 2 5 が形成されている。ビアホール 9 2 5 の直径はビアホール 9 1 5 の直径よりも大きい。そして、ビアホール 9 1 5 内にポスト 9 1 1 が形成され、ビアホール 9 2 5 内にポスト 9 1 1 よりも直径が大きいポスト 9 2 1 が形成されている。また、ポスト 9 1 1 上にバンプ 9 1 2 が形成され、ポスト 9 2 1 上にバンプ 9 2 2 が形成されている。ポスト 9 1 1 及びバンプ 9 1 2 が小径端子 9 1 0 に含まれ、ポスト 9 2 1 及びバンプ 9 2 2 が大径端子 9 2 0 に含まれる。例えば、ポスト 9 1 1 及び 9 2 1 は電解銅めっき法により形成され、バンプ 9 1 2 及びバンプ 9 2 2 は電解錫めっき法により形成される。これらの形成後にバンプ 9 1 2 及びバンプ 9 2 2 のリフローが行われて小径端子 9 1 0 及び大径端子 9 2 0 が形成される。

30

【 0 0 1 1 】

図 1（a）に示す例では、ポスト 9 1 1 及び 9 2 1 の表面が平坦であり、これらの高さが揃っている。表面が平坦なポスト 9 1 1 及び 9 2 1 の高さを揃えた場合、リフローにより、バンプ 9 2 2 の中央の厚さがバンプ 9 1 2 の中央の厚さよりも大きくなり、大径端子 9 2 0 が小径端子 9 1 0 よりも高くなる。

【 0 0 1 2 】

また、図 1（b）に示す例のように、ポスト 9 1 1 の表面が平坦になり、ポスト 9 2 1 の表面が凸状になることがある。この場合も、リフローにより、バンプ 9 2 2 の中央の厚さがバンプ 9 1 2 の中央の厚さよりも大きくなり、大径端子 9 2 0 が小径端子 9 1 0 よりも高くなる。

40

【 0 0 1 3 】

また、図 1（b）に示す例における頂部の高さの差 d_2 は、図 1（a）に示す例における頂部の高さの差 d_1 だけよりも大きく、大径端子 9 2 0 と小径端子 9 1 0 との高さの相違がより顕著となる。

【 0 0 1 4 】

そして、小径端子 9 1 0 と大径端子 9 2 0 との間に高さの相違がある配線基板に半導体チップがフリップチップ実装されると、大径端子 9 2 0 が半導体チップの接続端子に接触する一方で、小径端子 9 1 0 が半導体チップの接続端子に接触できず、断線が生じることが

50

ある。また、大径端子 9 2 0 に含まれるバンプ 9 2 2 がリフロー時に過剰になって横方向に漏れ出し、バンプ 9 2 2 間で短絡が生じることがある。

【 0 0 1 5 】

図 1 に例示していないが、大径端子 9 2 0 だけでなく小径端子 9 1 0 の表面が凸状になることがある。この場合も、大径端子 9 2 0 が小径端子 9 1 0 よりも高くなり、断線及び短絡が生じるおそれがある。

【 0 0 1 6 】

これらの現象はこれまで説明されておらず、その対策もとられていない。このような状況下で本発明者らが更に鋭意検討を行った結果、図 2 に示すように、大径端子 9 2 0 に含まれるポスト 9 2 1 の表面を凹状にすることで、リフロー後において小径端子 9 1 0 及び大径端子 9 2 0 の高さがほぼ揃い、上記のような断線及び短絡を抑制し、接続信頼性を向上できることが明らかになった。

【 0 0 1 7 】

本発明者らは、これらの新たな知見に基づいて、以下のような実施形態に想到した。以下、実施形態について添付の図面を参照しながら具体的に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複した説明を省くことがある。

【 0 0 1 8 】

(第 1 の実施形態)

第 1 の実施形態について説明する。第 1 の実施形態は配線基板に関する。

【 0 0 1 9 】

[配線基板の構造]

先ず、配線基板の構造について説明する。図 3 は、第 1 の実施形態に係る配線基板の構造を示す断面図である。

【 0 0 2 0 】

図 3 に示すように、第 1 の実施形態に係る配線基板 1 0 0 は、支持体としてコア配線基板 1 0 1 を含む。コア配線基板 1 0 1 はガラスエポキシ樹脂や、ビスマレイミドトリアジン樹脂等の絶縁材料から形成されるコア基板 1 0 2 を含む。コア基板 1 0 2 の両面に銅等からなる第 1 の配線層 1 0 4 が形成されている。コア基板 1 0 2 には厚さ方向に貫通するスルーホール 1 0 3 A が形成されており、スルーホール 1 0 3 A 内に貫通導体 1 0 3 が設けられている。コア基板 1 0 2 の両側の第 1 の配線層 1 0 4 は貫通導体 1 0 3 を介して相互に接続されている。スルーホール 1 0 3 A の側壁にスルーホールめっき層が形成され、スルーホール 1 0 3 A の残りの孔には樹脂体が充填されていてもよい。この場合、コア基板 1 0 2 の両側の第 1 の配線層 1 0 4 はスルーホールめっき層を介して相互に接続される。

【 0 0 2 1 】

コア基板 1 0 2 の両側に第 1 の絶縁層 1 0 5 が形成されている。第 1 の絶縁層 1 0 5 には、第 1 の配線層 1 0 4 の接続部に到達するビアホール 1 0 6 が形成されており、第 1 の絶縁層 1 0 5 上に、ビアホール 1 0 6 内のビア導体を介して第 1 の配線層 1 0 4 に接続される第 2 の配線層 1 0 7 が形成されている。更に、コア基板 1 0 2 の両側において、第 1 の絶縁層 1 0 5 上に第 2 の絶縁層 1 0 8 が形成されている。第 2 の絶縁層 1 0 8 には、第 2 の配線層 1 0 7 の接続部に到達するビアホール 1 0 9 が形成されており、第 2 の絶縁層 1 0 8 上に、ビアホール 1 0 9 内のビア導体を介して第 2 の配線層 1 0 7 に接続される第 3 の配線層 1 1 0 が形成されている。

【 0 0 2 2 】

コア基板 1 0 2 の両側において、第 2 の絶縁層 1 0 8 上にソルダレジスト層 2 0 0 が形成されている。コア基板 1 0 2 の半導体チップと接続される側のソルダレジスト層 2 0 0 に第 3 の配線層 1 1 0 の接続部に達する第 1 のビアホール 2 1 5 及び第 2 のビアホール 2 2 5 が形成されている。第 2 のビアホール 2 2 5 の直径は第 1 のビアホール 2 1 5 の直径よりも大きい。例えば、第 1 のビアホール 2 1 5 及び第 2 のビアホール 2 2 5 の深さは 1 5 μm ~ 2 5 μm である。また、第 1 のビアホール 2 1 5 の最下部の直径は 1 0 μm ~ 1 5

10

20

30

40

50

μm 、最上部の直径は $22\mu\text{m} \sim 27\mu\text{m}$ であり、第2のビアホール225の最下部の直径は $40\mu\text{m} \sim 50\mu\text{m}$ 、最上部の直径は $55\mu\text{m} \sim 60\mu\text{m}$ である。コア基板102の反対側のソルダレジスト層200には第3の配線層110の接続部に達する開口部235が形成されている。

【0023】

コア基板102の半導体チップと接続される側において、第3の配線層110の接続部上に、第1のビアホール215を通じてソルダレジスト層200の上方まで突出する第1の接続端子210、及び第2のビアホール225を通じてソルダレジスト層200の上方まで突出する第2の接続端子220が形成されている。第1の接続端子210は第1のポスト211及び第1のバンプ212を含み、第2の接続端子220は第2のポスト221及び第2のバンプ222を含む。第1のポスト211の表面は曲面状の凸状であり、第2のポスト221の表面は曲面状の凹状である。第1の接続端子210及び第2の接続端子220の頂部のソルダレジスト層200の表面を基準とする高さは、例えば $15\mu\text{m} \sim 25\mu\text{m}$ であり、互いに同等である。第1のポスト211は第1の柱状電極の一例であり、第2のポスト221は第2の柱状電極の一例である。

【0024】

第1のバンプ212及び第2のバンプ222の融点は第1のポスト211及び第2のポスト221の融点よりも低く、例えば、第1のポスト211及び第2のポストは銅(Cu)若しくはニッケル(Ni)又はこれらの両方を含み、第1のバンプ212及び第2のバンプ222は錫(Sn)又ははんだを含む。例えば、第1のポスト211及び第2のポストは電解めっき法により形成された銅めっき膜を有し、その上にニッケルめっき膜が形成されていてよい。はんだとしては、錫銀(SnAg)系合金、錫亜鉛(SnZn)系合金及び錫銅(SnCu)系合金等の無鉛はんだ、並びに鉛錫(PbSn)系合金の有鉛はんだが例示される。

【0025】

このように、本実施形態においては、第1のポスト211の表面が凸状であるのに対し、第2のポスト221の表面が凹状であり、第1の接続端子210及び第2の接続端子220の頂部の高さが互いに同等である。このため、半導体チップのフリップチップ実装の際に、小径端子である第1の接続端子210は半導体チップの接続端子に確実に電氣的に接続され、大径端子である第2の接続端子220に関しては、第2のバンプ222の漏れ出しが防止される。従って、本実施形態によれば接続信頼性を向上することができる。

【0026】

なお、第1の接続端子210及び第2の接続端子220の高さが互いに完全に一致している必要はなく、フリップチップ実装の際のリフローにおいて第1のバンプ212及び第2のバンプ222が溶融するため、高さに多少のずれがあっても従来の半導体パッケージで生じるような短絡及び断線を抑制することができる。また、第1のポスト211の表面が平坦であっても、同様の効果を得ることができる。

【0027】

その一方、小径ポストの表面が凹状で、大径ポストの表面が平坦又は凹状である場合、リフロー時に、小径ポスト上のバンプの突出量が抑制されると共に、大径ポスト上のバンプがより一層突出することになる。このため、小径ポストを含む小径の接続端子が、大径ポストを含む大径の接続端子より著しく低くなり、これらの間の高さの相違が大きくなる。従って、このような配線基板に半導体チップが実装されると、断線や短絡がより一層生じやすくなり、半導体パッケージの信頼性が低下してしまう。

【0028】

なお、第1の接続端子210及び第2の接続端子220のピッチが均等である必要はなく、例えば、第1の接続端子210同士のピッチが第2の接続端子220同士のピッチより狭くてもよい。

【0029】

[配線基板の製造方法]

10

20

30

40

50

次に、配線基板の製造方法について説明する。図４～図６は、第１の実施形態に係る配線基板の製造方法を示す断面図である。

【００３０】

先ず、図４（ａ）に示すように、支持体としてコア配線基板１０１を準備する。コア配線基板１０１はコア基板１０２及び第１の配線層１０４を備えている。コア基板１０２には厚さ方向に貫通するスルーホール１０３Ａが形成されており、スルーホール１０３Ａ内に貫通導体１０３が設けられている。例えば、スルーホール１０３Ａはドリルやレーザを用いた加工等により形成することができ、貫通導体１０３及び第１の配線層１０４はめっき法及びフォトリソグラフィ等により形成することができる。なお、コア配線基板１０１としては、配線基板１００が複数個取れる大判の基板が使用される。つまり、コア配線基板１０１は、配線基板１００に対応する構造体が形成される複数の領域を有している。

10

【００３１】

次いで、図４（ｂ）に示すように、コア基板１０２の両側に未硬化の樹脂フィルムを貼付し、加熱処理して硬化させることにより、第１の絶縁層１０５を形成する。第１の絶縁層１０５は、エポキシ樹脂又はポリイミド樹脂等の絶縁樹脂から形成される。液状樹脂を塗布することにより、第１の絶縁層１０５を形成してもよい。その後、コア基板１０２の両側の第１の絶縁層１０５をレーザで加工することにより、第１の配線層１０４の接続部に到達するビアホール１０６を第１の絶縁層１０５に形成する。

【００３２】

続いて、図５（ａ）に示すように、コア基板１０２の両側において、ビアホール１０６内のビア導体を介して第１の配線層１０４に接続される第２の配線層１０７を第１の絶縁層１０５上に形成する。

20

【００３３】

第２の配線層１０７はセミアディティブ法によって形成することができる。ここで、第２の配線層１０７の形成方法について詳しく説明する。先ず、第１の絶縁層１０５上及びビアホール１０６の内面に無電解めっき法又はスパッタ法により、銅等からなるシード層（不図示）を形成する。次いで、第２の配線層１０７を形成する部分に開口部が設けられためっきレジスト層（不図示）を形成する。続いて、シード層をめっき給電経路に利用する電解めっき法により、めっきレジスト層の開口部に銅等からなる金属めっき層を形成する。その後、めっきレジスト層を除去する。次いで、金属めっき層をマスクにしてシード層をウェットエッチングにより除去する。このようにして、シード層及び金属めっき層を含む第２の配線層１０７を形成することができる。

30

【００３４】

第２の配線層１０７の形成後、図５（ｂ）に示すように、コア基板１０２の両側において、第１の絶縁層１０５上に、第２の配線層１０７の接続部上にビアホール１０９が設けられた第２の絶縁層１０８を形成する。第２の絶縁層１０８は、第１の絶縁層１０５と同様の方法で形成することができる。

【００３５】

更に、同じく図５（ｂ）に示すように、コア基板１０２の両側において、ビアホール１０９内のビア導体を介して第２の配線層１０７に接続される第３の配線層１１０を第２の絶縁層１０８上に形成する。第３の配線層１１０は、第２の配線層１０７と同様の方法で形成することができる。

40

【００３６】

次いで、図６（ａ）に示すように、コア基板１０２の両側において、第２の絶縁層１０８上にソルダレジスト層２００を形成する。その後、コア基板１０２の半導体チップと接続される側のソルダレジスト層２００に第３の配線層１１０の接続部に達する第１のビアホール２１５及び第２のビアホール２２５を形成する。第２のビアホール２２５の直径は第１のビアホール２１５の直径よりも大きくする。また、コア基板１０２の反対側のソルダレジスト層２００に第３の配線層１１０の接続部に達する開口部２３５を形成する。

【００３７】

50

ソルダレジスト層 200 は、感光性のエポキシ樹脂又はアクリル樹脂等の絶縁樹脂から形成される。樹脂フィルムの貼り付け又は液状樹脂の塗布により、ソルダレジスト層 200 を形成してもよい。第 1 のビアホール 215、第 2 のビアホール 225 及び開口部 235 は、露光及び現像により形成することができる。ソルダレジスト層 200 に非感光性のエポキシ樹脂又はポリイミド樹脂等の絶縁樹脂を用いてもよい。この場合、第 1 のビアホール 215、第 2 のビアホール 225 及び開口部 235 は、レーザ加工又はブラスト処理により形成することができる。

【0038】

続いて、図 6 (b) に示すように、コア基板 102 の半導体チップと接続される側において、第 3 の配線層 110 の接続部上に、第 1 のビアホール 215 を通じてソルダレジスト層 200 の上方まで突出する第 1 の接続端子 210、及び第 2 のビアホール 225 を通じてソルダレジスト層 200 の上方まで突出する第 2 の接続端子 220 を形成する。第 1 の接続端子 210 は第 1 のポスト 211 及び第 1 のパンプ 212 を含み、第 2 の接続端子 220 は第 2 のポスト 221 及び第 2 のパンプ 222 を含む。

10

【0039】

次いで、図 6 (b) に示す構造体を切断線 CL に沿ってスライサー等により切断する。これにより、配線基板 100 に対応する構造体が個片化され、大判のコア配線基板 101 から第 1 の実施形態に係る配線基板 100 が複数得られる。このようにして、図 3 に示す第 1 の実施形態に係る配線基板 100 を製造することができる。

【0040】

ここで、第 1 の接続端子 210 及び第 2 の接続端子 220 の形成方法について詳しく説明する。図 7 ~ 図 9 は、第 1 の接続端子 210 及び第 2 の接続端子 220 の形成方法を示す断面図である。

20

【0041】

図 7 (a) に示すように、第 1 のビアホール 215 及び第 2 のビアホール 225 を形成した後、図 7 (b) に示すように、シード層 201 を形成する。シード層 201 は無電解銅めっき法により形成することができ、例えば、その厚さは $0.3 \mu\text{m} \sim 0.8 \mu\text{m}$ とする。

【0042】

次いで、図 7 (c) に示すように、第 1 の接続端子 210 を形成する部分に第 1 の開口部 216 が設けられ、第 2 の接続端子 220 を形成する部分に第 2 の開口部 226 が設けられためっきレジスト層 202 をシード層 201 上に形成する。第 1 の開口部 216 及び第 2 の開口部 226 はフォトリソグラフィにより形成することができる。例えば、めっきレジスト層 202 の厚さは $25 \mu\text{m} \sim 35 \mu\text{m}$ とし、第 1 の開口部 216 の直径は $40 \mu\text{m} \sim 45 \mu\text{m}$ 、第 2 の開口部 226 の直径は $80 \mu\text{m} \sim 85 \mu\text{m}$ とする。

30

【0043】

その後、図 8 (a) に示すように、第 1 のビアホール 215 及び第 1 の開口部 216 内に第 1 のポスト 211 を形成し、第 2 のビアホール 225 及び第 2 の開口部 226 内に第 2 のポスト 221 を形成する。第 1 のポスト 211 及び第 2 のポスト 221 は電解めっき法により形成することができる。

【0044】

電解めっき法により開口部内に銅めっき膜等のめっき膜を形成する場合、初期段階ではめっき膜の表面が凹状であり、徐々に平坦になり、その後凸状になる。このような形状変化は開口部の直径及びめっき液の埋め込み性等に依存しており、特に埋め込み性が低いめっき液を用いた場合、めっき膜の表面が平坦又は凸状になるまでの時間が、開口部の直径に依存しやすい。本実施形態では、めっき液のこのような性質を利用して、第 2 のポスト 221 の表面が凹状、かつ第 1 のポスト 211 の表面が凸状の状態で成膜を停止する。この結果、図 8 (a) に示すように、表面が凸状の第 1 のポスト 211 及び表面が凹状の第 2 のポスト 221 が得られる。なお、第 2 のポスト 221 の表面が凹状、かつ第 1 のポスト 211 の表面が平坦な状態で成膜を停止してもよい。第 1 のポスト 211 及び第 2 のポスト 221 を、例えば銅めっき膜及びニッケルめっき膜の積層構造にしてもよい。

40

50

【 0 0 4 5 】

続いて、図 8 (b) に示すように、第 1 のポスト 2 1 1 上に第 1 のバンプ 2 1 2 を形成し、第 2 のポスト 2 2 1 上に第 2 のバンプ 2 2 2 を形成する。第 1 のバンプ 2 1 2 及び第 2 のバンプ 2 2 2 は電解めっき法により形成することができる。第 1 のバンプ 2 1 2 及び第 2 のバンプ 2 2 2 は、それぞれ第 1 のポスト 2 1 1 及び第 2 のポスト 2 2 1 の表面に倣うように形成される。従って、第 1 のバンプ 2 1 2 の表面は凸状又は平坦であり、第 2 のバンプ 2 2 2 の表面は凹状である。第 1 のバンプ 2 1 2 及び第 2 のバンプ 2 2 2 としては、例えば電解めっき法により錫バンプを形成する。

【 0 0 4 6 】

次いで、図 8 (c) に示すように、めっきレジスト層 2 0 2 を除去する。

10

【 0 0 4 7 】

その後、図 9 (a) に示すように、第 1 のバンプ 2 1 2、第 2 のバンプ 2 2 2、第 1 のポスト 2 1 1 及び第 2 のポスト 2 2 1 をマスクにしてシード層 2 0 1 をウェットエッチングにより除去する。

【 0 0 4 8 】

続いて、第 1 のバンプ 2 1 2 及び第 2 のバンプ 2 2 2 の融点以上、第 1 のポスト 2 1 1 及び第 2 のポスト 2 2 1 の融点未満の温度でリフローを行う。この結果、図 9 (b) に示すように、第 1 のバンプ 2 1 2 及び第 2 のバンプ 2 2 2 の形状が、エネルギー的により安定な形状に変化し、特に、凹状であった第 2 のバンプ 2 2 2 の表面が凸状になる。このようにして、第 1 の接続端子 2 1 0 及び第 2 の接続端子 2 2 0 を形成することができる。また、このような方法で形成される第 1 の接続端子 2 1 0 及び第 2 の接続端子 2 2 0 の頂部のソルダレジスト層 2 0 0 の表面を基準とする高さは互いに同等になり、例えば $15\ \mu\text{m} \sim 25\ \mu\text{m}$ となる。

20

【 0 0 4 9 】

このような製造方法によれば、第 1 の接続端子 2 1 0 又は第 2 の接続端子 2 2 0 を形成するために独立の工程を要せずに、互いに頂部の高さが同等の第 1 の接続端子 2 1 0 及び第 2 の接続端子 2 2 0 を備えた配線基板 1 0 0 を製造することができる。

【 0 0 5 0 】

なお、図 3 及び図 6 (b) ではシード層 2 0 1 を省略してある。

【 0 0 5 1 】

30

(第 2 の実施形態)

次に、第 2 の実施形態について説明する。第 2 の実施形態は半導体パッケージに関する。図 1 0 は、第 2 の実施形態に係る半導体パッケージ 5 0 0 を示す断面図である。

【 0 0 5 2 】

図 1 0 に示すように、第 2 の実施形態に係る半導体パッケージ 5 0 0 は、第 1 の実施形態に係る配線基板 1 0 0、半導体チップ 3 0 0、第 3 のバンプ 3 1 2 及び第 4 のバンプ 3 2 2、アンダーフィル樹脂 3 3 0 並びに外部接続端子 3 3 1 を有する。

【 0 0 5 3 】

半導体チップ 3 0 0 は、第 3 のバンプ 3 1 2 を介して第 1 の接続端子 2 1 0 に接続される第 3 の接続端子 3 1 1、及び第 4 のバンプ 3 2 2 を介して第 2 の接続端子 2 2 0 に接続される第 4 の接続端子 3 2 1 を含む。第 3 の接続端子 3 1 1 及び第 4 の接続端子 3 2 1 は、例えば電極パッドであり、第 4 の接続端子 3 2 1 の直径は第 3 の接続端子 3 1 1 の直径よりも大きい。第 3 のバンプ 3 1 2 及び第 4 のバンプ 3 2 2 には、例えば、はんだボールが用いられる。はんだボールの材料としては、第 1 のバンプ 2 1 2 及び第 2 のバンプ 2 2 2 と同様に、錫銀 (S n A g) 系合金、錫亜鉛 (S n Z n) 系合金及び錫銅 (S n C u) 系合金等の無鉛はんだ、並びに鉛錫 (P b S n) 系合金の有鉛はんだが例示される。半導体チップ 3 0 0 と配線基板 1 0 0 のソルダレジスト層 2 0 0 との間に、エポキシ樹脂等のアンダーフィル樹脂 3 3 0 が充填されている。

40

【 0 0 5 4 】

配線基板 1 0 0 の半導体チップ 3 0 0 とは反対側の面において、第 3 の配線層 1 1 0 上に

50

外部接続端子 3 3 1 が設けられている。外部接続端子 3 3 1 には、例えば、第 3 のバンブ 3 1 2 及び第 4 のバンブ 3 2 2 と同様のはんだボールが用いられる。

【 0 0 5 5 】

このような半導体パッケージ 5 0 0 を製造するには、個片化後の配線基板 1 0 0 を準備し、第 3 のバンブ 3 1 2 及び第 4 のバンブ 3 2 2 を用いて、半導体チップ 3 0 0 を配線基板 1 0 0 にフリップチップ実装する。このとき、配線基板 1 0 0 の第 1 の接続端子 2 1 0 及び第 2 の接続端子 2 2 0 の頂部の高さがほぼ揃っているため、第 1 の接続端子 2 1 0 と第 3 の接続端子 3 1 1 とが良好に接続され、第 2 の接続端子 2 2 0 と第 4 の接続端子 3 2 1 とが良好に接続される。半導体チップ 3 0 0 の実装後、半導体チップ 3 0 0 とソルダレジスト層 2 0 0 との間にアンダーフィル樹脂 3 3 0 を充填する。また、外部接続端子 3 3 1 を第 3 の配線層 1 1 0 上に形成する。

10

【 0 0 5 6 】

このようにして、半導体パッケージ 5 0 0 を製造することができる。

【 0 0 5 7 】

以上、好ましい実施の形態等について詳説したが、上述した実施の形態等に制限されることはなく、特許請求の範囲に記載された範囲を逸脱することなく、上述した実施の形態等に種々の変形及び置換を加えることができる。例えば、上述した実施の形態ではコア基板が用いられているが、本開示はコアレス基板に適用することも可能である。

【 符号の説明 】

【 0 0 5 8 】

20

- 1 0 0 配線基板
- 1 0 1 コア配線基板
- 1 0 2 コア基板
- 2 0 0 ソルダレジスト層
- 2 1 0 第 1 の接続端子
- 2 1 1 第 1 のポスト
- 2 1 2 第 1 のバンブ
- 2 2 0 第 2 の接続端子
- 2 2 1 第 2 のポスト
- 2 2 2 第 2 のバンブ
- 3 0 0 半導体チップ
- 3 1 1 第 3 の接続端子
- 3 1 2 第 3 のバンブ
- 3 2 1 第 4 の接続端子
- 3 2 2 第 4 のバンブ
- 3 3 0 アンダーフィル樹脂
- 5 0 0 半導体パッケージ

30

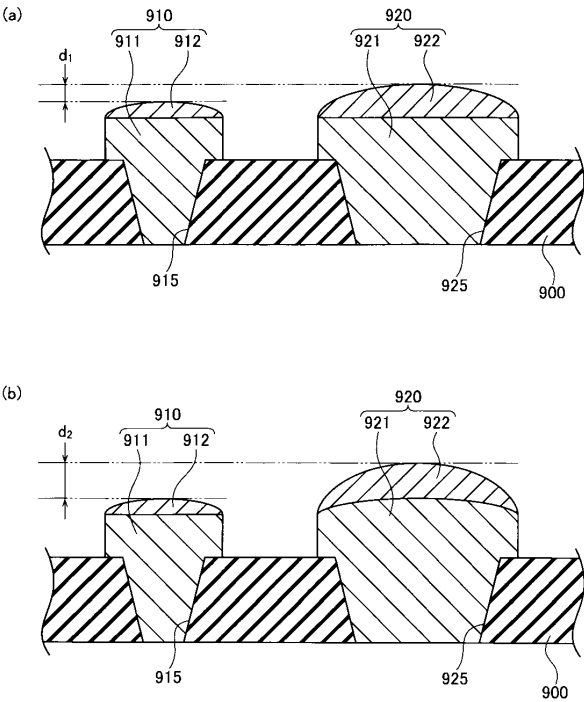
40

50

【図面】

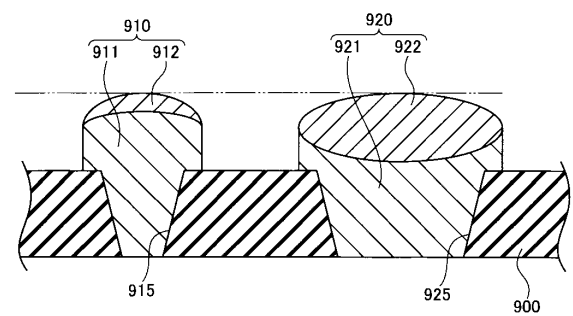
【図 1】

半導体パッケージに含まれる接続端子の例を示す断面図



【図 2】

半導体パッケージに含まれる接続端子の他の例を示す断面図

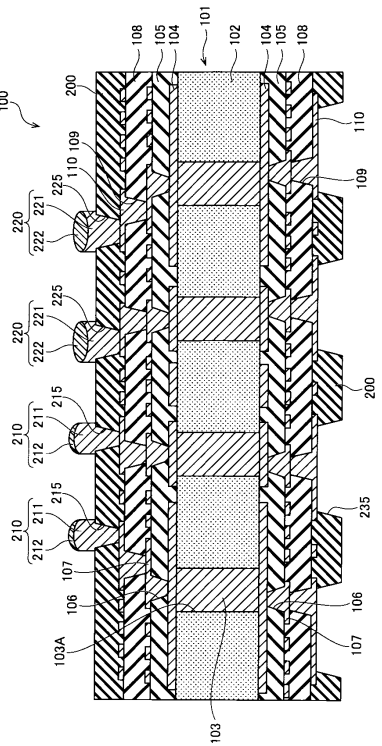


10

20

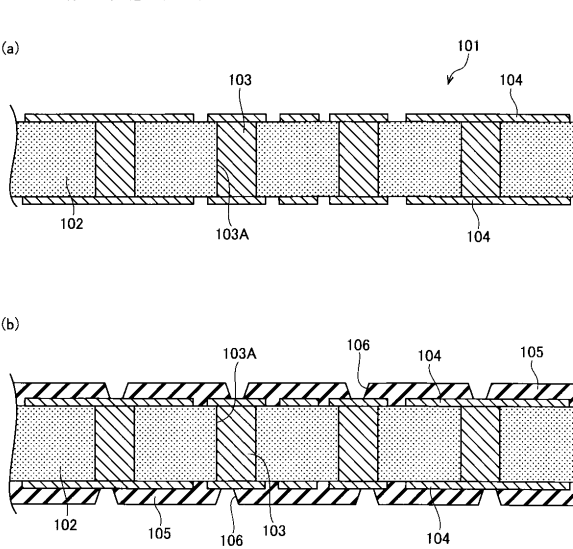
【図 3】

第1の実施形態に係る配線基板の構造を示す断面図



【図 4】

第1の実施形態に係る配線基板の製造方法を示す断面図(その1)



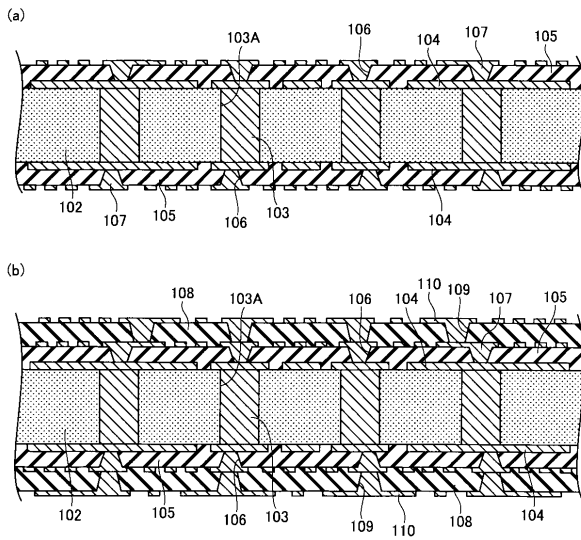
30

40

50

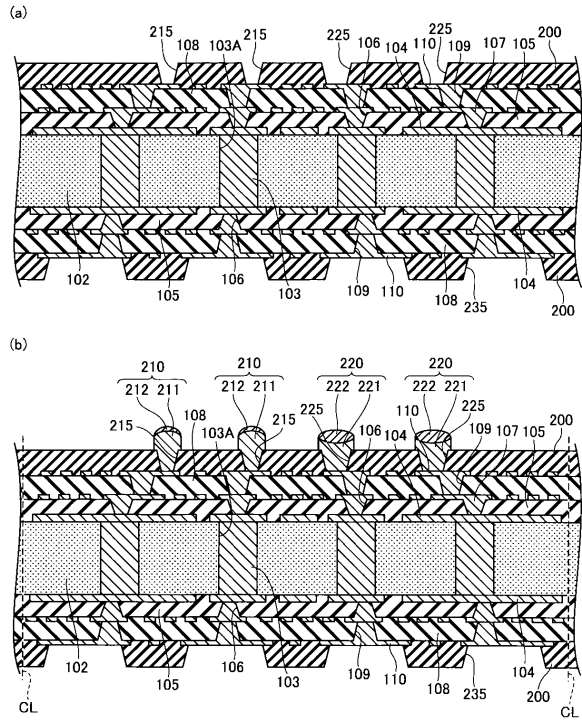
【 図 5 】

第1の実施形態に係る配線基板の製造方法を示す断面図(その2)



【 図 6 】

第1の実施形態に係る配線基板の製造方法を示す断面図(その3)

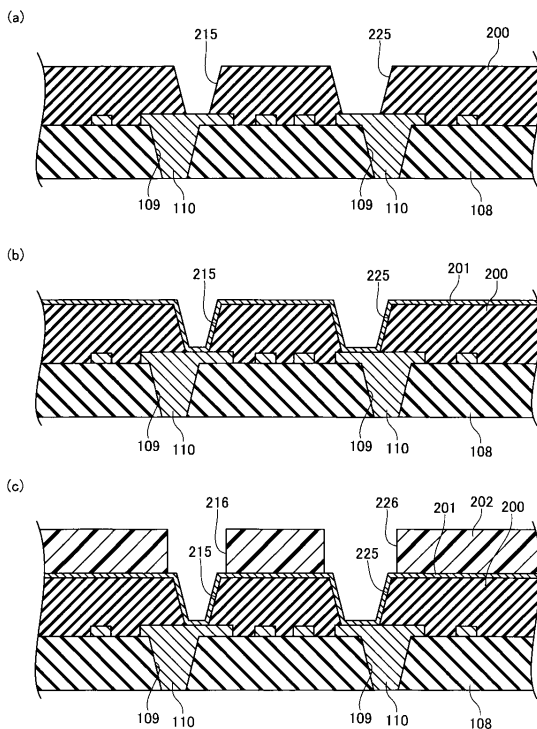


10

20

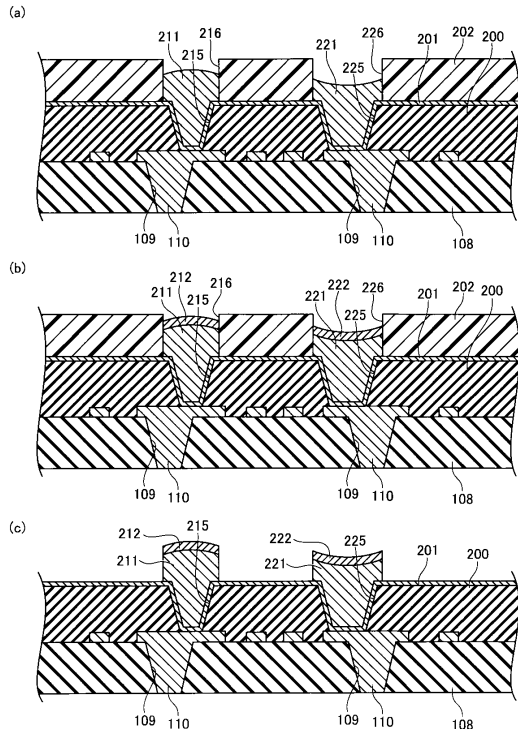
【圖 7】

第1の実施形態に含まれる接続端子の形成方法を示す断面図(その1)



【 図 8 】

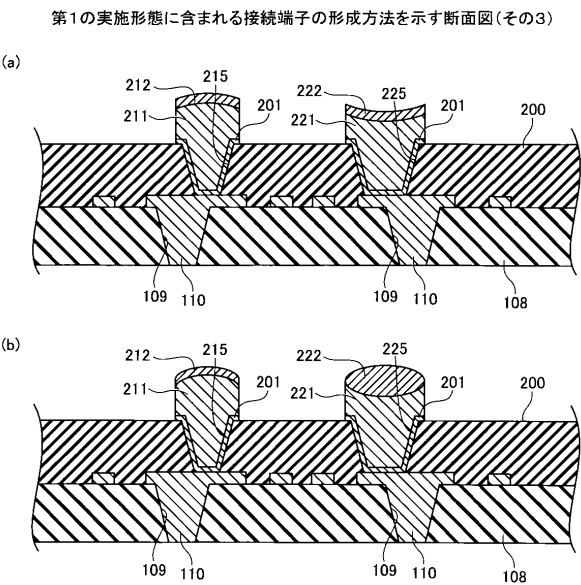
第1の実施形態に含まれる接続端子の形成方法を示す断面図(その2)



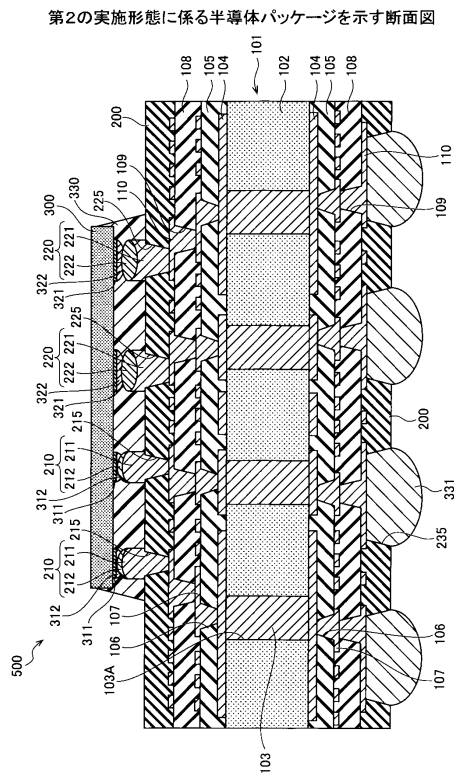
30

40

【図 9】



【図 10】



10

20

30

40

50

フロントページの続き

(56)参考文献 特開 2 0 1 9 - 1 4 0 1 7 4 (J P , A)

(58)調査した分野 (Int.Cl. , D B 名)

H 0 1 L 2 1 / 4 4 7 - 2 1 / 4 4 9

H 0 1 L 2 1 / 6 0

H 0 1 L 2 3 / 1 2 - 2 3 / 1 4

H 0 5 K 3 / 3 4