

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4183766号
(P4183766)

(45) 発行日 平成20年11月19日(2008.11.19)

(24) 登録日 平成20年9月12日(2008.9.12)

(51) Int.Cl.		F I	
H03G 11/00	(2006.01)	H03G 11/00	B
H04N 5/14	(2006.01)	H04N 5/14	Z

請求項の数 8 (全 7 頁)

(21) 出願番号	特願平7-339612	(73) 特許権者	391000818
(22) 出願日	平成7年12月26日(1995.12.26)		トムソン コンシューマ エレクトロニク
(65) 公開番号	特開平8-250956		ス インコーポレイテッド
(43) 公開日	平成8年9月27日(1996.9.27)		THOMSON CONSUMER EL
審査請求日	平成14年12月9日(2002.12.9)		ELECTRONICS, INCORPOR
(31) 優先権主張番号	366794		ATED
(32) 優先日	平成6年12月30日(1994.12.30)		アメリカ合衆国 インディアナ州 462
(33) 優先権主張国	米国(US)		90-1024 インディアナポリス ノ
			ース・メリディアン・ストリート 103
			30
		(74) 代理人	100077481
			弁理士 谷 義一
		(74) 代理人	100088915
			弁理士 阿部 和夫

最終頁に続く

(54) 【発明の名称】 高速ビデオ信号の制限を行う方法および装置

(57) 【特許請求の範囲】

【請求項 1】

コレクタ電極および出力端子に連結したエミッタ電極とを有する第1トランジスタのベース電極に入力信号源を連結している第1回路パスと、

コレクタ電極および前記出力端子に連結したエミッタ電極とを有する第2トランジスタのベース電極に閾値信号源を連結している第2回路パスと、

前記第1のトランジスタのコレクタ電極と第2のトランジスタのコレクタ電極とに電源電圧を連結している第3回路パスと、

前記出力端子が第1抵抗を介して基準電位源に連結し、また第2抵抗を介して、前記第2トランジスタのベース電極とコレクタ電極の内の選択された一方に連結している第4回路パスと、

および前記第2トランジスタのベース電極とコレクタ電極間にコンデンサを連結している第5回路パスと

を有することを特徴とする入力信号制限装置。

【請求項 2】

請求項1に記載の装置において、前記第2回路パスの前記閾値信号源の出力インピーダンス R_o 、前記第4の回路パスの前記第1抵抗の値 R_e および前記第2の抵抗の値 R_d が、 $R_e > R_d > R_o$ のインピーダンス不等式で表されるように選択されていることを特徴とする入力信号制限装置。

【請求項 3】

10

20

電源端子と接続したコレクタ電極、および出力端子に共通に接続した第 1 抵抗を介して基準電位源と連結したエミッタ電極とを有する第 1 と第 2 のバイポーラトランジスタと、前記第 2 のトランジスタのベース電極に接続した閾値電圧源と、前記第 2 のトランジスタのコレクタ電極とベース電極間に連結したコンデンサと、前記第 2 のトランジスタの前記エミッタ電極および前記ベース電極と前記コレクタ電極の内の選択された一つとの間に接続した第 2 抵抗とを有することを特徴とするパルスリミッタ。

【請求項 4】

請求項 3 に記載のパルスリミッタにおいて、前記第 1 抵抗は前記第 2 抵抗よりも大きな値のものであり、

10

前記閾値電圧源は特定の出力インピーダンスを示し、前記第 2 抵抗は前記閾値電圧源の前記特定の出力インピーダンスよりも大きな値のものであることを特徴とするパルスリミッタ。

【請求項 5】

請求項 3 に記載のパルスリミッタにおいて、前記コンデンサは前記第 2 のトランジスタのベース電極とエミッタ電極間の全容量よりも大きな容量を有するように選択されていることを特徴とするパルスリミッタ。

【請求項 6】

請求項 3 に記載のパルスリミッタにおいて、前記閾値電圧源は、前記第 2 のトランジスタのベース電極と前記電源端子間に連結した第 3 抵抗と、該ベース電極と前記基準電位源間に連結した第 4 の抵抗とを有し、前記第 3 抵抗は前記第 2 抵抗よりも少なくなるように選択された抵抗値を有することを特徴とするパルスリミッタ。

20

【請求項 7】

請求項 3 ないし 6 のいずれかに記載のパルスリミッタにおいて、前記第 1 と第 2 のトランジスタ、前記第 1 と第 2 の抵抗、前記閾値電圧源および前記コンデンサは、一つの集積回路内に形成され、かつ前記第 2 抵抗は前記第 2 トランジスタのベース電極とエミッタ電極間に連結されていることを特徴とするパルスリミッタ。

【請求項 8】

請求項 3 ないし 6 のいずれかに記載のパルスリミッタにおいて、前記第 1 と第 2 のトランジスタ、前記第 1 と第 2 の抵抗、前記閾値電圧源および前記コンデンサは、一つの集積回路内に形成され、かつ前記第 2 抵抗は前記第 2 トランジスタのベース電極とコレクタ電極間に連結されていることを特徴とするパルスリミッタ。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はリミッタに関し、特に広帯域（即ち、ビデオ）信号源で用いるのに好適な高速リミッタに関する。

【0002】

なお、本明細書の記述は本件出願の優先権の基礎たる米国特許出願第 08 / 366,794 号（1994 年 12 月 30 日出願）の明細書の記載に基づくものであって、当該米国特許出願の番号を参照することによって当該米国特許出願の明細書の記載内容が本明細書の一部を構成するものとする。

40

【0003】

【従来の技術】

相対的に低い振幅（例えば、1 ボルトより小）で速くて立上がり時間が狭い（例えば、100 ナノ秒以下）パルスの精密なリミッタが技術的挑戦の対象として提案されている。利用可能なハードウェアが製造コストや、基板面積あるいは他の構造上の考慮すべきことによって制限を受けるということは特に事実である。ダイオード、あるいはツェナーダイオード、トランジスタの接合特性あるいは飽和特性を有する従来のリミッタは、非常に細く且つ小さな振幅のパルス（例えば、100 ナノ秒、1 ボルト）に対しては、全然作動しな

50

いか、あるいはまた許容しうる性能を保証しない。このようなパルスは一般に、例えば、ビデオ信号処理回路において出会うものである。

【 0 0 0 4 】

【発明が解決しようとする課題】

一例として、像エッジの尖鋭度を鮮明に改善させるために、輝度信号をピークに置くということは、一般に実行されている。しかしながら、あるタイプのピーキング回路はオーバシュートを出現し、このオーバシュートはせいぜいビデオ信号レベルまでしか許容できず、ピークホワイト時あるいはその近傍の信号で 1 0 0 I R E レベルを越えてしまうことがある。ピークホワイトレベルを越えることは、今度は、望まない飽和あるいは“ブルミング”効果を引き起こすことになるので、ピークホワイトレベルを超過するオーバシュートを制限あるいは“クリップ”することが望まれる。短時間で相対的に低振幅のパルスを制限することについての格別の問題は、遅延した応答である。他のアプリケーションにおいても、速いパルスに対する制限動作に対して動作する、通信装置内のノイズリミッタ、アナログ - デジタル変換器内の入力信号調整器などを含むことが望まれる。

【 0 0 0 5 】

本発明は、上述の点に鑑みて成されたもので、相対的に低振幅（例えば、ミリ・ボルトの領域）となる相対的に高速のパルス（例えば、ナノ秒領域）の制限（振幅制限）動作をする、一般的な信号制限アプリケーション用に好適で、また特にビデオ信号処理のようなアプリケーションに良く適合するリミッタに関して必要なことを満たすように向けられている。

【 0 0 0 6 】

【課題を解決するための手段】

上記目的を達成するため、本発明に従う入力信号制限装置は、コレクタ電極および出力端子に連結したエミッタ電極とを有する第 1 トランジスタのベース電極に入力信号源を連結している第 1 回路パスと、コレクタ電極および出力端子に連結したエミッタ電極とを有する第 2 トランジスタのベース電極に閾値信号源を連結している第 2 回路パスと、第 1 のトランジスタのコレクタ電極と第 2 のトランジスタのコレクタ電極とに電源電圧を連結している第 3 回路パスと、出力端子が第 1 抵抗を介して基準電位源に連結し、また第 2 抵抗を介して、第 2 トランジスタのベース電極とコレクタ電極の内の選択された一方に連結している第 4 回路パスと、および第 2 トランジスタのベース電極とコレクタ電極間にコンデンサを連結している第 5 回路パスとを有する。

【 0 0 0 7 】

本発明を具現化するパルス制限装置は、それぞれ電源端子と接続したコレクタ電極と出力端子と接続したエミッタ電極とを有する第 1 と第 2 のバイポーラトランジスタを備え、その出力端子はエミッタ抵抗 R_e を介して基準電位源と連結している。所定の出力インピーダンス R_o を有する閾値電圧源が上記トランジスタの内の第 2 トランジスタのベースに接続し、上記トランジスタの内の第 1 トランジスタのベースが入力信号を制限すべく入力信号源に連結する。コンデンサが第 2 トランジスタのコレクタ電極とベース電極間に連結し、そのエミッタはそのベース電極および更に付け加えた抵抗 R_d を介してそのコレクタ電極のいずれかが定められた一つと連結する。

【 0 0 0 8 】

本発明の更なる特徴に従えば、第 2 回路パスの閾値信号源の出力インピーダンス R_o 、第 4 の回路パスの第 1 抵抗の値 R_e および第 2 の抵抗の値 R_d が、 $R_e > R_d > R_o$ のインピーダンス不等式で表されるように選択される。

【 0 0 0 9 】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施の形態を詳細に説明する。

【 0 0 1 0 】

（第 1 の実施の形態）

図 1 は本発明の第 1 の実施の形態の回路構成を示す。図 1 のリミタ回路は、第 1 と第 2 の

10

20

30

40

50

バイポーラトランジスタQ 1およびQ 2から構成されており、これらトランジスタは電源電圧(+Vcc)の電源を受けとるための電源端子3に接続したコレクタ電極と、出力端子2と回路の節点(接続点)“A”と共通に接続して、かつ第1抵抗R eを介して基準電位源4(接地)と結合したエミッタ電極とを有する。閾値電圧源5は第2トランジスタQ 2のベースと回路の節点“B”で接続する。コンデンサC 1は第2トランジスタQ 2のコレクタ電極とベース電極間に連結し、また第2抵抗R dは第2トランジスタのエミッタ電極とコレクタ電極間に連結する。なお、本発明の第2の実施形態においては、第2抵抗R dは第2トランジスタのベース電極とコレクタ電極間に接続している。

【0011】

閾値信号源(閾値電圧源)5(仮想線で囲って示した)は第2トランジスタQ 2のコレクタ電極とベース電極間に連結した第3抵抗R 1、および第2トランジスタのベース電極と接地電位源(基準電位源)4間に連結した第4抵抗R 2とから構成される。第3と第4の抵抗R 1とR 2は、この様に接続して、本リミッタ用の閾値電圧V tを引き出すための分圧器を形成する。

【0012】

コレクタ電源Vcc から電源を受けているトランジスタQ 2のベース用の電源抵抗R 1の値を抵抗R dの値よりも小さく、順に、抵抗R dの値を抵抗R eの値よりも小さく選択することは、トランジスタQ 2の遅延のための最適補償のために望ましい。これを数学的表記で表すと、 $R_e > R_d > R_1$ である。有効な近似式としては、閾値電圧源5のテブナン(Tevenin)等価インピーダンスを抵抗R dの値よりも小さくなるように選択すべきである。この閾値電圧源5の等価インピーダンスあるいは“出力”インピーダンスR oは、 $R_o = (R_1)(R_2) / (R_1 + R_2)$ の関係式で与えられる。この関係式を用いるときは、R oはR dよりも小さい値に選択し、R dはR eよりも小さい値に選択する。好ましくは、コンデンサC 1の値を、第2トランジスタQ 2のベース電極とエミッタ電極間の漂遊容量を含む全容量(図示しない)よりも実質的に大きくなるように選択する。

【0013】

上記の記載に関して、端子1と2およびトランジスタQ 1は、第1トランジスタQ 1のベース・エミッタ・パスを通して出力端子2へ入力信号I Nを連結する機能を備えた第1回路パスを形成する。出力端子2と閾値電圧源5とトランジスタQ 2の接続により、第2トランジスタQ 2のベース・エミッタ・パスを通して出力端子2へ閾値信号V tを連結する機能を備えた第2回路パスを形成する。電源端子3とトランジスタQ 1およびQ 2の接続により、その第1と第2のトランジスタQ 1, Q 2のコレクタ電極へ電源電圧Vcc を印加する機能を備えた第3回路パスを形成する。出力端子2と第1, 第2の抵抗R eおよびR dの接続により、第1抵抗R eを通して基準電位源へ、また第2抵抗R dを通して第2トランジスタQ 2のベース電極とコレクタ電極の内の選択された一つへ、出力端子を接続する機能を備えた第4回路パスを形成する。本事例においては、選択された電極はコレクタ電極とする。最後に、コンデンサC 1とトランジスタQ 2の接続により、第2トランジスタのベース電極とコレクタ電極間にコンデンサを連結する機能を備えた第5回路パスを形成する。前述のように、第2と第4の回路パスの素子の値は、 $R_e > R_d > R_1$ のインピーダンス不等式を示すように選択されることが望ましい。ただし、そのR eとR dはそれぞれ第1と第2の抵抗の値であり、またR 1は電源Vcc に基づくトランジスタQ 2のベース用の電源インピーダンスであるとする。有効な近似式は $R_e > R_d > R_o$ であり、ここでR oは閾値信号源の出力インピーダンスであるとする。

【0014】

前もって説明したように、振幅が小さくて速いパルスを制限ことについての主たる問題の一つはリミッタの遅延である。図1の例において、その遅延の主な原因は主に第2トランジスタQ 2の入力容量のためであるということが、この中で認められる。このトランジスタはエミッタ抵抗R eと閾値電源インピーダンスR 1とを通してチャージ(充電)されるはずである。その結果、トランジスタQ 1のエミッタに加わる帰還電圧が、トランジスタQ 2のベース・エミッタ間容量とそれと関連する漂遊容量をチャージするまで、入力電圧

10

20

30

40

50

INに関して、遅延される。仮に、抵抗 R_d とコンデンサ C_1 がこの回路に存在しなかったとすれば、このチャージ時の遅延は入力パルスが平坦でなく、切れ込みの入った(slated)カットオフにされることを生じさせることとなる。さらに加えて、 R_d と C_1 がない場合、非常に細いパルスの場合には、そのカットは閾値電圧源5の所定の閾値電圧 V_t に達することすら決していない。

【0015】

コンデンサ C_1 と抵抗 R_d によって迂回される閾値電圧源5の出力インピーダンス応答の速度を速めることは、ここで“事前(preliminary)”クリッピングと称されることになるであろうことを備えた回路節点“A”への電流によって得られる。この事前クリッピングのレベルは、必要とされる閾値よりも低い(即ち、 $V_t - Q_2$ の V_{be} よりも少ない)小さなピットのレベルで節点Aにおいての電圧を生成するように抵抗 R_d と R_e とを選択することで制御される。

10

【0016】

最後に、前述したように不等式 $R_e > R_d > R_1$ を、あるいは少なくとも $R_e > R_d > R_o$ を満足するように抵抗値を決めれば、それは最大応答速度に到達するのに非常に好ましいということを見出した。典型的な値としては：抵抗 R_e に対して15キロ・オーム、抵抗 R_d に対して9.1キロ・オーム、抵抗 R_1 に対して200オーム、およびコンデンサ C_1 に対してほぼ1000ピコ・ファラッドである。他の適切な値も可能で、勿論、特定のアプリケーションについて電源電圧、回路電力消費、閾値電圧要件などの特定の要件を満足するように選択される。コンデンサ C_1 の値は、好ましくは、第2トランジスタ Q_2 のベース電極とエミッタ電極間の全容量よりも実質的に大きくなるように選択される。上記の典型的な値はトランジスタ Q_2 に関するベース - エミッタ間容量と漂遊容量を加えたよりも甚だしく大きい量である。

20

【0017】

図1の例は、向上した精度提供するために、図2に示すように変形しても良い。図2において、抵抗 R_d は第2トランジスタ Q_2 のエミッタ電極とベース電極間に接続され、また全部の回路が集積回路200に形成されている。集積化はトランジスタ閾値電圧と抵抗の許容誤差とをぴったりと整合させ、信頼性の向上だけでなく高い評価をもたらす。

【0018】

ここに記載した実施形態からの他の変形も可能である。例えば、図1のリミッタの個別部品の説明において、閾値電圧源を閾値電圧 V_t の正確な調整を容易にするポテンションメータ(電位差計)に置き換えても良い。同様な変形が、図2の集積回路の説明において回路節点Bの所でポテンションメータと有効に外部接続し、閾値電圧源5を除くことで、なすことが可能である。このポテンションメータの接続は節点Bに接続した接触子(wiper)を用い端子3と基準電位源4の端子に跨がらして行うこととなる。

30

【0019】

開示された実施形態の更なる変形の一つとしては、NPNトランジスタ Q_1 と Q_2 とをPNPトランジスタで置き換えることである。この変形(関連する電源の極性に適した変形を伴う)は、立上がりパルス(positive going pulses)の高速制限を可能にするが、一方NPNトランジスタは、図示のように、立ち下がりパルス(negative going pulses)の高速制限を提供する。

40

【0020】

【発明の効果】

以上説明してきたように、本発明によれば、相対的に低振幅(例えば、ミリ・ボルトの領域)となる相対的に高速のパルス(例えば、ナノ秒領域)の制限をする、一般的な信号制限アプリケーション用に好適で、また特にビデオ信号処理のようなアプリケーションに良く適合するリミッタについての要求を満たすことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の詳細な回路図である。

【図2】本発明の第2の実施形態の詳細な回路図である。

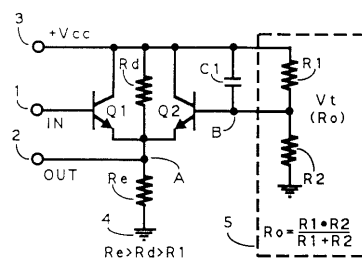
50

【符号の説明】

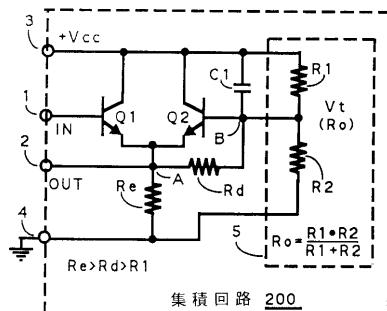
- 1 入力端子
 2 出力端子
 3 電源端子
 4 基準電位源
 5 閾値電圧源
 Q 1 , Q 2 第 1 , 第 2 のトランジスタ
 R e , R d 第 1 , 第 2 の抵抗
 R 1 , R 2 第 3 , 第 4 の抵抗
 R o 閾値電圧源の出力インピーダンス
 C 1 コンデンサ
 I N 入力信号
 V t 閾値信号
 + V c c 電源電圧
 A , B 節点

10

【図 1】



【図 2】



フロントページの続き

(72)発明者 アイザック マイケル ベル
アメリカ合衆国 インディアナ州 インディアナポリス トーントン ロード 8121

審査官 白井 孝治

(56)参考文献 特開平 4 - 238476 (JP, A)
特開昭 58 - 158144 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H03G11/00 ~ 11/08
H04N 5/14 ~ 5/217