

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2024年12月26日(26.12.2024)



(10) 国際公開番号

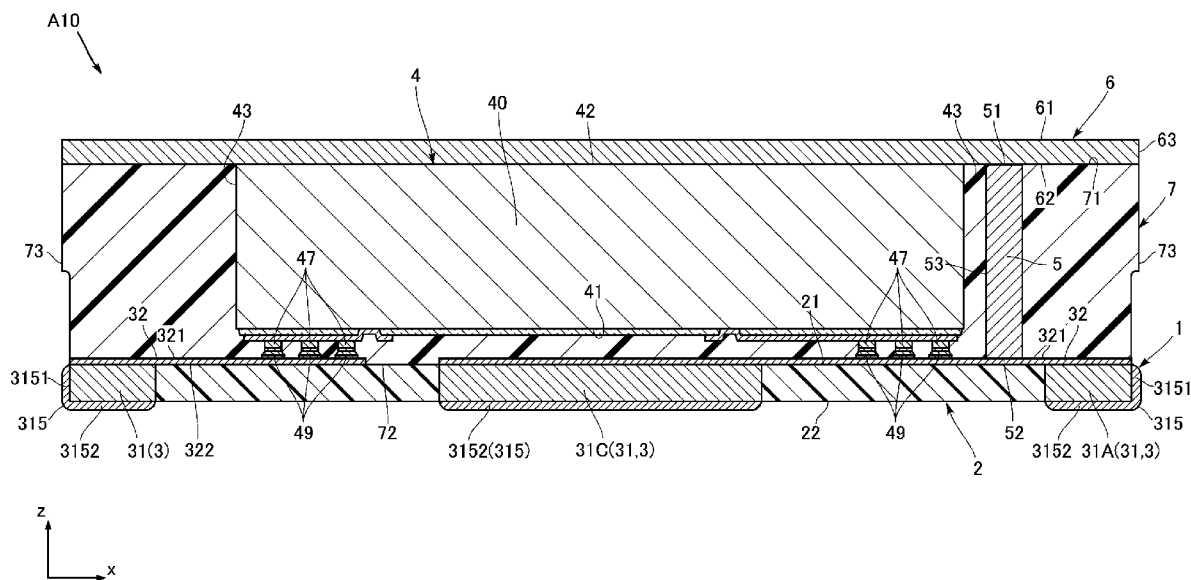
WO 2024/262278 A1

- (51) 国際特許分類:  
*H01L 23/36* (2006.01) *H01L 23/538* (2006.01)
- (21) 国際出願番号: PCT/JP2024/019857
- (22) 国際出願日: 2024年5月30日(30.05.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2023-102475 2023年6月22日(22.06.2023) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)  
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 新開 寛之 (SHINKAI Hiroyuki);  
〒6158585 京都府京都市右京区西院溝崎町
- 2-1番地 ローム株式会社内 Kyoto (JP). 宮崎 弘規 (MIYAZAKI Hiroki); 〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 臼井 尚, 外 (USUI Takashi et al.);  
〒5430014 大阪府大阪市天王寺区玉造元町2番32-1301 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,

(54) Title: ELECTRONIC DEVICE

(54) 発明の名称: 電子装置

FIG.8



(57) Abstract: This electronic device comprises a substrate, an electronic element, a columnar part, and a sealing resin. The substrate has: an insulating layer having an insulating layer main surface facing a first side in the thickness direction and an insulating layer rear surface; and an electrically conductive part that is exposed from the insulating layer main surface and the insulating layer rear surface. The electronic element has: an element body including an element main surface facing the insulating layer main surface in the thickness direction; and a plurality of electrodes disposed on the

WO 2024/262278 A1

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,  
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,  
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

element main surface. The plurality of electrodes are electrically joined to the electrically conductive part. The columnar part protrudes in the thickness direction, from the electrically conductive part toward the first side in the thickness direction, and possesses electrical conductivity. The sealing resin covers the insulating layer main surface, the electronic element, and the columnar part.

(57) 要約 : 電子装置は、基板と、電子素子と、柱状部と、封止樹脂と、を備える。前記基板は、厚さ方向において第1側を向く絶縁層主面及び絶縁層裏面を有する絶縁層と、前記絶縁層主面及び前記絶縁層裏面から露出する導電部と、を有する。前記電子素子は、前記厚さ方向において前記絶縁層主面と対向する素子主面を含む素子本体と、前記素子主面に配置された複数の電極と、を有する。前記複数の電極は、前記導電部に電氣的に接合されている。前記柱状部は、前記厚さ方向において、前記導電部から前記厚さ方向の前記第1側に突出し、導電性を有する。前記封止樹脂は、前記絶縁層主面と前記電子素子と前記柱状部とを覆う。

## 明 細 書

発明の名称：電子装置

### 技術分野

[0001] 本開示は、電子装置に関する。

### 背景技術

[0002] 従来、電子素子を備える電子装置が種々に提案されている。例えば特許文献1には、従来の電子装置の一例としての半導体装置が開示されている。特許文献1に記載の半導体装置は、基板主面を有する基板、基板主面に配置された半導体素子、配線部、基板金属層および封止樹脂を備える。封止樹脂は、基板主面と半導体素子を覆う。

### 先行技術文献

#### 特許文献

[0003] 特許文献1：特開2021-93454号公報

[0004] 概要：

電子素子の通電時に発生する熱は、電子装置の外部に速やかに放出されることが好ましい。

[0005] 本開示の一様態である電子装置は、厚さ方向において、第1側を向く絶縁層主面及び前記絶縁層主面とは反対側の第2側を向く絶縁層裏面を有する絶縁層と、前記絶縁層主面及び前記絶縁層裏面から露出する導電部と、を有する基板と、前記厚さ方向において前記絶縁層主面と対向する素子主面を含む素子本体及び前記素子主面に配置された複数の電極を有し、かつ前記複数の前記電極が前記導電部に電氣的に接合された電子素子と、前記厚さ方向において、前記導電部から前記厚さ方向の前記第1側に突出し、導電性を有する柱状部と、前記絶縁層主面と前記電子素子と前記柱状部とを覆う封止樹脂と、を備える。

### 図面の簡単な説明

[0006] [図1]図1は、第1実施形態に係る電子装置を示す平面図である。

- [図2]図2は、図1の平面図に係る半導体装置を示す部分平面図である。
- [図3]図3は、図2の平面図に係る半導体装置を示す部分平面図である。
- [図4]図4は、第1実施形態に係る電子装置を示す正面図である。
- [図5]図5は、第1実施形態に係る電子装置を示す底面図である。
- [図6]図6は、第1実施形態に係る電子装置を示す左側面図である。
- [図7]図7は、第1実施形態に係る電子装置を示す右側面図である。
- [図8]図8は、図1のV | | | - V | | |線に沿う断面図である。
- [図9]図9は、図8の一部を拡大した部分拡大断面図である。
- [図10]図10は、第1実施形態に係る電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。
- [図11]図11は、第1実施形態に係る電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。
- [図12]図12は、第1実施形態に係る電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。
- [図13]図13は、第1実施形態に係る電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。
- [図14]図14は、第1実施形態に係る電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。
- [図15]図15は、第1実施形態に係る電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。
- [図16]図16は、第1実施形態に係る電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。
- [図17]図17は、第1実施形態に係る電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。
- [図18]図18は、第1実施形態に係る電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。
- [図19]図19は、第1実施形態に係る電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。

[図20]図20は、第1実施形態に係る電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。

[図21]図21は、第1実施形態に係る電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。

[図22]図22は、第1実施形態に係る電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。

[図23]図23は、第1実施形態に係る電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。

[図24]図24は、第1実施形態に係る電子装置の製造方法の一工程を示す断面図であって、図8の断面に対応する。

[図25]図25は、第1実施形態に係る電子装置の第1変形例を示す断面図である。

[図26]図26は、第1実施形態に係る電子装置の第2変形例を示す断面図である。

[図27]図27は、第1実施形態に係る電子装置の第3変形例を示す断面図である。

[図28]図28は、第1実施形態に係る電子装置の第4変形例を示す平面図である。

[図29]図29は、図28のXXI-X-XXI線に沿う断面図である。

[図30]図30は、第1実施形態に係る電子装置の第5変形例を示す平面図である。

[図31]図31は、第1実施形態に係る電子装置の第6変形例を示す平面図である。

[図32]図32は、第2実施形態に係る電子装置を示す部分平面図である。

[図33]図33は、図32のXXXIII-XXXIII線に沿う断面図である。

[図34]図34は、図33の一部を拡大した部分拡大断面図である。

[図35]図35は、第2実施形態に係る電子装置の製造方法の一工程を示す断

面図であって、図34の断面に対応する。

[図36]図36は、第2実施形態に係る電子装置の製造方法の一工程を示す断面図であって、図34の断面に対応する。

[図37]図37は、第2実施形態に係る電子装置の製造方法の一工程を示す断面図であって、図34の断面に対応する。

[図38]図38は、第2実施形態に係る電子装置の製造方法の一工程を示す断面図であって、図34の断面に対応する。

[図39]図39は、第2実施形態に係る電子装置の製造方法の一工程を示す断面図であって、図34の断面に対応する。

[図40]図40は、第2実施形態に係る電子装置の製造方法の一工程を示す断面図であって、図34の断面に対応する。

[図41]図41は、第2実施形態に係る電子装置の第1変形例を示す部分拡大断面図である。

[図42]図42は、第2実施形態に係る電子装置の第1変形例の製造方法の一工程を示す断面図であって、図41の断面に対応する。

[図43]図43は、第2実施形態に係る電子装置の第1変形例の製造方法の一工程を示す断面図であって、図41の断面に対応する。

[図44]図44は、第2実施形態に係る電子装置の第1変形例の製造方法の一工程を示す断面図であって、図41の断面に対応する。

[0007] 詳細な説明：

本開示の電子装置の好ましい実施の形態について、図面を参照して、以下に説明する。以下では、同一あるいは類似の構成要素に、同じ符号を付して、重複する説明を省略する。本開示における「第1」、「第2」、「第3」等の用語は、単にラベルとして用いたものであり、必ずしもそれらの対象物に順列を付することを意図していない。

[0008] 本開示において、「ある物AがあるものBに形成されている」、および、「ある物Aがある物B（の）上に形成されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接形成されていること」、および、「ある

物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに形成されていること」を含む。同様に、「ある物Aがある物Bに配置されている」および「ある物Aがある物B（の）上に配置されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接配置されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに配置されていること」を含む。同様に、「ある物Aがある物B（の）上に位置している」とは、特段の断りのない限り、「ある物Aがある物Bに接して、ある物Aがある物B（の）上に位置していること」、および、「ある物Aとある物Bとの間に他のものが介在しつつ、ある物Aがある物B（の）上に位置していること」を含む。また、「ある方向に見てある物Aがある物Bに重なる」とは、特段の断りのない限り、「ある物Aがある物Bのすべてに重なること」、および、「ある物Aがある物Bの一部に重なること」を含む。また、「ある物A（の材料）がある物Cを含む」とは、「ある物A（の材料）がある材料Cからなる場合」、および、「ある物A（の材料）の主成分がある材料Cである場合」を含む。また、「ある面Aがある方向B（の一方側または他方側）を向く」とは、特段の断りのない限り、面Aの方向Bに対する角度が90°である場合に限定されず、面Aが方向Bに対して傾いている場合を含む。

[0009] 図1～図9は、第1実施形態にかかる電子装置A10を示している。電子装置A10は、絶縁層2、導電部3、電子素子4、柱状部5、および封止樹脂7を備える。本実施形態では、補助的な機能として金属層6を備える。電子装置A10は、電子機器および電気自動車などの配線板に表面実装する装置である。電子装置A10は、リードレスパッケージ型であり、特にQFNパッケージ(Quad Flat Non-leaded Package)型である。電子装置A10は、平面視において、矩形状である。

[0010] 説明の便宜上、互いに直交する厚さ方向z、第1方向xおよび第2方向yを参照する。厚さ方向zは、電子装置A10の厚さ方向に相当する。以下の説明では、厚さ方向zの一方を上方ということがあり、本開示の第1側に相

当する。厚さ方向 $z$ の他方を下方ということがあり、本開示の第2側に相当する。「上」、「下」、「上方」、「下方」、「上面」および「下面」などの記載は、厚さ方向 $z$ における各部品等の相対的位置関係を示すものであり、必ずしも重力方向との関係を規定する用語ではない。「平面視」とは、厚さ方向 $z$ に見たときをいう。

[0011] 電子素子4は、本実施形態では、半導体素子であり、たとえばLSIなどの集積回路である。この例と異なり、電子素子4は、LDO (Low Drop Out) などの電圧制御用素子、オペアンプなどの増幅用素子、トランジスタおよびダイオードなどのディスクリート素子であってよい。電子素子は、平面視において矩形状である。電子素子4は、接合部49と接続している。電子素子4は、平面視において、接合部49と重なる。

[0012] 電子素子4は、素子本体40を有する。素子本体40は、たとえば半導体材料、金属材料等を主成分とする。素子本体40は、素子主面41、素子裏面42および素子側面43を有する。素子主面41および素子裏面42は、厚さ方向 $z$ において、離間する。素子主面41と素子裏面42とは、互いに反対側を向く。素子側面43は、厚さ方向 $z$ において素子主面41および素子裏面42の間に位置する。本実施形態においては、素子側面43は、第1方向 $x$ または第2方向 $y$ を向く。素子主面41および素子側面43は、封止樹脂に覆われている。

[0013] 図8および図9に示すように、電子素子4は素子本体40および複数の電極47を有する。たとえば、電子素子4がLSIである例において、素子本体40は半導体材料を含む。複数の電極47は素子本体40に構成された回路(図示略)に導通する。素子主面41は素子本体40の下面(厚さ方向 $z$ 下方を向く面)に相当する。図8および図9に示す例では、各電極47は、素子主面41から厚さ方向 $z$ 下方に突き出ているが、素子主面41と面一であってよいし、素子主面41から厚さ方向 $z$ 上方に窪んでいてよい。素子主面41は、部分的に絶縁膜(図示略)に覆われており、各電極47は、当該絶縁膜から露出している。当該絶縁膜は、たとえばポリイミドまたはポリベ

ンゾオキサゾールを含む。各電極47は、金属材料を含む。当該金属材料は、たとえばアルミニウム、銀、金あるいは銅である。各電極47は、単層構造であってよいし、複数層の積層構造であってよい。

[0014] 基板1は、電子素子4を支持する支持体である。基板1は、絶縁層2と導電部3を含む。

[0015] 絶縁層2は、図2および図6～図9に示すように、電子素子4を支持する。絶縁層2は、たとえば樹脂材料を含む。当該樹脂材料は、例えば封止樹脂7と同じであるが、封止樹脂7と異なっていて良い。絶縁層2は、樹脂材料ではなく、単結晶の真性半導体を含む構成（例えばケイ素（Si））で良いし、ガラスを含む構成で良いし、セラミックを含む構成であって良い。絶縁層2は、図2および図3に示すように、平面視矩形形状である。絶縁層2の厚さ（厚さ方向zに沿う寸法）は、何ら限定されないが、たとえば30 $\mu$ m以上300 $\mu$ m以下である。

[0016] 図2～図8に示すように、絶縁層2は、絶縁層主面21、絶縁層裏面22、2つの絶縁層側面23、2つの絶縁層側面24を含む。絶縁層主面21および絶縁層裏面22は、厚さ方向zにおいて離間する。絶縁層主面21と絶縁層裏面22は、互いに反対側を向く。絶縁層主面21は、絶縁層2の上面であり、絶縁層裏面22は、絶縁層2の下面である。絶縁層主面21は、電子素子4に対向する。絶縁層裏面22は、電子装置A10を回路基板に実装した際、当該回路基板に対向する。本実施形態では、絶縁層2は、封止樹脂7に覆われ、絶縁層裏面22は、封止樹脂7から露出する。図2～図8に示すように、各絶縁層側面23および各絶縁層側面24は、絶縁層主面21と絶縁層裏面22との間に挟まれている。各絶縁層側面23および各絶縁層側面24は、は、絶縁層主面21に繋がる厚さ方向zの上端、および絶縁層裏面22に繋がる厚さ方向zの下端を含む。2つの絶縁層側面23は、x方向において、互に対向する一対の側面である。2つの絶縁層側面24は、y方向において互に対向する一対の側面であり、2つの絶縁層側面23とそれぞれ接している。

- [0017] 複数の接合部49は導電部3と電子素子4とを接合する。接合部49は、導電性の接合材である。接合部49は、バリアメタル491とはんだ層492とを含む。はんだ層492は、錫(Sn)を組成に含む合金(例えばSn-銀(Ag)合金)を含み、且つフラックスを含有する。なお接合部49の組成は、この例に限定されず合理的な範囲で変更可能である。
- [0018] 各接合部49は、電子素子4の複数の電極47のうちのいずれかと導電部3との間に介在し、これらを接合する。これにより、電子素子4は、複数の接合部49を介して導電部3に導通する。
- [0019] 導電部3は、電子装置A10の内部に配置される導電体である。導電部3は、複数の端子部31および複数の配線部32を含む。
- [0020] 図9に示すように、各配線部32は、配線部主面321および配線部裏面322を含む。配線部主面321および配線部裏面322は、厚さ方向zにおいて離間する。配線部主面321および配線部裏面322は、互いに反対側を向く。配線部主面321は、配線部32の上面であり、配線部裏面322は、配線部32の下面である。配線部32は、例えばシード層3201とめっき層3202とを有する。シード層3201は、絶縁層主面21に形成され、絶縁層2に接する。シード層3201は、たとえばチタンを含む。めっき層3202層は、シード層3201に積層される。めっき層3202は、たとえば銅を含む。この構成とは異なり、配線部32は導電体からなる単層であって良い。配線部32の厚さ(厚さ方向zの寸法)は、何ら限定されないが、たとえば10 $\mu$ m以上100 $\mu$ m以下である。
- [0021] 複数の端子部31は、絶縁層2を厚さ方向zに貫通する。各端子部31は、配線部32と複数の導体膜315の各々とに繋がり、配線部32と各導体膜315とを電氣的に接続する。端子部31は、たとえば金属材料を含む。当該金属材料は何ら限定されないが、たとえば銅である。
- [0022] 端子部31の平面視形状は何ら限定されないが、図示された例では、矩形状である。図示された例では、各端子部31の上面(端子部主面311)は、絶縁層2の絶縁層主面と面一である。

[0023] 各端子部31は端子部主面311、端子部裏面312および端子部側面313を有する。端子部主面311は、厚さ方向z上方を向く。端子部裏面312は、厚さ方向z下方を向く。端子部側面313の厚さ方向zの上端は、端子部主面311に繋がり、端子部側面313の厚さ方向zの下端は端子部裏面312に繋がる。端子部裏面312は絶縁層2の絶縁層裏面22から露出していて良い。図9に示すように、端子部裏面312は、たとえば絶縁層裏面22と面一である。

[0024] 複数の導体膜315は、複数の配線部32にそれぞれ導通しており、かつ、電子装置A10の外部に露出した導電体の膜である。各導体膜315は、端子部裏面312と接する下部導体膜3152を有する。導体膜315は、端子部側面313と接する側部導体膜3151を有して良い。導体膜315は、電子装置A10を回路基板に実装する際に、電子装置A10と回路基板を接続する。導体膜315は、絶縁層裏面22から突き出る。導体膜315は、たとえば無電解めっきにより形成される。導体膜315は、たとえば、端子部31に接する側からNi層、パラジウム(Pd)層、金(Au)層の順に積層された複数の金属層から構成される。導体膜315は、その他の構成として、端子部31に接する側から、Ni層、Au層の順に積層された複数の金属層、あるいは、Cu層、Ag層、Sn層の順に積層された複数の金属層とすることができる。導体膜315の材料および形成方法は、これらの例に限定されない。

[0025] 複数の柱状部5は、絶縁層2に対して絶縁層主面21が向く方向に配置される。柱状部5は、導電部3の配線部32上に配置され、配線部32から厚さ方向z上方に突出している。柱状部5の平面視形状は、何ら限定されないが、図示された例では、第2方向yに延びる、長形状である。柱状部5は、導電性を有し、たとえば金属材料を含む。当該金属材料は、たとえば銅である。柱状部5は、たとえば電解めっきにより形成される。柱状部5の厚さ方向zの大きさは、電子素子4の厚さより大きくて良く、小さくて良い。本実施形態では、柱状部5は、厚さ方向zにおいて、樹脂主面71を貫通する

ように形成されている。また、本実施形態においては、柱状部5の厚さ方向zと直交する断面の形状および大きさは、厚さ方向zの全長にわたってほぼ同じであるが、これに限定されない。柱状部5の厚さ方向zと直交する断面の形状および大きさのいずれかまたは双方が、厚さ方向zの各部において異なる構成であってよい。

[0026] 各柱状部5は、柱状部主面51、柱状部裏面52および柱状部側面53を有する。柱状部主面51は、厚さ方向z上方を向く。柱状部裏面52は、厚さ方向z下方を向く。柱状部側面53の厚さ方向zの上端は、柱状部主面51に繋がり、柱状部側面53の厚さ方向zの下端は柱状部裏面52に繋がる。図9に示すように、端子部裏面312は、たとえば絶縁層裏面22と面一である。

[0027] 金属層6は、素子裏面42に配置されている。金属層6は、金属層主面61、金属層裏面62および金属層側面63を有して良い。金属層主面61は、厚さ方向z上方を向く。金属層裏面62は、厚さ方向z下方を向く。金属層側面63の厚さ方向zの上端は、金属層主面61に繋がり、金属層側面63の厚さ方向zの下端は金属層裏面62に繋がる。図4、図8および図9に示すように、金属層6は、電子素子4、および、複数の柱状部5上に配置される。

[0028] 封止樹脂7は、たとえば黒色のエポキシ樹脂を主剤とした合成樹脂である。封止樹脂7は、当該エポキシ樹脂にシリカなどのフィラーが混入されていて良い。図1、図2、図4、図6および図7に示すように、封止樹脂7は、電子素子4および複数の柱状部5を覆う。また、封止樹脂7は、絶縁層2の一部と、複数の接合部49と複数の配線部32とを覆う。封止樹脂7は、絶縁層主面21に形成される。封止樹脂は、平面視において矩形状である。封止樹脂7の厚さ（厚さ方向zに沿う寸法）は、何ら限定されないが、たとえば $200\mu\text{m}$ 以上 $1200\mu\text{m}$ 以下である。封止樹脂7は、図1、図2、図4、図6および図7に示すように、樹脂主面71、樹脂裏面72、および複数の樹脂側面73を有する。

[0029] 図4、図6および図7に示すように、樹脂主面71および樹脂裏面72は、厚さ方向zにおいて離間する。樹脂主面71と樹脂裏面72とは、厚さ方向zにおいて互いに反対側を向く。樹脂主面71は、厚さ方向zにおいて、電子素子4の素子裏面42および絶縁層主面21の各々と同じ方向を向く。本実施形態においては、電子素子4の一部が樹脂裏面72に配置されている。樹脂裏面72は、厚さ方向zにおいて、電子素子4の素子主面41および絶縁層裏面22の各々と同じ方向を向く。樹脂裏面72は、絶縁層主面21に接する。樹脂裏面には、配線部32の形状に応じて凹凸がある。図4、図6および図7に示すように、複数の樹脂側面73の各々は、厚さ方向zにおいて樹脂主面71と樹脂裏面72とに挟まれており、これらに繋がる。図1および図2に示すように、複数の樹脂側面73は、第1方向xの一方を向くもの、第1方向のx方向の他方を向くもの、第2方向yの一方を向くもの、および、第2方向yの他方を向くものを含む。

[0030] 次に電子装置A10の製図方法の一例について、図10～図24を参照して説明する。図10～図24のそれぞれは、電子装置A10の製造方法における一工程を示す断面図である。これらの断面図は、図8に示す断面に対応する。

[0031] まず図10に示すように、支持基板81を準備し、支持基板81上に複数の柱体82を形成する。支持基板81は、たとえば単結晶の真性半導体材料を含む。当該半導体材料は、たとえばSiである。支持基板81を準備する工程では、たとえば支持基板81として、シリコンウエハを準備する。支持基板81は、厚さ方向zにおいて互いに反対側を向く支持基板主面81aと支持基板裏面81bとを有する。複数の柱体82は、たとえば次の工程により形成される。まず、支持基板主面81aにシード層を形成する。当該シード層の形成は、たとえばスパッタリング法による。そして、シード層上にレジストをパターンニングし、電解めっきにより複数の柱体82を形成する。その後、レジスト層および不要なシード層を除去する。これらの工程を経て、支持基板81の支持基板主面81aに、複数の柱体82を形成する。なお、

柱体 8 2 の具体的な形状および大きさ等は、何ら限定されない。

[0032] 次いで、図 1 1 に示すように、支持基板 8 1 の支持基板主面 8 1 a に、複数の柱体 8 2 を覆う絶縁層 2 を形成する。絶縁層 2 は、たとえば黑色エポキシ樹脂を主剤とした合成樹脂である。絶縁層 2 の形成は、たとえばモールド成形による。絶縁層 2 としては、合成樹脂ではなく、他の絶縁性の樹脂材料であってよい。絶縁層 2 は、厚さ方向 z において互いに反対側を向く絶縁層主面 2 1 および絶縁層裏面 2 2 を有する。絶縁層主面 2 1 は、支持基板主面 8 1 a と同じ方向を向き、絶縁層裏面 2 2 は、支持基板主面 8 1 a に対向する。絶縁層 2 の形成では、複数の柱体 8 2 を完全に覆う。

[0033] 次いで、図 1 2 に示すように、絶縁層 2 を研削し、複数の端子部 3 1 を形成する。絶縁層 2 の研削は、図 1 1 に示す状態において、絶縁層主面 2 1 から厚さ方向 z 下方に向かって行い、絶縁層主面 2 1 から柱体 8 2 が露出するまで行う。当該研削方法は特に限定されない。また、研削でない方法により、絶縁層 2 を薄型化して良い。これにより、複数の柱体 8 2 から複数の端子部 3 1 が形成される。形成される端子部 3 1 は、上述のグランド端子部 3 1 A と、コーナー端子部 3 1 B およびセンター端子部 3 1 C を含む。厚さ方向 z において、センター端子部 3 1 C は、電子素子と重なるように配置されている。

[0034] 次いで、図 1 3 に示すように、配線部 3 2 を形成する。配線部 3 2 は、たとえば次の工程により形成される。まず、絶縁層主面 2 1 および端子部 3 1 の上に、上述のシード層 3 2 0 1 を形成する。シード層 3 2 0 1 の形成は、たとえばスパッタリング法による。例えばシード層として、Ti (チタン) 層およびCu (銅) 層が順に積層される。次に、シード層 3 2 0 1 上にレジストをパターンニングし、電解めっきにより上述のめっき層 3 2 0 2 を形成する。たとえば、めっき層 3 2 0 2 は、Cu (銅) を含む。その後、レジスト層および不要なシード層 3 2 0 1 (めっき層 3 2 0 2 から露出するシード層 3 2 0 1) を除去する。これらの工程を経て、配線部 3 2 を形成する。

[0035] 次いで、図 1 4 に示すように複数のバリアメタル 4 9 1 および複数のはん

だ層492を順に形成する。各バリアメタル491は、配線部32とは異なる金属を含み、たとえば、Ni（ニッケル）を含む。はんだ層492を形成する工程では、たとえばはんだ層492としてのはんだペーストを、スクリーン印刷によって、対応するバリアメタル491上に形成する。バリアメタル491およびはんだ層492の形成方法は、何ら限定されないが、たとえば電解めっきによる。当該電解めっきによって、導電経路となるシード層を、新たに形成してよいし、配線部32を形成する工程で形成したシード層3201を除去せずに当該シード層3201を用いてよい。バリアメタル491およびはんだ層492は、電子素子4を接合する領域にそれぞれ形成される。

[0036] 次いで、図15に示すように、柱状部5を形成する。柱状部5は、金属材料を含み、当該金属材料は、たとえばCu（銅）である。柱状部5の形成は、たとえば電解めっきによる。当該電解めっきにおいて、導通経路となるシード層は、新たに形成されてよいし、配線部32を形成する工程で形成したシード層3201を除去せずに当該シード層3201が用いられて良い。

[0037] 次いで、図16に示すように、電子素子4を載置し、電子素子4を接合する。図15に示すように電子素子4を載置する工程では、電子素子4の複数の電極47と複数のはんだ層492をそれぞれ対応させる。次いで、電子素子4を載置した状態で、リフローを行う。このリフローによる熱によってはんだ層492が溶解する。次いで、溶解したはんだ層492を冷却する。これにより、はんだ層492が固化し、電子素子4が接合される。以上のように、電子素子4は、素子主面41を配線部32に対向させた姿勢でフリップチップ実装される。

[0038] 次いで、図17に示すように、封止樹脂7を形成する。封止樹脂7は絶縁層2の上方に、電子素子4、配線部32および柱状部5を覆うように、形成される。封止樹脂7の形成は、たとえばモールド成形による。封止樹脂7は、たとえば黒色のエポキシ樹脂を主剤とした合成樹脂である。封止樹脂7としては、当該合成樹脂ではなく、他の絶縁性の樹脂材料であってよい。封止

樹脂 7 は、厚さ方向 z 上方を向く樹脂主面 7 1 および z 方向下方を向く樹脂裏面 7 2 を有する。

[0039] 次いで、図 1 8 に示すように、封止樹脂 7 を樹脂主面 7 1 から厚さ方向 z 下方に向けて、素子裏面 4 2 および柱状部主面 5 1 が露出するまで研削してよい。当該研削方法は特に限定されない。また、たとえば、化学的手法等の研削でない方法により、封止樹脂 7 を薄型化してよい。

[0040] 次いで、図 1 9 に示すように、金属層 6 を形成する。この際、素子裏面 4 2 および柱状部主面 5 1 の双方に接続するように金属層 6 を形成してよい。金属層 6 は、金属材料を含み、当該金属材料は、たとえば Cu (銅) である。金属層 6 の形成は、たとえば電解めっきによる。この金属層 6 の形成は、行わなくてよい。

[0041] 次いで、図 2 0 に示すように、支持基板 8 1 を除去する。支持基板 8 1 の除去では、たとえば図 2 0 に示す状態において、支持基板裏面 8 1 b 側から支持基板 8 1 を研削する。当該研削を支持基板 8 1 除去後も継続して行うことで、絶縁層 2 および端子部 3 1 を薄型化してよい。

[0042] 次いで、図 2 1 に示すように、封止樹脂 7 および絶縁層 2 を切断線 CL 1 に沿って絶縁層裏面 2 2 側から、封止樹脂 7 の一部まで切断する。封止樹脂 7 および絶縁層 2 の切断は、たとえばダイシングブレードを用いた切削加工により行われる。これにより、図 2 2 に示すように、封止樹脂 7 の一部および絶縁層 2 に溝部 8 3 が形成される。

[0043] 次いで、図 2 3 に示すように、複数の導体膜 3 1 5 を形成する。各導体膜 3 1 5 は、上述の端子部裏面 3 1 2 と接する下部導体膜 3 1 5 2 を有する。各導体膜 3 1 5 は、上述の端子部側面 3 1 3 と接する側部導体膜 3 1 5 1 を有してよい。

[0044] 次いで、図 2 4 に示すように、封止樹脂 7 および金属層 6 を切断線 CL 2 に沿って切断する。封止樹脂 7 および金属層 6 の切断は、たとえばダイシングブレードを用いた切削加工により行われる。これにより、封止樹脂 7 および金属層 6 が切断線 CL 2 で分割される。

- [0045] 以上の工程を経て、図1～図9に示す電子装置A10が製造される。なお、電子装置A10の製造方法は、上記した例に限定されない。
- [0046] 電子装置A10の作用および効果は、次のとおりである。
- [0047] 電子装置A10では、封止樹脂7内において、柱状部5が導電部3から厚さ方向zの上方に突出している。これにより、電子素子4から封止樹脂7へと伝わった熱が、柱状部5を介して導電部3へと伝わりやすい。したがって、電子素子4から発生した熱を外部へより速やかに放出可能である。さらに、柱状部主面51は、厚さ方向zにおいて、樹脂主面71を貫通するように形成されている。これにより、電子素子4から発生した熱を外部へより速やかに放出可能である。
- [0048] 電子装置A10では、金属層6の金属層裏面62は、厚さ方向zにおいて、柱状部主面51と、素子裏面42とに接するように形成されている。これにより、電子素子4で発生した熱が金属層6と柱状部5と配線部32を介して、たとえば電子装置A10が実装される実装基板（図示略）に放熱される。したがって、このような構成によれば、電子装置A10の放熱性をさらに高めることができる。
- [0049] 柱状部5は、グランド端子部31Aに導通している。グランド端子部31Aが接続されるグランドラインは、一般的に面積が大きく熱が伝わりやすい。したがって、電子素子4からの放熱を促進することができる。また、本実施形態においては、柱状部5は、センター端子部31Cに導通する。センター端子部31Cは、複数の端子部31の中で最も面積が大きい。したがって、このような構成は、電子素子4からの放熱を促進するのに有利である。
- [0050] 電子装置A10は、電子素子4と、絶縁層2と、柱状部5とを備える。絶縁層2は電子素子4を支持する絶縁層主面21を有する。柱状部5は、絶縁層主面21上（絶縁層2に対して絶縁層主面21が向く方向）に配置されている。この構成では、柱状部5が電磁シールドとして機能する。これにより、電子素子4が外部からの電磁ノイズを受けることを抑制できる。したがって、このような構成によれば、電子装置A10の動作信頼性を高めることが

可能である。

[0051] 図25～図44は、本開示の変形例および他の実施形態を示している。なお、これらの図において、上記実施形態と同一または類似の要素には、上記実施形態と同一の符号を付している。また、各変形例および各実施形態における各部の構成は、技術的な矛盾を生じない範囲において相互に適宜組み合わせ可能である。

[0052] 図25は、電子装置A10の第1変形例を示している。本変形例の電子装置A11は、柱状部5の構成が、電子装置A10と異なっている。

[0053] 電子装置A11では、柱状部5が、封止樹脂7からx方向に露出している。このような柱状部5は、たとえば図15に示した柱状部5よりx方向の大きさが大きい柱状部5を形成することで形成される。たとえば、厚さ方向zに視て、柱状部5が端子部31（図中のグランド端子部31A）に重なるように、柱状部5を形成する。そして、図21および図24に示す工程では、柱状部5の一部を除去するように、切断を行う。電子装置A11では、導体膜315の側部導体膜3151が、柱状部5の一部に形成されていてよい。

[0054] 本変形例によっても、電子素子4から発生した熱を外部へより速やかに放出可能である。また、本変形例から理解されるように、柱状部5は、封止樹脂7からx方向またはy方向に露出していてよい。

[0055] 図26は、電子装置A10の第2変形例を示している。本変形例の電子装置A12は、電子素子4および金属層6の関係が、上述の例と異なっている。

[0056] 電子装置A12では、電子素子4の素子裏面42と金属層6の金属層裏面62との間に、封止樹脂7の一部が介在している。

[0057] 本変形例によっても、電子素子4から発生した熱を外部へより速やかに放出可能である。また、本変形例から理解されるように、本開示の電子装置は、電子素子4と金属層6とが互いに接している構成に限定されない。

[0058] 図27は、電子装置A10の第3変形例を示している。本変形例の電子装置A13は、上述の金属層6を備えていない。

- [0059] 電子装置A13では、封止樹脂7の樹脂主面71がz方向の上方に露出している。図示された例においては、電子素子4の素子裏面42および柱状部5の柱状部主面51は、封止樹脂7によって覆われているが、これに限定されない。素子裏面42および柱状部主面51の少なくともいずれかが、封止樹脂7の樹脂主面71から露出していることによりよい。
- [0060] 本変形例によっても、電子素子4から発生した熱を外部へより速やかに放出可能である。また、本変形例から理解されるように、本開示の電子装置は、金属層6を備えない構成であってよい。
- [0061] 図28および図29は、電子装置A10の第4変形例を示している。本変形例の電子装置A14は、金属層6の構成が、上述した例と異なっている。
- [0062] 電子装置A14では、金属層6は、凹凸部65を有する。凹凸部65は、金属層6のz方向の上方側に形成されている。図示された例においては、凹凸部65は、複数の凸部651を含む。複数の凸部651は、各々が金属層主面61からz方向の上方に突出している。凹凸部65の厚さ方向zの大きさは何ら限定されず、たとえば3 $\mu$ m以上100 $\mu$ m以下である。
- [0063] 複数の凸部651の形状および大きさは、何ら限定されない。本例においては、複数の凸部651は、各々が厚さ方向zに視て矩形状であるが、円形状、楕円形状、多角形状等であってよい。また、複数の凸部651の配置は何ら限定されず、本例においては、第1方向xおよび第2方向yに沿ったマトリクス状に配置されている。
- [0064] 凹凸部65（複数の凸部651）の形成手法は、何ら限定されない。たとえば、図19に示す工程の後に、さらに電解めっき等を行うことにより、凹凸部65（複数の凸部651）をさらに形成してよい。あるいは、図19の金属層6の厚さ方向zの厚さを厚く形成し、この金属層6にたとえばエッチングを施すことにより、凹凸部65（複数の凸部651）を形成してよい。
- [0065] 本変形例によっても、電子素子4から発生した熱を外部へより速やかに放出可能である。また、本変形例においては、金属層6に凹凸部65が形成されている。これにより、金属層6の厚さ方向zの上方の表面積が拡大してい

る。したがって、このような構成は、電子装置A14の放熱性を高めるのに適している。

[0066] 図30は、電子装置A10の第5変形例を示している。本変形例の電子装置A15は、複数の凸部651の構成が、電子装置A14と異なっている。

[0067] 電子装置A15では、複数の凸部651は、各々が第2方向yに延びており、金属層6の第2方向yの両端に到達している。複数の凸部651は、互いに平行であり、第1方向xに互いに離れて配置されている。

[0068] 本変形例によっても、電子素子4から発生した熱を外部へより速やかに放出可能である。また、本変形例から理解されるように、凹凸部65（複数の凸部651）の具体的な構成は、何ら限定されない。

[0069] 図31は、電子装置A10の第6変形例を示している。本変形例の電子装置A16は、複数の凸部651の構成が、上述の例と異なっている。

[0070] 電子装置A16では、複数の凸部651は、各々が厚さ方向zに視て円形状である。また、複数の凸部651は、マトリクス状に配置されており、第1方向xにおいて隣り合う凸部651同士の第2方向yの位置が、互いに異なる配置とされている。

[0071] 本変形例によっても、電子素子4から発生した熱を外部へより速やかに放出可能である。また、本変形例から理解されるように、凹凸部65（複数の凸部651）の具体的な構成は、何ら限定されない。

[0072] 図32～図34は、第2実施形態に係る電子装置A20を示している。電子装置A20では、柱状部5の構成が上述の実施形態と異なっている。

[0073] 本実施形態の柱状部5は、テーパ部54を有している。テーパ部54は、配線部32に繋がっている。テーパ部54は、柱状部5の厚さ方向zの下端部分である。図34に示すように、テーパ部54は、厚さ方向zにおいて上方（第1側）から下方（第2側）に向かうほど、厚さ方向zと直交する断面が小さい。図示された例においては、厚さ方向zにおいて上方（第1側）から下方（第2側）に向かうほど、テーパ部54の第1方向xの大きさが小さくなっている。柱状部5のうちテーパ部54より厚さ方向zの上方に位置す

る部分の形状は、何ら限定されない。図示された例においては、当該部分は、厚さ方向 $z$ と直交する断面の形状および大きさが一定である。

[0074] テーパ部54は、少なくともいずれかの配線部32と繋がっている。図示された例においては、テーパ部54は、グランド端子部31Aに導通する配線部32に繋がっている。また、電子装置A20の導電部3は、2つのグランド端子部31Dを含む。2つのグランド端子部31Dは、複数のグランド端子部31Aを挟んで第2方向 $y$ の両側に配置されている。テーパ部54は、2つのグランド端子部31Dに導通する配線部32にも繋がっている。

[0075] 図34に示すように、図示された例においては、テーパ部54は、配線部32を貫通して端子部31に到達している。テーパ部54と配線部32とが繋がる具体的な構成は何ら限定されず、配線部32のみに到達してよいし、配線部32を貫通して端子部31に到達してよい。

[0076] 図32に示すように、柱状部5は、電子装置A20を第2方向 $y$ に横断しており、第2方向 $y$ の両端に到達している。図示された例においては、柱状部5の第2方向 $y$ と直交する断面の形状および大きさは、ほぼ一定である。

[0077] 次に、電子装置A20の製造方法の一例について、図35～図40を参照しつつ、以下に説明する。

[0078] まず、図10～図17を参照して説明した工程を行う。ただし、図15に示す柱状部5の形成は行わない。

[0079] 次いで、図35に示すように、切断線CL3に沿って、封止樹脂7を切断する。この切断は、たとえばダイシングブレードを用いた切削加工により行われる。図示された例においては、当該ダイシングブレードの外周部分にテーパ部が設けられている。切断線CL3の厚さ方向 $z$ の下端部分は、このテーパ部の形状に対応している。図示された例においては、切断線CL3は、配線部32を貫通し、端子部31に到達している。切断線CL3は、配線部32に到達していればよく、端子部31に到達していなくてよい。切断線CL3に沿った切断は、第2方向 $y$ の全域に渡って行われる。

[0080] 切断線CL3に沿った切断により、図36に示す溝部84が形成される。

溝部 8 4 は、樹脂主面 7 1 に開口しており、樹脂主面 7 1 から厚さ方向 z の下方に凹んでいる。溝部 8 4 は、配線部 3 2 に到達している。また、図示された例においては、溝部 8 4 は、端子部 3 1 に到達している。

[0081] 次いで、溝部 8 4 に導体を充填することにより、図 3 7 に示す柱状部 5 を形成する。溝部 8 4 に導体を充填する手法は、何ら限定されない。たとえば、スパッタリング等によって溝部 8 4 の内面にシード層となる金属層を形成し、この後に、電解めっき等によって、導体の一例である Cu（銅）を溝部 8 4 に充填してよい。溝部 8 4 の形状に対応した柱状部 5 が形成されるため、図示された例においては、柱状部 5 にテーパ部 5 4 が形成される。

[0082] 次いで、図 3 8 に示すように、封止樹脂 7 および柱状部 5 を厚さ方向 z の上方から切削する。これにより、素子裏面 4 2 を樹脂主面 7 1 から露出させる。

[0083] 次いで、図 3 9 に示すように、金属層 6 を形成する。なお、図 3 5 ~ 図 3 9 においては、図 1 0 ~ 図 1 9 に示す支持基板 8 1 を示していないが、図 1 0 ~ 図 1 9 に工程と同様に支持基板 8 1 を用いた製造方法であってよい。

[0084] 次いで、図 3 9 に示す切断線 CL 1 に沿って、基板 1 および封止樹脂 7 の一部を切断する。次いで、図 4 0 に示すように、たとえば導体膜 3 1 5 を形成し、切断線 CL 2 に沿った切断を行う。以上の工程を経ることにより、電子装置 A 2 0 が得られる。

[0085] 本実施形態によっても、電子素子 4 から発生した熱を外部へより速やかに放出可能である。また、図 3 5 に示す切断により、図 3 6 に示す溝部 8 4 を形成し、溝部 8 4 に導体を充填することにより、柱状部 5 を形成する。このような手法によれば、所望の位置に比較的大きなサイズの柱状部 5 を形成することが可能であり、放熱性を高めるのに有利である。

[0086] テーパ部 5 4 が配線部 3 2 に繋がることにより、柱状部 5 と導電部 3 との間においてより確実に伝熱することができる。また、テーパ部 5 4 が、配線部 3 2 を貫通して端子部 3 1 に到達している構成は、伝熱の促進に好ましい。

[0087] 図4 1は、電子装置A 2 0の第1変形例を示している。本変形例の電子装置A 2 1は、電子素子4および柱状部5の構成が、上述した例と異なっている。

[0088] 電子装置A 2 1では、電子素子4の素子側面4 3と柱状部5の柱状部側面5 3とが互いに接している。素子側面4 3と柱状部側面5 3との間には、封止樹脂7は介在していない。素子裏面4 2と柱状部主面5 1とは、互いに面に繋がっている。

[0089] 図4 2～図4 4は、電子装置A 2 1の製造方法の一例を示している。図4 2に示すように、切断線C L 3に沿った切断を行う。本実施形態においては、切断線C L 3は、封止樹脂7と電子素子4とに重なっている。

[0090] 切断線C L 3に沿った切断により、図4 3に示す溝部8 4が形成される。切断線C L 3に沿った切断により、電子素子4の一部が切削される。この切削においては、たとえば電子素子4の電氣的な機能を果たす機能部分を避けた部分が切削される。この結果、電子素子4の溝部8 4には、素子側面4 3が露出している。

[0091] 次いで、図4 4に示すように、溝部8 4に導体を充填することにより、柱状部5を形成する。この後は、たとえば図3 8～図4 0に示す工程を経ることにより、電子装置A 2 1が得られる。

[0092] 本実施形態によっても、電子素子4から発生した熱を外部へより速やかに放出可能である。また、電子素子4と柱状部5とが接していることにより、電子素子4からの熱が柱状部5により効率よく伝達される。これは、電子装置A 2 1の放熱性を高めるのに有利である。

[0093] 本開示に係る電子装置は、上述した実施形態に限定されるものではない。本発明に係る電子装置の各部の具体的な構成は、種々に設計変更自在である。

[0094] 付記1.

厚さ方向において、第1側を向く絶縁層主面及び前記絶縁層主面とは反対側の第2側を向く絶縁層裏面を有する絶縁層と、

前記絶縁層主面及び前記絶縁層裏面から露出する導電部と、  
を有する基板と、

前記厚さ方向において前記絶縁層主面と対向する素子主面を含む素子本体  
及び前記素子主面に配置された複数の電極を有し、かつ前記複数の前記電極  
が前記導電部に電氣的に接合された電子素子と、

前記厚さ方向において、前記導電部から前記厚さ方向の前記第1側に突出し  
、導電性を有する柱状部と、

前記絶縁層主面と前記電子素子と前記柱状部とを覆う封止樹脂と、  
を備える、電子装置。

付記2.

前記素子本体は、前記厚さ方向の前記第1側を向く、素子裏面を有し、  
前記厚さ方向において、前記柱状部は前記素子裏面よりも前記第1側まで  
形成される、付記1に記載の電子装置。

付記3.

前記柱状部は、前記厚さ方向に伸びる柱状部側面を有し、  
前記素子本体は、前記厚さ方向に延びる素子側面を有し、  
前記柱状部側面と前記素子側面とは、少なくとも一部が接している、付記  
1または2に記載の電子装置。

付記4.

前記素子本体は、前記厚さ方向の前記第1側を向く、素子裏面を有し、  
前記電子素子は、前記素子裏面に配置された金属層を有する、付記1ない  
し3のいずれかに記載の電子装置。

付記5.

前記金属層は、前記柱状部と接続している付記4に記載の電子装置。

付記6.

前記金属層に対して前記厚さ方向の前記第1側に積層された絶縁膜を備え  
る、付記4または5に記載の電子装置。

付記7.

前記導電部は、前記絶縁層裏面から露出する端子裏面を有する端子部と、前記絶縁層主面から露出し且つ前記端子部及び前記複数の電極の少なくともいずれかを接続する配線部と、を含む、付記 1 に記載の電子装置。

付記 8.

前記厚さ方向視において、前記電子素子は前記端子部と少なくとも一部が重なる付記 7 に記載の電子装置。

付記 9.

前記端子部の少なくとも一部に金属膜が形成されている付記 7 に記載の電子装置。

付記 10.

前記柱状部は、前記配線部に繋がるテーパ部を有し、前記テーパ部は、前記厚さ方向において、前記第 1 側から前記第 2 側に向かうほど前記厚さ方向と直交する断面が小さくなる、付記 7 ないし 9 のいずれかに記載の電子装置。

付記 11.

前記金属層は、前記厚さ方向の前記第 1 側に形成された凹凸部を有する、付記 4 または 5 に記載の電子装置。

付記 12.

前記凹凸部は、前記厚さ方向視において前記厚さ方向と直交する第 1 方向に並ぶ複数の凸部を有する、付記 11 に記載の電子装置。

付記 13.

前記複数の凸部は、前記厚さ方向視において、マトリクス状に配置されている、付記 11 に記載の電子装置。

付記 14.

前記凹凸部の厚さは  $3\ \mu\text{m}$  以上  $100\ \mu\text{m}$  以下である、付記 11 ないし付記 13 のいずれかに記載の電子装置。

付記 15.

前記導電部は、複数の前記端子部を含み、前記複数の端子部は、グランド接続用のグランド端子部を含み、前記柱状部は、前記グランド端子部に導通している、付記 7 に記載の電子装置。

付記 16.

前記絶縁層は、前記厚さ方向視において矩形状であり、

前記導電部は、複数の前記端子部を含み、

前記複数の端子部は、前記絶縁層の四隅に配置された複数のコーナー端子部を含み、

前記柱状部は、前記複数のコーナー端子部の少なくとも一つと導通している、付記 7 または 15 に記載の電子装置。

付記 17.

前記金属層は、銅を含む、付記 4 に記載の電子装置。

付記 18.

前記導電部は、銅を含む、付記 1 に記載の電子装置。

付記 19.

絶縁層及び導電部を有する基板を用意する工程と、

前記導電部から厚さ方向の第 1 側に突出する導電性を有する柱状部を形成する工程と、

前記基板に電子素子を搭載する工程と、

前記電子素子および前記柱状部を覆う封止樹脂を形成する工程と、  
を備える、電子装置の製造方法。

付記 20.

絶縁層及び導電部を有する基板を用意する工程と、

前記基板の厚さ方向の第 1 側に電子素子を搭載する工程と、

前記電子素子を覆う封止樹脂を形成する工程と、

前記封止樹脂を部分的に除去することにより、前記厚さ方向の前記一方側に開口し且つ前記導電部に到達する凹部を形成する工程と、

前記凹部に導体を充填することにより、前記導電部から前記厚さ方向の前

記第 1 側に突出する柱状部を形成する工程と、  
を備える、電子装置の製造方法。

付記 2 1.

前記凹部を形成する工程においては、前記封止樹脂の一部と前記電子素子  
の一部とを除去することにより、前記電子素子および前記封止樹脂の双方に  
わたる前記凹部を形成し、

前記柱状部を形成する工程においては、前記封止樹脂および前記電子素子  
に前記導体を接しさせるように前記凹部に前記導体を充填する、付記 2 0 に  
記載の電子装置の製造方法。

### 符号の説明

- [0095] A 1 0 ~ A 1 6, A 2 0, A 2 1 : 電子装置                      1 : 基板
- 2 : 絶縁層                      3 : 導電部
- 4 : 電子素子                      5 : 柱状部
- 6 : 金属層                      7 : 封止樹脂
- 2 1 : 絶縁層主面                      2 2 : 絶縁層裏面
- 2 3 : 絶縁層側面                      2 4 : 絶縁層側面
- 3 1 : 端子部                      3 1 A : グランド端子部
- 3 1 B : コーナー端子部                      3 1 C : センター端子部
- 3 1 D : グランド端子部                      3 2 : 配線部
- 4 0 : 素子本体                      4 1 : 素子主面
- 4 2 : 素子裏面                      4 3 : 素子側面
- 4 7 : 電極                      4 9 : 接合部
- 5 1 : 柱状部主面                      5 2 : 柱状部裏面
- 5 3 : 柱状部側面                      5 4 : テーパ部
- 6 1 : 金属層主面                      6 2 : 金属層裏面
- 6 3 : 金属層側面                      6 5 : 凹凸部
- 7 1 : 樹脂主面                      7 2 : 樹脂裏面
- 7 3 : 樹脂側面                      8 1 : 支持基板

8 1 a : 支持基板主面            8 1 b : 支持基板裏面  
8 2 : 柱体            8 3, 8 4 : 溝部  
3 1 1 : 端子部主面            3 1 2 : 端子部裏面  
3 1 3 : 端子部側面            3 1 5 : 導体膜  
3 2 1 : 配線部主面            3 2 2 : 配線部裏面  
4 9 1 : バリアメタル            4 9 2 : はんだ層  
6 5 1 : 凸部            3 1 5 1 : 側部導体膜  
3 1 5 2 : 下部導体膜            3 2 0 1 : シード層  
3 2 0 2 : めっき層            CL 1, CL 2, CL 3 : 切断線  
x : 第 1 方向            y : 第 2 方向  
z : 厚さ方向

## 請求の範囲

- [請求項1] 厚さ方向において、第1側を向く絶縁層主面及び前記絶縁層主面とは反対側の第2側を向く絶縁層裏面を有する絶縁層と、前記絶縁層主面及び前記絶縁層裏面から露出する導電部と、を有する基板と、
- 前記厚さ方向において前記絶縁層主面と対向する素子主面を含む素子本体及び前記素子主面に配置された複数の電極を有し、かつ前記複数の前記電極が前記導電部に電氣的に接合された電子素子と、
- 前記厚さ方向において、前記導電部から前記厚さ方向の前記第1側に突出し、導電性を有する柱状部と、
- 前記絶縁層主面と前記電子素子と前記柱状部とを覆う封止樹脂と、を備える、電子装置。
- [請求項2] 前記素子本体は、前記厚さ方向の前記第1側を向く、素子裏面を有し、
- 前記厚さ方向において、前記柱状部は前記素子裏面よりも前記第1側まで形成される、請求項1に記載の電子装置。
- [請求項3] 前記柱状部は、前記厚さ方向に伸びる柱状部側面を有し、
- 前記素子本体は、前記厚さ方向に延びる素子側面を有し、
- 前記柱状部側面と前記素子側面とは、少なくとも一部が接している、請求項1または2に記載の電子装置。
- [請求項4] 前記素子本体は、前記厚さ方向の前記第1側を向く、素子裏面を有し、
- 前記電子素子は、前記素子裏面に配置された金属層を有する、請求項1に記載の電子装置。
- [請求項5] 前記金属層は、前記柱状部と接続している請求項4に記載の電子装置。
- [請求項6] 前記金属層に対して前記厚さ方向の前記第1側に積層された絶縁膜を備える、請求項4または5に記載の電子装置。

- [請求項7] 前記導電部は、前記絶縁層裏面から露出する端子裏面を有する端子部と、  
前記絶縁層主面から露出し且つ前記端子部及び前記複数の電極の少なくともいずれかを接続する配線部と、  
を含む、請求項1に記載の電子装置。
- [請求項8] 前記厚さ方向視において、前記電子素子は前記端子部と少なくとも一部が重なる請求項7に記載の電子装置。
- [請求項9] 前記端子部の少なくとも一部に金属膜が形成されている請求項7に記載の電子装置。
- [請求項10] 前記柱状部は、前記配線部に繋がるテーパ部を有し、  
前記テーパ部は、前記厚さ方向において、前記第1側から前記第2側に向かうほど前記厚さ方向と直交する断面が小さくなる、請求項7ないし9のいずれかに記載の電子装置。
- [請求項11] 前記金属層は、前記厚さ方向の前記第1側に形成された凹凸部を有する、請求項4または5に記載の電子装置。
- [請求項12] 前記凹凸部は、前記厚さ方向視において前記厚さ方向と直交する第1方向に並ぶ複数の凸部を有する、請求項11に記載の電子装置。
- [請求項13] 前記複数の凸部は、前記厚さ方向視において、マトリクス状に配置されている、請求項11に記載の電子装置。
- [請求項14] 前記凹凸部の厚さは $3\mu\text{m}$ 以上 $100\mu\text{m}$ 以下である、請求項11ないし13のいずれかに記載の電子装置。
- [請求項15] 前記導電部は、複数の前記端子部を含み、前記複数の端子部は、グランド接続用のグランド端子部を含み、前記柱状部は、前記グランド端子部に導通している、請求項7に記載の電子装置。
- [請求項16] 前記絶縁層は、前記厚さ方向視において矩形状であり、  
前記導電部は、複数の前記端子部を含み、  
前記複数の端子部は、前記絶縁層の四隅に配置された複数のコーナー端子部を含み、

前記柱状部は、前記複数のコーナー端子部の少なくとも一つと導通している、請求項15に記載の電子装置。

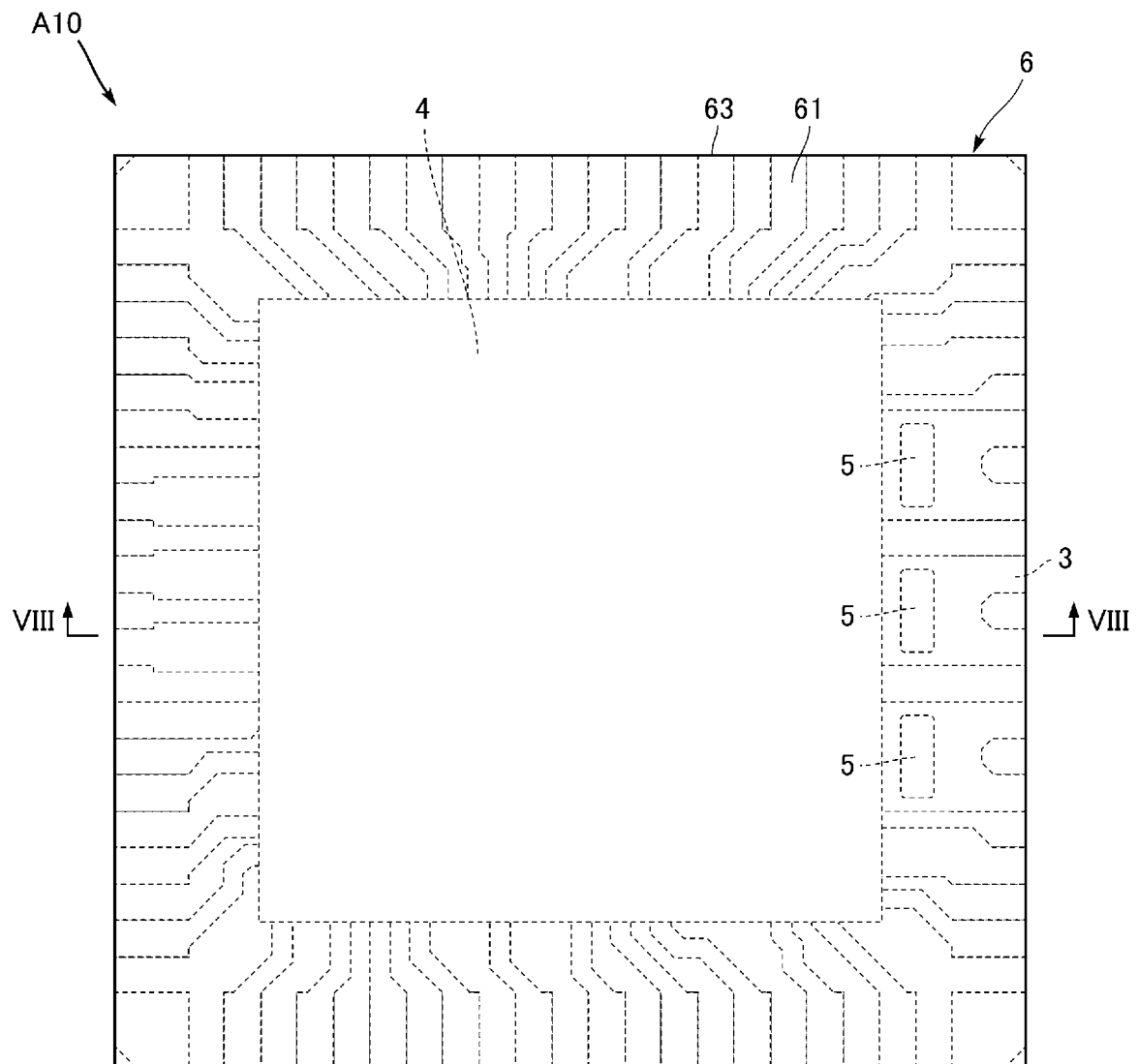
[請求項17] 前記金属層は、銅を含む、請求項4に記載の電子装置。

[請求項18] 前記導電部は、銅を含む、請求項1に記載の電子装置。

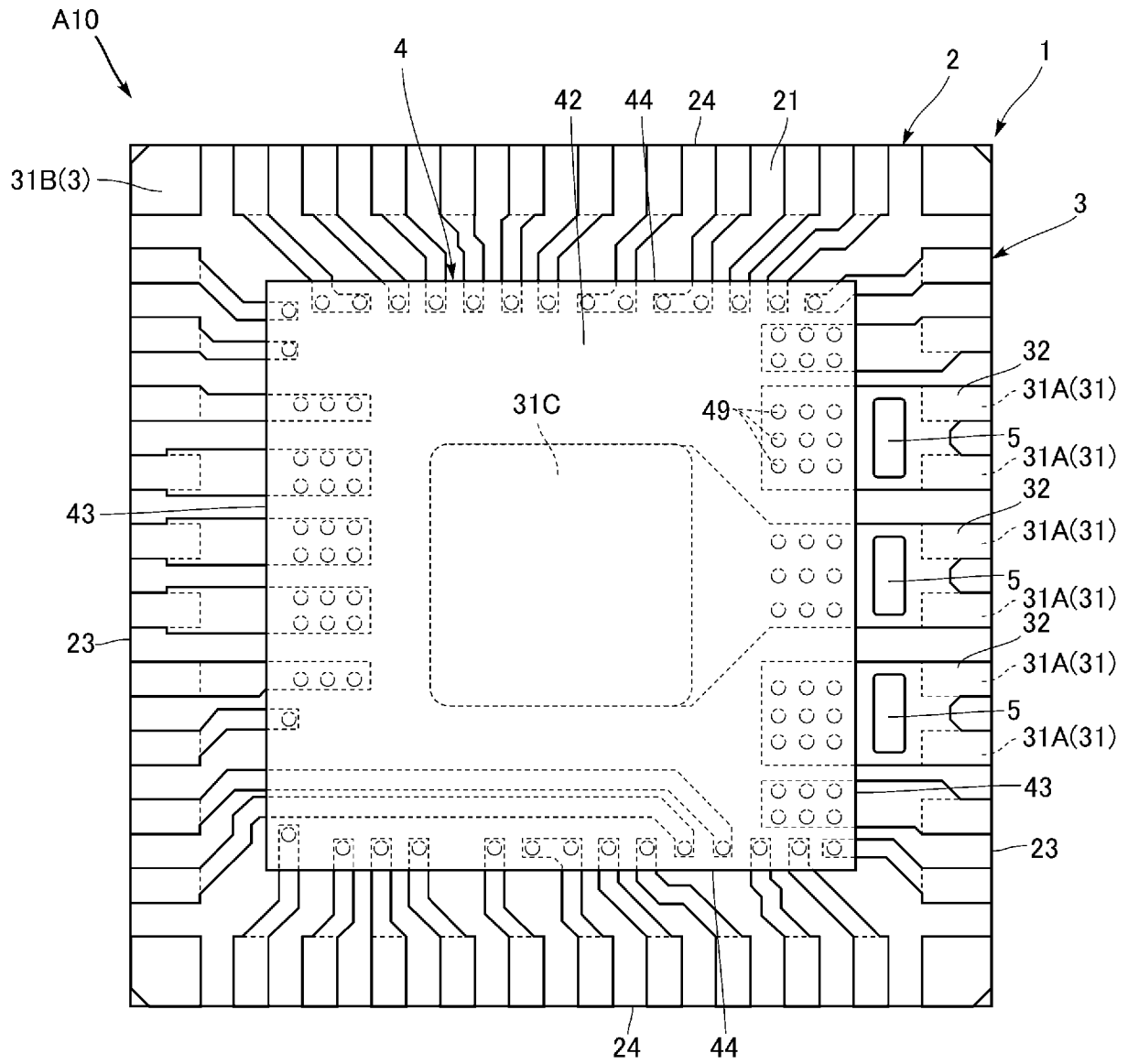
[請求項19] 絶縁層及び導電部を有する基板を用意する工程と、  
前記導電部から厚さ方向の第1側に突出する導電性を有する柱状部を形成する工程と、  
前記基板に電子素子を搭載する工程と、  
前記電子素子および前記柱状部を覆う封止樹脂を形成する工程と、  
を備える、電子装置の製造方法。

[請求項20] 絶縁層及び導電部を有する基板を用意する工程と、  
前記基板の厚さ方向の第1側に電子素子を搭載する工程と、  
前記電子素子を覆う封止樹脂を形成する工程と、  
前記封止樹脂を部分的に除去することにより、前記厚さ方向の前記一方側に開口し且つ前記導電部に到達する凹部を形成する工程と、  
前記凹部に導体を充填することにより、前記導電部から前記厚さ方向の前記第1側に突出する柱状部を形成する工程と、  
を備える、電子装置の製造方法。

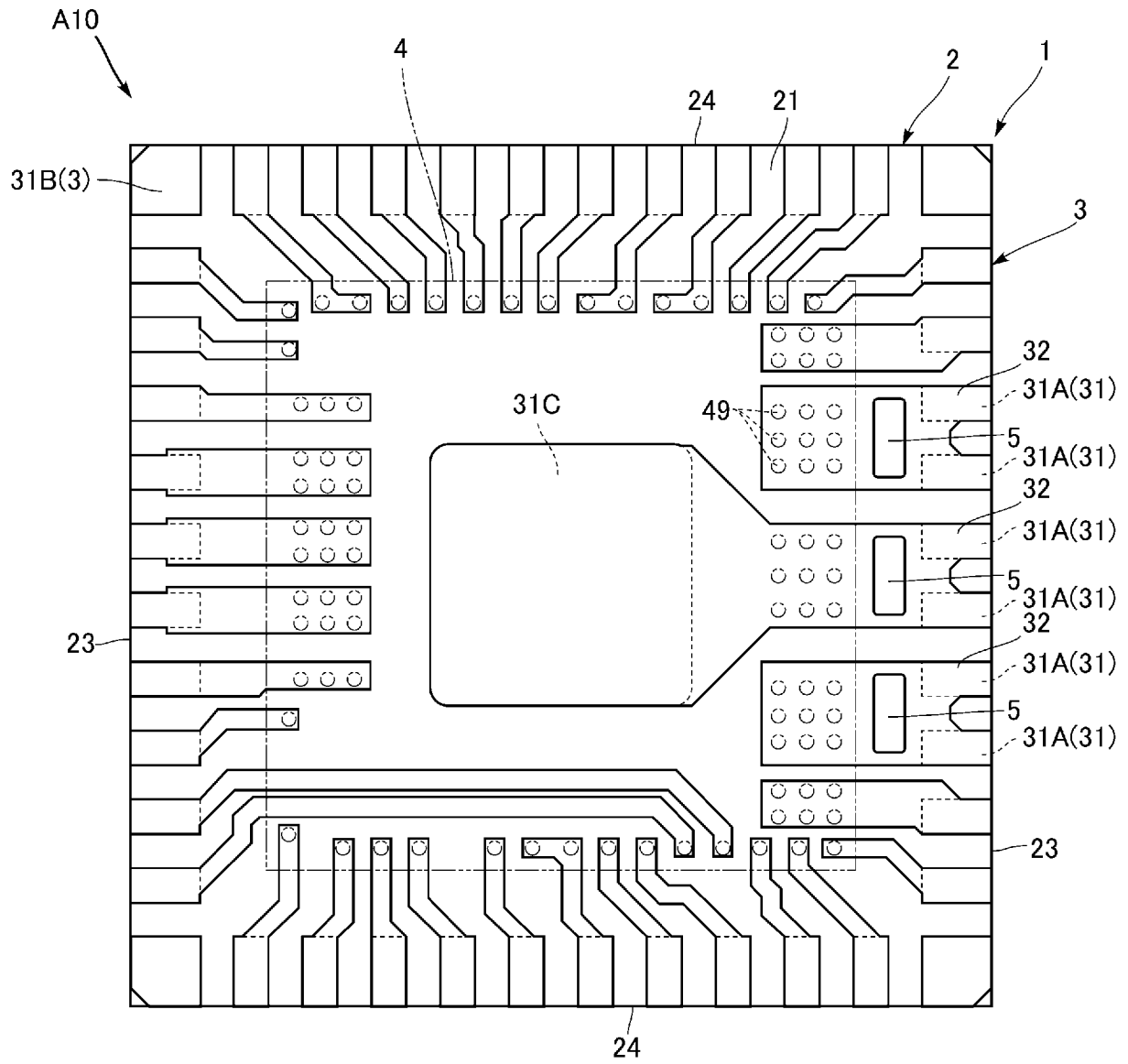
[請求項21] 前記凹部を形成する工程においては、前記封止樹脂の一部と前記電子素子の一部とを除去することにより、前記電子素子および前記封止樹脂の双方にわたる前記凹部を形成し、  
前記柱状部を形成する工程においては、前記封止樹脂および前記電子素子に前記導体を接しさせるように前記凹部に前記導体を充填する、請求項20に記載の電子装置の製造方法。

[図1]  
FIG.1

[図2]  
FIG.2

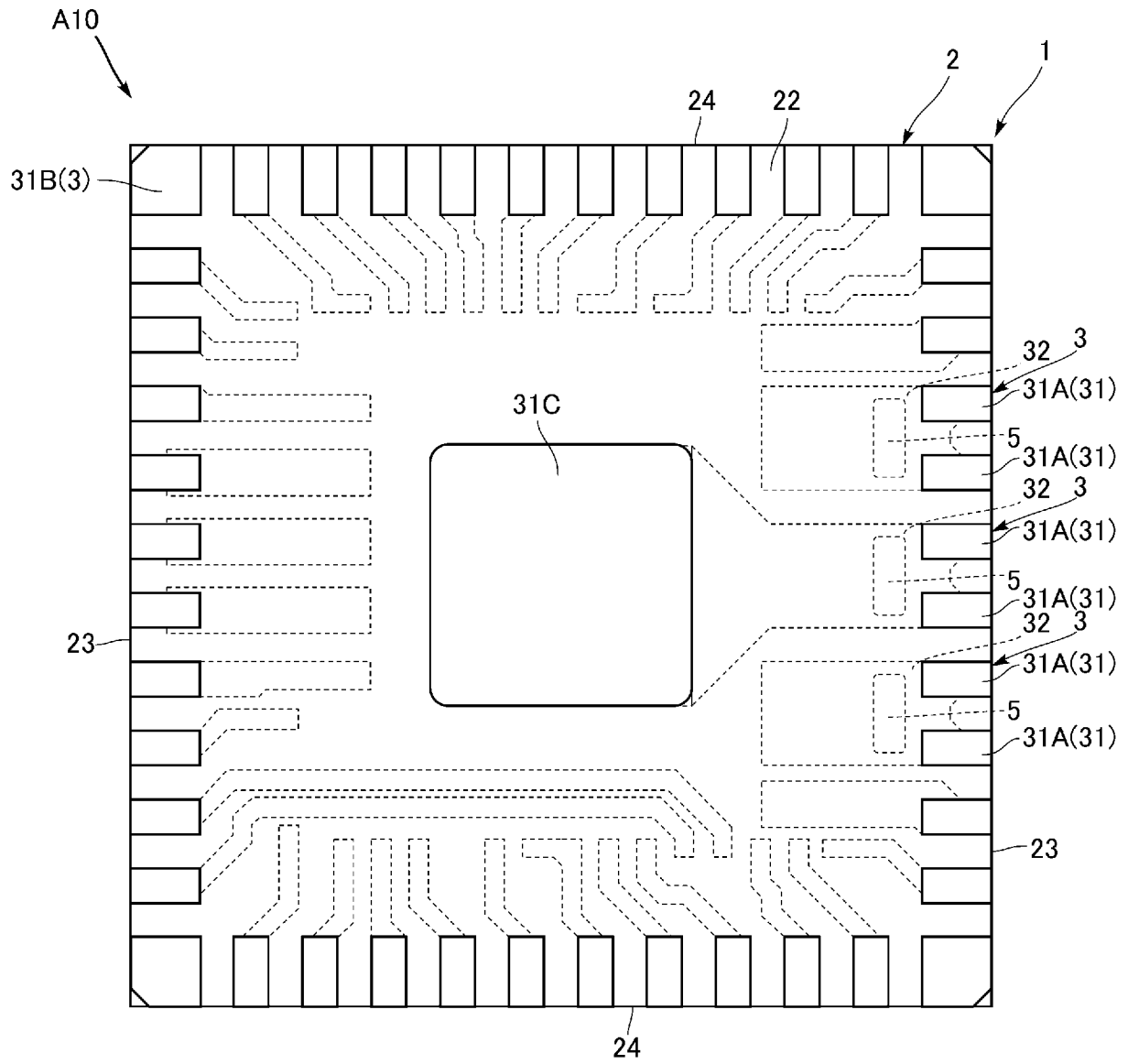


[図3]  
FIG.3





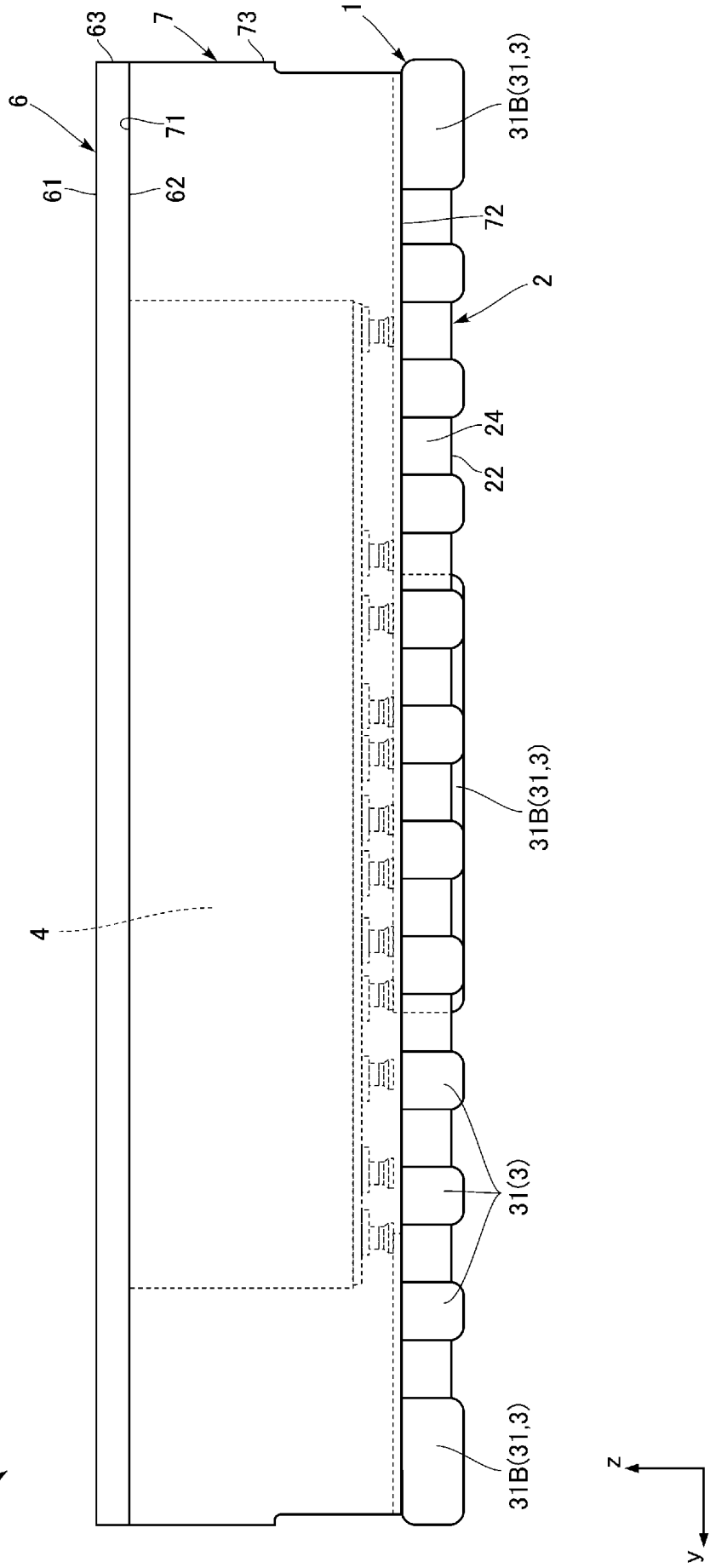
[図5]  
FIG.5



[圖6]

FIG.6

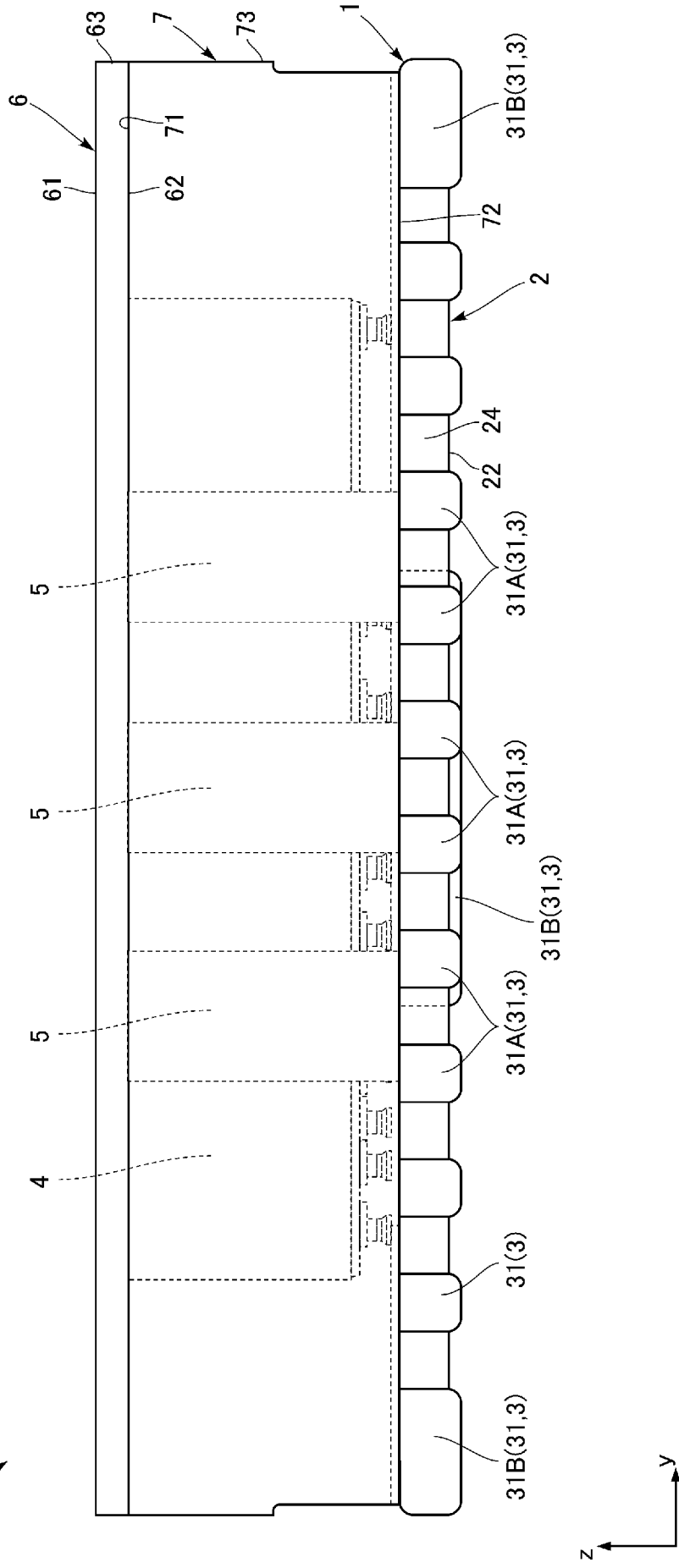
A10 ↗



[7]

FIG. 7

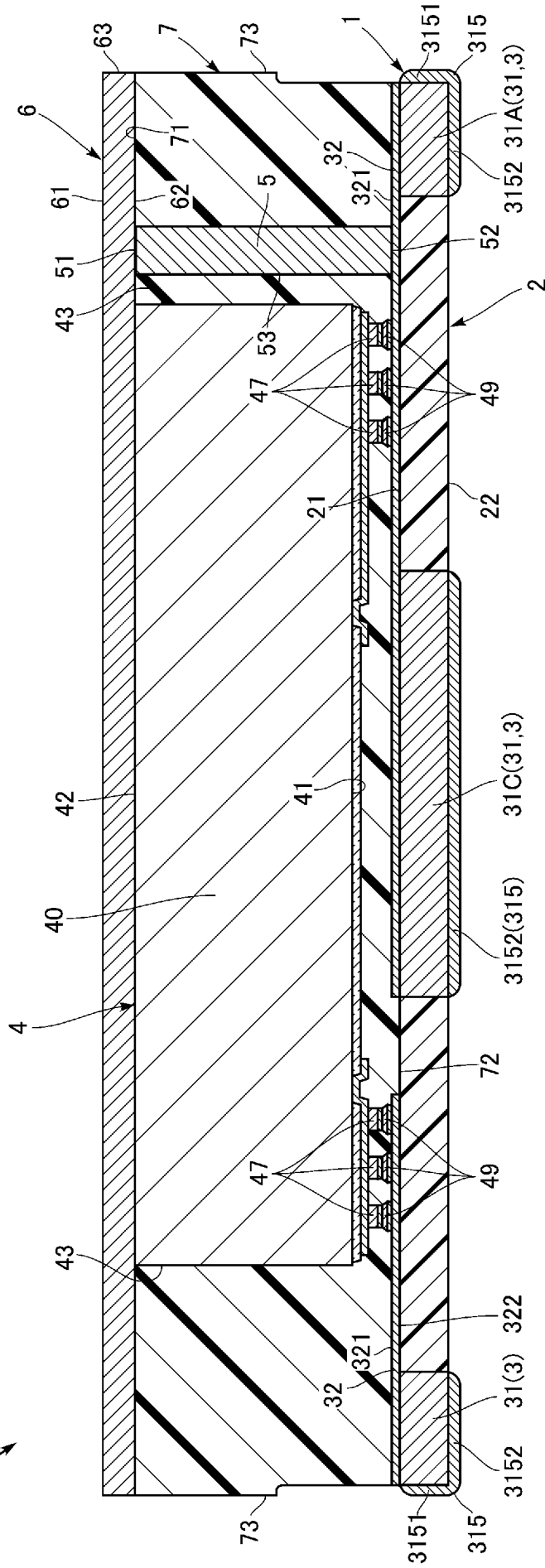
A10



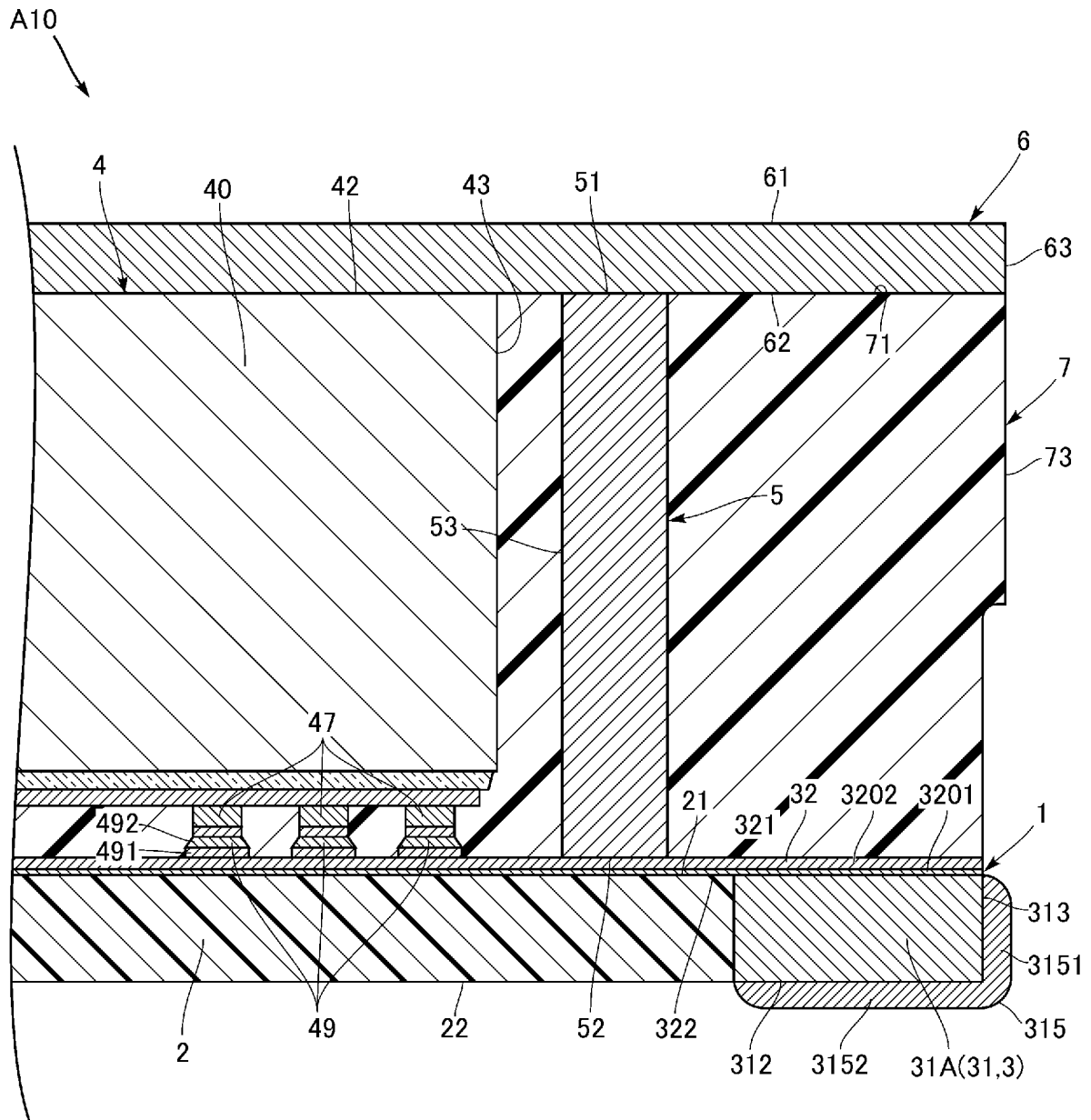
[8]

FIG. 8

A10



[図9]  
FIG.9



[FIG.10]

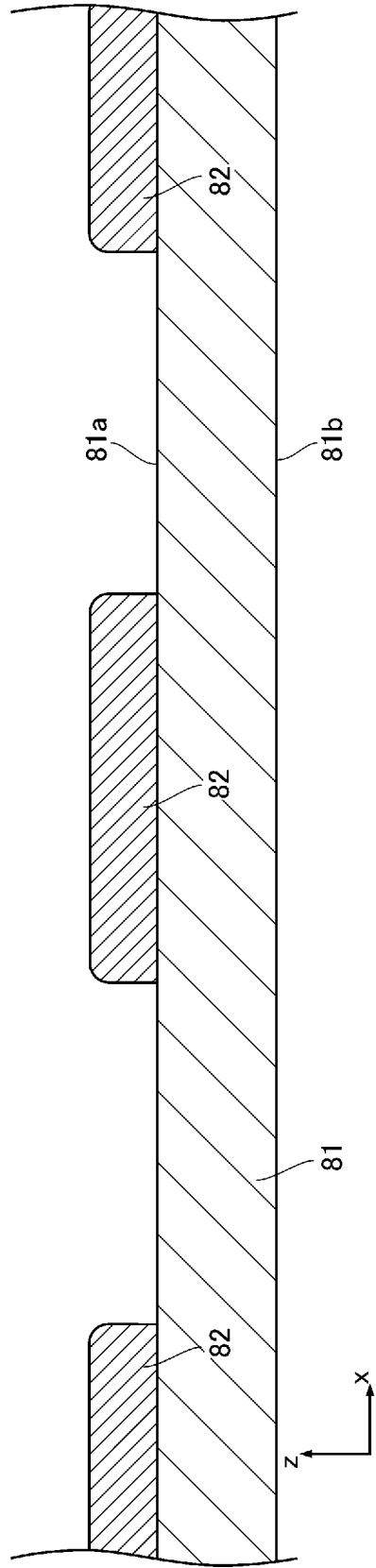
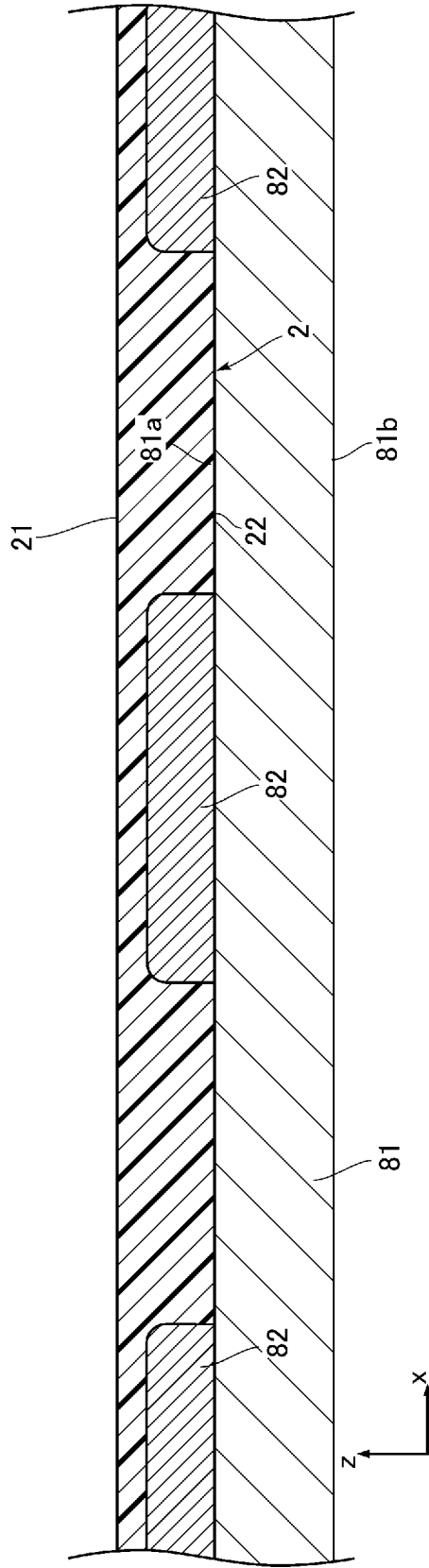


FIG.10

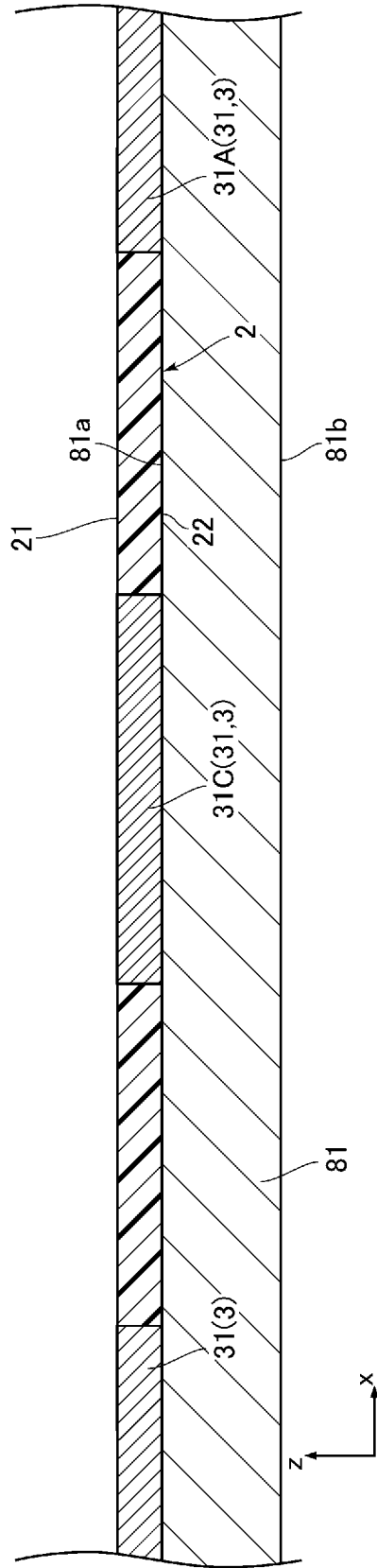
[FIG. 11]

FIG. 11



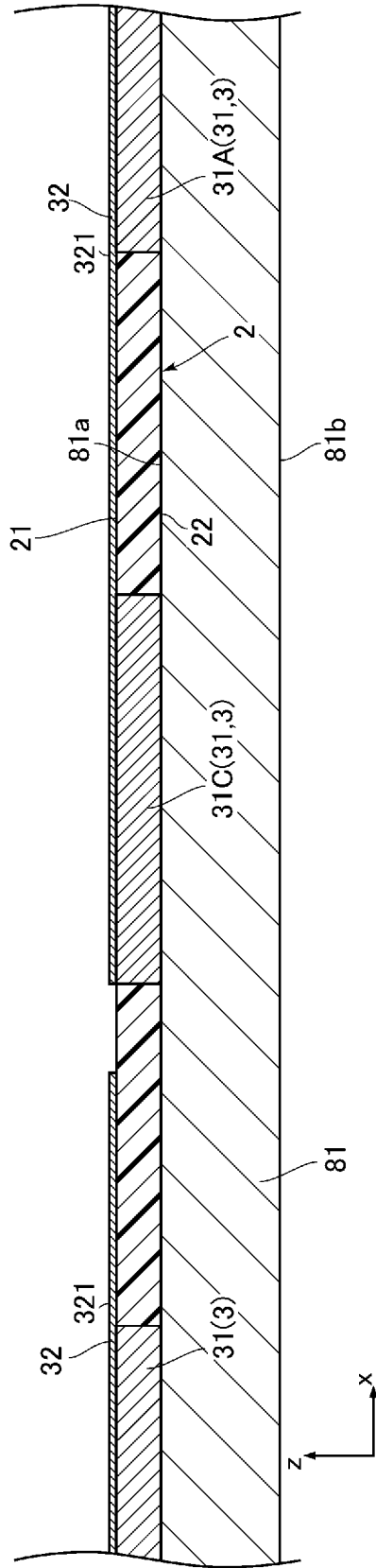
[FIG.12]

FIG.12



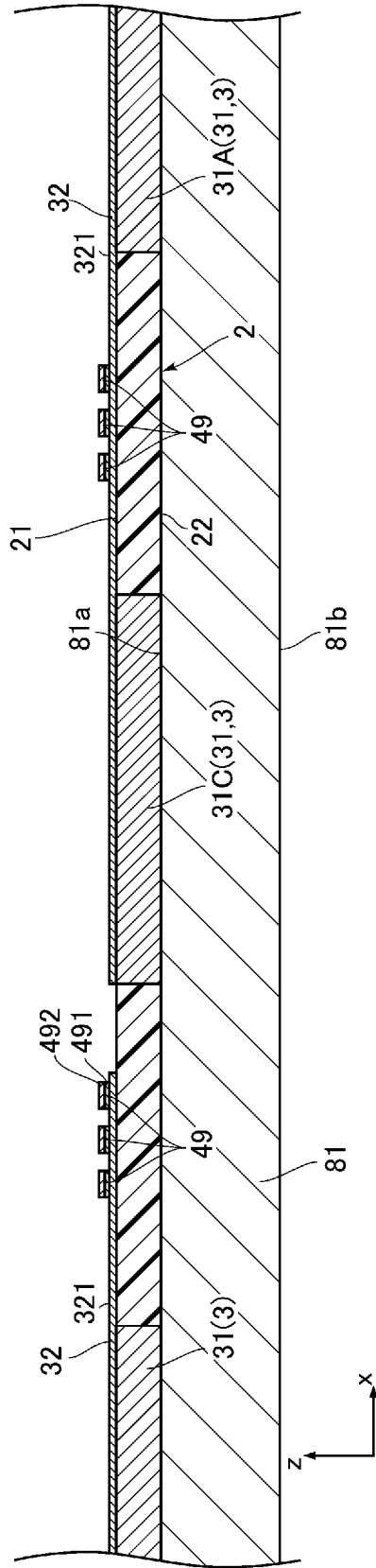
[FIG. 13]

FIG. 13



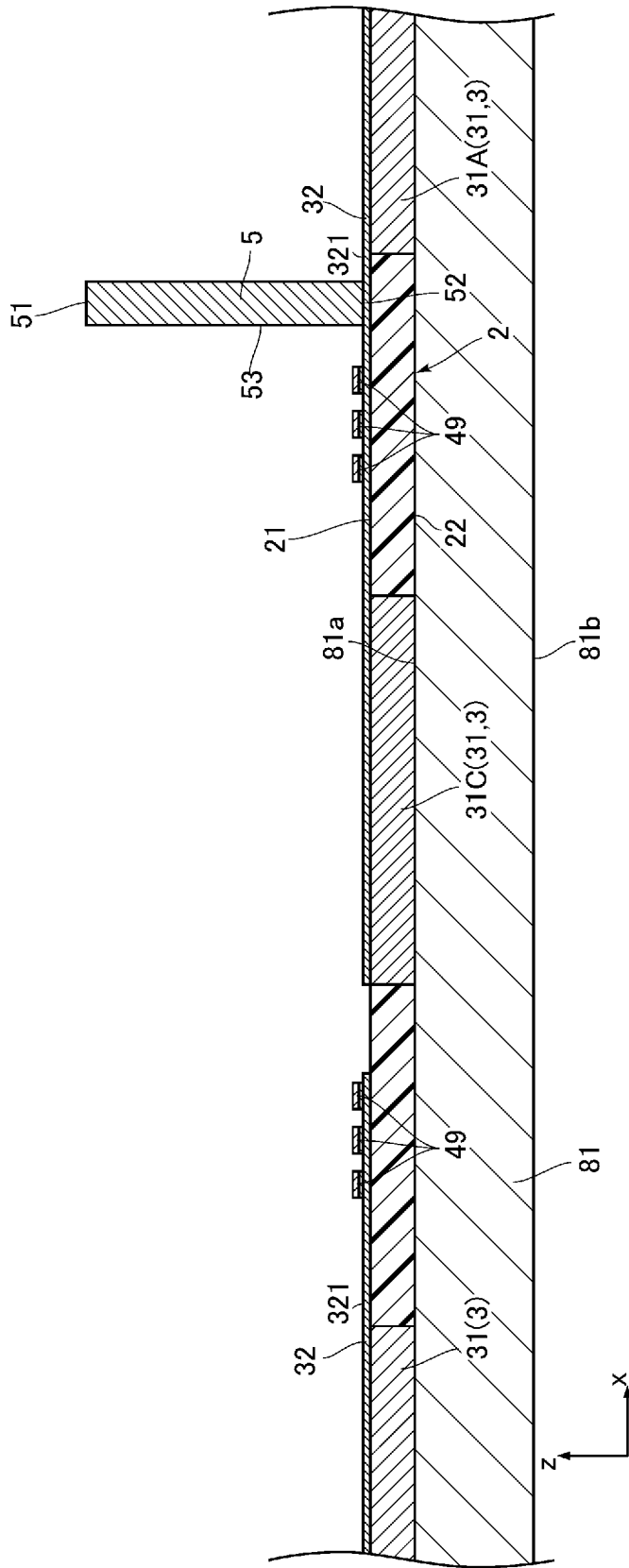
[FIG.14]

FIG.14



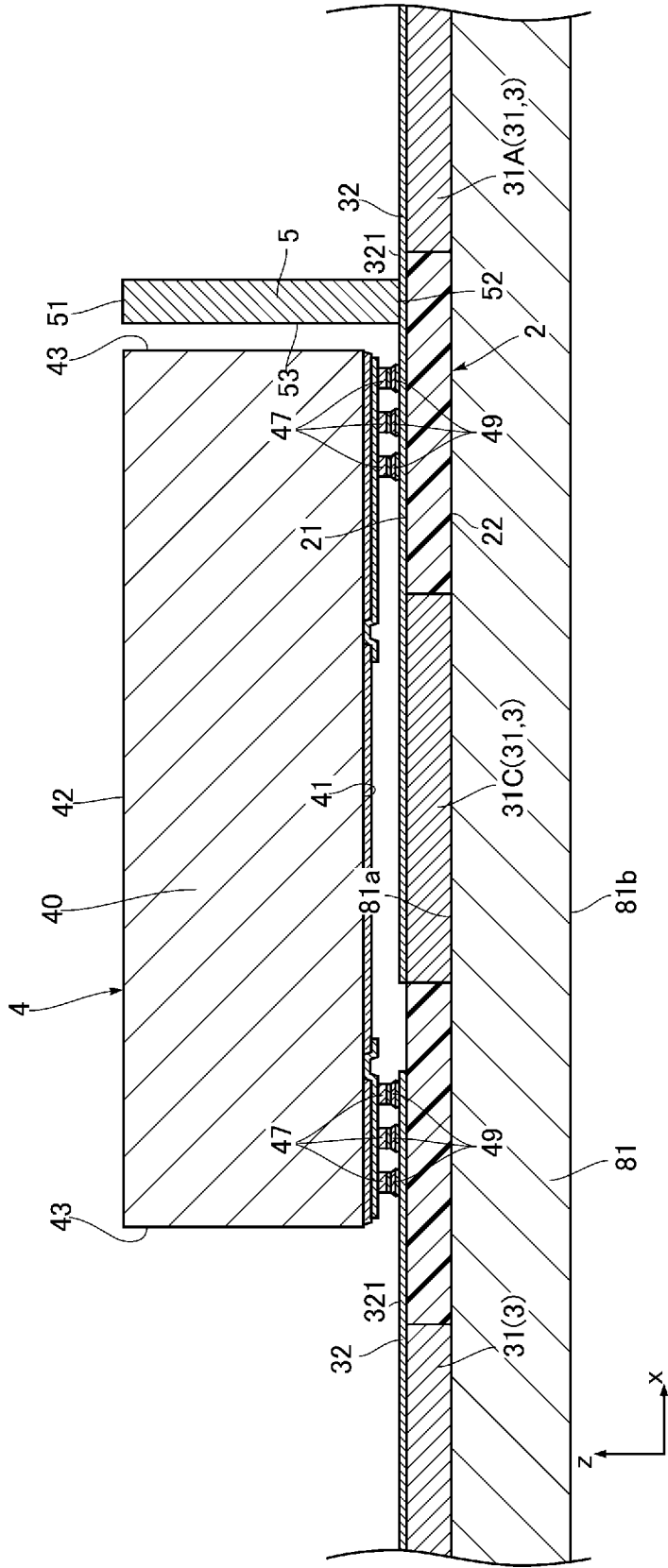
[FIG. 15]

FIG. 15



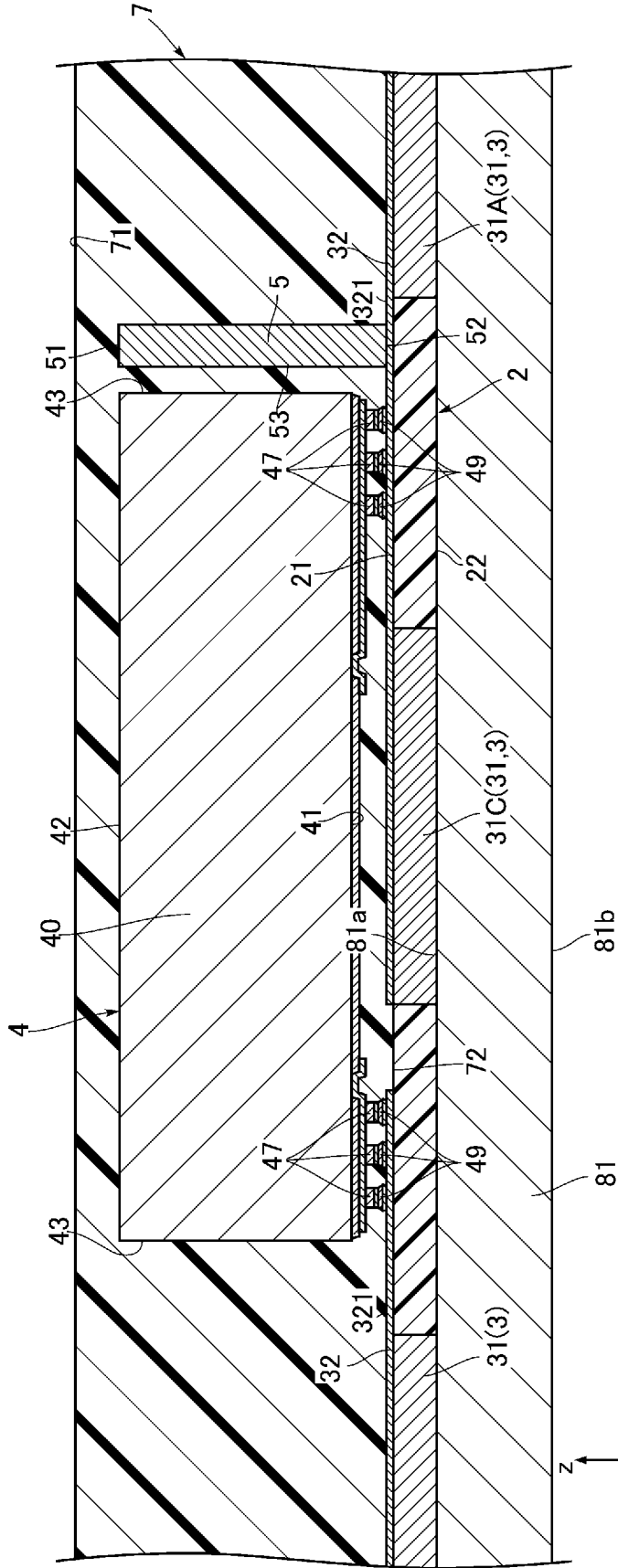
[FIG. 16]

FIG. 16



[FIG.17]

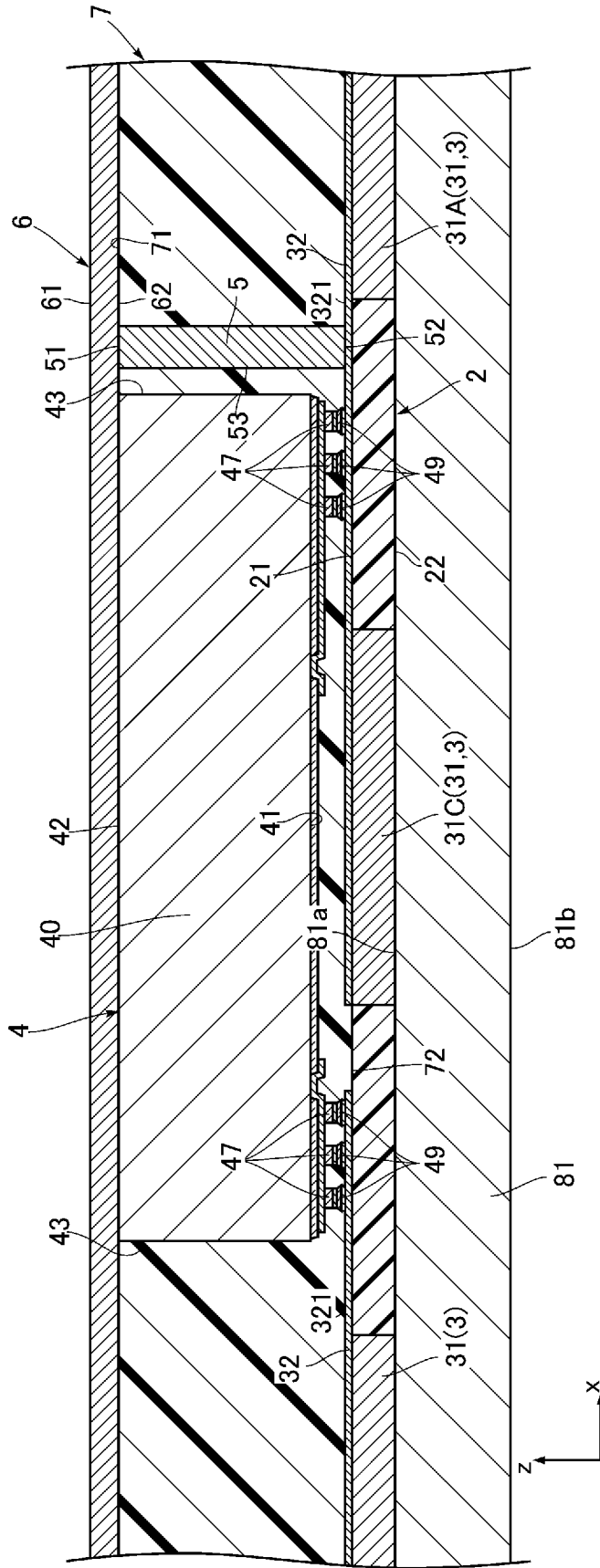
FIG.17





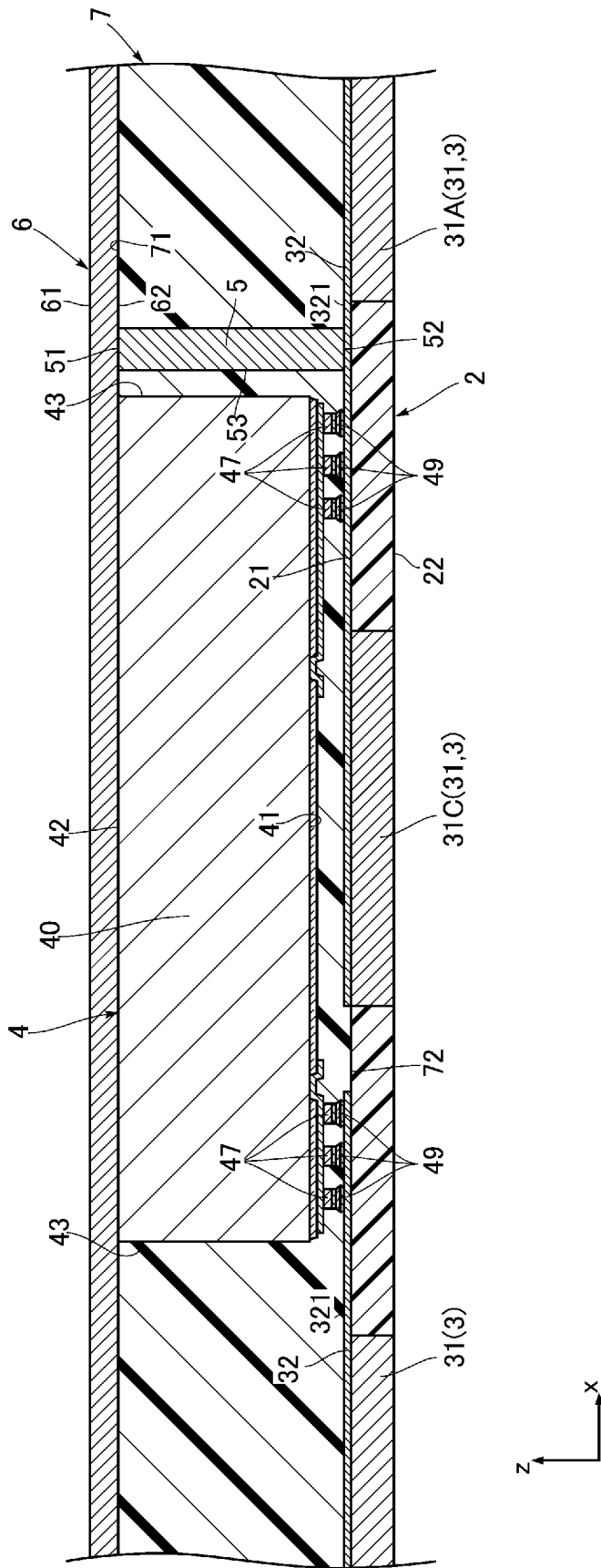
[FIG. 19]

FIG. 19



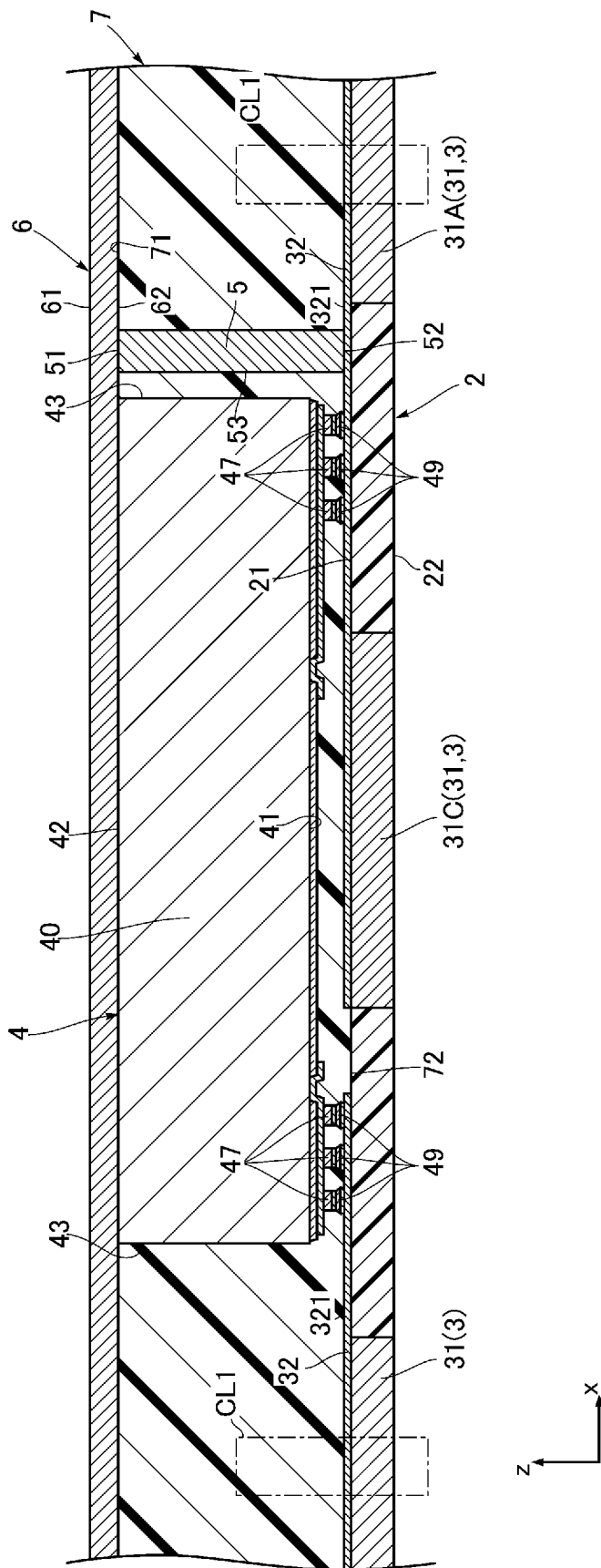
[FIG. 20]

FIG. 20



[FIG. 21]

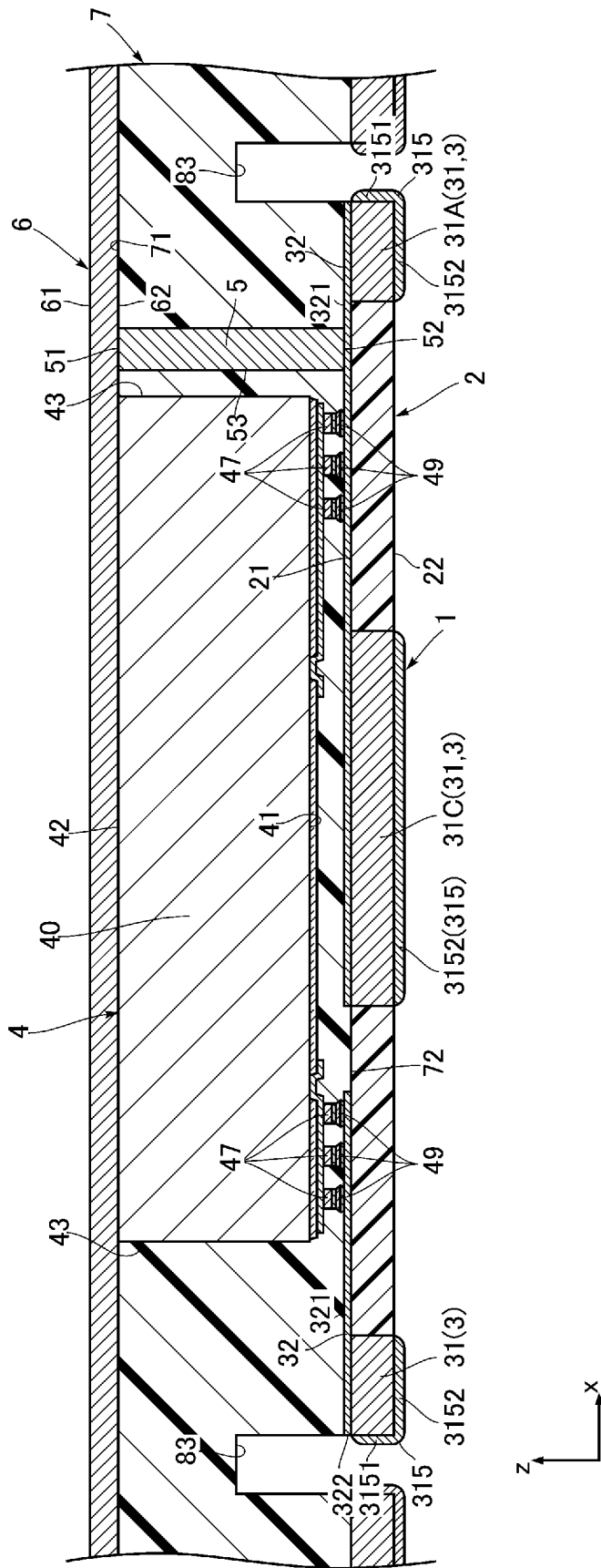
FIG. 21





[FIG. 23]

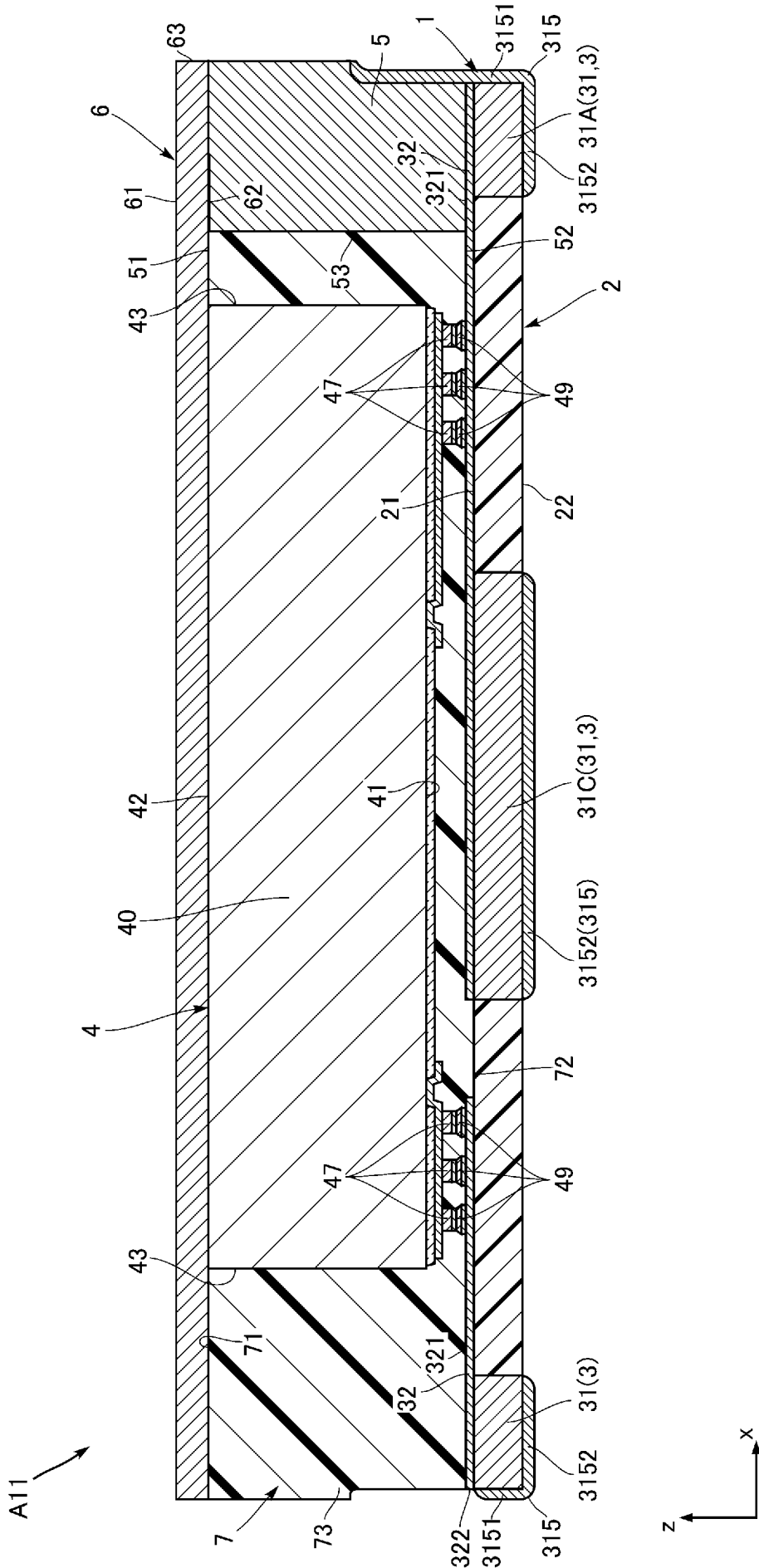
FIG. 23





[25]

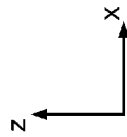
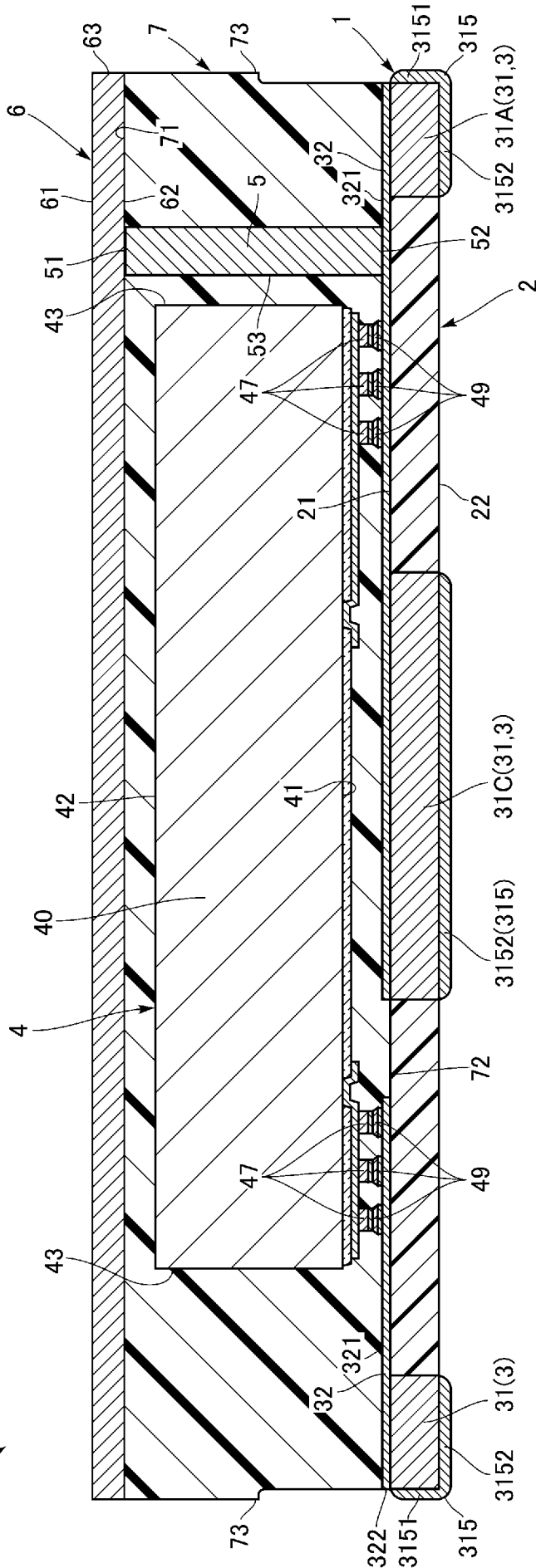
FIG.25



[FIG.26]

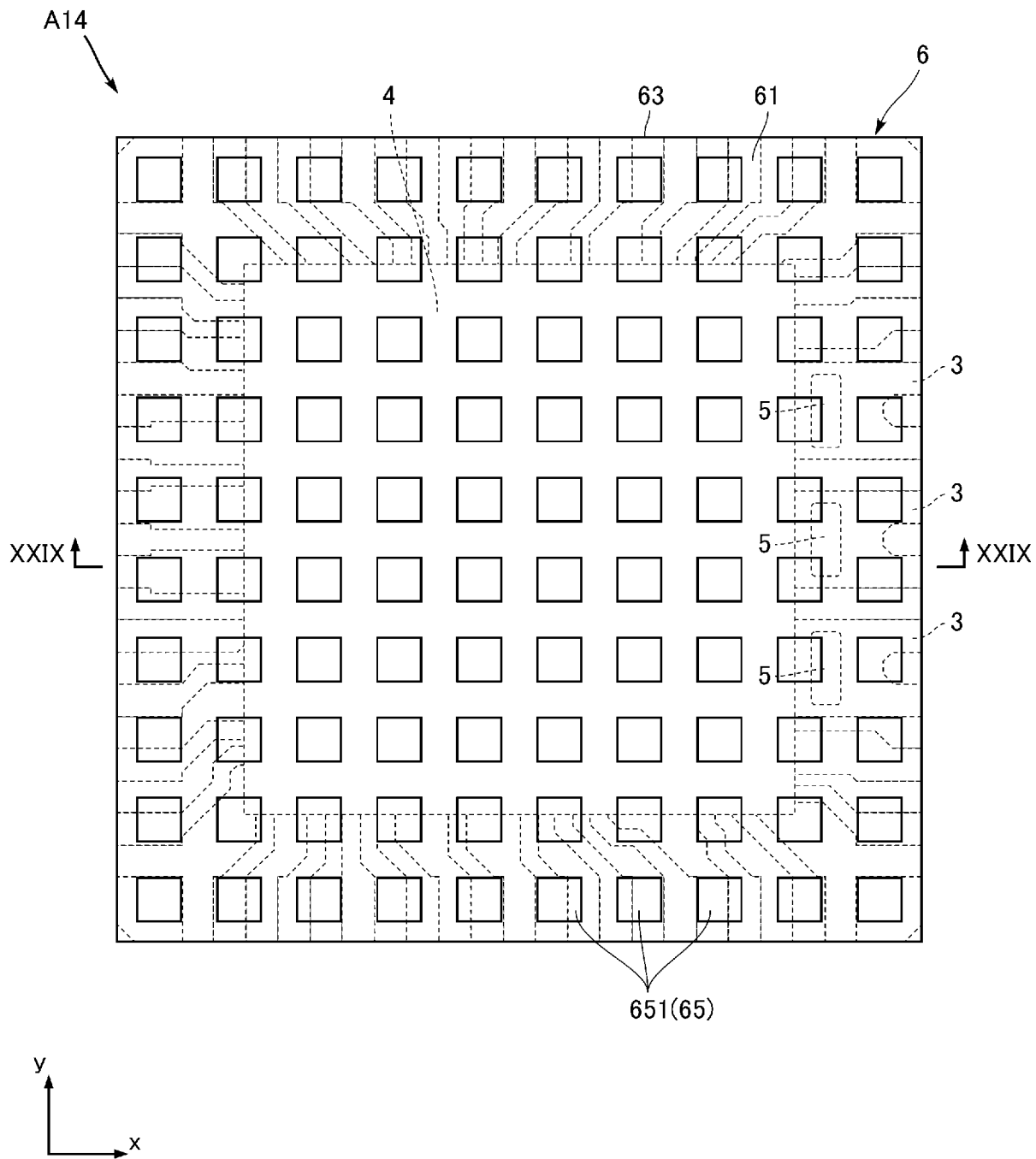
FIG.26

A12 ↗

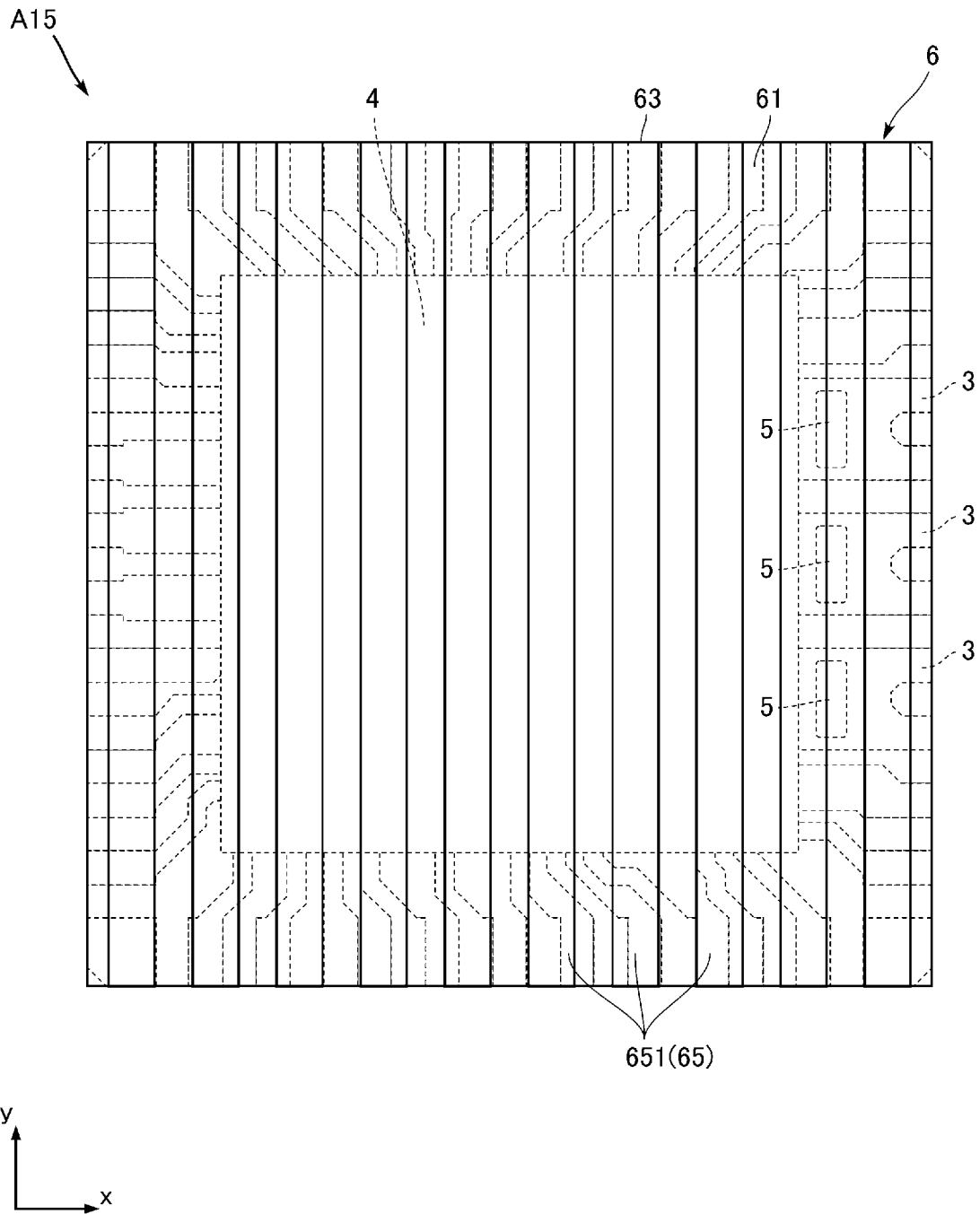




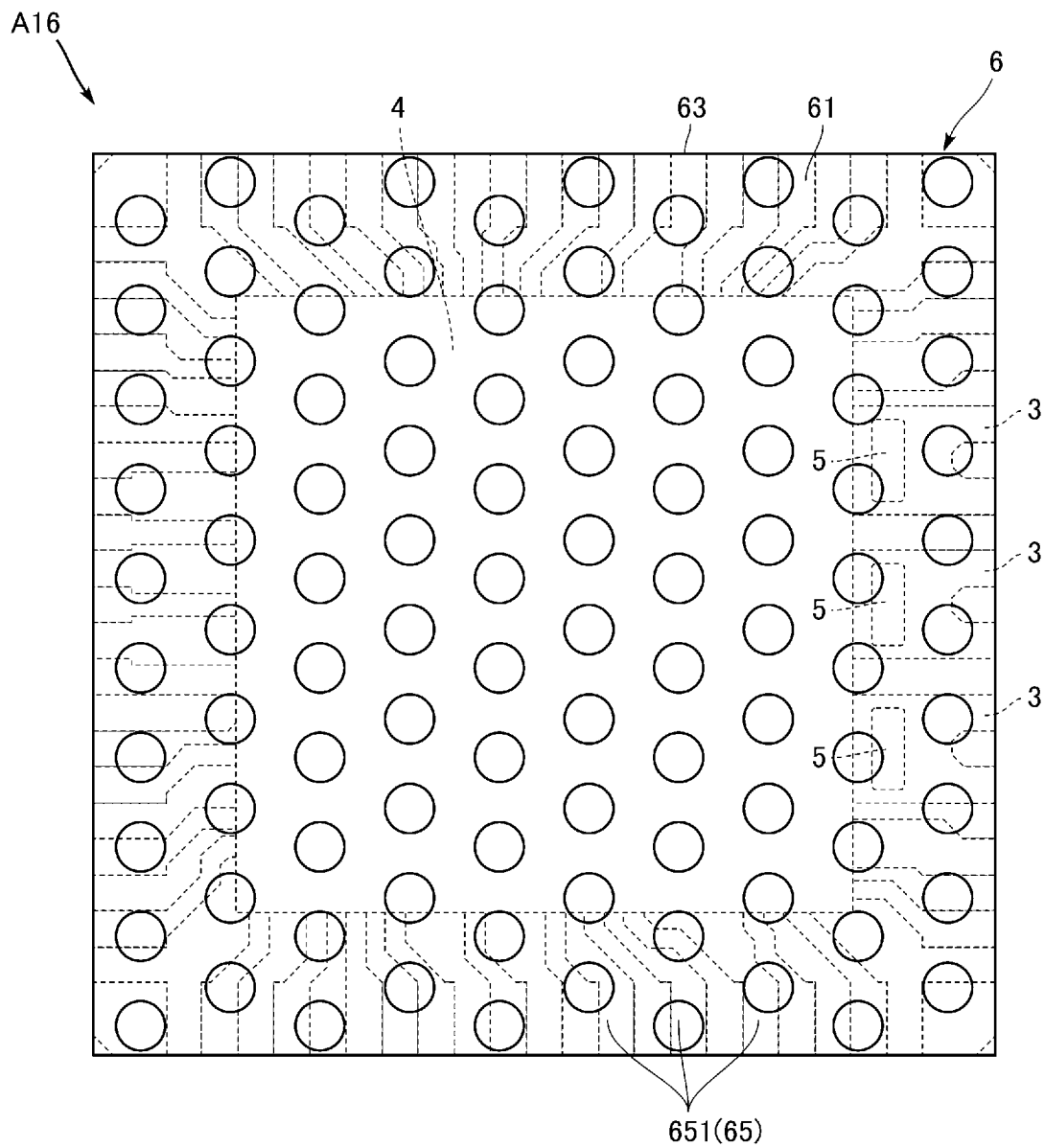
[図28]  
FIG.28



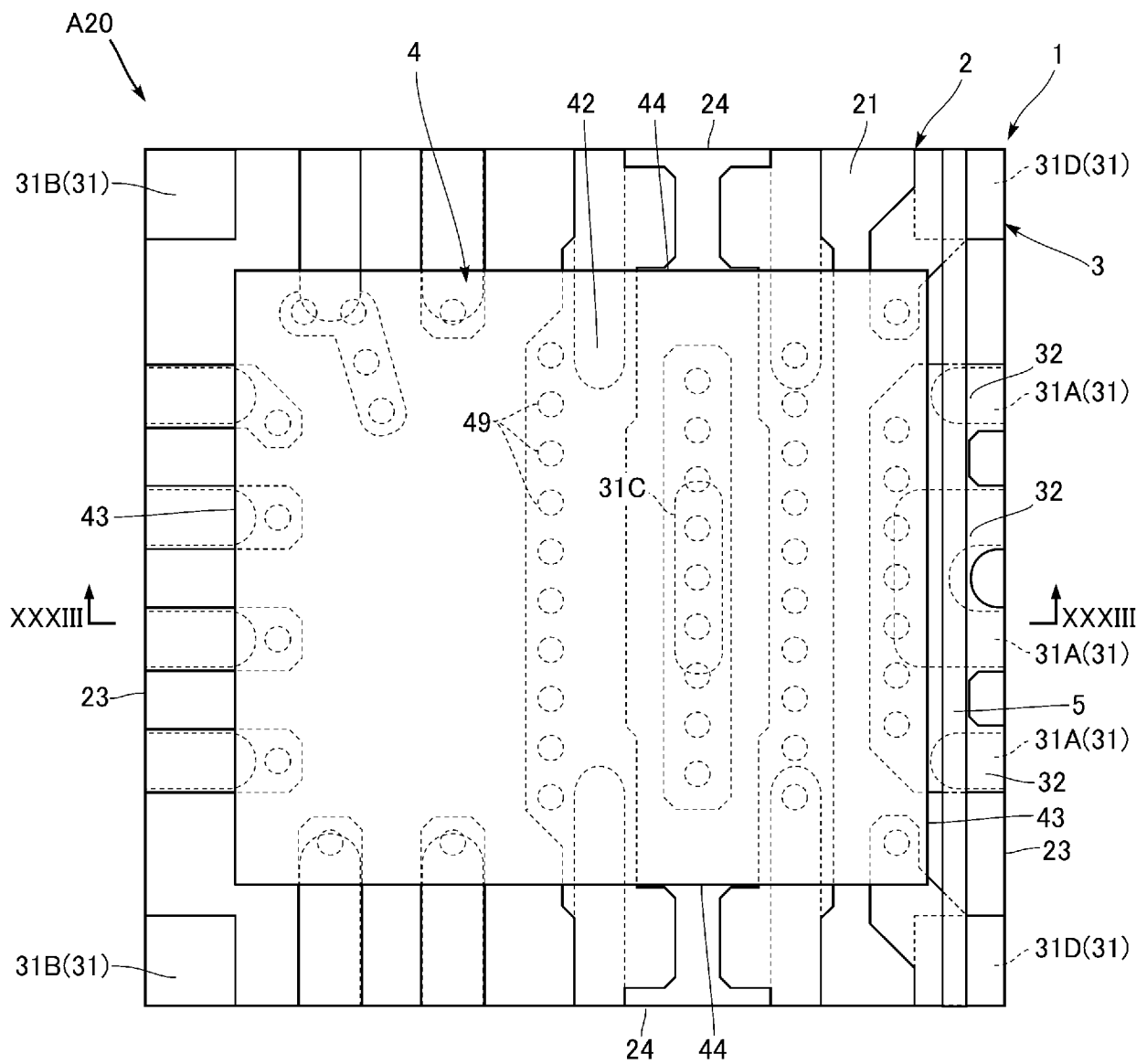


[図30]  
FIG.30

[図31]  
FIG.31

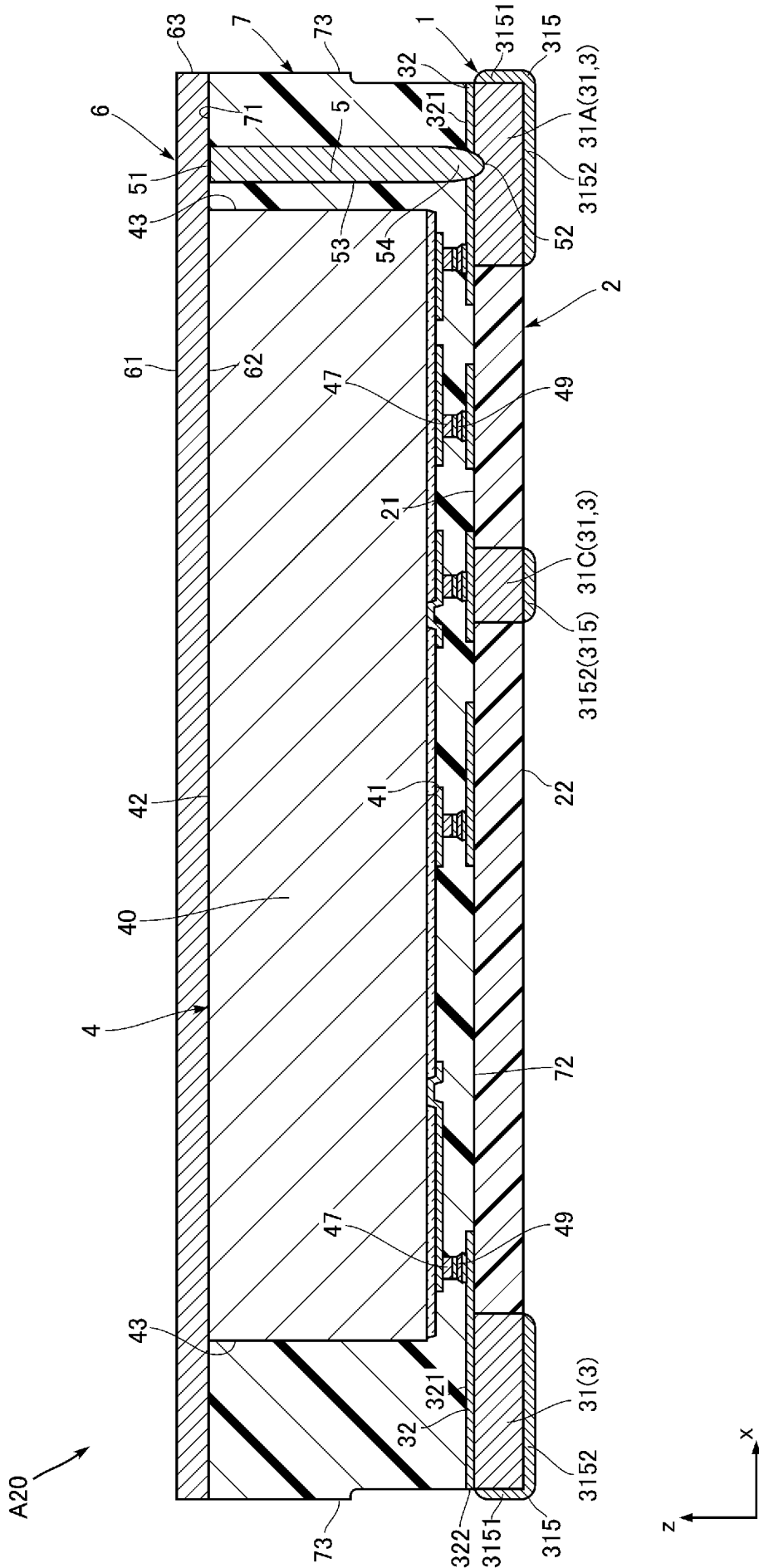



[32]  
FIG.32




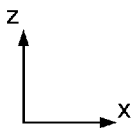
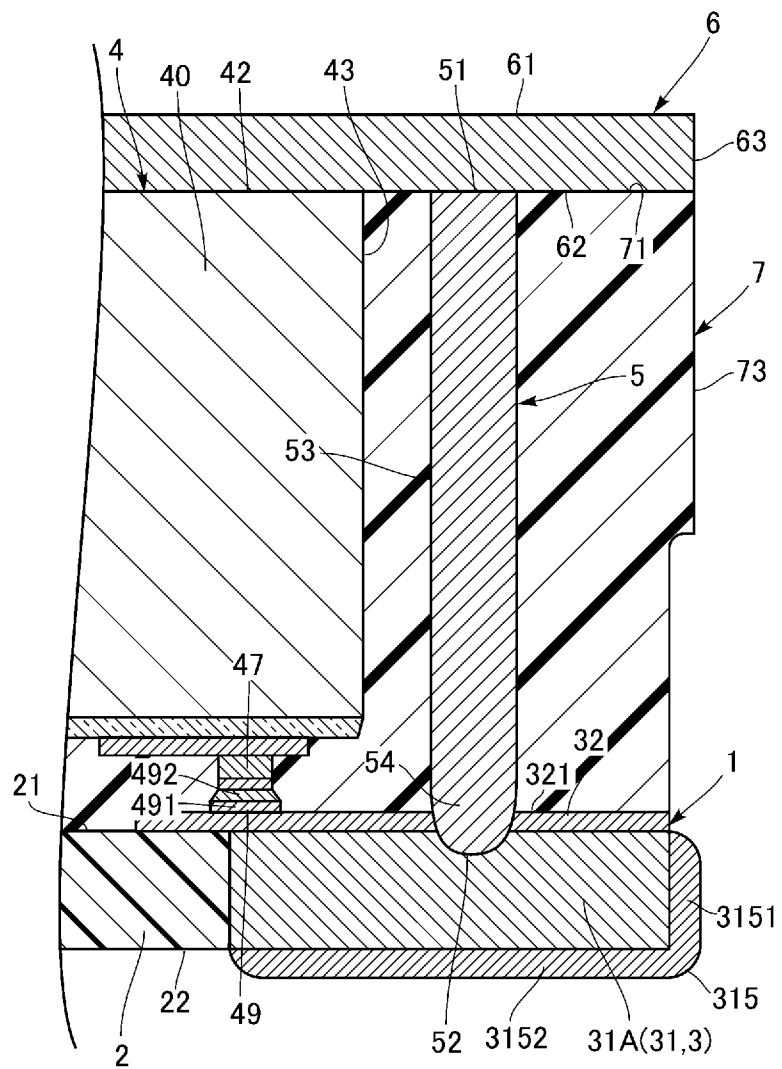
[FIG.33]

FIG.33

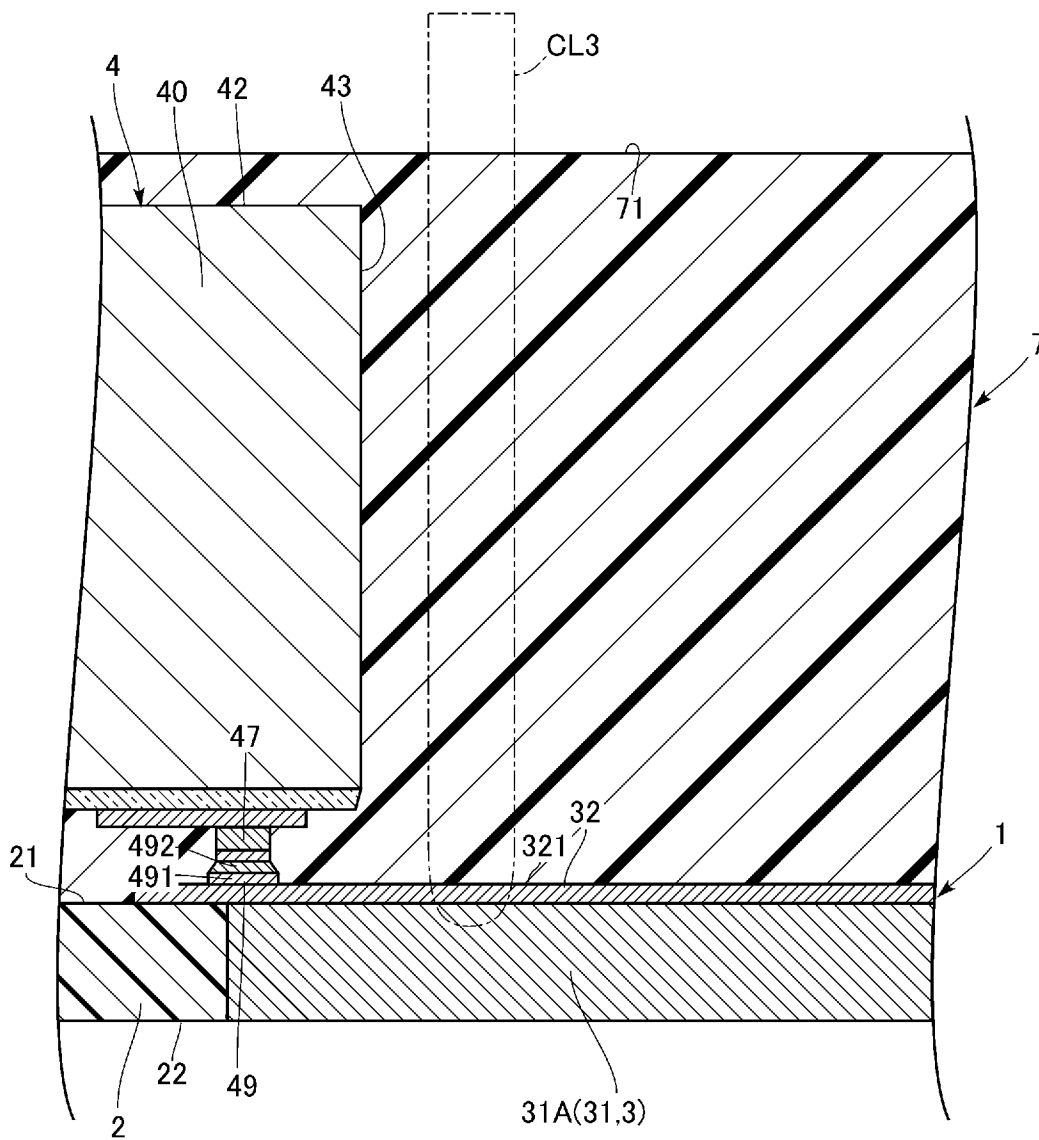


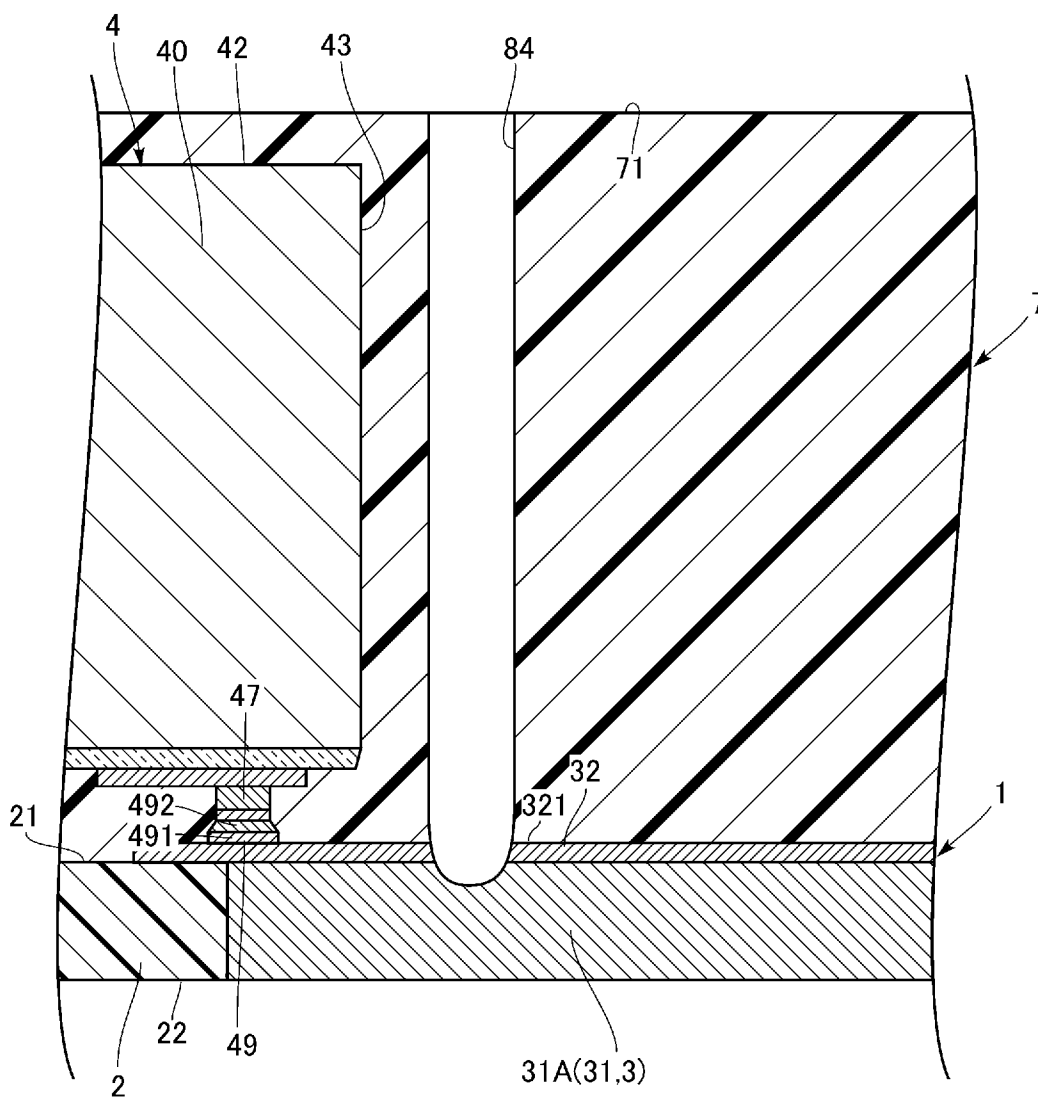
[34]  
FIG.34

A20

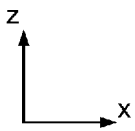
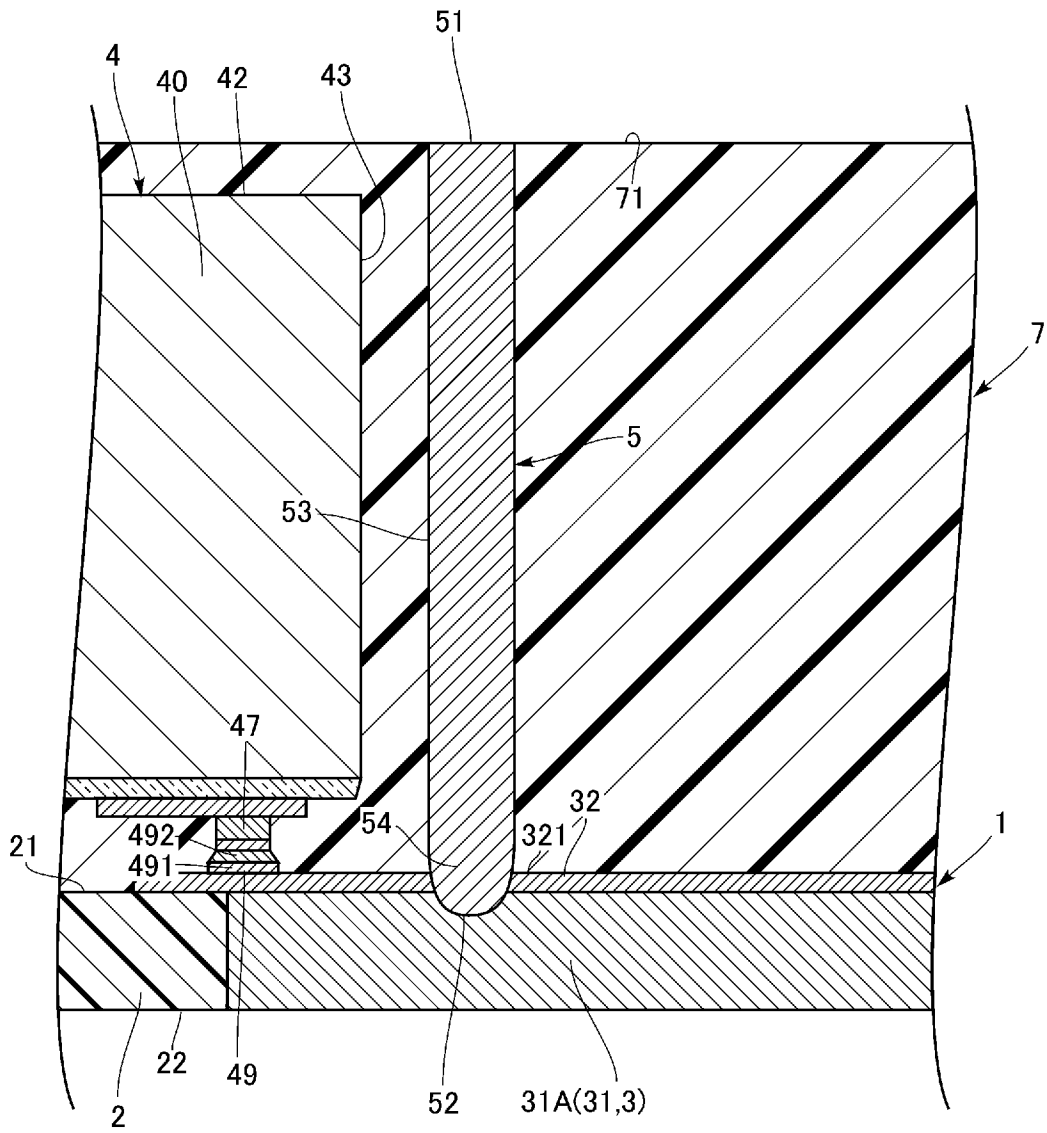



[図35]  
FIG.35



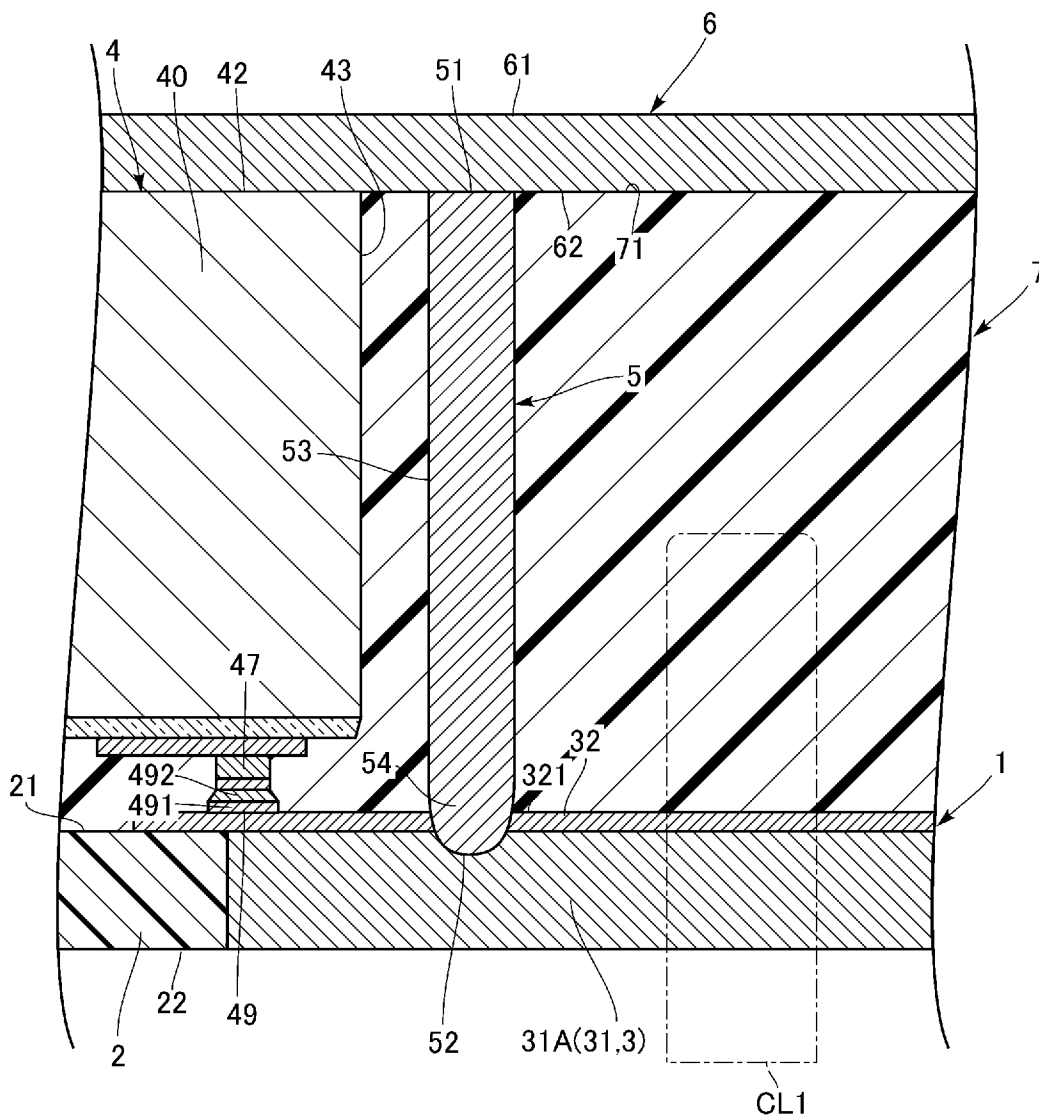
[図36]  
FIG.36


[図37]  
FIG.37

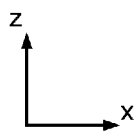
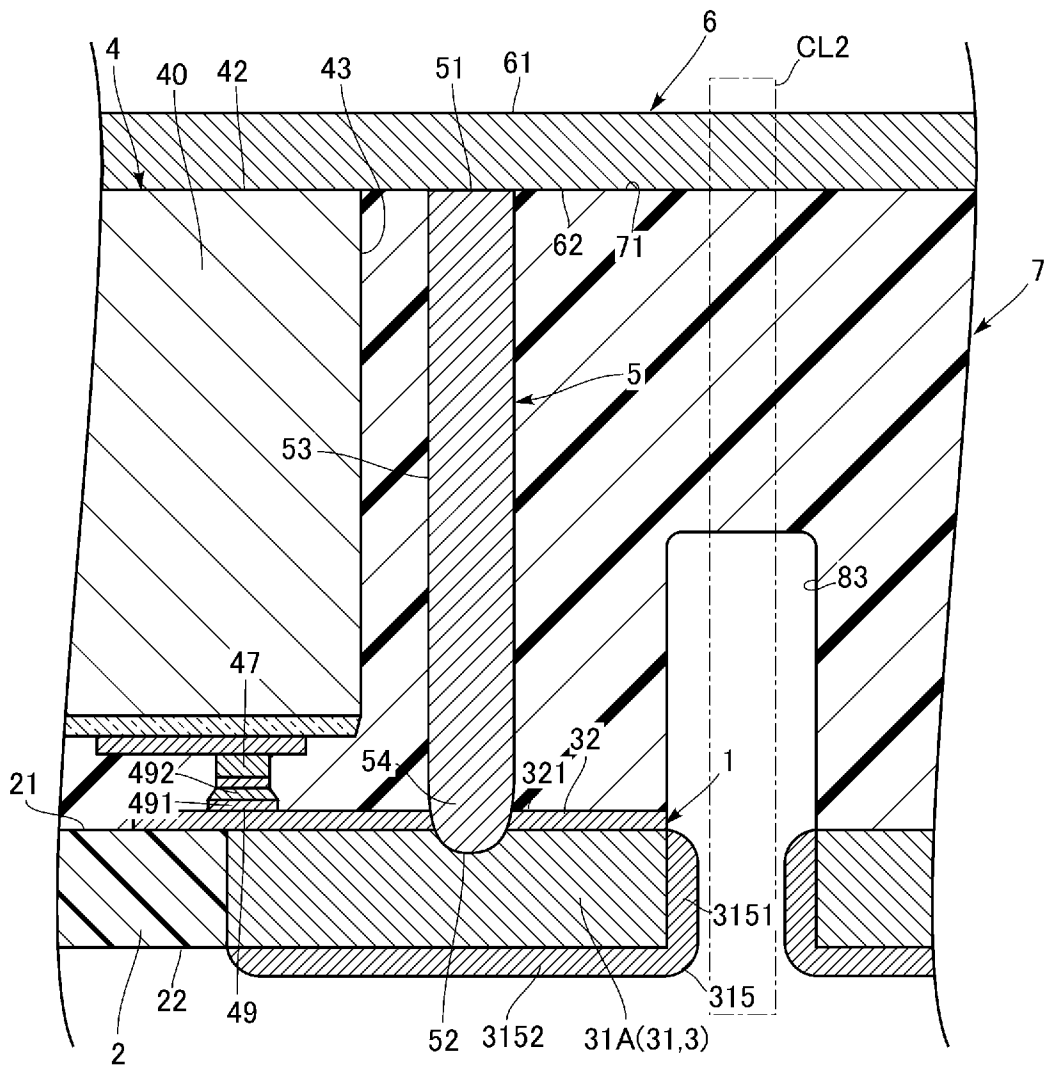




[図39]  
FIG.39

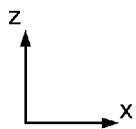
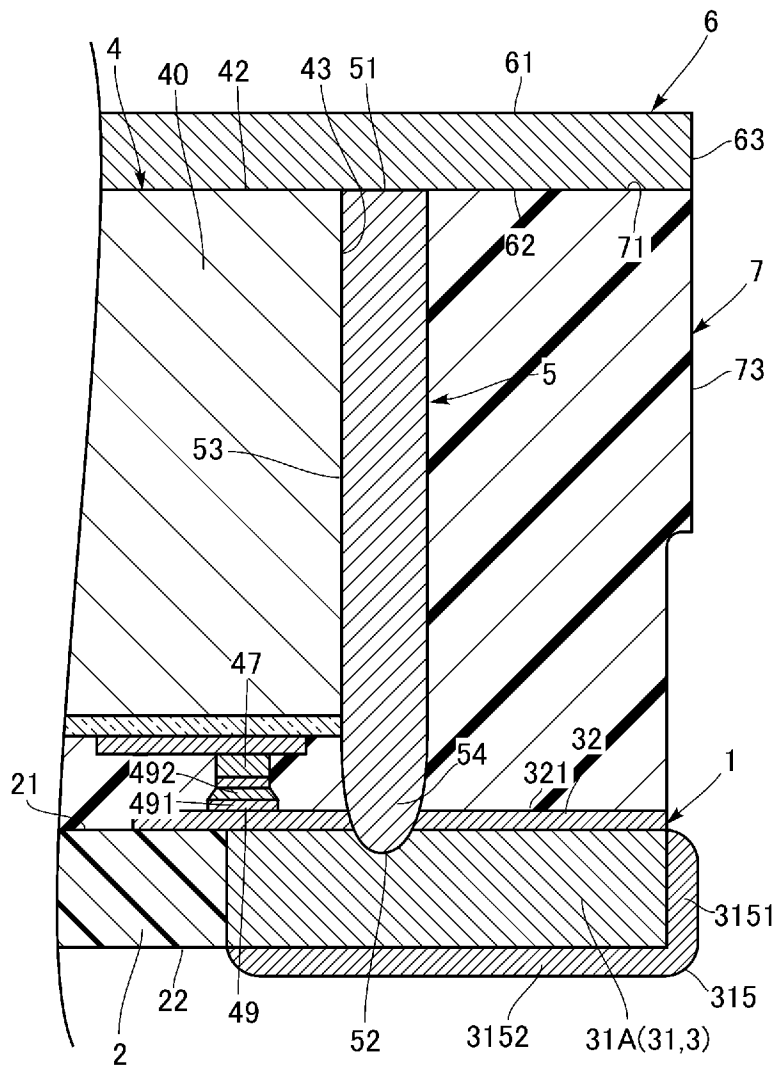


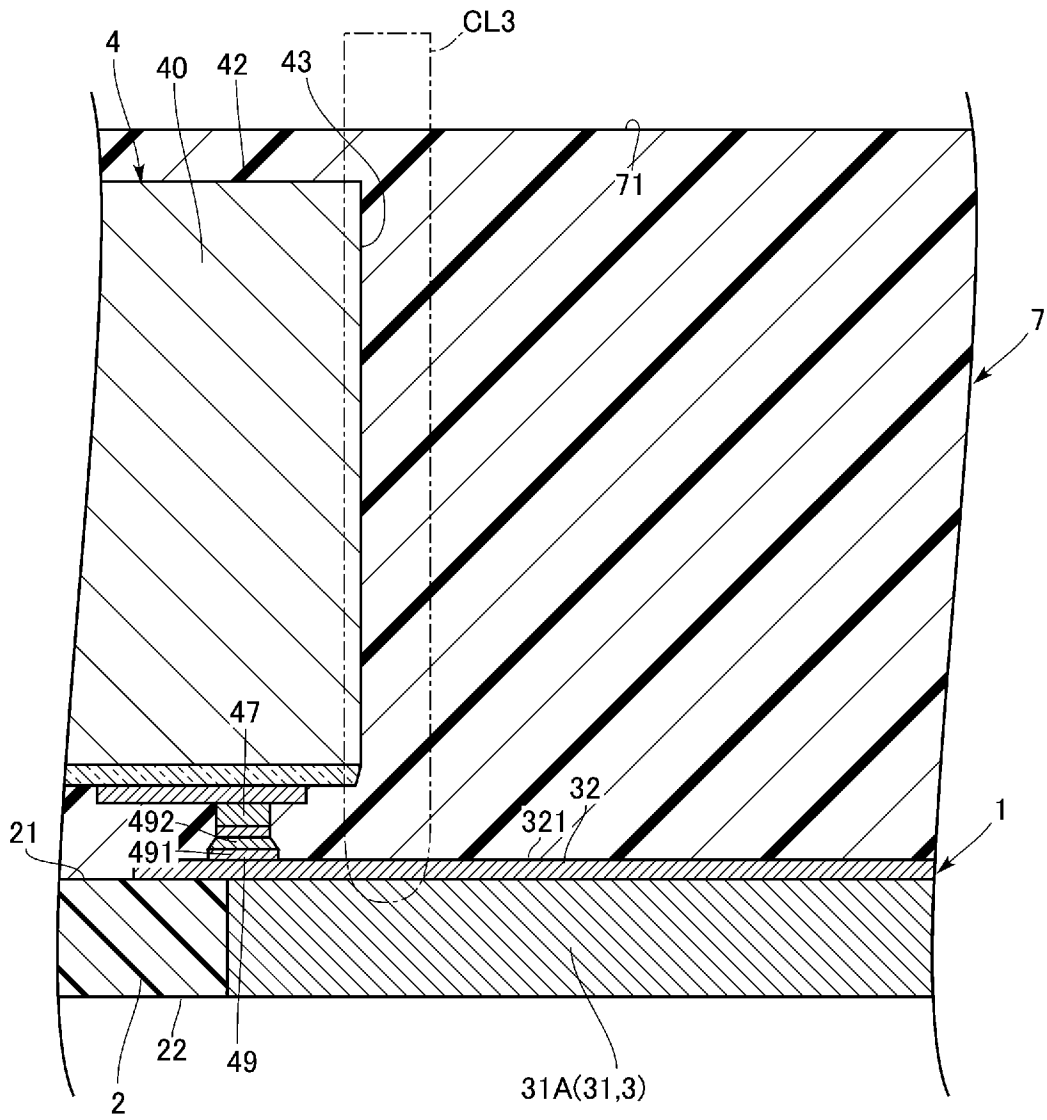
[40]  
FIG.40

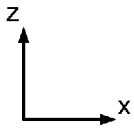
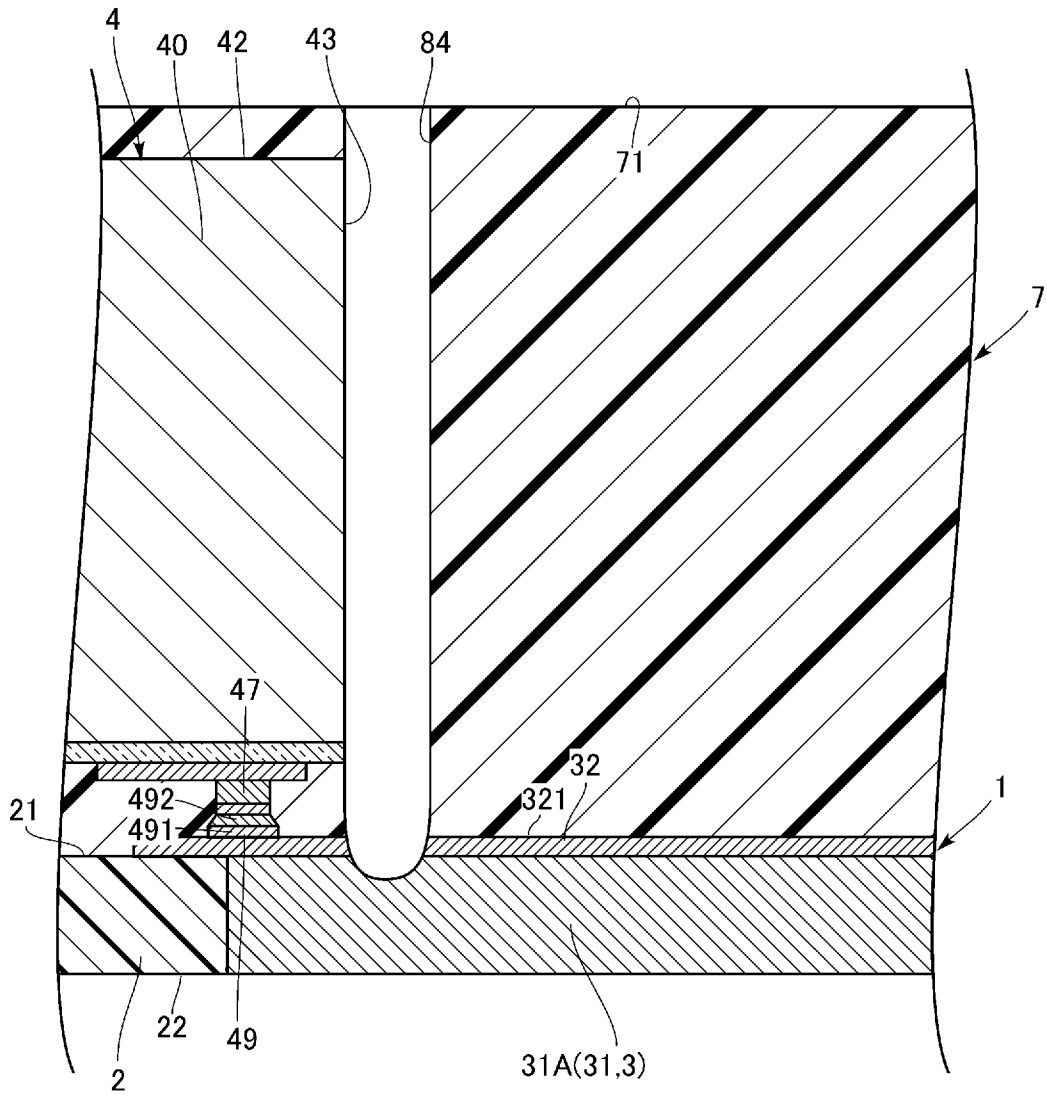


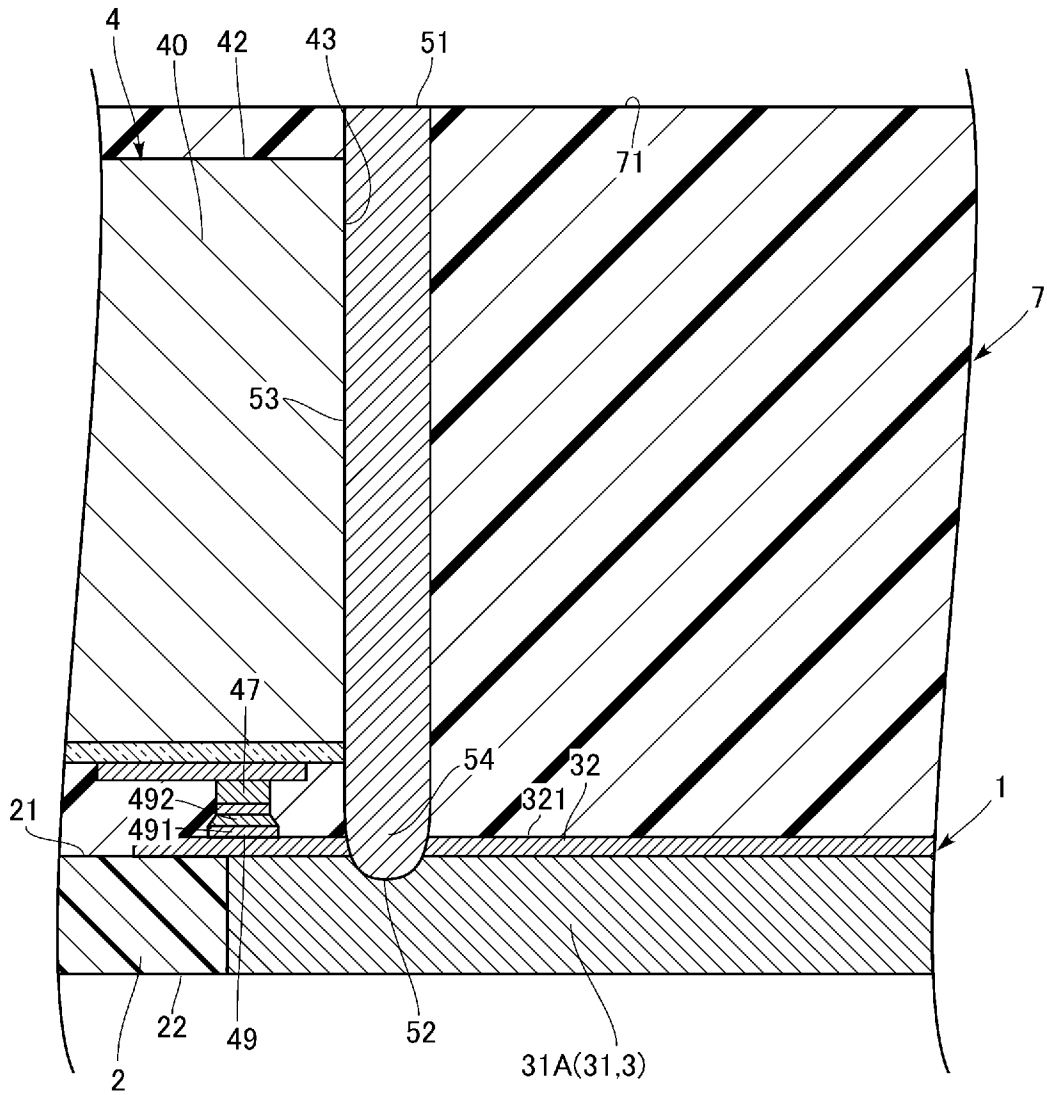
[図41]  
FIG.41

A21 ↘



[図42]  
FIG.42

[図43]  
FIG.43

[図44]  
FIG.44

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/019857

**A. CLASSIFICATION OF SUBJECT MATTER****H01L 23/36**(2006.01)i; **H01L 23/538**(2006.01)i

FI: H01L23/36 C; H01L23/52 A

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H01L 23/538, H01L 23/36, H05K 1/02, H05K 3/40 - 3/42

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996  
 Published unexamined utility model applications of Japan 1971-2006  
 Registered utility model specifications of Japan 1996-2010  
 Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2019/0096791 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 28 March 2019 (2019-03-28) paragraphs [0014]-[0038], fig. 1A-1F	19
Y	paragraphs [0014]-[0038], fig. 1A-1F	1-18, 20, 21
X	US 2022/0328374 A1 (WESTERN DIGITAL TECHNOLOGIES, INC.) 13 October 2022 (2022-10-13) paragraphs [0026]-[0033], fig. 3A-3J	19
Y	paragraphs [0026]-[0033], fig. 3A-3J	20, 21
Y	JP 2007-42977 A (SHINKO ELECTRIC INDUSTRIES CO., LTD.) 15 February 2007 (2007-02-15) paragraphs [0002]-[0008], fig. 1	20, 21
Y	JP 2009-105297 A (ROHM CO., LTD.) 14 May 2009 (2009-05-14) paragraphs [0016]-[0059], fig. 1-8	1-18

 Further documents are listed in the continuation of Box C.
  See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance  
 “D” document cited by the applicant in the international application  
 “E” earlier application or patent but published on or after the international filing date  
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 “O” document referring to an oral disclosure, use, exhibition or other means  
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

25 July 2024

Date of mailing of the international search report

13 August 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)  
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915  
 Japan

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No. <b>PCT/JP2024/019857</b>
---

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US 2019/0096791 A1	28 March 2019	TW 201916280 A CN 109585395 A US 2020/0013707 A1	
US 2022/0328374 A1	13 October 2022	(Family: none)	
JP 2007-42977 A	15 February 2007	(Family: none)	
JP 2009-105297 A	14 May 2009	US 2009/0184412 A1 paragraphs [0026]-[0069], fig. 1-8	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/36(2006.01)i; H01L 23/538(2006.01)i FI: H01L23/36 C; H01L23/52 A		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L 23/538, H01L 23/36, H05K 1/02, H05K 3/40 - 3/42 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2006年 日本国実用新案登録公報 1996-2010年 日本国登録実用新案公報 1994-2024年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 2019/0096791 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 28.03.2019 (2019-03-28) 段落0014-0038, 図1A-図1F	19
Y	段落0014-0038, 図1A-図1F	1-18, 20, 21
X	US 2022/0328374 A1 (WESTERN DIGITAL TECHNOLOGIES, INC.) 13.10.2022 (2022-10-13) 段落0026-0033, 図3A-図3J	19
Y	段落0026-0033, 図3A-図3J	20, 21
Y	JP 2007-42977 A (新光電気工業株式会社) 15.02.2007 (2007-02-15) 段落0002-0008, 図1	20, 21
Y	JP 2009-105297 A (ローム株式会社) 14.05.2009 (2009-05-14) 段落0016-0059, 図1-図8	1-18
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 25.07.2024	国際調査報告の発送日 13.08.2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 齊藤 健一 5D 9742 電話番号 03-3581-1101 内線 3549	

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/019857

引用文献	公表日	パテントファミリー文献	公表日
US 2019/0096791 A1	28.03.2019	TW 201916280 A CN 109585395 A US 2020/0013707 A1	
US 2022/0328374 A1	13.10.2022	(ファミリーなし)	
JP 2007-42977 A	15.02.2007	(ファミリーなし)	
JP 2009-105297 A	14.05.2009	US 2009/0184412 A1 [段落 0 0 2 6 — 0 0 6 9, 図 1 — 図 8]	