



(51) 국제특허분류:

H01L 33/06 (2010.01)

H01L 33/18 (2010.01)

H01L 33/26 (2010.01)

H01L 33/50 (2010.01)

(21) 국제출원번호:

PCT/KR2017/005333

(22) 국제출원일:

2017 년 5 월 23 일 (23.05.2017)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2016-0064824 2016 년 5 월 26 일 (26.05.2016) KR

10-2017-0029933 2017 년 3 월 9 일 (09.03.2017) KR

10-2017-0063130 2017 년 5 월 22 일 (22.05.2017) KR

(71) 출원인: 서울바이오시스주식회사 (SEOUL VIOSYS CO., LTD.) [KR/KR]; 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR).

(72) 발명자: 유홍재 (YOO, Hong Jae); 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR). 최효식 (CHOI, Hyo Shik); 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR). 이형주 (LEE,

Hyung Ju); 15429 경기도 안산시 단원구 산단로 163번길 65-16, Gyeonggi-do (KR).

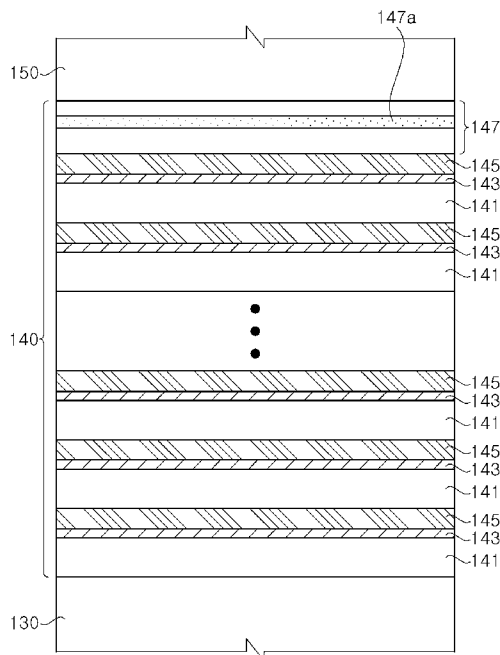
(74) 대리인: 특허법인에이아이피 (AIP PATENT & LAW FIRM); 06239 서울시 강남구 테헤란로 14길 30-1, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유

(54) Title: HIGH-EFFICIENCY LONG-WAVELENGTH LIGHT-EMITTING DEVICE

(54) 발명의 명칭: 고효율 장파장 발광 소자



(57) Abstract: A long-wavelength light-emitting device is disclosed. The long-wavelength light-emitting device comprises: a first conductive semi-conductor layer; an active layer that is located on the first conductive semi-conductor layer and that has a quantum well structure; and a second conductive semi-conductor layer that is located on the active layer. The active layer comprises: one or more well layers including a nitride-based semi-conductor having 21% or more In; two or more barrier layers located in upper and lower parts of the well layers; and one or more upper capping layers located on the well layers, and located between the well layers and the barrier layers, wherein the upper capping layers have a bigger band-gap energy relative to the barrier layers, and the upper capping layers and the well layers are in contact.

(57) 요약서: 장파장 발광 소자가 개시된다. 장파장 발광 소자는, 제1 도전형 반도체층; 제1 도전형 반도체층 상에 위치하며, 양자 우물구조를 갖는 활성층; 및 활성층 상에 위치하는 제2 도전형 반도체층을 포함하고, 활성층은, 21% 이상의 In 을 포함하는 질화물계 반도체를 포함하는 적어도 하나의 우물층; 우물층의 상부 및 하부에 위치하는 적어도 두 개의 장벽층; 및 우물층 상에 위치하며, 우물층과 장벽층의 사이에 위치하는 적어도 하나의 상부 캡핑층을 포함하며, 상부 캡핑층은 장벽층보다 큰 밴드갭 에너지를 가지며, 상부 캡핑층과 우물층은 접한다.



럼 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 고효율 장파장 발광 소자

기술분야

- [1] 본 발명은 발광 소자에 관한 것으로, 특히, 녹색광을 포함하는 장파장의 광을 방출하는 고효율 발광 소자에 관한 것이다.

배경기술

- [2] 최근 발광 다이오드와 같은 발광 소자의 베이스 물질로 질화물계 반도체가 폭넓게 사용된다. 질화물계 반도체는 III족 원소의 조성비에 따라 다양한 밴드갭 에너지를 가질 수 있어서, Al, Ga, In 등의 원소들의 조성비를 제어함으로써 다양한 파장대의 광을 구현할 수 있다.
- [3] 활성층의 구조로서 다중양자우물구조(MQW)가 일반적으로 사용되고 있으며, 상기 다중양자우물구조의 우물층(Well layer)의 질화물계 반도체의 조성비에 따라 발광 소자의 발광 파장이 결정된다. 예를 들어, 활성층에서 청색광을 방출하는 발광 소자의 경우 우물층으로 In을 소량으로 포함하는 InGaN층을 이용하고, 자외선 발광 소자의 경우 우물층으로 AlGaN층을 이용한다.
- [4] 한편, 상대적으로 장파장의 광을 방출하는 발광 소자, 즉, 청색광보다 긴 파장의 광을 방출하는 발광 소자를 구현하려면 In을 다량으로 포함하는 질화물계 반도체를 이용하여 우물층을 형성한다. 그런데 InGaN과 같은 In을 과량으로 포함하는 질화물계 반도체는 성장 조건 등이 GaN과 달라, 일반적인 청색 발광 소자 제조 방법 등을 장파장 발광 소자의 제조에 그대로 적용하기 곤란하다.
- [5] 나아가, In을 과량으로 포함하는 우물층을 가지는 발광 다이오드는 청색 발광 다이오드에 비해 일반적으로 정전 방전 등에 취약한 것으로 알려져 있다.

발명의 상세한 설명

기술적 과제

- [6] 본 발명이 해결하고자 하는 과제는, 우물층에서의 In 원자의 사이트(site) 이탈로 인한 식출, 편석의 발생 등을 방지하여 파장의 전이(shift)가 최소화되고 발광 효율이 높은 장파장 발광 소자를 제공하는 것이다.
- [7] 본 발명이 해결하고자 하는 또 다른 과제는, 정전 방전에 의한 소자 불량 발생을 방지하면서 발광 효율이 높은 장파장 발광 소자를 제공하는 것이다.

과제 해결 수단

- [8] 본 발명의 일 실시예에 따른 장파장 발광 소자는, 제1 도전형 반도체층; 상기 제1 도전형 반도체층 상에 위치하며, 양자우물구조를 갖는 활성층; 및 상기 활성층 상에 위치하는 제2 도전형 반도체층을 포함하고, 상기 활성층은, 21% 이상의 In을 포함하는 질화물계 반도체를 포함하는 적어도 하나의 우물층; 상기 우물층의 상부 및 하부에 위치하는 적어도 두 개의 장벽층; 및 상기 우물층 상에 위치하며, 상기 우물층과 상기 장벽층의 사이에 위치하는 적어도 하나의 상부

캡핑층을 포함하며, 상기 상부 캡핑층은 상기 장벽층보다 큰 밴드갭 에너지를 가지며, 상기 상부 캡핑층과 상기 우물층은 접한다.

- [9] 한편, 상기 우물층은 InGaN을 포함하고, 상기 장벽층은 GaN를 포함하며, 상기 상부 캡핑층은 AlGaIn을 포함할 수 있다.
- [10] 또한, 상기 상부 캡핑층의 AlGaIn은 0.1% 내지 2.5%의 Al을 포함할 수 있다. 더 구체적으로, 상기 상부 캡핑층의 AlGaIn은 1.4% 내지 1.8%의 Al을 포함할 수 있으며, 이 범위에서 양호한 광 출력 및 낮은 순방향 전압을 달성할 수 있다.
- [11] 한편, 상기 상부 캡핑층의 두께는 상기 장벽층의 두께보다 얇을 수 있다. 일 실시예에서, 상기 상부 캡핑층은 5Å 내지 20Å의 두께를 가질 수 있다.
- [12] 한편, 상기 장파장 발광 소자는 복수의 우물층 및 복수의 장벽층을 포함하고, 상기 복수의 장벽층들 중 최상부에 위치하는 최상부 장벽층의 두께는 나머지 장벽층들보다 두꺼울 수 있다.
- [13] 또한, 상기 최상부 장벽층은 상기 최상부 장벽층의 평균 밴드갭 에너지보다 작은 밴드갭 에너지를 갖는 서브 장벽층을 포함할 수 있다. 특히, 상기 서브 장벽층은 In을 함유할 수 있으며, 서브 장벽층의 In 조성비는 우물층의 In 조성비보다 작을 수 있다. 서브 장벽층은 우물층보다 작은 격자 상수를 가지며, 따라서 우물층과 전자 차단층 사이의 격자 불일치를 완화한다. 이에 따라, 제2 도전형 반도체층의 결정 품질이 개선될 수 있다.
- [14] 상기 장파장 발광 소자는, 상기 우물층 아래에 위치하며, 상기 우물층과 상기 장벽층의 사이에 위치하는 적어도 하나의 하부 캡핑층을 더 포함할 수 있으며, 상기 하부 캡핑층은 상기 장벽층보다 큰 밴드갭 에너지를 가질 수 있다.
- [15] 상기 장파장 발광 소자는 상기 활성층 상에 위치하는 전자 차단층을 더 포함할 수 있다.
- [16] 몇몇 실시예들에 있어서, 상기 전자 차단층은 Al 조성비가 상기 제2 도전형 반도체층을 향해 감소하는 그레이딩 층을 포함할 수 있다. Al 그레이딩 층을 사용함으로써 전자를 차단하면서도 홀을 활성층 내로 쉽게 주입할 수 있다. 또한, 상기 전자 차단층은 In을 함유할 수 있으며, 상기 전자 차단층의 In 조성비는 상기 서브 장벽층의 In 조성비보다 작을 수 있다. 이에 따라, 우물층, 서브 장벽층 및 전자 차단층 순서로 In 조성비가 점차 줄어들며 격자 상수가 감소한다. In 조성비가 매우 큰 장파장 발광 소자에서 In 조성비를 위와 같이 점차 감소시킴으로써 전자 차단층 및 제2 도전형 반도체층의 결정 품질을 개선할 수 있다. 제2 도전형 반도체층 및 전자 차단층의 결정 품질을 개선함으로써 정전 방전에도 강한 발광 소자를 제공할 수 있다.
- [17] 다른 실시예들에 있어서, 상기 전자 차단층은 상기 활성층에 접하는 제1 전자 차단층, 상기 제1 전자 차단층 상에 배치된 제2 전자 차단층 및 상기 제2 도전형 반도체층에 접하는 제3 전자 차단층을 포함하고, 상기 제2 전자 차단층은 상기 제1 및 제3 전자 차단층에 비해 Mg이 고농도로 도핑되고, 상기 제3 전자 차단층은 초격자 구조를 가질 수 있다. 이에 따라, 제2 전자 차단층을 이용하여

- 전자를 효율적으로 차단하면서 홀을 활성층 내로 잘 주입시킬 수 있다.
- [18] 나아가, 상기 제3 전자 차단층은 AlInGa_N/Ga_N의 초격자 구조를 가질 수 있다. AlInGa_N/Ga_N의 초격자 구조를 채택함으로써 그 위에 형성되는 제2 도전형 반도체층, 예컨대 Ga_N층의 결정 품질을 향상시킬 수 있다.
- [19] 한편, 상기 장벽층은 120Å 내지 150Å의 두께를 가질 수 있으나, 이에 한정되는 것은 아니다. 상기 장벽층은 150Å보다 더 두꺼운 두께를 가질 수도 있다. 다만, 상기 장벽층은 220Å 이하의 두께를 갖는다. 장벽층이 220Å보다 더 두꺼울 경우, 광 출력이 감소하고, 순방향 전압이 증가한다. 특히, 상기 장벽층은 170Å 내지 200Å의 두께를 가질 수 있는데, 이 두께 범위에서 높은 광 출력 및 낮은 순방향 전압이 가능하다.
- [20] 한편, 상기 활성층은 복수의 장벽층 및 복수의 우물층을 포함하고, 상기 복수의 장벽층들은 상기 장벽층들 중 n형 불순물이 상대적으로 고농도로 도핑된 장벽층들 및 n형 불순물이 상대적으로 저농도로 도핑되거나 언도프트 장벽층들을 포함할 수 있다. 상기 n형 불순물이 상대적으로 고농도로 도핑된 장벽층들은 상기 제2 도전형 반도체층보다 상기 제1 도전형 반도체층에 더 가깝게 배치된다. 전자와 홀은 대체로 제2 도전형 반도체층에 가까운 우물층에서 재결합하기 쉽다. 따라서, 전자와 홀이 재결합하는 우물층들 주위의 장벽층들에 비해 제1 도전형 반도체층에 상대적으로 가까운 장벽층들에 n형 불순물을 도핑함으로써 비발광 재결합을 방지하면서 전자의 주입 효율을 향상시킬 수 있다.
- [21] 또한, 상기 장벽층들은 Mg이 도핑된 장벽층들을 포함할 수 있으며, 상기 Mg이 도핑된 장벽층들은 상기 제2 도전형 반도체층에 가까울수록 더 높은 Mg 도핑 농도를 가질 수 있다. 제2 도전형 반도체층에 가까운 장벽층들에 상대적으로 높은 농도로 Mg을 도핑함으로써 홀의 주입효율을 개선할 수 있다.
- [22] 한편, 상기 제1 도전형 반도체층은 V-피트 생성층을 포함할 수 있다. 상기 V-피트 생성층은 n형 불순물 도핑된 단일 조성의 제1층 및 초격자 구조의 제2층을 포함할 수 있다. V-피트 생성층을 이용하여 활성층을 통과하는 V-피트를 형성함으로써 정전 방전에 강한 발광 소자를 제공할 수 있다.
- [23] 나아가, 상기 제1층은 n형 불순물 도핑된 Ga_N층이고, 상기 제2층은 InGa_N/Ga_N 초격자 구조일 수 있다. 제2층을 초격자 구조로 함으로써 활성층의 결정 품질을 향상시킬 수 있다. 상기 초격자 구조 내 InGa_N의 In 함량은 1% 내지 5%일 수 있다.
- [24] 또한, 상기 V-피트 생성층은 1500Å 내지 3000Å의 두께를 가지며, 상기 초격자 구조의 제2층의 두께는 상기 단일 조성의 제1층보다 더 크거나 같을 수 있다. 제2층의 두께를 제1층의 두께보다 더 크거나 같게 함으로써 활성층의 결정 품질을 확보하면서 정전 방전에 강한 발광 소자를 제공할 수 있다.
- [25] 한편, 상기 제1 도전형 반도체층은 상기 V-피트 생성층 하부에 위치하는 n형 불순물 변조 도핑층을 더 포함할 수 있으며, 상기 n형 불순물 변조 도핑층의 도핑

농도는 상기 제1층의 n형 불순물 도핑 농도보다 높다. 상기 n형 불순물 변조 도핑층이 전극이 접촉하는 콘택층이 될 수 있다.

- [26] 몇몇 실시예들에 있어서, 상기 제2층은 상기 제1층보다 더 높은 농도로 n형 불순물이 도핑될 수 있다. 그러나 다른 실시예에 있어서, 상기 제2층은 상기 제1층보다 더 낮은 농도로 n형 불순물이 도핑될 수 있으며, 도핑되지 않을 수도 있다.

- [27] 한편, 상기 활성층은 복수의 장벽층 및 복수의 우물층을 포함하고, 상기 복수의 장벽층들은 상기 장벽층들 중 n형 불순물이 상대적으로 고농도로 도핑된 장벽층들 및 n형 불순물이 상대적으로 저농도로 도핑되거나 언도프트 장벽층들을 포함하고, 상기 n형 불순물이 상대적으로 고농도로 도핑된 장벽층들은 상기 제2 도전형 반도체층보다 상기 제1 도전형 반도체층에 더 가깝게 배치되며, 상기 제1층보다 더 높은 n형 불순물 도핑 농도를 가지며, 상기 제1층은 상기 n형 불순물 상대적으로 저농도로 도핑되거나 언도프트 장벽층들보다 더 높은 n형 불순물 도핑 농도를 가질 수 있다.

- [28] 일 실시예에서, 상기 발광 소자는 입구가 250nm를 초과하는 V-피트들을 포함할 수 있다.

- [29] 다른 실시예에서, 상기 제2 도전형 반도체층은 p-GaN층들 사이에 위치하는 p-AlGaN층을 포함할 수 있다. 상기 p-AlGaN층은 상기 제2 도전형 반도체층의 상면보다 하면에 더 가깝게 배치될 수 있으며, 여기서, 상기 하면은 상기 상면보다 상기 활성층측에 더 가깝게 위치하는 면이다.

발명의 효과

- [30] 본 발명에 따르면, 우물층과 장벽층의 사이에 위치하며, 우물층을 덮는 상부 캡핑층을 포함하는 장파장 발광 소자가 제공된다. 상부 캡핑층은 우물층의 열적 손상을 방지하여, In의 이탈을 방지하고 우물층의 결정성이 악화되는 것을 방지한다. 또한 상부 캡핑층은 우물층 및 장벽층보다 작은 격자상수를 가지므로써, 우물층에 발생하는 스트레인을 감소시켜 양자가뭉스탁효과를 저하시켜, 발광 효율을 향상시킬 수 있다.

- [31] 또한, 활성층 아래에 V-피트 생성층을 배치함으로써 정전 방전에 의한 소자 불량을 방지할 수 있다.

- [32] 본 발명의 다른 특징 및 장점들은 이하의 상세한 설명을 통해 더욱 명확해질 것이다.

도면의 간단한 설명

- [33] 도 1 내지 도 4는 본 발명의 실시예들에 따른 장파장 발광 소자 및 장파장 발광 소자 제조 방법을 설명하기 위한 단면도들이다.

- [34] 도 5a 및 도 5b는 일 실시예에 따른 장파장 발광 소자의 활성층을 설명하기 위한 확대 단면도 및 밴드 다이어그램이다.

- [35] 도 6a 및 도 6b는 또 다른 실시예에 따른 장파장 발광 소자의 활성층을 설명하기

위한 확대 단면도 및 밴드 다이어그램이다.

- [36] 도 7은 본 발명의 일 실시예에 따른 장파장 발광 소자의 제1 도전형 반도체층을 설명하기 위한 확대 단면도이다.
- [37] 도 8은 본 발명의 일 실시예에 따른 장파장 발광 소자의 전자 차단층을 설명하기 위한 확대 단면도이다.
- [38] 도 9는 본 발명의 또 다른 실시예에 따른 장파장 발광 소자의 전자 차단층을 설명하기 위한 확대 단면도이다.
- [39] 도 10은 본 발명의 일 실시예에 따른 장파장 발광 소자의 제2 도전형 반도체층을 설명하기 위한 확대 단면도이다.
- [40] 도 11은 본 발명의 다양한 실시예들에 따른 발광 소자의 표면을 보여주는 광학사진들이다.
- [41] 도 12는 V-피트의 단면을 보여주는 전자현미경 사진이다.

발명의 실시를 위한 형태

- [42] 이하, 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명한다. 다음에 소개되는 실시예들은 본 발명이 속하는 기술분야의 통상의 기술자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되는 것이다. 따라서, 본 발명은 이하 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고, 도면들에 있어서, 구성요소의 폭, 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 또한, 하나의 구성요소가 다른 구성요소의 "상부에" 또는 "상에" 있다고 기재된 경우 각 부분이 다른 부분의 "바로 상부" 또는 "바로 상에" 있는 경우뿐만 아니라 각 구성요소와 다른 구성요소 사이에 또 다른 구성요소가 개재된 경우도 포함한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [43] 또한, 이하 설명되는 질화물계 반도체층들에 대한 각 조성비, 성장 방법, 성장 조건, 두께 등은 예시에 해당하며, 하기 기재된 바에 따라 본 발명이 제한되는 것은 아니다. 예를 들어, InGaN로 표기되는 경우, In과 Ga의 조성비는 이 기술분야의 통상의 지식을 가진 자(이하, "통상의 기술자")의 필요에 따라 다양하게 적용될 수 있다. 또한, 이하 설명되는 질화물계 반도체층들은 통상의 기술자에게 일반적으로 알려진 다양한 방법을 이용하여 성장될 수 있으며, 예를 들어, MOCVD(Metal Organic Chemical Vapor Deposition), MBE(Molecular Beam Epitaxy) 또는 HVPE(Hydride Vapor Phase Epitaxy) 등의 기술을 이용하여 성장될 수 있다. 다만, 이하 설명되는 실시예들에서는, 반도체층들이 MOCVD를 이용하여 성장 챔버 내에서 성장된 것으로 설명된다. 질화물계 반도체층들의 성장 과정에서, 성장 챔버 내에 유입되는 소스들은, 특별히 언급하지 않는 한, 통상의 기술자에게 알려진 소스를 이용할 수 있으며, 예를 들어, Ga 소스로 TMGa, TEGa 등을 이용할 수 있고, Al 소스로 TMAI, TEAI 등을 이용할 수 있으며, In 소스로 TMIIn, TEIn 등을 이용할 수 있으며, N 소스로 NH₃를 이용할 수

있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 또한, 후술하는 실시예들에 따른 장파장 발광 소자 제조 방법에 있어서, 각 단계의 순서는 일례에 해당하며, 각 단계의 순서들은 변경될 수 있다.

[44] 도 1 내지 도 4는 본 발명의 실시예들에 따른 장파장 발광 소자 및 장파장 발광 소자 제조 방법을 설명하기 위한 단면도들이다.

[45] 먼저, 도 1을 참조하면, 기판(110) 상에 제1 도전형 반도체층(130)을 형성한다. 일 실시예에서, 제1 도전형 반도체층(130)의 성장 전에, 기판(110) 상에 버퍼층이 더 형성될 수 있다.

[46] 기판(110)은 질화물계 반도체를 성장시킬 수 있는 기판이면 한정되지 않으며, 예를 들어, 사파이어 기판, 실리콘 기판, 실리콘 카바이드 기판, 또는 스피넬 기판과 같은 이종 기판을 포함할 수 있고, 또한, 질화갈륨 기판, 질화알루미늄 기판 등과 같은 동종 기판을 포함할 수 있다. 또한, 기판(110)은 비극성, 반극성 또는 극성의 성장면을 가질 수 있다.

[47] 제1 도전형 반도체층(130)은 성장 기판(110) 상에 위치한다. 제1 도전형 반도체층(130)은 (Al, Ga, In)N과 같은 질화물계 반도체를 포함하고, MOCVD, MBE, HVPE 등과 같은 방법을 이용하여 성장 기판(110) 상에 성장되어 형성될 수 있다. 예컨대, MOCVD를 이용하여 제1 도전형 반도체층(130)을 성장시키는 경우, 약 950°C 내지 1200°C의 성장 온도에서 소정의 성장 속도로 GaN을 포함하는 질화물계 반도체층을 성장시킴으로써, 제1 도전형 반도체층(130)이 형성될 수 있다. 또한, 제1 도전형 반도체층(120)은 Si, C, Ge, Sn, Te, Pb 등과 같은 불순물을 1종 이상 포함하여 n형으로 도핑될 수 있다. 다만, 이에 한정되지 않고, 제1 도전형 반도체층(130)은 p형 도펀트를 포함하여 반대의 도전형으로 도핑될 수도 있다. 나아가, 제1 도전형 반도체층(130)은 단일층 또는 다중층으로 이루어질 수 있다. 제1 도전형 반도체층(130)이 다중층으로 이루어진 경우, 제1 도전형 반도체층(130)은 초격자층, 컨택층, 변조도핑층, 전자주입층 등을 포함할 수 있다. 제1 도전형 반도체층(130)이 다중층인 경우에 대해서 도 7을 참조하여 뒤에서 더 상세하게 설명된다.

[48] 한편, 제1 도전형 반도체층(130)을 성장시키기 전에, 기판(110) 상에 버퍼층(120)을 더 형성할 수 있다. 버퍼층(120)은 GaN과 같은 질화물 반도체를 포함할 수 있고, MOCVD를 이용하여 성장시킬 수 있으며, 약 450 내지 600°C 범위 내의 성장 온도에서 성장될 수 있다. 버퍼층(120)은 후속 공정에서 기판(110) 상에 성장되는 반도체층들의 결정성을 우수하게 할 수 있으며, 또한, 이종 기판 상에 질화물계 반도체층들이 성장될 수 있는 시드층 역할을 할 수도 있다.

[49] 도 2를 참조하면, 제1 도전형 반도체층(130) 상에 활성층(140)을 형성한다. 나아가, 활성층(140) 상에 전자차단층(150)을 더 형성할 수 있다.

[50] 활성층(140)은 (Al, Ga, In)N과 같은 질화물 반도체를 포함할 수 있으며, MOCVD, MBE, 또는 HVPE 등의 기술을 이용하여 제1 도전형 반도체층(130)

상에 성장될 수 있다. 또한, 활성층(140)은 적어도 두 개의 장벽층(barrier layer; 141) 및 적어도 하나의 우물층(well layer, 143)을 포함하는 양자우물구조(QW)를 포함할 수 있으며, 나아가, 복수의 장벽층(141) 및 복수의 우물층(143)을 포함하는 다중양자우물구조(MQW)를 포함할 수 있다. 또한, 활성층(140)은 적어도 하나의 우물층(143)의 상부에 위치하여, 상기 적어도 하나의 우물층(143)과 장벽층(141)의 사이에 개재된 상부 캡핑층(145 또는 145a)을 더 포함할 수 있다. 더 나아가, 활성층(140)은 적어도 하나의 우물층(143)의 하부에 위치하여, 상기 적어도 하나의 우물층(143)과 장벽층(141)의 사이에 개재된 하부 캡핑층(145b)을 더 포함할 수 있다.

- [51] 활성층(140)에서 방출되는 광은 상대적으로 장파장의 광일 수 있고, 예컨대, 청색광보다 긴 파장대의 녹색광을 방출할 수 있다. 활성층(140)에서 방출되는 광의 파장은 우물층(143)의 질화물계 반도체층의 조성비를 제어하여 조절할 수 있다. 이 경우, 우물층(143)은 In을 포함하는 질화물계 반도체를 포함할 수 있으며, 상기 In의 조성비는 21% 이상일 수 있다. 활성층(140)과 관련하여서는 후술하여 더욱 상세하게 설명한다.
- [52] 전자차단층(150)은 활성층(140) 상에 위치하며, 활성층(140)으로부터 그 상부로 전자(electron)가 오버플로우하는 것을 방지한다. 전자차단층(150)은 활성층(140)의 최상부 장벽층(147) 상에 형성될 수 있다. 또한, 전자차단층(150)의 평균 밴드갭에너지는 최상부 장벽층(147)의 평균 밴드갭 에너지보다 클 수 있으며, 이에 따라 전자들이 제2 도전형 반도체층(160) 측으로 이동하는 것이 전자차단층(150)의 에너지 베리어에 의해 차단될 수 있다.
- [53] 도 3을 참조하면, 활성층(140) 또는 전자차단층(150) 상에 제2 도전형 반도체층(160)을 형성한다.
- [54] 제2 도전형 반도체층(160)은 (Al, Ga, In)N과 같은 질화물계 반도체를 포함할 수 있으며, MOCVD, MBE, 또는 HVPE 등의 기술을 이용하여 성장될 수 있다. 제2 도전형 반도체층(160)은 제1 도전형 반도체층(130)의 도전형과 반대의 도전형으로 도핑될 수 있다. 예를 들어, 제2 도전형 반도체층(160)은 Mg과 같은 불순물을 포함하여 p형으로 도핑될 수 있다. 제2 도전형 반도체층(160)은 p-GaN 단일층으로 형성될 수 있으나, 이에 한정되는 것은 아니며, 내부에 AlGaN층을 포함할 수도 있다. 제2 도전형 반도체층(160) 내의 Mg 도핑 농도는 제2 도전형 반도체층(160)의 표면에서 가장 높고 전자 차단층(150) 측에서 상대적으로 높으며, 내부 층에서 상대적으로 낮은 프로파일을 가질 수 있다. 나아가, 상기 Mg 도핑 농도는 내부 층에서 상대적으로 낮은 프로파일을 가지는 영역과 전자 차단층(150) 사이에 도핑 농도가 상대적으로 높아졌다가 감소하는 프로파일을 가지는 영역을 포함할 수 있다. 제2 도전형 반도체층(160) 내부에 배치되는 AlGaN층은 Mg 도핑 농도가 상대적으로 낮은 프로파일을 가지는 영역과 전자 차단층(150) 사이에서 도핑 농도가 감소하는 영역 내에 배치될 수 있다.
- [55] 도 3의 구조는 다양하게 가공될 수 있고, 이에 따라 다양한 구조의 장파장 발광

소자가 구현될 수 있다. 예컨대, 도 4를 참조하면, 상기 장파장 발광 소자는 제1 전극(171) 및 제2 전극(173)을 더 포함하여 수평형 발광 소자가 제공될 수 있다. 제1 전극(171) 및 제2 전극(173)은 각각 제1 도전형 반도체층(130) 및 제2 도전형 반도체층(160)과 전기적으로 연결된다. 다만, 본 발명이 이에 한정되는 것은 아니며, 도 3의 구조는 플립칩형 발광 소자, 수직형 발광 소자 등 다양한 구조로 변형될 수 있다. 또한, 발광 소자의 형태에 따라, 기관(110)은 생략될 수도 있다.

[56] 이하, 도 5a 내지 도 6b를 참조하여 다양한 실시예들에 따른 장파장 발광 소자의 활성층(140)에 대해 더욱 상세하게 설명한다.

[57] 먼저, 도 5a 및 도 5b는 일 실시예에 따른 장파장 발광 소자의 활성층(140)을 설명하기 위한 확대 단면도 및 밴드 다이어그램이다.

[58] 도 5a 및 도 5b를 참조하면, 활성층(140)은 적어도 하나의 우물층(143), 적어도 두 개의 장벽층(141) 및 적어도 하나의 상부 캡핑층(145)을 포함할 수 있다. 또한, 활성층(140)은 복수의 우물층(143), 복수의 우물층(143)들 각각의 상부 및 하부에 위치하는 복수의 장벽층(141), 복수의 우물층(143)들 각각의 상부에 위치하는 복수의 상부 캡핑층(145)을 포함할 수 있다. 나아가, 활성층(140)은 활성층(140)의 마지막 장벽층을 형성하는 최상부 장벽층(147)을 포함할 수 있다.

[59] 우물층(143)은 장벽층(141)들의 사이에 위치하며, 도 5b에 도시된 바와 같이 우물층(143)의 밴드갭 에너지는 장벽층(141)의 밴드갭 에너지보다 작다. 우물층(143)은 $\text{In}_x\text{Ga}_{(1-x)}\text{N}$ ($0 < x < 1$)을 포함하거나 이것으로 형성될 수 있으며, 상기 장파장 발광 소자에서 방출하는 파장에 따라 In의 조성비(x)가 제어될 수 있다. 일 실시예에서, In의 조성비(x)는 0.21 이상일 수 있으며, 나아가, 0.23 이상일 수 있다. 이에 따라, 장파장 발광 소자는 녹색광을 방출할 수 있다. 장벽층(141)은 GaN 및/또는 InGaN을 포함할 수 있다. 장벽층(141)의 밴드갭 에너지는 우물층(143)의 밴드갭 에너지보다 크므로, 장벽층(141)이 InGaN을 포함하는 경우 장벽층(141)의 InGaN의 In 조성비는 우물층(143)의 $\text{In}_x\text{Ga}_{(1-x)}\text{N}$ 의 In 조성비(x)보다 작다.

[60] 상부 캡핑층(145)은 우물층(143)의 상부에 위치하며, 우물층(143)과 장벽층(141)의 사이에 위치한다. 특히, 상부 캡핑층(145)은 그 하부에 위치하는 우물층(143)에 접할 수 있다. 상부 캡핑층(145)의 평균 격자 상수는 우물층(143) 및 장벽층(141)의 평균 격자 상수보다 작을 수 있다. 또한, 상부 캡핑층(145)의 밴드갭 에너지는 장벽층(141)의 밴드갭 에너지보다 클 수 있다. 일 실시예에서, 상부 캡핑층(145)은 $\text{Al}_y\text{Ga}_{(1-y)}\text{N}$ ($0 < y < 1$)을 포함하거나 이것으로 형성될 수 있으며, Al의 조성비(y)는 0.001 내지 0.025일 수 있다. 추가적으로, 상기 Al의 조성비(y)가 0.014 내지 0.017 범위 내일 때, 양호한 광출력 및 낮은 순방향 전압을 달성할 수 있다.

[61] 이하, 활성층(140)의 제조 과정에 대해 설명한다.

[62] 먼저, 제1 도전형 반도체층(130) 상에 장벽층(141)을 형성할 수 있다. 장벽층(141)은 GaN으로 형성될 수 있으며, 약 900°C 내지 1200°C의 온도에서 약

120Å 내지 220Å의 두께, 나아가, 170Å 내지 200Å의 두께로 성장될 수 있다. 장벽층(141)의 두께가 이 범위에서 높은 광 출력 및 낮은 순방향 전압을 달성할 수 있다. 이어서, 장벽층(141) 상에 우물층(143)을 형성한다. 우물층(143)은 $\text{In}_x\text{Ga}_{(1-x)}\text{N}$ 으로 형성될 수 있으며, 약 20Å 내지 약 30Å의 두께로 형성될 수 있다. 우물층(143)의 성장 온도는 장벽층(141)의 성장 온도보다 약 150°C 내지 200°C 더 낮은 온도로 설정될 수 있다. 우물층(143)이 너무 높은 온도에서 성장되는 경우, 우물층(143) 내의 In 함량이 의도한 것보다 낮게 형성될 수 있으므로, 상대적으로 높은 In 조성비가 요구되는 장파장 발광 소자의 우물층(143)은 상술한 바와 같은 온도 범위에서 성장된다. 이어서, 우물층(143) 상에 상부 캡핑층(145)을 형성한다. 상부 캡핑층(145)은 우물층(143)의 성장 온도와 대체로 동일한 온도에서 성장될 수 있다. 예를 들어, 상부 캡핑층(145)은 장벽층(141)의 성장 온도보다 약 150°C 내지 200°C 더 낮은 온도에서 성장되는 $\text{Al}_y\text{Ga}_{(1-y)}\text{N}$ 으로 형성될 수 있다. 상부 캡핑층(145)은 약 5Å 내지 20Å의 두께를 가질 수 있다. 이후 다시 성장 온도를 높이고, 상술한 장벽층(141), 우물층(143) 및 상부 캡핑층(145)의 성장 과정을 반복하여 도 5a에 도시된 바와 같은 활성층(140) 구조가 제공될 수 있다.

- [63] 일반적으로, 우물층(143)의 성장 후에 우물층(143)의 표면이 노출된 상태에서 성장 온도를 상승시키면, 우물층(143) 내의 In 원자들이 반도체층의 사이트(site)로부터 이탈할 확률이 높아진다. 이렇게 되면, 성장 온도 상승에 따라 우물층(143)의 표면에 In이 석출되거나 In 편석이 발생할 수 있다. 이 경우, 우물층(143)의 결정질이 조악해지거나, 표면 모폴로지가 악화된다. 또한, 반도체층의 사이트로부터 In 원자들이 이탈하면, 우물층(143)의 In 조성비가 의도한 것보다 더 작아져, 의도한 파장보다 짧은 파장의 광이 발광 소자로부터 방출되게 된다. 그러나, 상술한 실시예들에 따르면, 우물층(143)의 성장 완료 후 바로 온도를 승온하여 장벽층(141)을 형성하지 않고, 우물층(143)의 성장 온도와 대체로 동일한 온도에서 성장되는 상부 캡핑층(145) 형성 후에 장벽층(141)을 형성한다. 이에 따라, 상부 캡핑층(145)은 우물층(143)의 상부를 덮어 우물층(143)을 열로부터 보호할 수 있다. 따라서 In 원자가 우물층(143)으로부터 이탈하는 것을 방지할 수 있어, 우물층(143)의 표면 모폴로지 악화 및 파장의 단파장으로의 쉬프트 현상을 방지할 수 있다. 또한, 상부 캡핑층(145)의 형성으로 인하여 장벽층(141)의 성장 온도를 장벽층(141)의 결정질이 우수해질 수 있는 온도까지 높일 수 있어, 활성층(140) 전체의 결정질을 향상시켜 발광 소자의 발광 효율을 향상시킬 수 있다.

- [64] 한편, 상부 캡핑층(145)은 상대적으로 낮은 온도에서 성장되는 $\text{Al}_y\text{Ga}_{(1-y)}\text{N}$ 으로 형성되므로, 상부 캡핑층(145) 자체의 결정질은 비교적 우수하지 않을 수 있다. 그러나, 상부 캡핑층(145)의 두께는 약 5Å 내지 20Å로 제어되므로, 장벽층(141)에 비해 매우 얇은 두께를 가져 상부 캡핑층(145)으로 인한 활성층(140) 전체의 결정질 저하는 거의 발생하지 않는다. 따라서 상부

- 캐핑층(145)의 결정질로 인한 발광 효율 저하 역시 거의 발생하지 않는다.
- [65] 또한, 일반적으로, 녹색광 발광 소자와 같은 장파장 발광 소자는 우물층의 높은 In 함량으로 인하여 우물층과 장벽층 사이의 격자 상수 차이로 인한 스트레스 및 스트레인 이 비교적 강하게 작용한다. 이로 인해, 강한 양자가뭉스타크효과 (Quantum Confined Stark Effect; QCSE)가 나타나게 되고, 발광 효율 저하 및 발광 파장의 변화가 초래된다. 반면 실시예들에 따르면, 장벽층(141)과 우물층(143)의 차이에 장벽층(141) 및 우물층(143)보다 작은 평균 격자 상수를 갖는 상부 캐핑층(145)을 형성함으로써, 우물층(143)에 작용하는 스트레인을 감소시킨다. 스트레인의 감소로 인하여 우물층(143) 내의 양자가뭉스타크효과가 약화됨으로써, 발광 효율이 향상될 수 있고 밴드 벤딩(bending)으로 인한 발광 파장의 변화를 감소시킬 수 있다.
- [66] 나아가, 실시예들에 따르면, 상부 캐핑층(145)의 두께를 약 5Å 내지 20Å로 하고, 장벽층(141)의 두께를 약 120Å 내지 220Å, 특히 170Å 내지 200Å으로 형성함으로써, 발광 효율을 최적화할 수 있다. 상술한 범위로 상부 캐핑층(145)을 형성하여, 격자 상수 차이로 인한 스트레인을 최소화함과 아울러, 상부 캐핑층(145)으로 인한 결정질 저하를 최소화할 수 있다. 또한, 장벽층(141)의 두께를 상부 캐핑층(145)의 두께를 고려하여 상술한 범위로 형성함으로써, 활성층(140) 전체의 평균적인 결정성을 향상시켜 발광 효율을 향상시킬 수 있다.
- [67] 다시 도 5a 및 도 5b를 참조하면, 장벽층들 중 전자차단층(150)의 바로 아래에 위치하는 최상부 장벽층(147)을 나머지 장벽층(141)들의 평균 두께보다 두꺼운 두께를 가질 수 있다. 또한, 최상부 장벽층(147)은 최상부 장벽층(147)의 평균 밴드갭 에너지보다 작은 밴드갭 에너지를 갖는 서브 장벽층(147a)을 포함할 수 있다.
- [68] 한편, 몇몇 실시예들에 있어서, 발광 소자는 복수의 장벽층들(141) 및 복수의 우물층(143)이 교대로 적층된 다중 양자우물 구조를 가질 수 있다. 이 경우, 전자의 이동도가 홀의 이동도보다 크기 때문에, 전자와 홀은 대체로 제2 도전형 반도체층(160)(또는 전자 차단층(150))에 가까운 우물층(143)에서 주로 재결합한다. 따라서, 전자와 홀의 재결합이 잘 발생되지 않는 활성층(140) 부분의 장벽층들(141), 즉, 제1 도전형 반도체층(130)에 가까운 장벽층들(141)에 Si와 같은 n형 불순물을 도핑함으로써 전자의 주입 효율을 향상시킬 수 있으며, 이에 따라, 발광 소자의 순방향 전압을 낮출 수 있다. 이 경우, 상기 복수의 장벽층들(141)은 n형 불순물이 상대적으로 고농도로 도핑된 장벽층들 및 n형 불순물이 상대적으로 저농도로 도핑되거나 언도프트 장벽층들을 포함하게 된다. 특히, n형 불순물이 상대적으로 고농도로 도핑된 장벽층들(141)은 상기 제2 도전형 반도체층(160)보다 상기 제1 도전형 반도체층(130)에 더 가깝게 배치된다.
- [69] 대체로 제2 도전형 반도체층(160)에 가까운 적어도 2개의 우물층들(143) 주위에는 Si와 같은 n형 불순물이 도핑되지 않는 것이 바람직하다. 예를 들어,

장벽층들(141)이 10개인 경우, 제1 도전형 반도체층(130)에 가까운 5개의 장벽층들(141)에 상대적으로 고농도, 예컨대 약 $5 \times 10^{18}/\text{cm}^3$ 로 Si를 도핑하고, 제2 도전형 반도체층(160)에 가까운 5개의 장벽층들에는 저농도, 예컨대 약 $5 \times 10^{17}/\text{cm}^3$ 로 Si를 도핑할 수 있다. 또한, Si가 도핑된 장벽층들(141)이 모두 동일한 Si 도핑 농도를 가질 필요는 없으며, 제1 도전형 반도체층(130)으로부터 멀어질수록 도핑 농도가 점차적으로 감소할 수도 있다.

[70] 한편, 상기 n형 불순물이 상대적으로 고농도로 도핑된 장벽층들(141)의 n형 불순물 도핑 농도는 제1 도전형 반도체층(130)의 변조 도핑층(도 7의 133)에 도핑된 n형 불순물의 도핑 농도보다 낮지만, V-피트 생성층(도 7의 137) 내의 n형 불순물의 도핑 농도보다는 높다. 이에 대해서는 뒤에서 다시 설명된다.

[71] 한편, 장벽층들(141)에 Mg과 같은 p형 불순물이 도핑될 수 있다. p형 불순물은 홀의 주입 효율을 개선하기 위해 도핑될 수 있으며, 따라서, 제2 도전형 반도체층(160)에 가까운 장벽층들에 주로 도핑된다. 나아가, 제2 도전형 반도체층(160)에 가까울수록 더 많은 Mg이 도핑되도록 할 수 있다. 다만, 장벽층들에 도핑되는 Mg 도핑 농도는 전자 차단층(150)이나 제2 도전형 반도체층(160)에 도핑되는 Mg 도핑 농도보다는 상대적으로 낮다.

[72] 또한, 다양한 실시예들에서, 도 6a 및 도 6b에 도시된 바와 같이, 활성층(140)은 상부 캡핑층(145a)을 포함함과 아울러, 하부 캡핑층(145b)을 더 포함할 수 있다.

[73] 도 6a 및 도 6b를 참조하면, 하부 캡핑층(145b)은 우물층(143)의 하부에 위치하며, 우물층(143)과 장벽층(141)의 사이에 위치한다. 특히, 하부 캡핑층(145b)은 그 상부에 위치하는 우물층(143)에 접할 수 있다. 하부 캡핑층(145b)의 평균 격자 상수는 우물층(143) 및 장벽층(141)의 평균 격자 상수보다 작을 수 있다. 또한, 하부 캡핑층(145b)의 밴드갭 에너지는 장벽층(141)의 밴드갭 에너지보다 클 수 있다. 일 실시예에서, 하부 캡핑층(145b)은 $\text{Al}_z\text{Ga}_{(1-z)}\text{N}$ ($0 < z < 1$)을 포함하거나 이것으로 형성될 수 있으며, Al의 조성비(z)는 0.001 내지 0.025일 수 있다. 상부 캡핑층(145a)과 하부 캡핑층(145b)은 대체로 동일한 Al 조성비를 갖는 AlGaIn을 포함하거나, 그것으로 형성될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 상부 캡핑층(145a)의 Al 조성비는 하부 캡핑층(145b)의 Al 조성비와 다를 수 있다. 하부 캡핑층(145b)을 더 포함함으로써, 우물층(143)의 스트레인이 더욱 감소될 수 있다.

[74] 도 7은 본 발명의 일 실시예에 따른 장파장 발광 소자의 제1 도전형 반도체층(130)을 설명하기 위한 확대 단면도이다.

[75] 도 7을 참조하면, 제1 도전형 반도체층(130)은 기판(110) 상에 배치된다. 기판(110)이 사파이어 기판(패터닝된 사파이어 기판 포함)과 같은 이종 기판인 경우, 버퍼층(120)이 기판(110) 상에 먼저 형성될 수 있다.

[76] 제1 도전형 반도체층(130)은 예를 들어 언도프트 반도체층(131), 변조 도핑층(133), 스트레인 완화층(135) 및 V-피트 생성층(137)을 포함할 수 있다.

V-피트 생성층(137)은 단일 조성의 제1층(137a) 및 초격자 구조의 제2층(137b)을 포함할 수 있다.

- [77] 연도프트 반도체층(131)은 GaN으로 형성될 수 있으며, 결정 품질을 향상시키기 위해 Si이 도핑되지 않는 것이 바람직하다. 그러나 다른 실시예에서 Si이 저농도로 도핑된 반도체층이 사용될 수도 있다.
- [78] 변조 도핑층(133)은 GaN으로 형성될 수 있으며, Si와 같은 n형 불순물이 변조 도핑된다. 따라서, n형 불순물이 도핑된 영역과 연도프트 영역, 또는 n형 불순물이 상대적으로 고농도로 도핑된 영역과 상대적으로 저농도로 도핑된 영역이 교대로 반복된다. 상기 n형 불순물이 도핑된 영역 또는 n형 불순물이 상대적으로 고농도로 도핑된 영역의 불순물, 예를 들어 Si 도핑 농도는 n형 불순물이 고농도로 도핑된 장벽층들(141) 내의 n형 불순물 도핑 농도보다 높다. 변조 도핑층(133)은 n전극(171)이 콘택되는 층으로 콘택 저항을 낮추고 전류를 분산시키기 위해 상기 n형 불순물이 도핑된 영역 또는 n형 불순물이 상대적으로 고농도로 도핑된 영역은 상대적으로 높은 농도, 예컨대 $5 \times 10^{18}/\text{cm}^3$ 이상, 나아가, $1 \times 10^{19}/\text{cm}^3$ 이상의 농도로 Si가 도핑될 수 있다. 또한, 안정적인 오믹 콘택을 위해, 상기 n형 불순물이 도핑된 영역 또는 n형 불순물이 상대적으로 고농도로 도핑된 영역이 상기 연도프트 영역 또는 n형 불순물이 상대적으로 저농도로 도핑된 영역의 두께보다 더 두껍다.
- [79] 스트레인 완화층(135)은 활성층(140)에 인가되는 스트레인을 완화하고 전류 분산을 돕기 위해 형성될 수 있다. 스트레인 완화층(135)은 예를 들어, n형 불순물이 도핑된 AlGaIn층과 연도프트 GaN층을 교대로 적층한 예컨대 5쌍의 n-AlGaIn/u-GaN 초격자층으로 형성될 수 있다. n-AlGaIn에 도핑되는 n형 불순물, 예컨대 Si의 도핑농도는 변조 도핑층(133)에 도핑되는 Si의 도핑농도와 대체로 유사하며, 예컨대 $5 \times 10^{18}/\text{cm}^3$ 이상, 나아가, $1 \times 10^{19}/\text{cm}^3$ 이상의 농도일 수 있다. 다만, 스트레인 완화층(135)은 생략될 수도 있다.
- [80] V-피트 생성층(137)은 실 전위(threading dislocation)들이 형성된 부분에 V-피트를 생성한다. V-피트 생성층(137)은 750°C 내지 950°C, 구체적으로는 800°C 내지 900°C, 더 구체적으로는 800°C 내지 850°C의 온도범위에서 Ga 소스로 TEGa(Triethylgallium)를 사용하고 N₂ 캐리어 가스를 사용하여 형성될 수 있다. 이 조건에서 크기가 대체로 균일한 V-피트들이 생성된다.
- [81] V-피트들은 활성층(140)을 관통하여 형성된다. V-피트 내의 브레이크 다운 전압은 V-피트 주위 활성 영역의 브레이크 다운 전압과 차이를 나타내며, 이에 따라, 정전 방전시 V-피트들을 통해 전류를 분산시킬 수 있어 활성 영역의 파괴를 방지할 수 있다.
- [82] 본 실시예에 있어서, V-피트 생성층(137)은 단일 조성의 제1층(137a)과 초격자 구조의 제2층(137b)을 포함한다. 제1층(137)은 n형 불순물, 예컨대 Si이 도핑된 GaN층으로 형성될 수 있다. 제1층(137) 내 n형 불순물의 도핑 농도는 변조 도핑층(133)의 Si 도핑 농도보다 낮고 나아가 n형 불순물이 고농도로 도핑된

- 장벽층들(141) 내의 n형 불순물의 도핑 농도보다 낮을 수 있다.
- [83] 한편, 제2층은 예컨대 InGaN/GaN 초격자 구조로 형성될 수 있다. 제2층에는 n형 불순물이 도핑되지 않을 수도 있으며, 도핑될 수도 있다. 다만, 제2층 내의 n형 불순물의 도핑 농도는 변조 도핑층(133)의 Si 도핑 농도보다 낮고 나아가 n형 불순물이 고농도로 도핑된 장벽층들(141) 내의 n형 불순물의 도핑 농도보다 낮다. 활성층(140)은 상기 제2층 상에 직접 형성될 수 있으며, 따라서, 제2층(137b)을 InGaN을 포함하는 초격자 구조로 형성함으로써 활성층(140)의 결정 품질을 개선할 수 있다. 제2층 내 InGaN층의 In의 조성비는 1% 내지 5%일 수 있다.
- [84] 한편, 상기 V-피트 생성층(137)의 두께는 발광 다이오드의 광 출력 및 순방향 전압에 영향을 미친다. V-피트 생성층(137)의 두께는 예를 들어 1500Å 내지 3000Å 범위 내일 수 있다. 이 범위에서 최대 광 출력의 90% 이상의 광 출력을 달성할 수 있다. 더 구체적으로, V-피트 생성층(137)의 두께는 예를 들어 2000Å 내지 3000Å 범위 내일 수 있으며, 이 범위에서 최대 광 출력의 95% 이상의 광 출력 및 상대적으로 낮은 순방향 전압을 달성할 수 있다.
- [85] 이 경우, 제2층(137b)은 제1층(137a)과 동일하거나 그보다 큰 두께를 가진다. 제2층(137b)을 적어도 제1층(137a) 두께만큼 확보함으로써 제한된 두께 범위에서 V-피트를 생성하면서도 활성층(140)의 결정 품질을 개선할 수 있다. 특히, 제2층(137b)은 1000Å 이상의 두께를 가질 수 있다.
- [86] 도 8은 본 발명의 일 실시예에 따른 장파장 발광 소자의 전자 차단층(150)을 설명하기 위한 확대 단면도이다.
- [87] 도 8을 참조하면, 상기 전자 차단층(150)은 Al 조성비가 상기 제2 도전형 반도체층(160)을 향해 감소하는 그레이딩 층(153)을 포함할 수 있다. 나아가, 상기 전자 차단층(150)은 그레이딩 층(153)과 활성층(140) 사이에 일정 조성의 계면층(151)을 더 포함할 수 있다.
- [88] 전자 차단층(150)은 AlGaIn 또는 AlInGaIn으로 형성될 수 있으며, 상대적으로 높은 밴드갭을 가지어 활성층(140)으로부터 전자가 제2 도전형 반도체층(160)으로 이동하는 것을 차단하여 발광 효율을 개선한다. 전자 차단층(150)은 전자의 흐름을 차단하면서 홀이 활성층(140) 영역 내로 주입되는 것을 허용해야 한다. 서브 장벽층(147a) 내의 In 조성비는 우물층(143) 내의 In 조성비보다 작고, 전자 차단층(150) 내의 In 조성비는 서브 장벽층(147a) 내의 In 조성비보다 작다. 이에 따라, 우물층(143), 서브 장벽층(147a) 및 전자 차단층(150) 순서로 In 함량을 감소시킴으로써 우물층(143)과 전자 차단층(150) 사이의 격자 불일치를 감소시킬 수 있으며, 양호한 전자 차단층(150) 및 제2 도전형 반도체층(160)을 성장시킬 수 있다.
- [89] 그레이딩 층(153)의 Al 조성비는 계면층(151)의 Al 조성비로부터 점차 감소할 수 있으며, 최종적으로 Al 조성비가 0이 될 수 있다. 그레이딩 층(153)은 제2 도전형 반도체층(160)을 향해 Al 조성이 감소하기 때문에, 에너지 장벽이 제2

도전형 반도체층(160)을 향해 감소한다. 이에 따라, 홀이 그레이딩 층(153)을 넘어 활성층(140) 내로 더 잘 주입될 수 있다.

- [90] 또한, Mg과 같은 p형 불순물이 전자 차단층(150)에 도핑될 수 있으며, 전자 차단층(150) 내에서 활성층(140)을 향해 도핑 농도가 낮아지는 도핑 농도 그레이딩 특성을 보일 수 있다. 도핑 농도 그레이딩은 그레이딩 층(153) 내에서 또는 계면층(151) 내에서 형성될 수 있다.
- [91] 본 실시예에서, 일정 두께의 계면층(151)이 그레이딩 층(153)을 형성하기 전에 먼저 형성된 것에 대해 설명하나, 계면층(151)은 생략될 수도 있다.
- [92] 도 9는 본 발명의 또 다른 실시예에 따른 장파장 발광 소자의 전자 차단층(150)을 설명하기 위한 확대 단면도이다.
- [93] 도 9를 참조하면, 상기 전자 차단층(150)은 제1 전자 차단층(151), 제2 전자 차단층(155) 및 제3 전자 차단층(157)을 포함할 수 있다.
- [94] 제1 전자 차단층(151)은 앞서 도 8을 참조하여 설명한 바와 같은 계면층(151)과 동일하게 단일 조성으로 형성될 수 있으며, 활성층(140)에 접한다. 제1 전자 차단층(151)은 AlGa_N 또는 AlInGa_N으로 형성될 수 있다. 제1 전자 차단층(151)에 Mg과 같은 p형 불순물이 도핑될 수 있다. 제1 전자 차단층(151) 내의 p형 불순물의 도핑 농도는 제2 도전형 반도체층(160) 내의 p형 불순물의 도핑 농도보다 낮을 수 있다. 덧붙여, 제1 전자 차단층(151) 내의 p형 불순물의 도핑 농도는 활성층(140)을 향해 감소하는 그레이딩 특성을 가질 수 있다.
- [95] 제2 전자 차단층(155)은 제1 전자 차단층(151)에 비해 Al 조성비가 낮은 AlGa_N 또는 AlInGa_N으로 형성될 수 있다. 더욱이, 제2 전자 차단층(155)은 단일 조성일 수도 있으나, 초격자 구조일 수도 있다. 제2 전자 차단층(155)에는 상기 제1 및 제3 전자 차단층(151, 157)에 비해 p형 불순물이 고농도로 도핑된다. 제2 전자 차단층(155)에 도핑되는 p형 불순물, 예컨대 Mg의 도핑 농도는 제2 도전형 반도체층(160) 내의 p형 불순물 농도와 대체로 유사할 수 있다.
- [96] 제3 전자 차단층(157)은 제2 도전형 반도체층(160)에 접한다. 제3 전자 차단층(157)은 제2 도전형 반도체층(160)의 결정 품질을 개선하기 위해 초격자 구조를 가질 수 있다. 예를 들어, 상기 제3 전자 차단층(157)은 AlInGa_N/Ga_N의 초격자 구조를 가질 수 있다. 제3 전자 차단층(157)에도 p형 불순물, 예컨대 Mg이 도핑될 수 있으며, 도핑 농도는 제2 도전형 반도체층(160) 내의 p형 불순물의 도핑 농도보다 낮으며, 나아가, 제1 전자 차단층(151)의 도핑 농도보다 낮을 수 있다.
- [97] 본 실시예에서, 제2 전자 차단층(155)은 제1 전자 차단층(151) 및 제3 전자 차단층(157) 사이에 배치되며, 제1 및 제3 전자 차단층(151, 157)에 비해 상대적으로 낮은 밴드갭을 가진다. 또한, 상기 제2 전자 차단층(155)은 p형 불순물이 고농도로 도핑된다. 이에 따라, 제2 도전형 반도체층(160)에서 홀이 전자 차단층(150)을 통해 활성층(140)으로 쉽게 주입될 수 있다.
- [98] 도 10은 본 발명의 일 실시예에 따른 장파장 발광 소자의 제2 도전형

반도체층을 설명하기 위한 확대 단면도이다.

- [99] 도 10을 참조하면, 제2 도전형 반도체층(160)은 제1층(161), 제2층(163) 및 제3층(165)을 포함할 수 있다. 제2 도전형 반도체층(160)은 단일 조성의 p-GaN 단일층으로 형성될 수 있으나, 본 실시예에 있어서는 복수층으로 형성된 것에 대해 설명한다.
- [100] 제1층(161)은 전자 차단층(150)에 접한다. 제1층(161)은 N₂ 분위기에서 성장되며, V-피트를 따라 형성된다. 제1층(161)은 p-GaN으로 형성된다. 제1층(161)의 Mg 도핑 농도는 전자 차단층(160)의 도핑 농도보다 낮지만 제2층(163)의 도핑 농도보다 상대적으로 높다.
- [101] 제2층(163)은 제1층(161) 상에 위치하며, p-AlGaN으로 형성된다. 제2층(163)의 Mg 도핑 농도는 제1층(161)의 그것보다 상대적으로 낮다. AlGaN층은 일반적으로 GaN층에 비해 상대적으로 매우 높은 온도에서 성장되지만, 제2 도전형 반도체층(160)은 활성층(140) 상부에 성장되기 때문에 성장 온도를 높이는데 한계가 있다. 따라서, 제2층(163)은 제1층보다 Mg 도핑 농도를 낮춰 결정 품질이 악화되는 것을 방지한다.
- [102] 제2층(163)은 제2 도전형 반도체층(160) 내에 p-AlGaN 단일층으로 배치될 수 있으나, 이에 한정되는 것은 아니며, 복수의 p-AlGaN층들이 GaN층을 개재하여 배치될 수도 있다. 여기서, AlGaN의 Al 조성비는 10% 이하일 수 있으며, 더 구체적으로는 5% 이하일 수 있다. Al 함량이 5%까지 증가하여도 구동 전압 증가는 거의 나타나지 않으나, 5%를 초과할 경우, 구동전압이 증가한다. 특히, Al 함량이 10%를 초과하면, 정공의 주입을 과도하게 방해하여 발광 소자의 구동 전압을 크게 증가시킨다.
- [103] 제2층(163)은 H₂ 분위기에서 성장되어, V-피트를 메운다. V-피트는 V-피트 생성층(137)에서 시작하여 In을 과량으로 포함하는 활성층(140)을 성장하는 동안 그 크기가 상당히 커진다. 아울러, 전자 차단층(150) 및 제1층(161)은 N₂ 분위기에서 성장되기 때문에 V-피트를 메우지 못한다. 제2층(163)을 성장하기 전 V-피트는 대략 200nm 이상의 깊이로 형성될 수도 있다. H₂ 분위기에서 성장되는 AlGaN층(163)은 성장 속도가 상대적으로 느리기 때문에, 상대적으로 큰 V-피트를 잘 메울 수 있다.
- [104] 제3층(165)은 제2 도전형 반도체층(160)의 상면 측에 위치하는 층이다. 제3층(165)은 p-GaN으로 형성될 수 있다. 제3층(163)은 표면측에 전자 차단층(150)보다 더 높은 Mg 도핑 농도 영역을 가지며, 제2층(163) 측에 제2층(163)의 도핑 농도보다 상대적으로 높지만 제1층(161)의 도핑 농도보다 낮은 Mg 도핑 농도 영역을 가지고, 또한, 내부에 제2층(163)의 도핑 농도보다 더 낮은 Mg 도핑 농도 영역을 가질 수 있다. 제3층(165) 표면의 고농도 도핑 영역은 오믹 콘택을 위한 것이다. 제2층(163)의 도핑 농도보다 더 낮은 농도 영역은 제2 도전형 반도체층(160)의 면 내에 정공을 고르게 분산시키기 위한 것으로, 생략될 수도 있다.

- [105] 본 실시예에 있어서, 제2층(163)은 제2 도전형 반도체층(160)의 상면보다 전자 차단층(150)에 더 가깝게 배치된다. 이에 따라, 제2 도전형 반도체층(160)의 성장 동안 V-피트를 빨리 메울 수 있으며, 평평한 영역의 제3층(165)을 상대적으로 두껍게 형성할 수 있다.
- [106] 본 실시예에 있어서, AlGaIn층(163)을 이용하여 V-피트를 메우는 것에 대해 설명하였으나, AlGaIn층(163)을 N₂ 분위기에서 성장하거나 생략함으로써 발광소자의 표면에 V-피트들을 남겨 놓을 수도 있다.
- [107] 도 11(a)는 도 10의 실시예에 따라 V-피트를 메워 표면을 평탄화한 발광 소자의 표면을 보여주는 광학 사진이고, 도 11(b)는 V-피트를 남겨 놓은 발광 소자의 표면을 보여주는 광학 사진이다. 도 12는 도 11(b)의 V-피트의 단면을 보여주는 전자 현미경 사진이다.
- [108] 도 11(a)와 같이, 앞서 설명한 AlGaIn층(163)을 사용하여 V-피트를 채워 표면을 평탄하게 할 수도 있으며, 도 11(b)와 같이, V-피트를 유지할 수도 있다.
- [109] V-피트를 메우는 층을 사용하지 않음으로써, 장파장 발광 소자에서 입구의 폭이 대략 250nm를 넘는 V-피트들을 다량으로 형성할 수 있다. 더욱이, V-피트들의 깊이는 제2 도전형 반도체층(160) 및 전자 차단층(150)의 전체 두께보다 클 수 있다. V-피트의 밀도는 예를 들어, $1 \times 10^4 \sim 1 \times 10^7/\text{cm}^2$ 범위 내일 수 있다. 발광 소자의 표면에 남아 있는 V-피트는 내부 전반사를 감소시켜 광 추출 효율을 증가시킨다. 나아가, 제2 도전형 반도체층(160)의 표면적을 증가시킴으로써 전극 형성 면적이 증가되며, 이에 따라, 구동 전압을 낮출 수 있다.
- [110] 종래에는 의도적인 식각을 통해 표면에 거칠어진 면(roughened surface)을 형성하나, 상대적으로 얇은 두께의 p-GaN 층에 거칠어진 면을 형성하는 것이 곤란하며, 그 크기를 제어하는 것 또한 어렵다. 더욱이, p-GaN층에 형성된 거칠어진 면은 활성층 위에 한정되어야 하므로, 그 깊이가 제2 도전형 반도체층(160)과 전자차단층(150)의 전체 두께보다 클 수 없다. 또한, 제2 도전형 반도체층(160) 표면을 식각하여 거칠어진 면을 형성할 경우, 그 위에 형성되는 전극과 활성층 사이의 거리가 짧아져 전류 분산이 어려우며, 이에 따라 정전 방전 등에 특히 취약해진다. 이에 반해, V-피트를 이용할 경우, V-피트 내의 상대적으로 높은 저항 특성을 이용하여 전류 분산에 유리하며 정전 방전에도 내성이 강한 제2 도전형 반도체층(160)을 제공할 수 있다. 더욱이, 거칠어진 면을 형성하는 공정을 별도로 수행할 필요가 없으므로, 광 추출 효율을 높이기 위한 공정이 더욱 단순화된다.
- [111] 이상, 상기 실시예들은 본 발명의 특허청구범위에 의한 기술적 사상을 벗어나지 않는 범위 내에서 다양한 변형과 변경이 가능하고, 본 발명은 특허청구범위에 의한 기술적 사상을 모두 포함한다.

청구범위

- [청구항 1] 제1 도전형 반도체층;
상기 제1 도전형 반도체층 상에 위치하며, 양자우물구조를 갖는 활성층;
및
상기 활성층 상에 위치하는 제2 도전형 반도체층을 포함하고,
상기 활성층은,
21% 이상의 In을 포함하는 질화물계 반도체를 포함하는 적어도 하나의
우물층;
상기 우물층의 상부 및 하부에 위치하는 적어도 두 개의 장벽층; 및
상기 우물층 상에 위치하며, 상기 우물층과 상기 장벽층의 사이에
위치하는 적어도 하나의 상부 캡핑층을 포함하며,
상기 상부 캡핑층은 상기 장벽층보다 큰 밴드갭 에너지를 가지며,
상기 상부 캡핑층과 상기 우물층은 접하는 장파장 발광 소자.
- [청구항 2] 청구항 1에 있어서,
상기 우물층은 InGaN을 포함하고, 상기 장벽층은 GaN를 포함하며, 상기
상부 캡핑층은 AlGaN을 포함하는 장파장 발광 소자.
- [청구항 3] 청구항 2에 있어서,
상기 상부 캡핑층의 AlGaN은 0.1% 내지 2.5%의 Al을 포함하는 장파장
발광 소자.
- [청구항 4] 청구항 1에 있어서,
상기 상부 캡핑층의 두께는 상기 장벽층의 두께보다 얇은 장파장 발광
소자.
- [청구항 5] 청구항 1에 있어서,
상기 장파장 발광 소자는 복수의 우물층 및 복수의 장벽층을 포함하고,
상기 복수의 장벽층들 중 최상부에 위치하는 최상부 장벽층의 두께는
나머지 장벽층들보다 두꺼운 장파장 발광 소자.
- [청구항 6] 청구항 5에 있어서,
상기 최상부 장벽층은 상기 최상부 장벽층의 평균 밴드갭 에너지보다
작은 밴드갭 에너지를 갖는 서브 장벽층을 포함하는 장파장 발광 소자.
- [청구항 7] 청구항 1에 있어서,
상기 우물층 아래에 위치하며, 상기 우물층과 상기 장벽층의 사이에
위치하는 적어도 하나의 하부 캡핑층을 더 포함하며,
상기 하부 캡핑층은 상기 장벽층보다 큰 밴드갭 에너지를 갖는 장파장
발광 소자.
- [청구항 8] 청구항 1에 있어서,
상기 활성층 상에 위치하는 전자 차단층을 더 포함하는 장파장 발광 소자.
- [청구항 9] 청구항 8에 있어서,

상기 전자 차단층은 Al 조성비가 상기 제2 도전형 반도체층을 향해 감소하는 그레이딩 층을 포함하는 장파장 발광 소자.

[청구항 10] 청구항 8에 있어서,
상기 전자 차단층은 상기 활성층에 접하는 제1 전자 차단층, 상기 제1 전자 차단층 상에 배치된 제2 전자 차단층 및 상기 2 도전형 반도체층에 접하는 제3 전자 차단층을 포함하고,
상기 제2 전자 차단층은 상기 제1 및 제3 전자 차단층에 비해 Mg이 고농도로 도핑되고,
상기 제3 전자 차단층은 초격자 구조를 가지는 장파장 발광 소자.

[청구항 11] 청구항 10에 있어서,
상기 제3 전자 차단층은 AlInGa_N/Ga_N의 초격자 구조를 가지는 장파장 발광 소자.

[청구항 12] 청구항 1에 있어서,
상기 활성층은 복수의 장벽층 및 복수의 우물층을 포함하고,
상기 복수의 장벽층들은 상기 장벽층들 중 n형 불순물이 상대적으로 고농도로 도핑된 장벽층들 및 n형 불순물이 상대적으로 저농도로 도핑되거나 언도프트 장벽층들을 포함하고,
상기 n형 불순물이 상대적으로 고농도로 도핑된 장벽층들은 상기 제2 도전형 반도체층보다 상기 제1 도전형 반도체층에 더 가깝게 배치된 장파장 발광 소자.

[청구항 13] 청구항 12에 있어서,
상기 장벽층들은 Mg이 도핑된 장벽층들을 포함하되,
상기 Mg이 도핑된 장벽층들은 상기 제2 도전형 반도체층에 가까울수록 더 높은 Mg 도핑 농도를 가지는 장파장 발광 소자.

[청구항 14] 청구항 1에 있어서,
상기 제1 도전형 반도체층은 V-피트 생성층을 포함하되,
상기 V-피트 생성층은 n형 불순물이 도핑된 단일 조성의 제1층 및 초격자 구조의 제2층을 포함하는 장파장 발광 소자.

[청구항 15] 청구항 14에 있어서,
상기 제1층은 n형 불순물이 도핑된 Ga_N층이고,
상기 제2층은 InGa_N/Ga_N 초격자 구조인 장파장 발광 소자.

[청구항 16] 청구항 15에 있어서,
상기 V-피트 생성층은 1500Å 내지 3000Å의 두께를 가지며,
상기 초격자 구조의 제2층의 두께는 상기 단일 조성의 제1층보다 더 크거나 같은 장파장 발광 소자.

[청구항 17] 청구항 16에 있어서,
상기 제1 도전형 반도체층은 상기 V-피트 생성층 하부에 위치하는 n형 불순물 변조 도핑층을 더 포함하되,

상기 변조 도핑층의 도핑 농도는 상기 제1층의 n형 불순물 도핑 농도보다 높은 장파장 발광 소자.

[청구항 18] 청구항 14에 있어서,
상기 제2층은 상기 제1층보다 더 높은 농도로 n형 불순물이 도핑된 장파장 발광 소자.

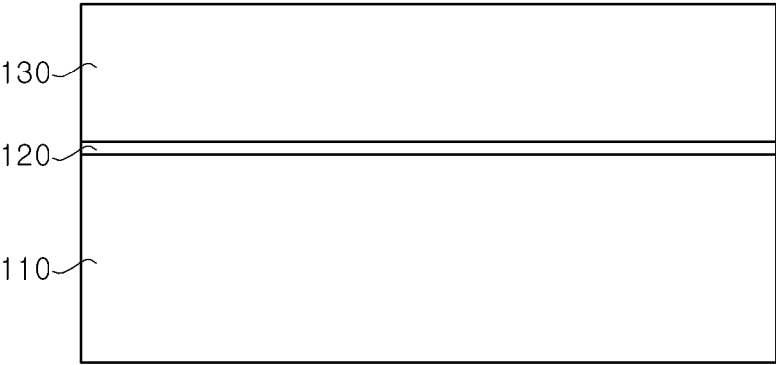
[청구항 19] 청구항 14에 있어서,
상기 활성층은 복수의 장벽층 및 복수의 우물층을 포함하고,
상기 복수의 장벽층들은 상기 장벽층들 중 n형 불순물이 상대적으로 고농도로 도핑된 장벽층들 및 n형 불순물이 상대적으로 저농도로 도핑되거나 언도프트 장벽층들을 포함하고,
상기 n형 불순물이 상대적으로 고농도로 도핑된 장벽층들은 상기 제2 도전형 반도체층보다 상기 제1 도전형 반도체층에 더 가깝게 배치되며,
상기 제1층보다 더 높은 n형 불순물 도핑 농도를 가지며,
상기 제1층은 상기 n형 불순물이 상대적으로 저농도로 도핑되거나 언도프트 장벽층들보다 더 높은 n형 불순물 도핑 농도를 가지는 장파장 발광 소자.

[청구항 20] 청구항 1에 있어서,
입구가 250nm를 초과하는 V-피트들을 포함하는 장파장 발광 소자.

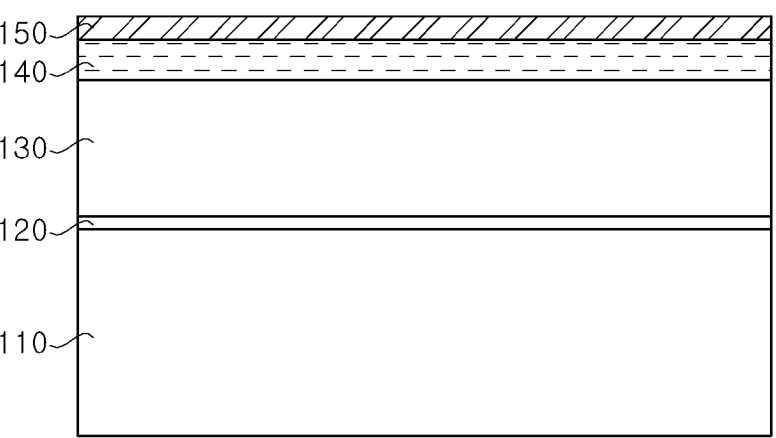
[청구항 21] 청구항 1에 있어서,
상기 제2 도전형 반도체층은 p-GaN층들 사이에 위치하는 p-AlGaN층을 포함하는 장파장 발광 소자.

[청구항 22] 청구항 21에 있어서,
상기 p-AlGaN층은 상기 제2 도전형 반도체층의 상면보다 하면에 더 가깝게 배치되며, 상기 하면은 상기 상면보다 상기 활성층측에 더 가깝게 위치하는 면인 장파장 발광 소자.

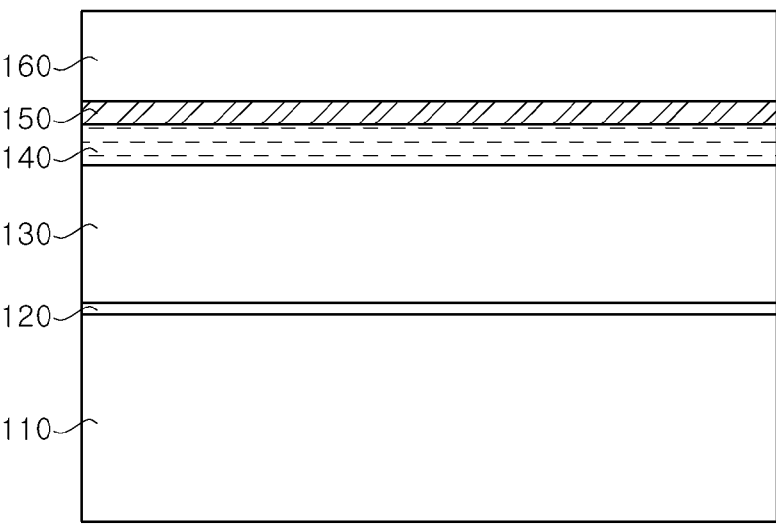
[도1]



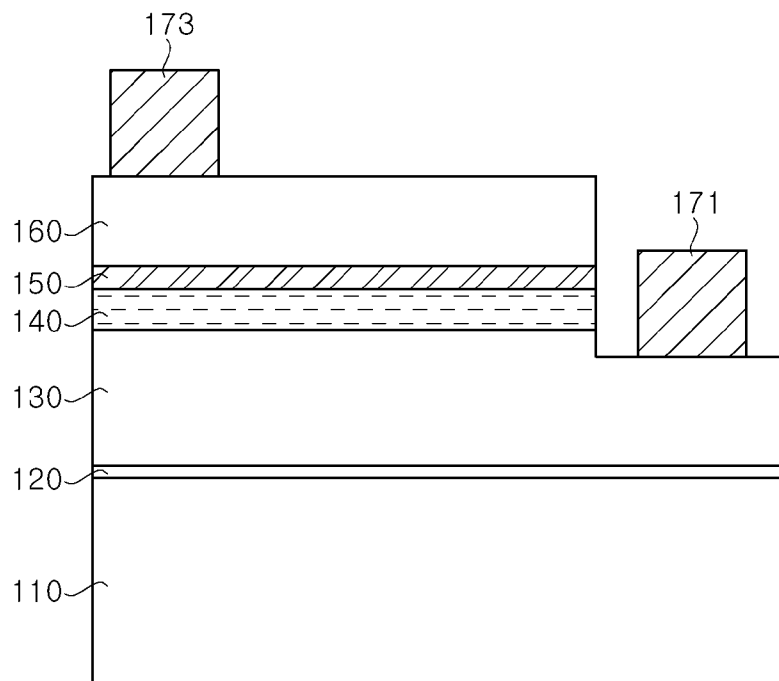
[도2]



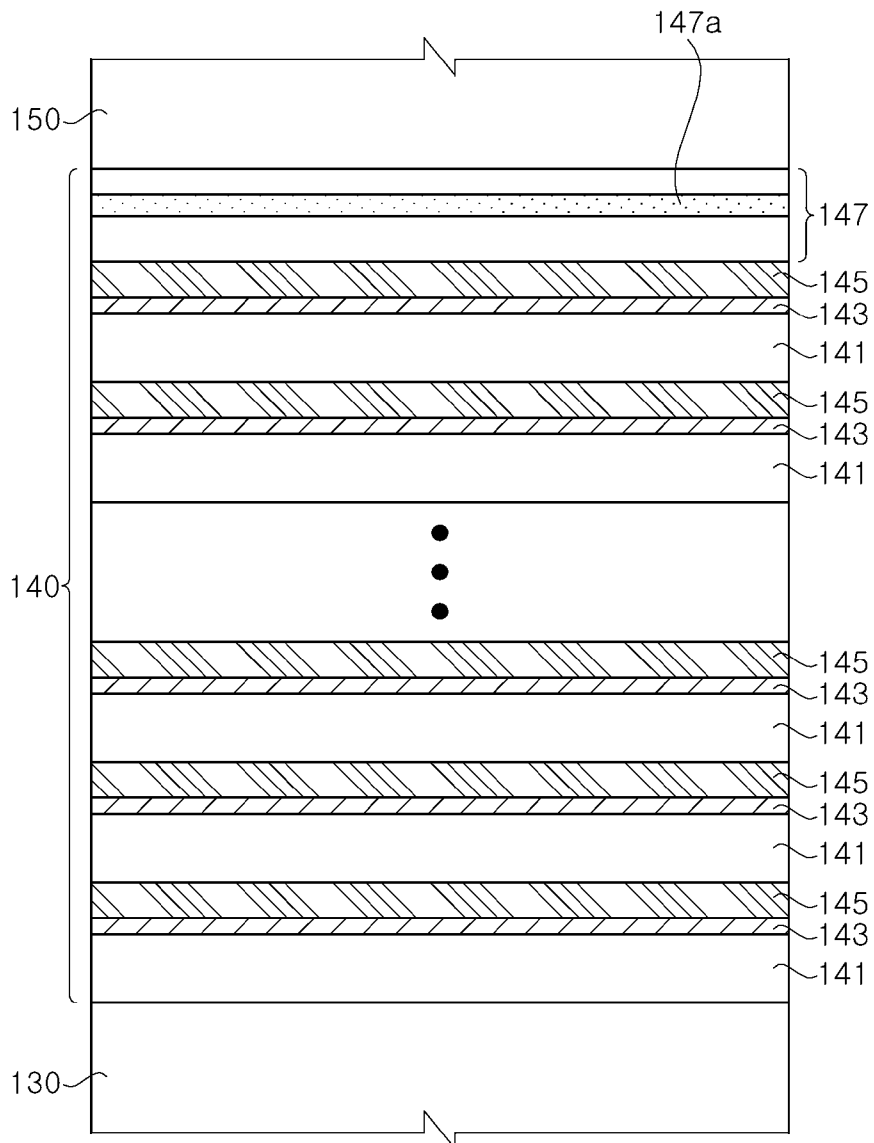
[도3]



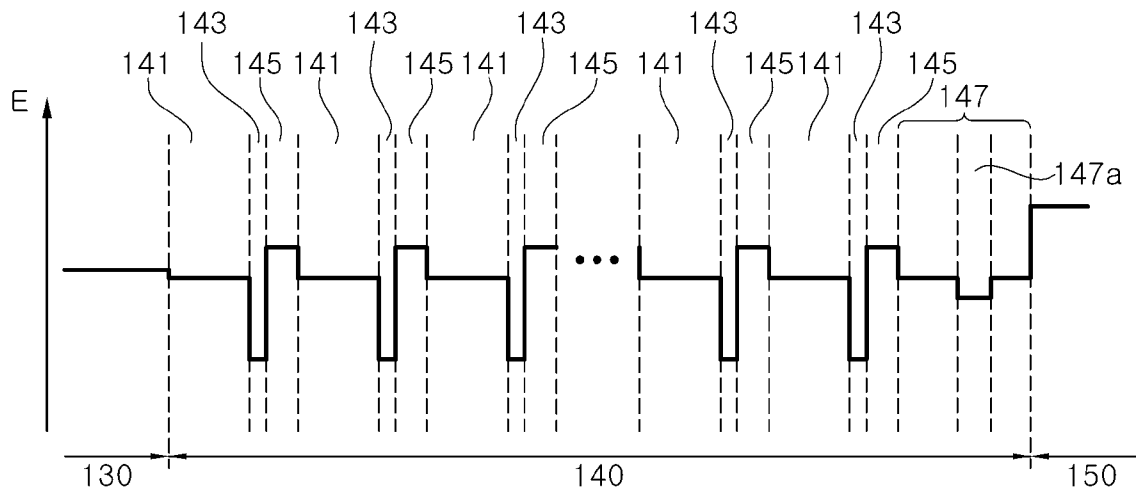
[도4]



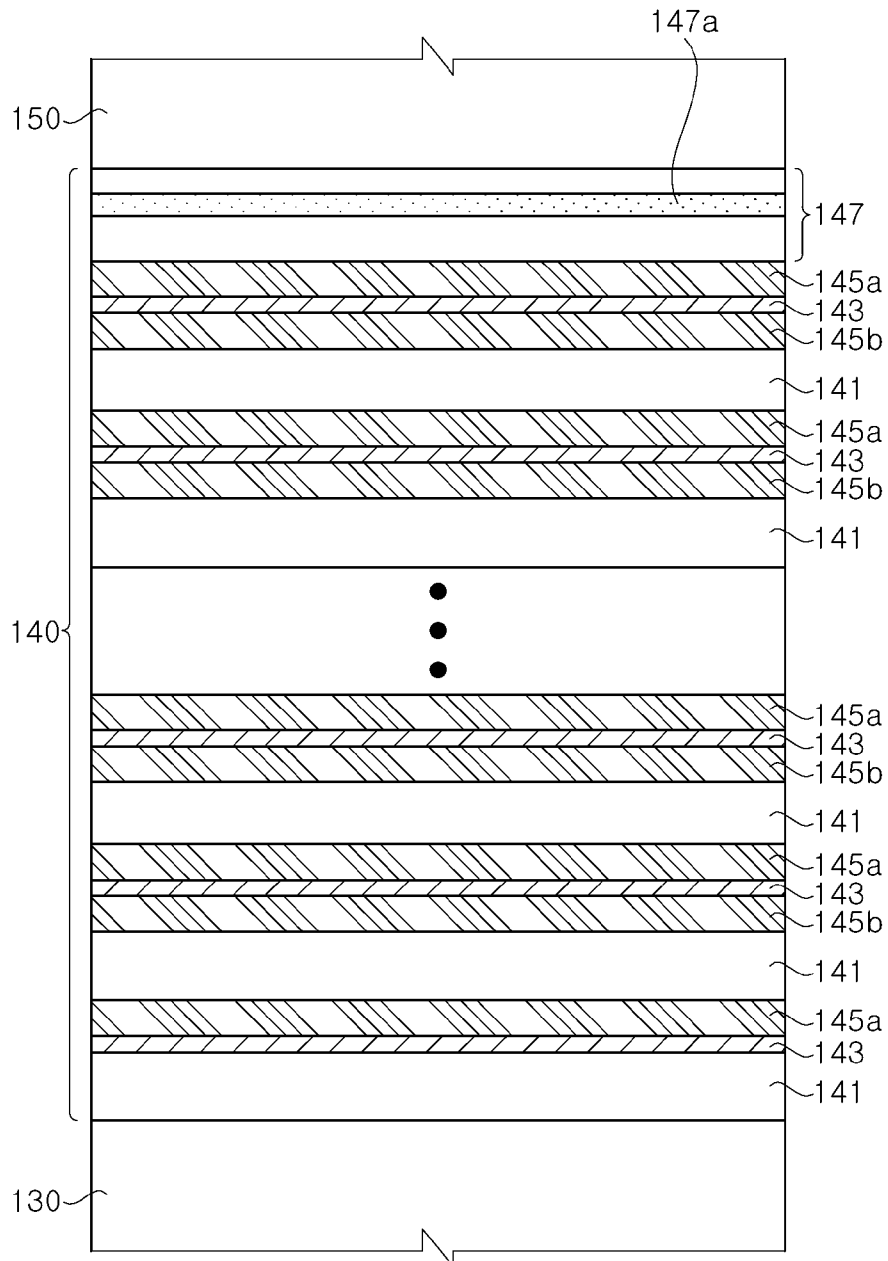
[도5a]



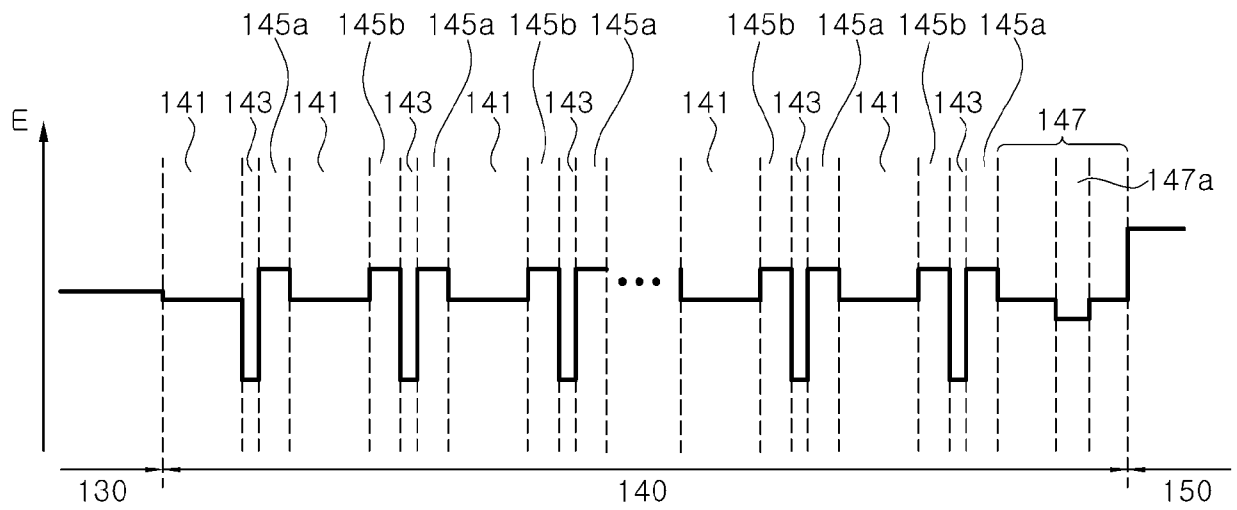
[도5b]



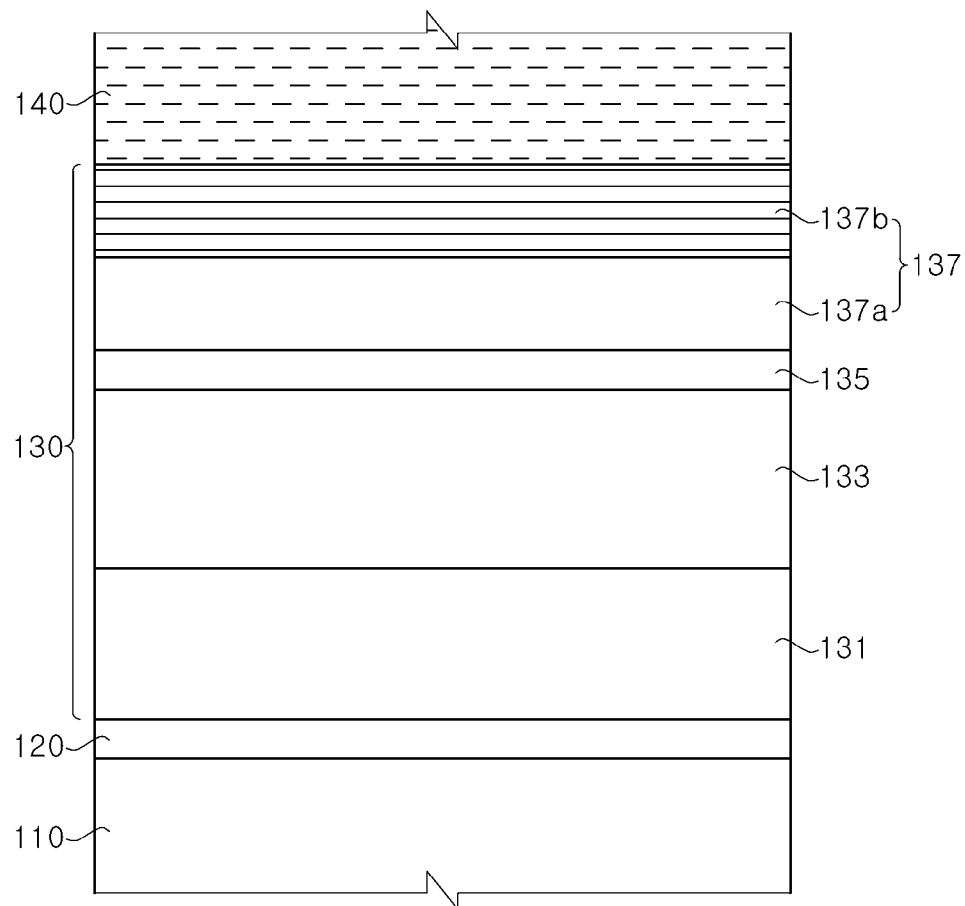
[도6a]



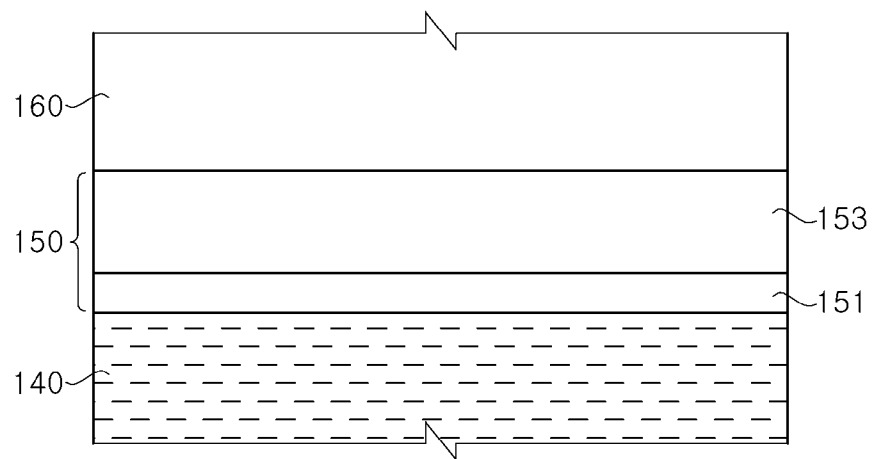
[도6b]



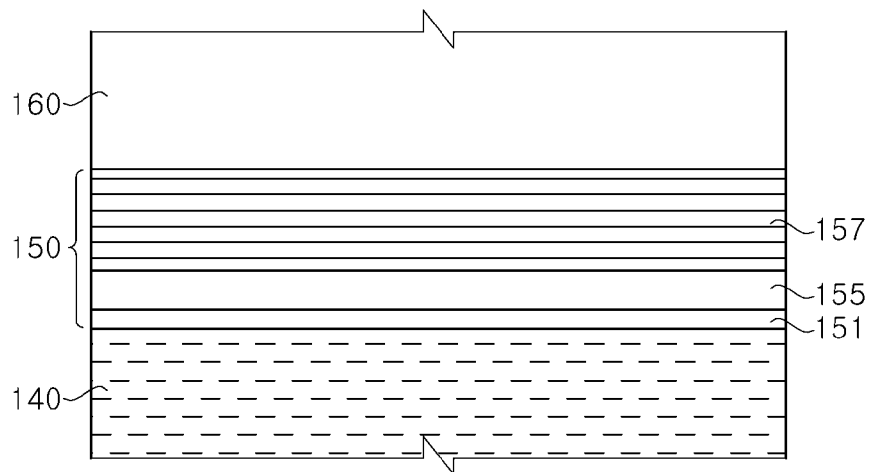
[도7]



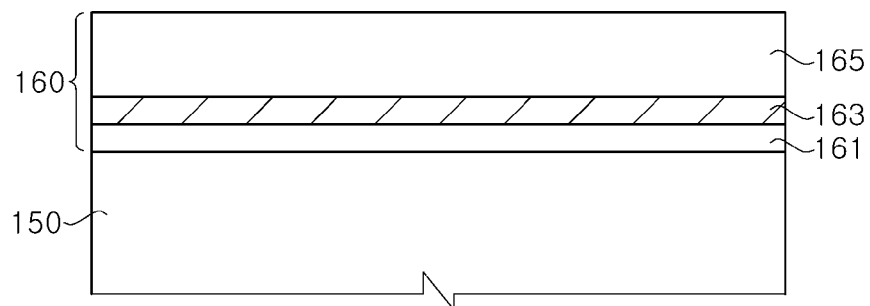
[58]



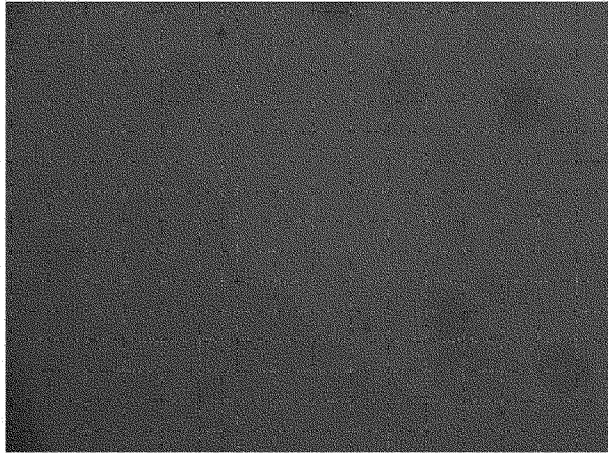
[도9]



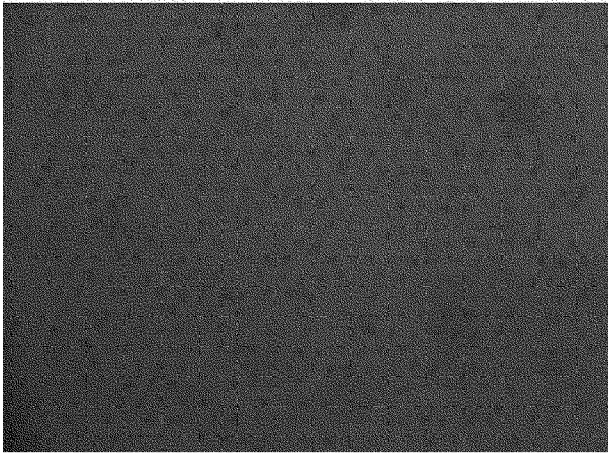
[510]



[도11]

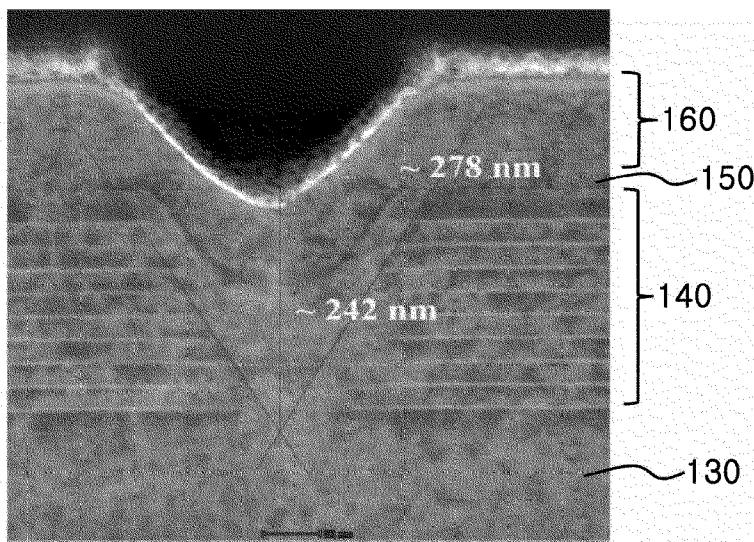


(a)



(b)

[도12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2017/005333

A. CLASSIFICATION OF SUBJECT MATTER

H01L 33/06(2010.01)i, H01L 33/26(2010.01)i, H01L 33/18(2010.01)i, H01L 33/50(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/06; H01S 5/343; H01L 33/00; H01L 29/06; H01L 33/14; H01L 33/26; H01L 33/18; H01L 33/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: active layer, well layer, barrier layer, gapping layer, band gap, electron-blocking layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2011-0091246 A (SAMSUNG LED CO., LTD.) 11 August 2011 See paragraphs [20]-[25], [34], claims 5-6, and figures 1, 4.	1-4,7,20
Y		5-6,8-19,21-22
Y	KR 10-2016-0022750 A (SEOUL VIOSYS CO., LTD.) 02 March 2016 See paragraphs [43]-[45], claim 1, and figures 1-3.	5-6
Y	KR 10-2013-0007169 A (LG INNOTEK CO., LTD.) 18 January 2013 See paragraphs [23]-[30], claim 1, and figure 2.	8-11
Y	JP 2002-223042 A (NICHIA CHEM. IND. LTD.) 09 August 2002 See paragraph [90], and claim 1.	12-13,19
Y	KR 10-2016-0022032 A (SEOUL VIOSYS CO., LTD.) 29 February 2016 See paragraphs [63]-[68], claim 1, and figures 6, 9a.	14-19
Y	US 2007-0096077 A1 (SANGA, Daisuke et al.) 03 May 2007 See paragraphs [34]-[35], claims 1, 8, and figure 1.	21-22



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

08 AUGUST 2017 (08.08.2017)

Date of mailing of the international search report

08 AUGUST 2017 (08.08.2017)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/005333

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2011-0091246 A	11/08/2011	NONE	
KR 10-2016-0022750 A	02/03/2016	NONE	
KR 10-2013-0007169 A	18/01/2013	NONE	
JP 2002-223042 A	09/08/2002	AU 2001-69459 A1	21/01/2002
		CA 2415056 A1	30/12/2002
		CA 2415056 C	26/01/2010
		CN 1440579 A	03/09/2003
		CN 1440579 B	13/10/2010
		CN 1790760 A	21/06/2006
		CN 1790760 B	28/03/2012
		EP 1313187 A1	21/05/2003
		EP 1313187 B1	02/09/2009
		EP 2113974 A1	04/11/2009
		EP 2262068 A2	15/12/2010
		EP 2262068 A3	25/04/2012
		EP 2276125 A2	19/01/2011
		EP 2276125 A3	25/04/2012
		JP 2002-084038 A	22/03/2002
		JP 2003-124577 A	25/04/2003
		JP 2004-104157 A	02/04/2004
		JP 2006-196912 A	27/07/2006
		JP 3498697 B2	16/02/2004
		JP 3786114 B2	14/06/2006
		JP 3803696 B2	02/08/2006
		JP 3859069 B2	20/12/2006
		JP 5002976 B2	15/08/2012
		KR 10-0762949 B1	08/10/2007
		KR 10-0803100 B1	13/02/2008
		KR 10-0803101 B1	13/02/2008
		TW 587355 B	11/05/2004
		US 2002-0053676 A1	09/05/2002
		US 2003-0205736 A1	06/11/2003
		US 2005-0098789 A1	12/05/2005
		US 2006-0131604 A1	22/06/2006
		US 2008-0029758 A1	07/02/2008
		US 2010-0252811 A1	07/10/2010
		US 2013-0056707 A1	07/03/2013
		US 2014-0203242 A1	24/07/2014
		US 6586762 B2	01/07/2003
		US 6838693 B2	04/01/2005
		US 7119378 B2	10/10/2006
		US 7646009 B2	12/01/2010
		US 7750337 B2	06/07/2010
		US 8309948 B2	13/11/2012
		US 8698126 B2	15/04/2014
		US 9130121 B2	08/09/2015

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2017/005333

Patent document cited in search report	Publication date	Patent family member	Publication date
		WO 02-05399 A1	17/01/2002
KR 10-2016-0022032 A	29/02/2016	CN 105023981 A	04/11/2015
		KR 10-1669638 B1	26/10/2016
		KR 10-2015-0123538 A	04/11/2015
		US 2015-0311382 A1	29/10/2015
US 2007-0096077 A1	03/05/2007	JP 5125513 B2	23/01/2013
		TW 200733423 A	01/09/2007
		TW 1402998 B	21/07/2013
		US 7462884 B2	09/12/2008
		WO 2007-052628 A1	10/05/2007

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 33/06(2010.01)i, H01L 33/26(2010.01)i, H01L 33/18(2010.01)i, H01L 33/50(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 33/06; H01S 5/343; H01L 33/00; H01L 29/06; H01L 33/14; H01L 33/26; H01L 33/18; H01L 33/50

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 활성층, 우물층, 장벽층, 캡핑층, 밴드갭, 전자차단층

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2011-0091246 A (삼성엘이디 주식회사) 2011.08.11 단락 20-25, 34, 청구항 5-6, 및 도면 1, 4 참조.	1-4, 7, 20
Y		5-6, 8-19, 21-22
Y	KR 10-2016-0022750 A (서울바이오시스 주식회사) 2016.03.02 단락 43-45, 청구항 1, 및 도면 1-3 참조.	5-6
Y	KR 10-2013-0007169 A (엘지이노텍 주식회사) 2013.01.18 단락 23-30, 청구항 1, 및 도면 2 참조.	8-11
Y	JP 2002-223042 A (NICHIA CHEM IND. LTD.) 2002.08.09 단락 90, 및 청구항 1 참조.	12-13, 19
Y	KR 10-2016-0022032 A (서울바이오시스 주식회사) 2016.02.29 단락 63-68, 청구항 1, 및 도면 6, 9a 참조.	14-19
Y	US 2007-0096077 A1 (DAISUKE SANGA 등) 2007.05.03 단락 34-35, 청구항 1, 8, 및 도면 1 참조.	21-22

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2017년 08월 08일 (08.08.2017)

국제조사보고서 발송일

2017년 08월 08일 (08.08.2017)

ISA/KR의 명칭 및 우편주소



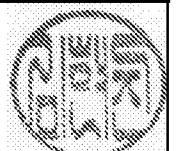
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

김현진

전화번호 +010-4310-7635



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2011-0091246 A	2011/08/11	없음	
KR 10-2016-0022750 A	2016/03/02	없음	
KR 10-2013-0007169 A	2013/01/18	없음	
JP 2002-223042 A	2002/08/09	AU 2001-69459 A1	2002/01/21
		CA 2415056 A1	2002/12/30
		CA 2415056 C	2010/01/26
		CN 1440579 A	2003/09/03
		CN 1440579 B	2010/10/13
		CN 1790760 A	2006/06/21
		CN 1790760 B	2012/03/28
		EP 1313187 A1	2003/05/21
		EP 1313187 B1	2009/09/02
		EP 2113974 A1	2009/11/04
		EP 2262068 A2	2010/12/15
		EP 2262068 A3	2012/04/25
		EP 2276125 A2	2011/01/19
		EP 2276125 A3	2012/04/25
		JP 2002-084038 A	2002/03/22
		JP 2003-124577 A	2003/04/25
		JP 2004-104157 A	2004/04/02
		JP 2006-196912 A	2006/07/27
		JP 3498697 B2	2004/02/16
		JP 3786114 B2	2006/06/14
		JP 3803696 B2	2006/08/02
		JP 3859069 B2	2006/12/20
		JP 5002976 B2	2012/08/15
		KR 10-0762949 B1	2007/10/08
		KR 10-0803100 B1	2008/02/13
		KR 10-0803101 B1	2008/02/13
		TW 587355 B	2004/05/11
		US 2002-0053676 A1	2002/05/09
		US 2003-0205736 A1	2003/11/06
		US 2005-0098789 A1	2005/05/12
		US 2006-0131604 A1	2006/06/22
		US 2008-0029758 A1	2008/02/07
		US 2010-0252811 A1	2010/10/07
		US 2013-0056707 A1	2013/03/07
		US 2014-0203242 A1	2014/07/24
		US 6586762 B2	2003/07/01
		US 6838693 B2	2005/01/04
		US 7119378 B2	2006/10/10
		US 7646009 B2	2010/01/12
		US 7750337 B2	2010/07/06
		US 8309948 B2	2012/11/13
		US 8698126 B2	2014/04/15
		US 9130121 B2	2015/09/08

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
		WO 02-05399 A1	2002/01/17
KR 10-2016-0022032 A	2016/02/29	CN 105023981 A	2015/11/04
		KR 10-1669638 B1	2016/10/26
		KR 10-2015-0123538 A	2015/11/04
		US 2015-0311382 A1	2015/10/29
US 2007-0096077 A1	2007/05/03	JP 5125513 B2	2013/01/23
		TW 200733423 A	2007/09/01
		TW 1402998 B	2013/07/21
		US 7462884 B2	2008/12/09
		WO 2007-052628 A1	2007/05/10