

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2007年12月13日 (13.12.2007)

PCT

(10) 国際公開番号
WO 2007/142171 A1

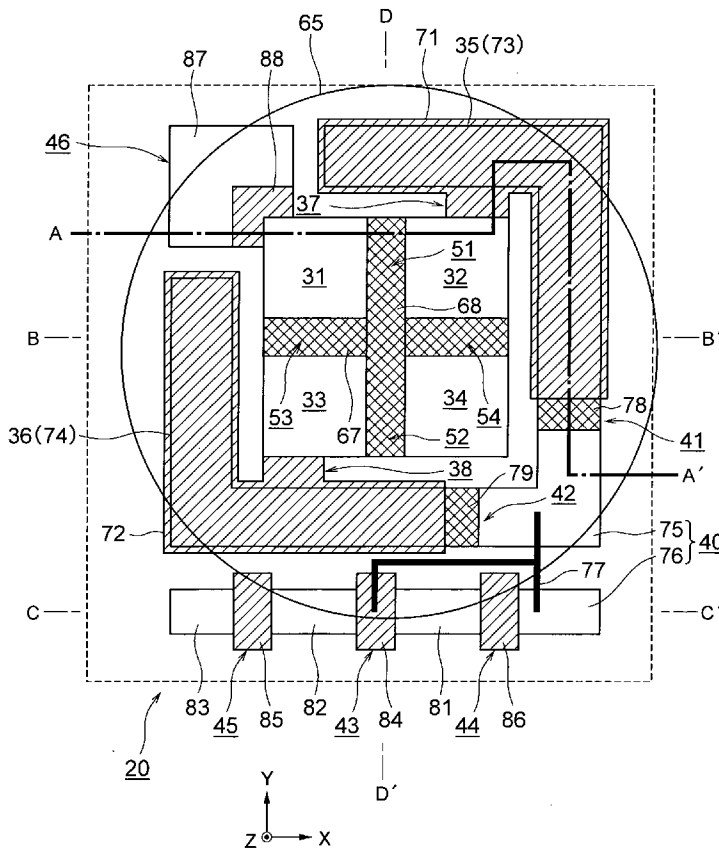
- (51) 国際特許分類:
H04N 5/335 (2006.01) H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2007/061251
- (22) 国際出願日: 2007年5月29日 (29.05.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-155496 2006年6月3日 (03.06.2006) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会社ニコン (NIKON CORPORATION) [JP/JP]; 〒1008331 東京都千代田区丸の内3丁目2番3号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 鈴木智 (SUZUKI,

- Satoshi) [JP/JP]; 〒1008331 東京都千代田区丸の内3丁目2番3号株式会社ニコン内 Tokyo (JP). 手塚洋二郎 (TEZUKA, Yojiro) [JP/JP]; 〒1008331 東京都千代田区丸の内3丁目2番3号株式会社ニコン内 Tokyo (JP). 大河内直紀 (OHKOUCI, Naoki) [JP/JP]; 〒1008331 東京都千代田区丸の内3丁目2番3号株式会社ニコン内 Tokyo (JP).
- (74) 代理人: 井上義雄 (INOUE, Yoshio); 〒1030027 東京都中央区日本橋3丁目1番4号画廊ビル3階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP,

[続葉有]

(54) Title: SOLID-STATE IMAGING ELEMENT AND IMAGING DEVICE USING THE SAME

(54) 発明の名称: 固体撮像素子及びこれを用いた撮像装置



(57) Abstract: It is possible to provide a freedom to modify which of the pixels functions as a pixel having a photoelectric conversion unit divided in any one of directions. If a gate electrode (67) is high and a gate electrode (68) is high, photodiodes (31 to 34) are electrically connected to one another. If the gate electrode (67) is high and the gate electrode (68) is low, electrical connection is made between the photodiode (31) and the photodiode (32), and between the photodiode (33) and the photodiode (34). On the other hand, electrical disconnection is made between the photodiode (31) and the photodiode (33) and between the photodiode (32) and the photodiode (34). If the gate electrode (67) is low and the gate electrode (68) is high, electrical disconnection is made between the photodiode (31) and the photodiode (32), and between the photodiode (33) and the photodiode (34). On the other hand, electrical connection is made between the photodiode (31) and the photodiode (33), and between the photodiode (32) and the photodiode (34).

(57) 要約: いずれの画素をいずれの方向に分割された光電変換部を持つ画素として機能させるかを変更する自由度を持たせる。ゲート電極67がハイでゲート電極68がローであれば、フォトダイオード31、32

トダイオード31~34が互いに電氣的に連結される。ゲート電極67がハイでゲート電極68がローであれば、フォトダイオード31、32

[続葉有]

WO 2007/142171 A1



KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

間及びフォトダイオード33、34間がそれぞれ電氣的に連結される一方、フォトダイオード31、33間及びフォトダイオード32、34間がそれぞれ電氣的に分離される。ゲート電極67がローでゲート電極68がハイであれば、フォトダイオード31、32間及びフォトダイオード33、34間がそれぞれ電氣的に分離される一方、フォトダイオード31、33間及びフォトダイオード32、34間がそれぞれ電氣的に連結される。

明 細 書

固体撮像素子及びこれを用いた撮像装置

5 技術分野

本発明は、固体撮像素子及びこれを用いた撮像装置に関する。

背景技術

近年、ビデオカメラや電子スチルカメラ等の撮像装置が広く一般に普及している。これらのカメラには、CCD型や増幅型などの固体撮像素子が使用されている。これらの固体撮像素子では、入射光の光量に応じて信号電荷を生成する光電変換部を有する画素が、マトリクス状に複数配置されている。

増幅型の固体撮像素子では、画素の光電変換部にて生成・蓄積された信号電荷を画素に設けられた増幅部に導き、増幅部で増幅した信号を画素から出力する。そして、増幅型の固体撮像素子には、例えば、増幅部に接合型電界効果トランジスタを用いた固体撮像素子（特開平11-177076号公報、特開2004-335882号公報）や、増幅部にMOSトランジスタを用いたCMOS型固体撮像素子（特開2004-111590号公報）などが提案されている。

上記特許文献に開示されている従来の固体撮像素子では、1つの画素毎に光電変換部及び増幅部と、それらの間において一時的に電荷を蓄積する電荷格納部とが設けられている。そして、このような従来の固体撮像素子では、全画素を同時に露光した後、各光電変換部にて生成された信号電荷を全画素同時に各電荷格納部に転送して一旦蓄積しておき、この信号電荷を所定の読み出しタイミングで順次画素信号に変換するようになっている。これにより、電子シャッター動作を行ったときの各画素の露光蓄積時間が行毎にずれてしまうこと（いわゆるローリングシャッター）に起因する画像の歪みを防止することができる。

ところで、カメラなどの撮像装置では、自動焦点調節を実現するため、撮影レンズの焦点調節状態を検出する必要がある。従来は、固体撮像素子とは別個に焦点検出素子が設けられていた。しかし、その場合には、焦点検出素子やこれに光を導く焦点検出用光学系の分だけ、コストが増大したり装置が大型となったりする。

そこで、近年、焦点検出方式としていわゆる瞳分割位相差方式（瞳分割方式又は位相差方式などと呼ばれる場合もある。）を採用しつつ、焦点検出素子としても用いることができるように構成した固体撮像素子が提案されている（例えば、特開2003-244712号公報）。瞳分割位相差方式は、撮影レンズの通過光10 束を瞳分割して一对の分割像を形成し、そのパターンズレ（位相シフト量）を検出することで、撮影レンズのデフォーカス量を検出するものである。

特開2003-244712号公報に開示された固体撮像素子では、上下2分割（上側部分と下側部分に2分割）された光電変換部を有する複数の画素と、左右2分割（左側部分と右側部分に2分割）された光電変換部を有する複数の画素15 が、設けられている。このような光電変換部上に、マイクロレンズが画素に対して1対1に設けられている。2分割された光電変換部は、マイクロレンズによって撮影レンズの射出瞳と略結像関係（すなわち、略共役）となる位置に配置されている。したがって、撮影レンズの射出瞳とマイクロレンズとの間の距離はマイクロレンズの大きさに対して十分に長いことから、2分割された光電変換部は、20 マイクロレンズの略焦点面に配置されていることになる。以上述べた関係から、各画素において、2分割された光電変換部の一方部分は、撮影レンズの射出瞳の一部の領域であって前記射出瞳の中心から所定方向へ偏心した領域からの光束を選択的に受光して光電変換することになる。また、各画素において、2分割された光電変換部の他方部分は、撮影レンズの射出瞳の一部の領域であって前記射出瞳の中心から反対方向へ偏心した領域からの光束を選択的に受光して光電変換することになる。

特開 2003-244712 号公報に開示された固体撮像素子では、焦点検出時には、上下 2 分割（又は左右 2 分割）された光電変換部を持つ各画素の 2 分割光電変換部の一方部分の信号及び他方部分の信号が、異なるタイミングでフローティングディフュージョンに転送されて、それぞれ個別に読み出される。そして、
5 瞳分割位相差方式の原理に従って、それらの信号に基づいて、撮影レンズの焦点調節状態が検出される。一方、撮影レンズの合焦後等において画像を撮像する場合は、各画素の 2 分割光電変換部の両部分からの信号が同じタイミングで同じフローティングディフュージョンに転送されて、両信号が画素内で加算されて読み出される。したがって、撮像時に、2 分割された光電変換部を有する画素が、画
10 素欠陥と同様の状態を引き起こしてしまふことがないため、画質向上の点で大変優れている。

そして、特開 2003-244712 号公報に開示された固体撮像素子において、上下 2 分割された光電変換部を有する複数の画素と、左右 2 分割された光電変換部を有する複数の画素とが設けられているのは、瞳分割の方向を互いに変えることで、互いに異なる方向の位相シフト量をそれぞれ精度良く検出して、い
15 ずれの方向に対しても精度良く焦点調節状態を検出するためである。上下 2 分割された光電変換部を有する複数の画素であって上下方向に配列された複数の画素の信号を用いることで、上下方向の位相シフト量を精度良く検出することができる。一方、左右 2 分割された光電変換部を有する複数の画素であって左右方向に
20 配列された複数の画素の信号を用いることで、左右方向の位相シフト量を精度良く検出することができる。

しかしながら、特開 2003-244712 号公報に開示された固体撮像素子では、いずれの画素を上下 2 分割された光電変換部を持つ画素とし、いずれの画素を左右 2 分割された光電変換部を持つ画素とするかは、予め決定されてしまい、
25 それを変更することは不可能であった。したがって、例えば、焦点調節状態の検出精度をより高めるために、上下 2 分割された光電変換部を持つ画素と左右 2 分

割された光電変換部を持つ画素の配置を、被写体像に応じて最適化して理想的な配置に、変更するようなことはできず、必ずしも十分に焦点調節状態の検出精度を高めることができなかった。

5 発明の開示

本発明は、このような事情に鑑みてなされたもので、画素欠陥と同様の状態を引き起こすことがなく、しかも、いずれの画素をいずれの方向に分割された光電変換部を持つ画素として機能させるかを変更する自由度を有し、これにより焦点調節状態の検出精度をより高めることができる固体撮像素子、及び、これを用いた撮像装置を提供することを目的とする。

前記課題を解決するため、本発明の第1の態様は、光学系により結像される被写体像を光電変換する固体撮像素子であって、2次元状に配置された複数の画素を備え、前記複数の画素のうち少なくとも一部の画素は、平面視において互いに交差する第1方向の分割線及び第2方向の分割線が分割する4つの領域にそれぞれ存し各々が入射光を光電変換する4つの光電変換部と、制御信号に応じて第1乃至第3のモードに選択的に設定し得るモード設定手段とを含むことを特徴とする固体撮像素子を提供する。この固体撮像素子では、前記第1のモードは、前記4つの光電変換部のうち前記第1方向の分割線に対して一方の側に位置する2つの光電変換部の信号を加算し、前記4つの光電変換部のうち前記第1方向の分割線に対して他方の側に位置する2つの光電変換部の信号を加算し、当該両加算信号を独立して得るモードである。前記第2のモードは、前記4つの光電変換部のうち前記第2方向の分割線に対して一方の側に位置する2つの光電変換部の信号を加算し、前記4つの光電変換部のうち前記第2方向の分割線に対して他方の側に位置する2つの光電変換部の信号を加算し、当該両加算信号を独立して得るモードである。前記第3のモードは、前記4つの光電変換部の信号を加算するモードである。

本発明の第2の態様は、光学系により結像される被写体像を光電変換する固体撮像素子であって、2次元状に配置された複数の画素を備え、前記複数の画素のうち少なくとも一部の画素は、平面視において互いに交差する第1方向の分割線及び第2方向の分割線が分割する4つの領域にそれぞれ存し各々が入射光を光電変換する4つの光電変換部と、制御信号に応じて第1乃至第3のモードに選択的に設定し得るモード設定手段とを含むことを特徴とする固体撮像素子を提供する。この固体撮像素子では、前記第1のモードは、前記4つの光電変換部のうち前記第1方向の分割線に対して一方の側に位置する2つの光電変換部同士及び前記4つの光電変換部のうち前記第1方向の分割線に対して他方の側に位置する2つの光電変換部同士がそれぞれ電氣的に連結されるとともに、前記4つの光電変換部のうち前記第1方向の分割線に対して異なる側に位置する光電変換部同士が電氣的に分離されるモードである。前記第2のモードは、前記4つの光電変換部のうち前記第2方向の分割線に対して一方の側に位置する2つの光電変換部同士及び前記4つの光電変換部のうち前記第2方向の分割線に対して他方の側に位置する2つの光電変換部同士がそれぞれ電氣的に連結されるとともに、前記4つの光電変換部のうち前記第2方向の分割線に対して異なる側の光電変換部同士が電氣的に分離されるモードである。前記第3のモードは、前記4つの光電変換部のうち前記第1方向の分割線に対して一方の側に位置する2つの光電変換部同士及び前記4つの光電変換部のうち前記第1方向の分割線に対して他方の側に位置する2つの光電変換部同士がそれぞれ電氣的に連結されるとともに、前記4つの光電変換部のうち前記第2方向の分割線に対して一方の側に位置する2つの光電変換部同士及び前記4つの光電変換部のうち前記第2方向の分割線に対して他方の側に位置する2つの光電変換部同士がそれぞれ電氣的に連結されるモードである。

本発明の第2の態様によれば、前記4つの光電変換部のうち前記第1又は第2の分割線を挟んで隣り合う各2つの光電変換部間の領域は、当該2つの光電変換

部同士が電氣的に連結されている場合に、入射光を光電変換する機能を持つ一方、当該2つの光電変換部同士が電氣的に分離されている場合に、入射光を光電変換する機能を持たないことが好ましい。

5 本発明の第2の態様によれば、前記モード設定手段は、前記第1方向の分割線に沿って配置された第1のゲート電極と、前記第2方向の分割線に沿って配置された第2のゲート電極とを含むことが好ましい。

本発明の第2の態様によれば、前記第1のゲート電極は、前記4つの光電変換部のうち前記第2の方向の分割線に対して一方の側に位置する2つの光電変換部の半導体領域をソース/ドレインとするMOSトランジスタのゲートを構成するとともに、前記4つの光電変換部のうち前記第2の方向の分割線に対して他
10 方の側に位置する2つの光電変換部の半導体領域をソース/ドレインとするMOSトランジスタのゲートを構成し、前記第2のゲート電極は、前記4つの光電変換部のうち前記第1の方向の分割線に対して一方の側に位置する2つの光電変換部の半導体領域をソース/ドレインとするMOSトランジスタのゲートを
15 構成するとともに、前記4つの光電変換部のうち前記第1の方向の分割線に対して他方の側に位置する2つの光電変換部の半導体領域をソース/ドレインとするMOSトランジスタのゲートを構成することが好ましい。

本発明の第2の態様によれば、前記第1及び第2のゲート電極が透明材料で構成されたものであることが好ましい。

20 本発明の第2の態様によれば、前記第1及び第2のゲート電極がポリシリコンで構成されたものであることが好ましい。

本発明の第2の態様によれば、前記少なくとも一部の画素は、前記4つの光電変換部のうち対角に位置する2つの光電変換部から転送される電荷をそれぞれ蓄積する第1及び第2の電荷格納部と、所定部位の電荷量に応じた信号を出力する増幅部と、前記対角に位置する2つの光電変換部のうち一方の光電変換部から
25 前記第1の電荷格納部に電荷を転送する第1の転送ゲート部と、前記対角に位置

する2つの光電変換部のうち他方の光電変換部から前記第2の電荷格納部に電荷を転送する第2の転送ゲート部と、前記第1の電荷格納部から前記所定部位に電荷を転送する第3の転送ゲート部と、前記第2の電荷格納部から前記所定部位に電荷を転送する第4の転送ゲート部と、を含むことが好ましい。

- 5 本発明の第2の態様によれば、前記少なくとも一部の画素は、前記4つの光電変換部のうち少なくとも1つの光電変換部から電荷を排出させる電荷排出ゲート部を含むことが好ましい。

本発明の第2の態様によれば、前記少なくとも一部の画素の各々に対して1対1に設けられ当該画素の前記4つの光電変換部に入射光を導くマイクロレンズを、備えることが好ましい。

10 本発明の第3の態様は、前記第1または第2の態様による固体撮像素子と、前記少なくとも一部の画素のうち選択された各画素から、前記第1又は第2のモードで得られる信号に基づいて、前記光学系の焦点調節状態を示す検出信号を出力する検出処理部を、備えた撮像装置を提供する。

- 15 本発明の第3の態様によれば、前記被写体像に応じて、前記第1及び第2のモードのうちいずれのモードで得られる信号に基づいて前記光学系の焦点調節状態を検出するかを、決定することが好ましい。

本発明の第3の態様によれば、前記検出処理部からの検出信号に基づいて前記光学系の焦点調節を行う調節部を備えることが好ましい。

- 20 本発明によれば、画素欠陥と同様の状態を引き起こすことがなく、しかも、いずれの画素をいずれの方向に分割された光電変換部を持つ画素として機能させるかを変更する自由度を有し、これにより焦点調節状態の検出精度をより高めることができる固体撮像素子、及び、これを用いた撮像装置を提供することができる。

25

図面の簡単な説明

- 図 1 は、本発明の一実施の形態に係る電子カメラを示す概略ブロック図である。
- 図 2 は、図 1 中の固体撮像素子の概略構成を示す回路図である。
- 図 3 は、図 2 中の画素を示す回路図である。
- 図 4 は、図 2 中の画素を模式的に示す概略平面図である。
- 5 図 5 は、所定の動作状態を示す、図 4 中の A - A' 線に沿った概略断面図である。
- 図 6 は、他の動作状態を示す、図 4 中の A - A' 線に沿った概略断面図である。
- 図 7 は、図 4 中の B - B' 線に沿った概略断面図である。
- 図 8 は、図 4 中の C - C' 線に沿った概略断面図である。
- 10 図 9 は、図 1 中の固体撮像素子の動作例を示すタイミングチャートである。
- 図 10 は、図 1 中の固体撮像素子の他の動作例を示すタイミングチャートである。
- 図 11 は、図 1 中の固体撮像素子の更に他の動作例を示すタイミングチャートである。
- 15 図 12 は、図 1 に示す電子カメラの動作例を示す概略フローチャートである。

発明の実施の形態

以下、本発明による固体撮像素子及びこれを用いた撮像装置について、図面を参照して説明する。

- 20 図 1 は、本発明の一実施の形態に係る撮像装置としての電子カメラ 1 を示す概略ブロック図である。電子カメラ 1 には、撮影レンズ 2 が装着される。この撮影レンズ 2 は、レンズ制御部 2 a によってフォーカスや絞りが駆動される。この撮影レンズ 2 の像空間には、固体撮像素子 3 の撮像面が配置される。
- 固体撮像素子 3 は、撮像制御部 4 の指令によって駆動され、信号を出力する。
- 25 固体撮像素子 3 から出力される信号は、画像用の信号、焦点検出用の信号のいずれかである。いずれにおいても信号は、信号処理部 5、及び A/D 変換部 6 を介

して処理された後、メモリ7に一旦蓄積される。メモリ7は、バス8に接続される。バス8には、レンズ制御部2a、撮像制御部4、マイクロプロセッサ9、焦点演算部（検出処理部）10、記録部11、画像圧縮部12及び画像処理部13なども接続される。上記マイクロプロセッサ9には、リリース釦などの操作部9aが接続される。また、上記の記録部11には記録媒体11aが着脱自在に装着される。この電子カメラ1の動作については、後に、図12を参照して説明する。

図2は、図1中の固体撮像素子3の概略構成を示す回路図である。固体撮像素子3は、マトリクス状に配置された複数の画素20と、画素20から信号を出力するための周辺回路とを有している。図において、画素数は、横に4行縦に4行の16個の画素を示している。しかし、これに限られるものではない。なお、破線部の符号20が画素の概略部を示すが、その具体的な回路構成や構造は、後述する。

本実施の形態において各画素20は、ダミーやオプチカルブラックなど画像のための光電変換を行わない画素を除き（すなわち、所謂有効画素領域において）、同一の回路構成、平面構造の画素が配置されている。そして、これらの画素20は、周辺回路の駆動信号に従って画像用の信号、及び、焦点検出用の信号のいずれかを出力する。又、すべての画素20は、同時に光電変換部がリセットされて露光の時間とタイミングが同一にされることが可能となっている。

周辺回路は、垂直走査回路21、水平走査回路22、これらと接続されている駆動信号線23、24、画素からの信号を受け取る垂直信号線25、垂直信号線25と接続される定電流源26、及び相関二重サンプリング回路(CDS)27、相関二重サンプリング回路27から出力される信号を受け取る水平信号線28、出力アンプ29等からなる。

垂直走査回路21及び水平走査回路22は、電子カメラ1の撮像制御部4からの指令に基づいて駆動信号を出力する。各画素20は、垂直走査回路21から出力される駆動信号を所定の駆動信号線23から受け取って駆動され、画像用又は

焦点検出用信号を垂直信号線 25 に出力する。垂直走査回路 21 から出力される駆動信号は複数あり、それに伴い駆動配線 23 も複数ある。これらについては後述する。

画素 20 から出力された信号は、相関二重サンプリング回路 27 にて所定のノイズ除去が施される。そして、水平走査回路 22 の駆動信号により水平信号線 28 及び出力アンプ 29 を介して外部に信号が出力される。

図 3 は、図 2 中の画素 20 を示す回路図である。画素 20 は、入射光に応じた電荷を生成し蓄積する 4 つの光電変換部としての 4 つの埋め込みフォトダイオード 31 ~ 34 と、対角に位置する 2 つの埋め込みフォトダイオード 32、33 から転送される電荷をそれぞれ独立に蓄積する第 1 及び第 2 の電荷格納部 35、36 と、各埋め込みフォトダイオード 32、33 から第 1 及び第 2 の電荷格納部 35、36 にそれぞれ電荷を転送する第 1 及び第 2 の転送部としての第 1 及び第 2 の転送トランジスタ 37、38 と、所定部位としてのフローティング拡散領域 (FD) 40 と、第 1 及び第 2 の電荷格納部 35、36 から FD 40 へそれぞれ電荷を転送する第 3 及び第 4 の転送ゲート部としての第 3 及び第 4 の転送トランジスタ 41、42 と、FD 40 の電荷量に応じた信号を出力する増幅部としての増幅トランジスタ 43 と、FD 40 の電荷を排出する第 1 のリセット部としての FD リセットトランジスタ 44 と、増幅トランジスタ 43 の信号を画素 20 から出力する選択スイッチとしての選択トランジスタ 45 と、埋め込みフォトダイオード 31 から電荷 (埋め込みフォトダイオード 31 ~ 34 で生成された不要電荷) を排出させる第 2 のリセット部 (電荷排出ゲート部) としての PD リセットトランジスタ 46 を有している。

また、画素 20 は、埋め込みフォトダイオード 31、32 間の電氣的な連結及び分離を行う連結/分離トランジスタ 51 と、埋め込みフォトダイオード 33、34 間の電氣的な連結及び分離を行う連結/分離トランジスタ 52 と、埋め込みフォトダイオード 31、33 間の電氣的な連結及び分離を行う連結/分離トラン

ジスタ53と、埋め込みフォトダイオード32、34間の電氣的な連結及び分離を行う連結／分離トランジスタ54とを有している。

第1乃至第4の転送トランジスタ37、38、41、42、増幅トランジスタ43、FDリセットトランジスタ44、選択トランジスタ45、PDリセットトランジスタ46、連結／分離トランジスタ51～54は、いずれもMOSトランジスタにて構成されている。本実施の形態では、これらのトランジスタ（増幅トランジスタ43を除く）は、そのゲート電極がハイであればオンし、ローであればオフする。

連結／分離トランジスタ51、52のゲート電極は、互いに共通に接続され更に画素行ごと共通に接続されて、垂直走査回路21から駆動配線23を介して駆動信号（制御信号） ϕ PDB1が供給される。連結／分離トランジスタ53、54のゲート電極は、互いに共通に接続され更に画素行ごと共通に接続されて、垂直走査回路21から駆動配線23を介して駆動信号（制御信号） ϕ PDB2が供給される。

本実施の形態では、 ϕ PDB1がハイで ϕ PDB2がローであれば、連結／分離トランジスタ51、52がオンするとともに連結／分離トランジスタ53、54がオフし、埋め込みフォトダイオード31、32間及び埋め込みフォトダイオード33、34間がそれぞれ電氣的に連結される一方、埋め込みフォトダイオード31、33間及び埋め込みフォトダイオード32、34間がそれぞれ電氣的に分離される。その結果、埋め込みフォトダイオード31～34は、全体として、上下2分割（上側部分と下側部分に2分割）された光電変換部と実質的に等価になる。以下の説明では、この状態を、「PD上下2分割状態」と呼ぶ。

ϕ PDB1がローで ϕ PDB2がハイであれば、連結／分離トランジスタ51、52がオフするとともに連結／分離トランジスタ53、54がオンし、埋め込みフォトダイオード31、32間及び埋め込みフォトダイオード33、34間がそれぞれ電氣的に分離される一方、埋め込みフォトダイオード31、33間及び埋

め込みフォトダイオード32、34間がそれぞれ電氣的に連結される。その結果、埋め込みフォトダイオード31～34は、全体として、左右2分割（左側部分と右側部分に2分割）された光電変換部と実質的に等価になる。以下の説明では、この状態を、「PD左右2分割状態」と呼ぶ。

- 5 φPDB1もφPDB2もハイであれば、連結／分離トランジスタ51～54がオンし、埋め込みフォトダイオード31、32間、埋め込みフォトダイオード33、34間、埋め込みフォトダイオード31、33間及び埋め込みフォトダイオード32、34間がそれぞれ電氣的に連結される。その結果、埋め込みフォトダイオード31～34は、全体として、1つの分割されていない光電変換部と実質的に等価になる。以下の説明では、この状態を、「PD合体状態」と呼ぶ。
- 10

- 本実施の形態では、第1及び第2の電荷格納部35、36が設けられ、埋め込みフォトダイオード31～34で生成された電荷が、FD40に転送される前に第1及び第2の電荷格納部35、36に一時的に蓄積される。これにより、全画素の露光時間とそのタイミングを同一にすることが可能となり、画像信号の同時性が保持されるばかりではなく、焦点検出時における信号の同時性さえも保持される。もっとも、本発明では、電荷格納部35、36を設けずに、ローリングシャッターを行うように構成してもよい。
- 15

- 第1の転送トランジスタ37は、埋め込みフォトダイオード32から電荷を第1の電荷格納部35に転送する。この電荷は、PD上下2分割状態、PD左右2分割状態及びPD合体状態のいずれの状態でも露光されたかによって、いずれの箇所
- 20
- 所で生成されたものであるかが異なる。第2の転送トランジスタ38は、埋め込みフォトダイオード33から電荷を第2の電荷格納部36に転送する。この電荷も、PD上下2分割状態、PD左右2分割状態及びPD合体状態のいずれの状態でも露光されたかによって、いずれの箇所

- 25 第1及び第2の転送トランジスタ37、38のゲート電極は、共通に接続され更に画素行ごと共通に接続されて、垂直走査回路21から駆動配線23を介して

駆動信号 ϕTGA が供給される。第 1 及び第 2 の転送トランジスタ 37、38 は、この駆動信号 ϕTGA に従って所定のタイミングで同時にオンとされ、2 個の埋め込みフォトダイオード 32、33 から電荷を同時に各々の電荷格納部 35、36 に転送する。ただし、本発明では、これに限定されるものではなく、例えば、
5 第 1 及び第 2 の転送トランジスタ 37、38 が同時にオンするように、各々のゲート電極に個別に駆動信号を供給しても構わない。

これに対して、第 3 及び第 4 の転送トランジスタ 41、42 のゲート電極には、それぞれ個別の駆動信号が供給される。すなわち、第 3 の転送トランジスタ 41 のゲート電極は、画素行ごとに共通接続されて垂直走査回路 21 から駆動配線 23 を介して駆動信号 ϕTGB が供給され、第 4 の転送トランジスタ 42 のゲート電極は、画素行ごとに共通接続されて垂直走査回路 21 から駆動配線 23 を介して駆動信号 ϕTGC が供給される。第 3 及び第 4 の転送トランジスタ 41、42 は、これら駆動信号 ϕTGB 、 ϕTGC に従って所定のタイミングで個別にオンとされ、第 1 及び第 2 の電荷格納部 35、36 から電荷を個別のタイミングで、
10 又は、同一のタイミングで FD 40 に転送する。
15

選択トランジスタ 45 のゲート電極は、画素行ごとに共通接続されて垂直走査回路 21 から駆動配線 23 を介して駆動信号 ϕS が供給される。FD リセットトランジスタ 44 のゲート電極は、画素行ごとに共通接続されて垂直走査回路 21 から駆動配線 23 を介して駆動信号 ϕFDR が供給される。また、PD リセットトランジスタ 46 のゲート電極は、画素行ごとに共通接続されて垂直走査回路 21 から駆動配線 23 を介して駆動信号 ϕPDR が供給される。
20

なお、本実施の形態において、有効画素はすべて同一の構造の画素とし、これらの画素からは焦点検出用の信号及び画像用の信号のいずれも出力可能となっている。しかし、これに限らず、固体撮像素子 3 の所定部に焦点検出エリアを設け、このエリアに焦点検出用の信号を出力する画素を配置させてもよい。
25

また、図 3 において、埋め込みフォトダイオード 3.1 ~ 3.4 の一方の端子、電

荷格納部 35、36 の一方の端子、及び、FD40 の一方の端子は、便宜的に接地として記載されている。しかし、実際は、後述する図 5 乃至図 8 から理解されるとおり P 型ウエル 62 の電位となる。

図 4 は、図 2 中の画素 20 を模式的に示す概略平面図である。図 5 及び図 6 は、
5 図 4 中の A-A' 線に沿った概略断面図である。図 5 は、第 2 のゲート電極 68 をローにして（すなわち、 ϕ PDB2 をローにして）連結／分離トランジスタ 51 をオフにした状態を示している。図 6 は、第 2 のゲート電極 68 をハイにして（すなわち、 ϕ PDB2 をハイにして）連結／分離トランジスタ 51 をオンにした状態を示している。図 7 は、図 4 中の B-B' 線に沿った概略断面図である。
10 図 8 は、図 4 中の C-C' 線に沿った概略断面図である。なお、図 5 乃至図 8 において、マイクロレンズ 65 は省略している。また、図 4 乃至図 8 において、駆動配線は省略され、配線は画素 20 内の電氣的接続関係のみを示している。

説明の便宜上、図 4 に示すように、互いに直交する X 軸、Y 軸、Z 軸を定義する。基板 61 の面が XY 平面と平行となっている。また、X 軸方向のうち矢印の
15 向きを +X 側、その反対の向きを -X 側と呼び、Y 軸方向についても同様とする。なお、本願明細書では、X 軸方向を左右方向、+X 側を右側、-X 側を左側、Y 軸方向を上下方向、+Y 側を上側、-Y 側を下側と呼ぶ。

図 5 乃至図 8 に示すように、N 型のシリコン基板 61 上に P 型ウエル 62 が設けられている。そして、P 型ウエル 62 に N 型の電荷蓄積層 63 が形成され、さら
20 らに電荷蓄積層 63 の基板表面側に P 型の空乏化防止層 64 を付加することで、埋め込みフォトダイオード 31～34 が構成されている。なお、ここでは、埋め込みフォトダイオードの構造が採用されているが、これに限られるものではなく、空乏化防止層 64 を省略しても構わない。

図 4 に示すように、4 つの埋め込みフォトダイオード 31～34 は、Z 軸方向
25 から見た平面視において互いに交差する Y 軸方向の分割線 B-B' と X 軸方向の分割線 D-D' が分割する 4 つの領域に、それぞれ配置されている。埋め込み

フォトダイオード31はその4つの領域のうちの左上側領域に、埋め込みフォトダイオード32は右上側領域に、埋め込みフォトダイオード33は左下側領域、埋め込みフォトダイオード34は右下側領域にそれぞれ配置されている。これらの埋め込みフォトダイオード31～34は、各領域において、両分割線B-B'、D-D'の交点近くに配置され、その交点に対して回転対称となるように配置されている。そして、図4に示すように、入射光を埋め込みフォトダイオード31～34に導く一つのマイクロレンズ65が、配置されている。マイクロレンズ65は、その中心線が分割線B-B'、D-D'の交点を通るように、配置されている。このため、マイクロレンズ65から導かれる入射光は、瞳分割されて各埋め込みフォトダイオード31～34に入射される。なお、シェーディングを低減するために、例えば、有効画素領域の中心部の画素では、マイクロレンズ65をその中心線が分割線B-B'、D-D'の交点を通るように配置する一方、有効画素領域の周辺部の画素では、マイクロレンズ65をその中心線が前記交点からずれた位置を通るように配置してもよい。

図4乃至図7に示すように、分割線B-B'に沿って第1のゲート電極67が設けられ、分割線D-D'に沿って第2のゲート電極68が設けられている。第2のゲート電極68は、埋め込みフォトダイオード31、32間及び埋め込みフォトダイオード33、34間の上に、薄いシリコン酸化膜66を介して形成されている。これにより、第2のゲート電極68は、埋め込みフォトダイオード31の電荷蓄積層63及び埋め込みフォトダイオード32の電荷蓄積層63をソース/ドレインとするMOSトランジスタ（連結/分離トランジスタ51）のゲートを構成するとともに、埋め込みフォトダイオード33の電荷蓄積層63及び埋め込みフォトダイオード34の電荷蓄積層63をソース/ドレインとするMOSトランジスタ（連結/分離トランジスタ52）のゲートを構成している。第2のゲート電極68には、図示しない配線によって、前記駆動信号φPDB1が供給されるようになっている。

同様に、第1のゲート電極67は、埋め込みフォトダイオード31、33間及び埋め込みフォトダイオード32、34間の上に、薄いシリコン酸化膜66を介して形成されている。これにより、第1のゲート電極67は、埋め込みフォトダイオード31の電荷蓄積層63及び埋め込みフォトダイオード33の電荷蓄積層63をソース/ドレインとするMOSトランジスタ（連結/分離トランジスタ53）のゲートを構成するとともに、埋め込みフォトダイオード32の電荷蓄積層63及び埋め込みフォトダイオード34の電荷蓄積層63をソース/ドレインとするMOSトランジスタ（連結/分離トランジスタ54）のゲートを構成している。第1のゲート電極67には、図示しない配線によって、前記駆動信号φPDB2が供給されるようになっている。

なお、第1及び第2のゲート電極67、68が交差する箇所では、図7に示すように、第2のゲート電極68が絶縁層を介してゲート電極67上を通っている。

本実施の形態では、第2のゲート電極68がローであれば（φPDB2がローであれば）、図5に示すように、連結/分離トランジスタ51のチャネル領域に反転層ができないため、連結/分離トランジスタ51はオフする。一方、第2のゲート電極68がハイであれば（φPDB2がハイであれば）、連結/分離トランジスタ51のチャネル領域に反転層69ができ、連結/分離トランジスタ51がオンする。他の連結/分離トランジスタ52～54についても同様である。

なお、連結/分離トランジスタ51～54は、そのゲートの電位をゼロ電位（基板1の電位）にしたときにオフする一方、ゼロ電位に対する差が大きい電位を与えたときにオンするように構成してもよい。また、連結/分離トランジスタ51～54は、そのゲートの電位をゼロ電位（基板1の電位）にしたときにオンする一方、ゼロ電位よりも負側の電位を与えたときにオフするように構成してもよい。なお、連結/分離トランジスタ51～54は、ゲート電圧を印加しない場合に既にオフされている構成にした場合には、ゲート電圧を正側にかけることにてオンさせる構成となり、ゲート電圧を印加しない場合でオンされている場合には、ゲ

ート電圧を負側にかけることにてオフする構成となる。

本実施の形態では、第1及び第2のゲート電極67、68は、ITO膜などの透明材料で構成されている。したがって、入射光は、第1及び第2のゲート電極67、68で遮られることなく、第1及び第2のゲート電極67、68下の埋め込みフォトダイオード31～34間の領域にも到達する。したがって、例えば、
5 図6に示すように連結/分離トランジスタ51がオンしていれば、埋め込みフォトダイオード31、32間にできた反転層69が光電変換機能を持つことから、入射光の利用効率が高まる。一方、図5に示すように連結/分離トランジスタ51がオフしていれば、反転層69ができないので、埋め込みフォトダイオード31、32間の領域は光電変換機能を持たない。この点は、埋め込みフォトダイオード31～34間の他の領域についても同様である。
10

第1及び第2のゲート電極67、68は、ITO膜の代わりに、ポリシリコンで構成してもよい。ポリシリコンの場合には、ITO膜に比較して透過率が一部低下するが、微細な構造形成が容易であることから総合的に鑑みてポリシリコンの方が光量損失をより低減し得る場合もある。
15

なお、入射光の利用効率の点では不利であるが、本発明では、第1及び第2のゲート電極67、68は、遮光性材料で構成してもよい。

以上の説明からわかるように、本実施の形態では、第1及び第2のゲート電極67、68は、制御信号(ϕ PDB2、 ϕ PDB1)に応じて、PD上下2分割状態(第1のモード)、PD左右2分割状態(第2のモード)及びPD合体状態(第3のモード)に選択的に設定し得るモード設定手段を構成している。PD上下2分割状態では、埋め込みフォトダイオード31、32の信号が加算され、埋め込みフォトダイオード33、34の信号が加算され、当該両加算信号を独立して得られる。PD左右2分割状態では、埋め込みフォトダイオード31、33の信号が加算され、埋め込みフォトダイオード32、34の信号が加算され、当該両加算信号を独立して得られる。PD合体状態では、埋め込みフォトダイオード
20
25

3 1 ~ 3 4 の信号が加算される。

5 なお、埋め込みフォトダイオード 3 1 ~ 3 4 を常に完全に電氣的に分離するよ
うに構成しておいても、埋め込みフォトダイオード 3 1 ~ 3 4 からそれぞれ読み
出した信号を制御信号に応じて独立したまま利用したり混合したりできるよ
10 5 に、蓄積部や転送スイッチ等を適宜設ければ、PD 上下 2 分割状態、PD 左右 2
分割状態及び PD 合体状態とそれぞれ同様の信号加算モードを実現することが
でき、本発明ではそのように構成してもよい。しかしながら、本実施の形態のよ
うに、制御信号に応じて埋め込みフォトダイオード 3 1 ~ 3 4 の分離・連結を行
うように構成しておけば、外部の蓄積部や転送スイッチ等の数を減らしたり配線
10 等を簡単化することができるので、非常に好ましい。

 また、第 1 及び第 2 の電荷格納部 3 5、3 6 と埋め込みフォトダイオード 3 2、
3 3 との間の上にはそれぞれ、薄いシリコン酸化膜 6 6 を介してゲート電極 7 1、
7 2 が形成されている。第 1 及び第 2 の転送トランジスタ 3 7、3 8 はそれぞれ、
ゲート電極 7 1、7 2 をゲートとすると共に電荷格納部 3 5、3 6、及び、埋め
15 込みフォトダイオード 3 2、3 3 の電荷蓄積層 6 3 をソース又はドレインとする
MOS トランジスタとして構成されている。

 ゲート電極 7 1、7 2 間は、図示しない配線によって接続されている。このた
め、第 1 及び第 2 の転送トランジスタ 3 7、3 8 は、駆動信号 ϕ TGA に従って
同時にオン、オフされる。よって、埋め込みフォトダイオード 3 2、3 3 からの
20 それぞれの電荷は、それぞれ対応する電荷格納部 3 5、3 6 に同時に転送される。

 電荷格納部 3 5、3 6 は、P 型ウエル 6 2 に形成された N 型層 7 3、7 4 を有
している。そして、第 1 及び第 2 の転送トランジスタ 3 7、3 8 のゲート電極 7
1、7 2 は、2 つの N 型層 7 3、7 4 の上部に覆いかぶさるように配置されてい
る。電荷格納部 3 5、3 6 は、このようにゲート電極 7 1、7 2 と、N 型層 7 3、
25 7 4 による MOS キャパシタとして構成されている。

 ところで、ゲート電極 7 1、7 2 にローの電圧を印加すると、P 型ウエル 6 2

の電位にピンニングされて電荷格納部 35、36の表面の界面準位がホールで満たされる。暗電流の大きさは、界面準位の電子占有確率に大きく影響される。したがって、電荷格納部 35、36の暗電流は、ゲート電極 71、72に上記のような電圧を印加して界面準位をホールで満たすことにより、大幅に低減することが可能となる。

図4においてFD40は、互いに分離してP型ウエル62に形成された2つのN型領域75、76が配線77で電氣的に接続されることで実質的に1つのフローティングディフュージョンとして構成されている。FD40は、2つの電荷格納部35、36のいずれからも電荷が転送される。

第1及び第2の電荷格納部35、36とFD40のN型拡散層75との間の上には、薄いシリコン酸化膜66を介してゲート電極78、79が形成されている。第3及び第4の転送トランジスタ41、42は、ゲート電極78、79をゲートとするとともに電荷格納部35、36のN型層71、72及びFD40のN型拡散領域75をソース又はドレインとするMOSトランジスタとして構成されている。

第3の転送トランジスタ41のゲート電極78と、第4の転送トランジスタ42のゲート電極79とは個別に形成されており、それぞれ個別の駆動信号 ϕ TGB、 ϕ TGCが垂直走査回路21から供給される。このため、第3及び第4の転送トランジスタ41、42は、それぞれの駆動信号 ϕ TGB、 ϕ TGCに従って個別に駆動される。よって、第3及び第4の転送トランジスタ41、42は、第1及び第2の電荷格納部35、36から電荷を異なるタイミングでも、又は、同一のタイミングでもFD40に転送することができる。

また、図8に示すように、図4中のC-C'線に沿って、N型拡散層76の他に、N型拡散層81-83が形成されている。N型層81は、図示しない配線により電源VDDに接続されている。N型層81、82の間の上には薄いシリコン酸化膜66を介してゲート電極84が形成されている。増幅トランジスタ43は、

ゲート電極 84 をゲートとするとともに N 型層 81、82 をソース又はドレインとする MOS トランジスタとして構成されている。なお、ゲート電極 84 は、配線 77 によって、FD40 (N 型層 75、76) と電氣的に接続されている。

5 N 型層 82、83 の間の上には薄いシリコン酸化膜 66 を介してゲート電極 85 が形成されている。選択トランジスタ 45 は、ゲート電極 85 をゲートとするとともに N 型層 82、83 をソース又はドレインとする MOS トランジスタとして構成されている。

10 また、N 型層 76、81 間の上には、薄いシリコン酸化膜 66 を介してゲート電極 86 が形成されている。FD リセットトランジスタ 44 は、ゲート電極 86 をゲートとするとともに N 型層 76、81 をソース又はドレインとする MOS トランジスタとして構成されている。

15 図 5 及び図 6 に示すように、P 型ウエル 62 中には、N 型層 87 が形成されている。N 型層 87 と埋め込みフォトダイオード 31 との間の上には薄いシリコン酸化膜 66 を介してゲート電極 88 が形成されている。PD リセットトランジスタ 46 は、ゲート電極 88 をゲートとするとともに N 型層 87 及び埋め込みフォトダイオード 31 の電荷蓄積層 63 をソース又はドレインとする MOS トランジスタとして構成されている。ゲート電極 88 には、図示しない配線によって、駆動信号 ϕ PDR が供給される。

20 第 2 のリセット部 (ここでは PD リセットトランジスタ 46) は、埋め込みフォトダイオード 31 ~ 34 で不要電荷を排出させる。この不要電荷には、電子シャッター動作をさせるときのリセット電荷と、強い光が入射されたときのオーバーフロー電荷がある。いずれにせよこの不要電荷を FD40 に転送して第 1 のリセット部 (ここでは FD リセットトランジスタ 44) によって排出させてもよい。このようにするなら、第 2 のリセット部は、配置させなくてもよい。

25 また、埋め込みフォトダイオード 31 ~ 34、及び、各 N 型層の周囲には、厚いシリコン酸化膜 70 が形成され、それぞれの間は分離されている。

次に、固体撮像素子3から信号を読み出す動作の例について、図9乃至図11を参照して説明する。図9は、画像用信号を読み出す駆動信号（すなわち、PD合体状態で露光した画素からの信号を読み出す駆動信号）を示すタイミングチャートである。図10は、PD左右2分割状態で露光した画素からの焦点検出用信号を読み出す駆動信号を示すタイミングチャートである。図11は、PD上下2分割状態で露光した画素からの焦点検出用信号を読み出す駆動信号を示すタイミングチャートである。

なお、垂直走査については、1水平行ごとに信号線を選択し順時次の行へと選択動作を移していくが、選択された行毎に次の図9乃至図11で示したような動作が行われ、本図の駆動信号が出力される。この走査が垂直方向全画面に渡って繰り返される。最終行について終了した後は垂直帰線期間を経過した後に先頭の行へと選択動作が戻る。図9乃至図11では、1行目と2行目の駆動信号のみを示している。

最初に、図9、図2、図3を参照して、画像用信号を読み出す動作の例を説明する。この動作では、基本的に、露光時に全ての有効画素20がPD合体状態とされる。また、この動作では、全画素同時露光が行われる。

図9において、期間T1は、全有効画素同時に駆動する期間である。すなわち、期間T1の駆動パルスは、全行において同一の駆動信号が出力される。また、期間T2は1行目を読み出す期間、期間T3は2行目を読み出す期間、期間T4は3行目を読み出す期間であり、選択された行のみ本図に示すような駆動信号が出力される。この点は、後述する図10及び図11についても同様である。

まず、期間T11の開始時点から期間T14の終了時点までの期間において、 ϕ PDB1及び ϕ PDB2をハイにして、全ての有効画素をPD合体状態にする。よって、埋め込みフォトダイオード31～34は、全体として、1つの分割されていない光電変換部と実質的に等価になる。この期間中に、以下に説明する期間T11～T14の動作が行われる。

まず、期間T11において、 ϕ PDRをハイにしてPDリセットトランジスタ46をオンにする。この動作により、すべての有効画素の埋め込みフォトダイオード31～34に貯まっている不要な電荷が電源VDDに排出される。すなわち、埋め込みフォトダイオード31～34は、リセットされる。そして、全有効画素の埋め込みフォトダイオード31～34は、期間T11の終了時点から露光を開始する。このとき、本実施の形態では、前述したように、埋め込みフォトダイオード31～34間の領域においても、入射光の光電変換が行われる。

期間T12において、 ϕ FDRをハイにしてFDリセットトランジスタ44をオンにする。それと同時に期間T13において、 ϕ TGB、 ϕ TGCをハイにして第3及び第4の転送トランジスタ41、42を同時にオンにする。この動作により、FD40及び第1及び第2の電荷格納部35、36に貯まっている電荷が電源VDDに排出される。すなわち、全有効画素のFD40及び電荷格納部35、36は、リセットされる。

期間T14において、 ϕ TGAをハイにして第1及び第2の転送トランジスタ37、38をオンにする。全有効画素の連結した埋め込みフォトダイオード31～34及びそれらの間に蓄積されている電荷は全て第1及び第2の電荷格納部35、36に分かれて転送される。期間T14において、第1及び第2の転送トランジスタ37、38のいずれか一方のみをオンにしてもよい。ここで、図9に示された期間T15(ϕ PDRをローにしてから ϕ TGAをオンにするまでの期間)が露光期間となる。露光期間T15は、全有効画素にて同一の期間であり同一のタイミングとなる。このため、全有効画素は、タイミングずれすることなく画像情報を獲得することが可能となる。

次いで、期間T16において、1行目の ϕ Sをハイにして選択トランジスタ45をオンにする。これにより、1行目の画素が選択され、1行目の画素から信号が垂直信号線25に出力されるようになる。

それと同時に期間T17において、1行目の ϕ FDRをハイにしてFDリセッ

トランジスタ44をオンにする。この動作により、FD40がリセットされる。そして、期間T17の終了時点、すなわち、 ϕ FDRがローとなってから、期間T19の開始時点までの間（期間T18）において、1行目の増幅トランジスタ43からの、FD40リセット時出力は、垂直信号線25を介してCDS回路27に保存される。

期間T19において、 ϕ TGB、 ϕ TGCをハイにして第3及び第4の転送トランジスタ41、42を同時にオンにする。これにより、各画素に2つある電荷格納部35、36に蓄積されている電荷は、合算されてFD40に転送される。そして、FD40の電荷量に応じて増幅された電位が、垂直信号線25を通してCDS回路27に送られる。CDS回路27では、先ほど保存したリセット時出力との差を1行目の画素の画素信号として出力する。そして、これらの1行目の画素の画素信号は、水平走査回路22の駆動信号によって水平信号線28、出力アンプ29を介して出力される。

同様に、期間T3において2行目の読み出しを行う。駆動信号は1行目と同様である。図9中の期間T26～T29は、期間T16～T19に相当している。

なお、 ϕ PDRは、読み出し終了後（ ϕ Sオフ後）は、常にハイとしてもよい。

以上の説明から理解されるように、各画素は、期間T11の開始時点から期間T14の終了時点までの期間において、 ϕ PDB1及び ϕ PDB2をハイにして、4つの埋め込みフォトダイオード31～34を合体しているため、通常どおりに画像用の信号を出力することができる。しかも、分割線B-B'、D-D'に沿って配置されたゲート電極67、68が入射光を透過するので、入射光の利用効率が増大し、感度を向上させることができる。さらに、全有効画素の露光のタイミングを同一にした電子シャッターが可能であることも、前記説明にて明らかである。なお、勿論、一行ごとリセットしたローリングシャッター動作を行うことも可能である。

また、前述した固体撮像素子3では、各画素は同一の構造を有しているため、

画像用信号を読み出す際に、一部の画素について補正をするような必要がなくなる。焦点検出用として用い得る画素とそうではない画素とが異なる構造を有しているとすれば、本撮像時に画像用信号を読み出す際に、一部の画素について補正が必要となる。

- 5 次に、図10、図2、図3を参照して、PD左右2分割状態で露光した画素からの焦点検出用信号を読み出す動作の例を説明する。この動作例では、基本的に、露光時に全ての画素20がPD左右2分割状態とされる。また、この動作では、全画素同時露光が行われる。

この動作は、左右方向に並んだ所望の画素列を焦点検出用ラインセンサに相当
10 するものとして利用して、焦点検出用信号を得る場合に行われる。図10に示す動作例では、全ての有効画素について、PD左右2分割状態で露光した左半分の信号（本実施の形態では、埋め込みフォトダイオード31、33の信号とその間の領域により光電変換された信号を加算したもの）、及び、右半分の信号（本実施の形態では、埋め込みフォトダイオード32、34の信号とその間の領域により
15 光電変換された信号を加算したもの）を、読み出す。このようにして読み出された全画素の信号は、一旦、図1中のメモリ7に格納された後、焦点演算部で焦点検出処理を行う際に、メモリ7内の信号から、前記所望の画素列に関するもののみが選択的に用いられる。図10に示す動作例では、このように全画素読み出しにより焦点検出用信号を得るが、前記所望の画素列の画素以外の画素については、
20 間引いて読み出し動作を行わなくてもよい。

まず、期間T31において、 ϕPDR をハイにしてPDリセットトランジスタ46をオンにするとともに、 $\phi PDB1$ 及び $\phi PDB2$ をハイにしてPD合体状態する。この動作により、すべての有効画素の埋め込みフォトダイオード31～34に貯まっている不要な電荷が電源VDDに排出される。すなわち、埋め込み
25 フォトダイオード31～34は、リセットされる。そして、全有効画素の埋め込みフォトダイオード31～34は、期間T31の終了時点から露光を開始する。

このとき、本実施の形態では、前述したように、埋め込みフォトダイオード 3 1 ~ 3 4 間の領域においても、入射光の光電変換が行われる。

5 ϕ P D B 1 は期間 T 3 1 の終了時点以降はローにされるが、 ϕ P D B 2 は、期間 T 3 1 の終了時点以降も期間 T 3 4 の終了時点までの期間はハイのままにされる。よって、期間 T 3 1 の終了時点から期間 T 3 4 の終了時点までの期間は、全ての有効画素が P D 左右 2 分割状態となり、各画素の埋め込みフォトダイオード 3 1 ~ 3 4 は、全体として、左右 2 分割（左側部分と右側部分に 2 分割）された光電変換部と実質的に等価になる。この期間中に、以下に説明する期間 T 3 2 ~ T 3 4 の動作が行われる。

10 期間 T 3 2 において、 ϕ F D R をハイにして F D リセットトランジスタ 4 4 をオンにする。それと同時に期間 T 3 3 において、 ϕ T G B、 ϕ T G C をハイにして第 3 及び第 4 の転送トランジスタ 4 1、4 2 を同時にオンにする。この動作により、F D 4 0 及び第 1 及び第 2 の電荷格納部 3 5、3 6 に貯まっている電荷が電源 V D D に排出される。すなわち、全有効画素の F D 4 0 及び電荷格納部 3 5、
15 3 6 は、リセットされる。

期間 T 3 4 において、 ϕ T G A をハイにして第 1 及び第 2 の転送トランジスタ 3 7、3 8 をオンにする。その結果、全有効画素の右側の埋め込みフォトダイオード 3 2、3 4 及びその間に蓄積されている電荷は、第 1 の転送トランジスタ 3 7 を経由して第 1 の電荷格納部 3 5 に転送される。一方、全有効画素の左側の埋
20 め込みフォトダイオード 3 1、3 3 及びその間に蓄積されている電荷は、第 2 の転送トランジスタ 3 8 を経由して第 2 の電荷格納部 3 6 に転送される。ここで、図 1 0 に示された期間 T 3 5 (ϕ P D R をローにしてから ϕ T G A をオンにするまでの期間) が露光期間となる。露光期間 T 3 5 は、全有効画素にて同一の期間であり同一のタイミングとなる。このため、全有効画素は、タイミングずれすることなく焦点検出情報を獲得することが可能となる。ここまでの期間 (期間 T 1)
25 の動作は、P D 左右 2 分割状態で露光される点を除けば、図 9 を参照して説明し

た画像信号を得るための動作と同じである。

次いで、期間T 3 6において、1行目の ϕS をハイにして選択トランジスタ 4 5 をオンにする。これにより、1行目の画素が選択され、1行目の画素から信号が垂直信号線 2 5 に出力されるようになる。

5 それと同時に期間T 3 7において、1行目の ϕFDR をハイにしてFDリセットトランジスタ 4 4 をオンにする。この動作により、FD 4 0 がリセットされる。そして、期間T 3 7の終了時点、すなわち、 ϕFDR がローとなってから、期間T 3 9の開始時点までの間（期間T 3 8）において、1行目の増幅トランジスタ 4 3 からの、FD 4 0 リセット時出力は、垂直信号線 2 5 を介してCDS回路 2 7 に保存される。
10

 期間T 3 9において、 ϕTGB をハイにして第3の転送トランジスタ 4 1 をオンにする。これにより、第1の電荷格納部 3 5 に蓄積されている電荷は、FD 4 0 に転送される。そして、FD 4 0 の電荷量に応じて増幅された電位が、垂直信号線 2 5 を通してCDS回路 2 7 に送られる。CDS回路 2 7 では、先ほど保存
15 したりリセット時出力との差を1行目の画素の左右方向の一方の側の瞳信号出力として出力する。そして、これらの1行目の画素の左右方向の一方の側の瞳信号出力は、水平走査回路 2 2 の駆動信号によって水平信号線 2 8、出力アンプ 2 9 を介して出力される。

 次いで、期間T 4 0において、1行目の ϕFDR をハイにしてFDリセットト
20 ランジスタ 4 4 をオンにする。この動作により、FD 4 0 がリセットされる。そして、期間T 4 0の終了時点、すなわち、 ϕFDR がローとなってから、期間T 4 2の開始時点までの間（期間T 4 1）において、1行目の増幅トランジスタ 4 3 からの、FD 4 0 リセット時出力は、垂直信号線 2 5 を介してCDS回路 2 7 に保存される。

25 期間T 4 2において、 ϕTGC をハイにして第4の転送トランジスタ 4 2 をオンにする。これにより、第2の電荷格納部 3 6 に蓄積されている電荷は、FD 4

0に転送される。そして、FD40の電荷量に応じて増幅された電位が、垂直信号線25を通してCDS回路27に送られる。CDS回路27では、先ほど保存したりセット時出力との差を1行目の画素の左右方向のうち他方の側の瞳信号出力として出力する。そして、これらの1行目の画素の左右方向のうち他方の側の瞳信号出力は、水平走査回路22の駆動信号によって水平信号線28、出力アンプ29を介して出力される。

これらの動作により、1行目の画素の左右方向のうち一方の側の瞳信号出力と左右方向のうち他方の側の瞳信号出力を得ることができる。

同様に、以降の行の読み出しを行う。駆動信号は1行目と同様である。図10中の期間T46~T52は、期間T36~T42に相当している。

なお、 ϕ PDRは、読み出し終了後(ϕ Sオフ後)は、常にハイとしてもよい。

以上の説明から理解されるように、各画素は、期間T31の終了時点から期間T34の終了時点までの期間において、 ϕ PDB1をローにするとともに ϕ PDB2をハイにして、PD左右2分割状態にしているため、各画素の左右方向のうち一方の側の瞳信号出力と左右方向のうち他方の側の瞳信号出力を得ることができる。しかも、分割線B-B'、D-D'に沿って配置されたゲート電極67、68が入射光を透過するので、入射光の利用効率が増大し、焦点検出用信号の感度を向上させることができる。さらに、このような焦点検出用信号を得る際にも、全有効画素の露光のタイミングを同一にした電子シャッターが可能であることも、前記説明にて明らかである。

次に、図11、図2、図3を参照して、PD上下2分割状態で露光した画素からの焦点検出用信号を読み出す動作の例を説明する。この動作例では、基本的に、露光時に全ての画素20がPD上下2分割状態とされる。また、この動作では、全画素同時露光が行われる。

この動作は、上下方向に並んだ所望の画素列を焦点検出用ラインセンサに相当するものとして利用して、焦点検出用信号を得る場合に行われる。図11に示す

動作例では、全ての有効画素について、PD上下2分割状態で露光した上半分の信号（本実施の形態では、埋め込みフォトダイオード31、32の信号とその間の領域により光電変換された信号を加算したもの）、及び、下半分の信号（本実施の形態では、埋め込みフォトダイオード33、34の信号とその間の領域により光電変換された信号を加算したもの）を、読み出す。このようにして読み出された全画素の信号は、一旦、図1中のメモリ7に格納された後、焦点演算部で焦点検出処理を行う際に、メモリ7内の信号から、前記所望の画素列に関するもののみが選択的に用いられる。図11に示す動作例では、このように全画素読み出しにより焦点検出用信号を得るが、前記所望の画素列の画素以外の画素については、間引いて読み出し動作を行わなくてもよい。

図11に示す動作は、前述した図10に示す動作と基本的に同様である。その異なる所は、 ϕ PDB1と ϕ PDB2が入れ替えられている点のみである。すなわち、図11に示す動作では、 ϕ PDB1は期間T31の開始時点から期間T34の終了時点までの期間においてオンにされ、 ϕ PDB2は期間T31だけオンにされている。

したがって、図11に示す動作では、各画素は、期間T31の終了時点から期間T34の終了時点までの期間において、 ϕ PDB1をハイにするとともに ϕ PDB2をローにして、PD上下2分割状態にしているため、各画素の上下方向のうち一方の側の瞳信号出力と上下方向のうち他方の側の瞳信号出力を得ることができる。しかも、分割線B-B'、D-D'に沿って配置されたゲート電極67、68が入射光を透過するので、入射光の利用効率が増大し、焦点検出用信号の感度を向上させることができる。さらに、このような焦点検出用信号を得る際にも、全有効画素の露光のタイミングを同一にした電子シャッターが可能であることも、前記説明にて明らかである。

以上の説明からわかるように、前述した固体撮像素子3によれば、例えば前述した図10に示す動作を行うことで、左右方向に並んだ所望の任意の画素列から、

左右方向位相シフト検出用の焦点検出用信号（左右方向の一方側の瞳信号出力と左右方向の他方側の瞳信号出力）を得ることができる。また、前述した固体撮像素子3によれば、例えば前述した図11に示す動作を行うことで、上下方向に並んだ所望の任意の画素列から、上下方向位相シフト検出用の焦点検出用信号（上下方向の一方側の瞳信号出力と上下方向の他方側の瞳信号出力）を得ることができる。

したがって、前述した固体撮像素子3では、画素欠陥と同様の状態を引き起こすことがないだけでなく、いずれの画素をいずれの方向に分割された光電変換部を持つ画素として機能させるかを自由に変更することができ、ひいては、焦点調節状態の検出精度をより高めることができるという利点も得られる。

瞳分割位相差方式では、例えば、撮像画面内の中央部及び上下部分の位置での焦点検出には左右分割のフォトダイオードを水平方向にラインセンサ状に配置することが必要とされ、中央部及び左右部分の位置での焦点検出には上下2分割のフォトダイオードを垂直方向（上下方向）にラインセンサ状に配置することが必要とされる。前述した固体撮像素子3では、同一の画素構造ながら水平方向（左右方向）、垂直方向（上下方向）の焦点検出をすることができる。

次に、本実施の形態による電子カメラ1の動作の一例について、図1及び図12を参照して説明する。

操作部9aのリリース釦の半押し操作が行われる（ステップS1）と、電子カメラ1内のマイクロプロセッサ9は、その半押し操作に同期して撮像制御部4を駆動する。撮像制御部4は、被写体の確認を行うために予め定めた公知の手法により、全画素又は所定画素から被写体確認用の撮像信号を読み出し、メモリ7に蓄積する。このとき、全画素を読み出す場合は、例えば、前記図9に示す動作と同様の動作を行う。そして、画像処理部13は、その信号から、画像認識技術を利用して被写体を認識する（ステップS2）。例えば、顔認識モードの場合、被写体として顔を認識する。そして、画像処理部13は、被写体の中心座標及び長

手方向を抽出する（ステップS 3）。

その後、マイクロプロセッサ9は、ステップ3で抽出された被写体の中心座標及び長手方向に従って、被写体に対する焦点調節状態を精度良く検出するのに最適な、焦点検出に用いるべき、オートフォーカス用ラインセンサに相当する画素列の座標（位置・長手方向）を設定する（ステップS 4）。また、マイクロプロセッサ9は、ステップS 2の認識結果等に基づいて、焦点検出用の撮影条件（絞り、焦点調節状態、シャッター時間等）を設定する（ステップS 5）。

引き続き、マイクロプロセッサ9は、ステップS 5で設定した絞り等の条件となるようにレンズ制御部2 aを作動させ、ステップS 5で設定したシャッター時間等の条件でかつステップS 4で設定した画素列の座標に従って、撮像制御部4を駆動することで、オートフォーカス（自動焦点調節）用の信号を読み出し、メモリ7に蓄積する（ステップS 6）。このとき、ステップS 4で設定した画素列が左右方向に並んだ画素列の場合は、前述した図10に示す動作によって、オートフォーカス用の画像信号を読み出す。一方、ステップS 4で設定した画素列が上下方向に並んだ画素列の場合は、前述した図11に示す動作によって、オートフォーカス用の画像信号を読み出す。

次に、マイクロプロセッサ9は、ステップS 6で取得されメモリ7に格納された全画素の信号のうちから、ステップS 4で設定した座標の画素列の各画素の信号をピックアップし、それらの信号に基づいて瞳分割位相差方式に従った演算（焦点調節状態の検出処理）を焦点検出演算部10に行わせることで、焦点検出演算部10にデフォーカス量を算出させる（ステップS 7）。

次いで、マイクロプロセッサ9は、ステップS 7で算出されたデフォーカス量に応じて合焦状態となるように、レンズ制御部2 aに撮影レンズ2を調節させる。引き続き、マイクロプロセッサ9は、本撮影のための撮影条件（絞り、シャッター時間等）を設定する（ステップS 9）。

次に、マイクロプロセッサ 9 は、ステップ S 9 で設定した絞り等の条件となるようにレンズ制御部 2 a を作動させ、操作部 9 a のリリース釦の全押し操作に同期して、ステップ S 9 で設定したシャッター時間等の条件で撮像制御部 4 を駆動することで、画像信号を読み出して本撮影を行う（ステップ S 10）。このとき、
5 前述した図 9 に示す動作によって、画像信号を読み出す。撮像制御部 4 によって、この画像信号は、メモリ 7 に蓄積される。

その後、マイクロプロセッサ 9 は、操作部 9 a の指令に基づき、必要に応じて画像処理部 1 3 や画像圧縮部 1 2 にて所望の処理を行い、記録部に処理後の信号を出力させ記録媒体 1 1 a に記録する。

10 本実施の形態による電子カメラ 1 によれば、被写体に応じて最適化された位置の画素列の信号に基づいて焦点調節状態を検出してオートフォーカスを行うので、高い精度でオートフォーカスを行うことができる。

以上、本発明の実施の形態について説明したが、本発明はこの実施の形態に限定されるものではない。

15 例えば、CMOS 型イメージセンサでは種々の画素構造を有するものが知られているが、本発明はそれらのイメージセンサにも適用することができる。また、本発明は、CMOS 型イメージセンサ以外の種々のイメージセンサにも適用することができる。

また、前記実施の形態では、ゲート電極 6 7、6 8 が構成する連結／分離トランジスタ 5 1～5 4 は、MOS トランジスタであったが、例えば、接合型電界効果トランジスタとしてもよい。
20

請 求 の 範 囲

1. 光学系により結像される被写体像を光電変換する固体撮像素子であって、
2次元状に配置された複数の画素を備え、

5 前記複数の画素のうち少なくとも一部の画素は、平面視において互いに交差する第1方向の分割線及び第2方向の分割線が分割する4つの領域にそれぞれ存し各々が入射光を光電変換する4つの光電変換部と、制御信号に応じて第1乃至第3のモードに選択的に設定し得るモード設定手段とを含み、

前記第1のモードは、前記4つの光電変換部のうち前記第1方向の分割線に対して一方の側に位置する2つの光電変換部の信号を加算し、前記4つの光電変換部のうち前記第1方向の分割線に対して他方の側に位置する2つの光電変換部の信号を加算し、当該両加算信号を独立して得るモードであり、

前記第2のモードは、前記4つの光電変換部のうち前記第2方向の分割線に対して一方の側に位置する2つの光電変換部の信号を加算し、前記4つの光電変換部のうち前記第2方向の分割線に対して他方の側に位置する2つの光電変換部の信号を加算し、当該両加算信号を独立して得るモードであり、

前記第3のモードは、前記4つの光電変換部の信号を加算するモードである、
ことを特徴とする固体撮像素子。

20 2. 光学系により結像される被写体像を光電変換する固体撮像素子であって、
2次元状に配置された複数の画素を備え、

前記複数の画素のうち少なくとも一部の画素は、平面視において互いに交差する第1方向の分割線及び第2方向の分割線が分割する4つの領域にそれぞれ存し各々が入射光を光電変換する4つの光電変換部と、制御信号に応じて第1乃至第3のモードに選択的に設定し得るモード設定手段とを含み、

25 前記第1のモードは、前記4つの光電変換部のうち前記第1方向の分割線に対

して一方の側に位置する2つの光電変換部同士及び前記4つの光電変換部のうち前記第1方向の分割線に対して他方の側に位置する2つの光電変換部同士がそれぞれ電氣的に連結されるとともに、前記4つの光電変換部のうち前記第1方向の分割線に対して異なる側に位置する光電変換部同士が電氣的に分離されるモードであり、

前記第2のモードは、前記4つの光電変換部のうち前記第2方向の分割線に対して一方の側に位置する2つの光電変換部同士及び前記4つの光電変換部のうち前記第2方向の分割線に対して他方の側に位置する2つの光電変換部同士がそれぞれ電氣的に連結されるとともに、前記4つの光電変換部のうち前記第2方向の分割線に対して異なる側の光電変換部同士が電氣的に分離されるモードであり、

前記第3のモードは、前記4つの光電変換部のうち前記第1方向の分割線に対して一方の側に位置する2つの光電変換部同士及び前記4つの光電変換部のうち前記第1方向の分割線に対して他方の側に位置する2つの光電変換部同士がそれぞれ電氣的に連結されるとともに、前記4つの光電変換部のうち前記第2方向の分割線に対して一方の側に位置する2つの光電変換部同士及び前記4つの光電変換部のうち前記第2方向の分割線に対して他方の側に位置する2つの光電変換部同士がそれぞれ電氣的に連結されるモードである、

ことを特徴とする固体撮像素子。

20

3. 前記4つの光電変換部のうち前記第1又は第2の分割線を挟んで隣り合う各2つの光電変換部間の領域は、当該2つの光電変換部同士が電氣的に連結されている場合に、入射光を光電変換する機能を持つ一方、当該2つの光電変換部同士が電氣的に分離されている場合に、入射光を光電変換する機能を持たないことを特徴とする請求項2記載の固体撮像素子。

25

4. 前記モード設定手段は、前記第1方向の分割線に沿って配置された第1のゲート電極と、前記第2方向の分割線に沿って配置された第2のゲート電極とを含むことを特徴とする請求項3記載の固体撮像素子。

5. 前記第1のゲート電極は、前記4つの光電変換部のうち前記第2の方向の分割線に対して一方の側に位置する2つの光電変換部の半導体領域をソース/ドレインとするMOSトランジスタのゲートを構成するとともに、前記4つの光電変換部のうち前記第2の方向の分割線に対して他方の側に位置する2つの光電変換部の半導体領域をソース/ドレインとするMOSトランジスタのゲートを構成し、

前記第2のゲート電極は、前記4つの光電変換部のうち前記第1の方向の分割線に対して一方の側に位置する2つの光電変換部の半導体領域をソース/ドレインとするMOSトランジスタのゲートを構成するとともに、前記4つの光電変換部のうち前記第1の方向の分割線に対して他方の側に位置する2つの光電変換部の半導体領域をソース/ドレインとするMOSトランジスタのゲートを構成する、

ことを特徴とする請求項4記載の固体撮像素子。

6. 前記第1及び第2のゲート電極が透明材料で構成されたことを特徴とする請求項4記載の固体撮像素子。

7. 前記第1及び第2のゲート電極がポリシリコンで構成されたことを特徴とする請求項5記載の固体撮像素子。

8. 前記少なくとも一部の画素は、前記4つの光電変換部のうち対角に位置する2つの光電変換部から転送される電荷をそれぞれ蓄積する第1及び第2の電

荷格納部と、所定部位の電荷量に応じた信号を出力する増幅部と、前記対角に位置する2つの光電変換部のうち一方の光電変換部から前記第1の電荷格納部に電荷を転送する第1の転送ゲート部と、前記対角に位置する2つの光電変換部のうち他方の光電変換部から前記第2の電荷格納部に電荷を転送する第2の転送ゲート部と、前記第1の電荷格納部から前記所定部位に電荷を転送する第3の転送ゲート部と、前記第2の電荷格納部から前記所定部位に電荷を転送する第4の転送ゲート部と、を含むことを特徴とする請求項2に記載の固体撮像素子。

9. 前記少なくとも一部の画素は、前記4つの光電変換部のうち少なくとも1つの光電変換部から電荷を排出させる電荷排出ゲート部を含むことを特徴とする請求項1乃至8のいずれかに記載の固体撮像素子。

10. 前記少なくとも一部の画素の各々に対して1対1に設けられ当該画素の前記4つの光電変換部に入射光を導くマイクロレンズを、備えたことを特徴とする請求項1に記載の固体撮像素子。

11. 請求項1乃至10のいずれかに記載の固体撮像素子と、前記少なくとも一部の画素のうち選択された各画素から、前記第1又は第2のモードで得られる信号に基づいて、前記光学系の焦点調節状態を示す検出信号を出力する検出処理部を、備えたことを特徴とする撮像装置。

12. 前記被写体像に応じて、前記第1及び第2のモードのうちいずれのモードで得られる信号に基づいて前記光学系の焦点調節状態を検出するかを、決定することを特徴とする請求項11記載の撮像装置。

25

13. 前記検出処理部からの検出信号に基づいて前記光学系の焦点調節を行う

調節部を備えたことを特徴とする請求項 1 1 記載の撮像装置。

図 1

電子カメラ
1

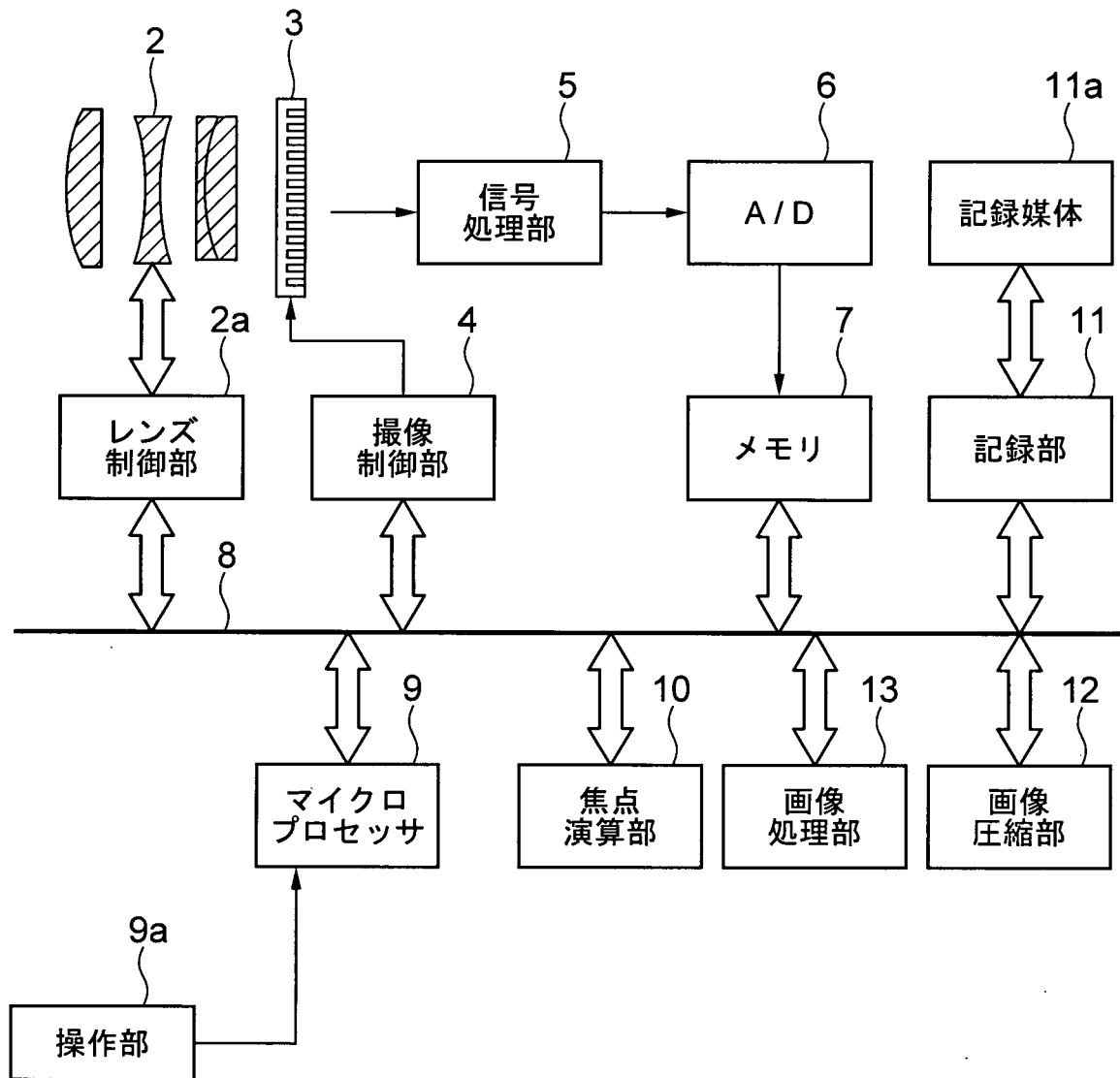


图 2

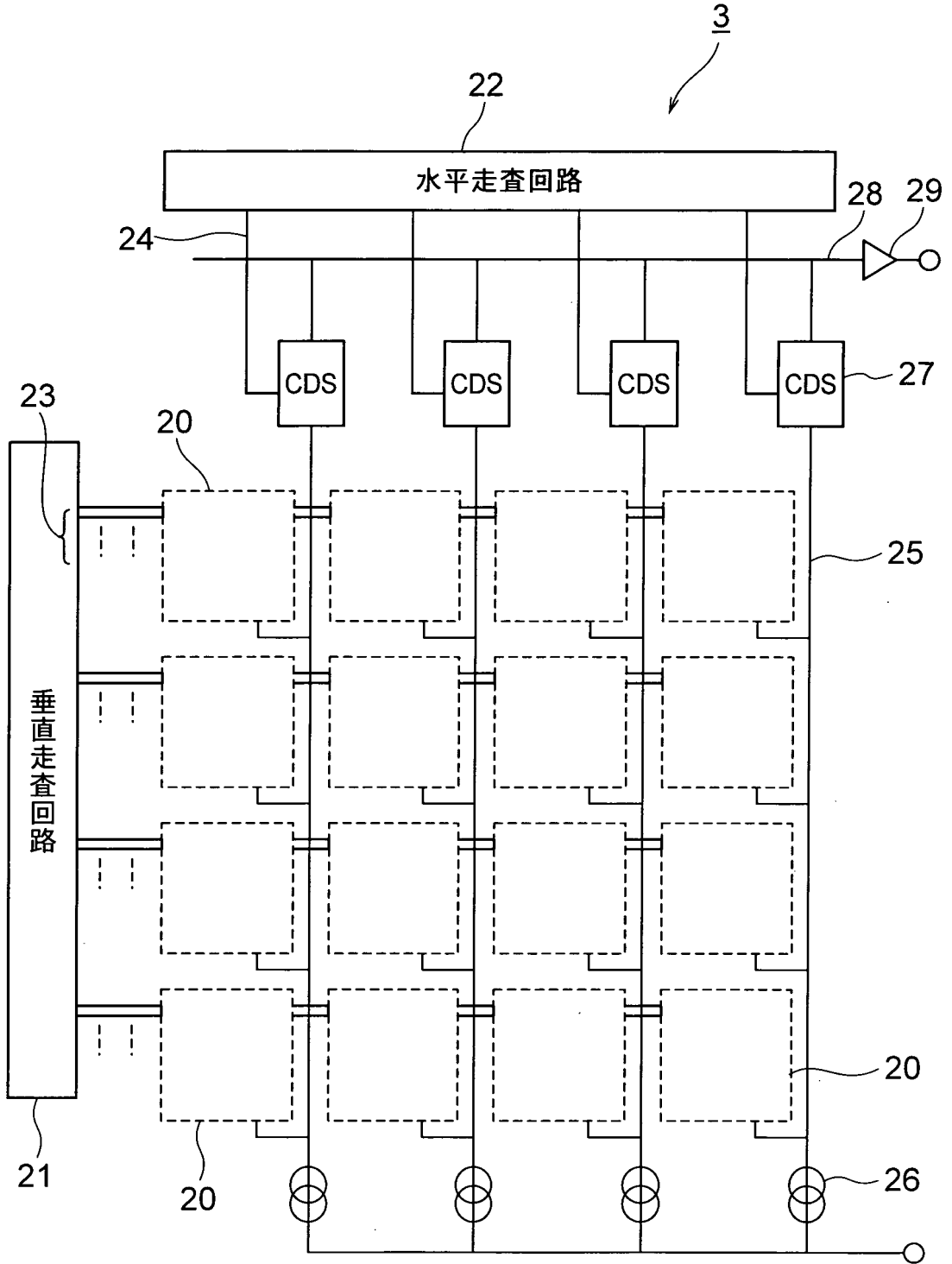


図 3

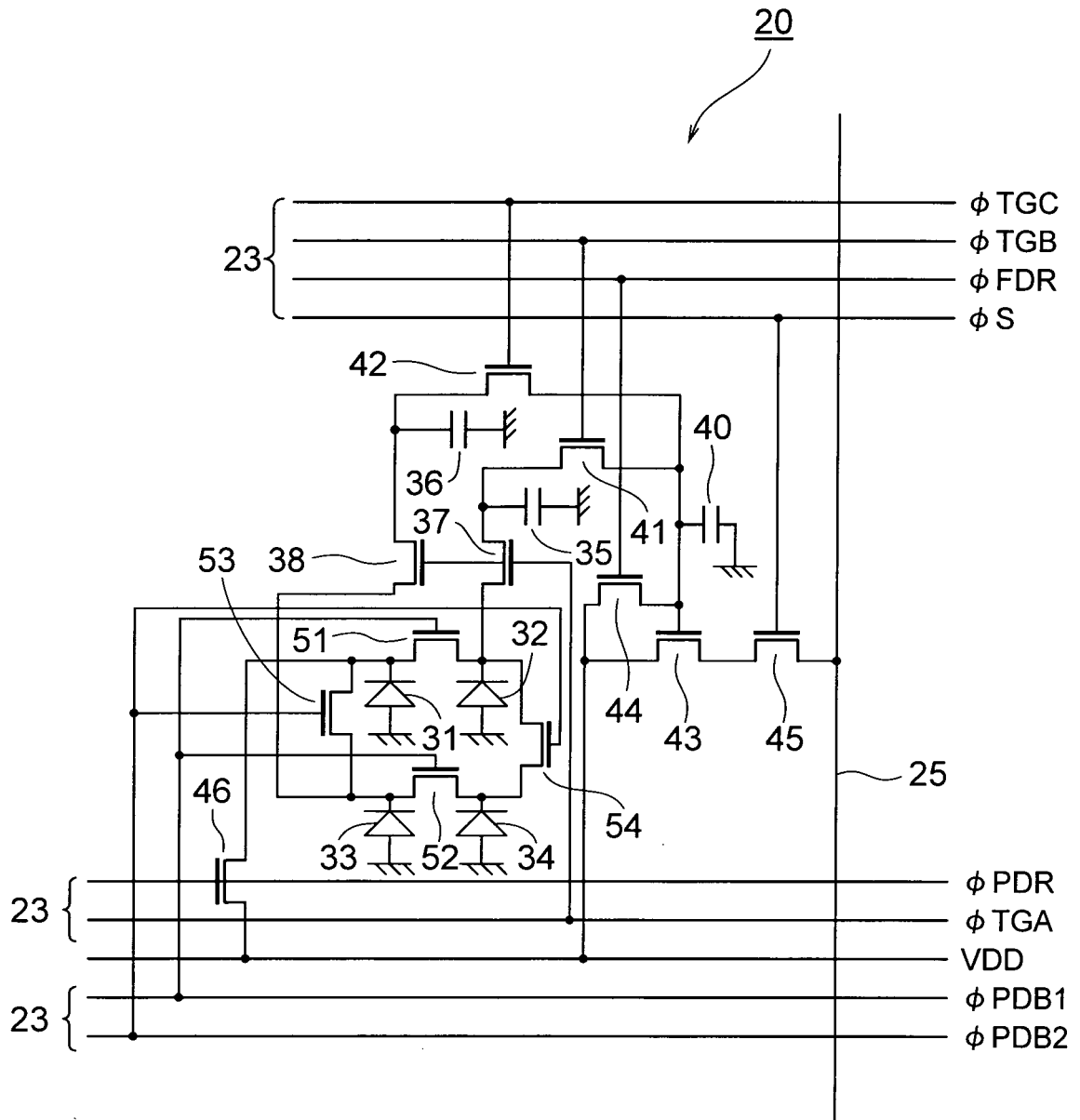


図 4

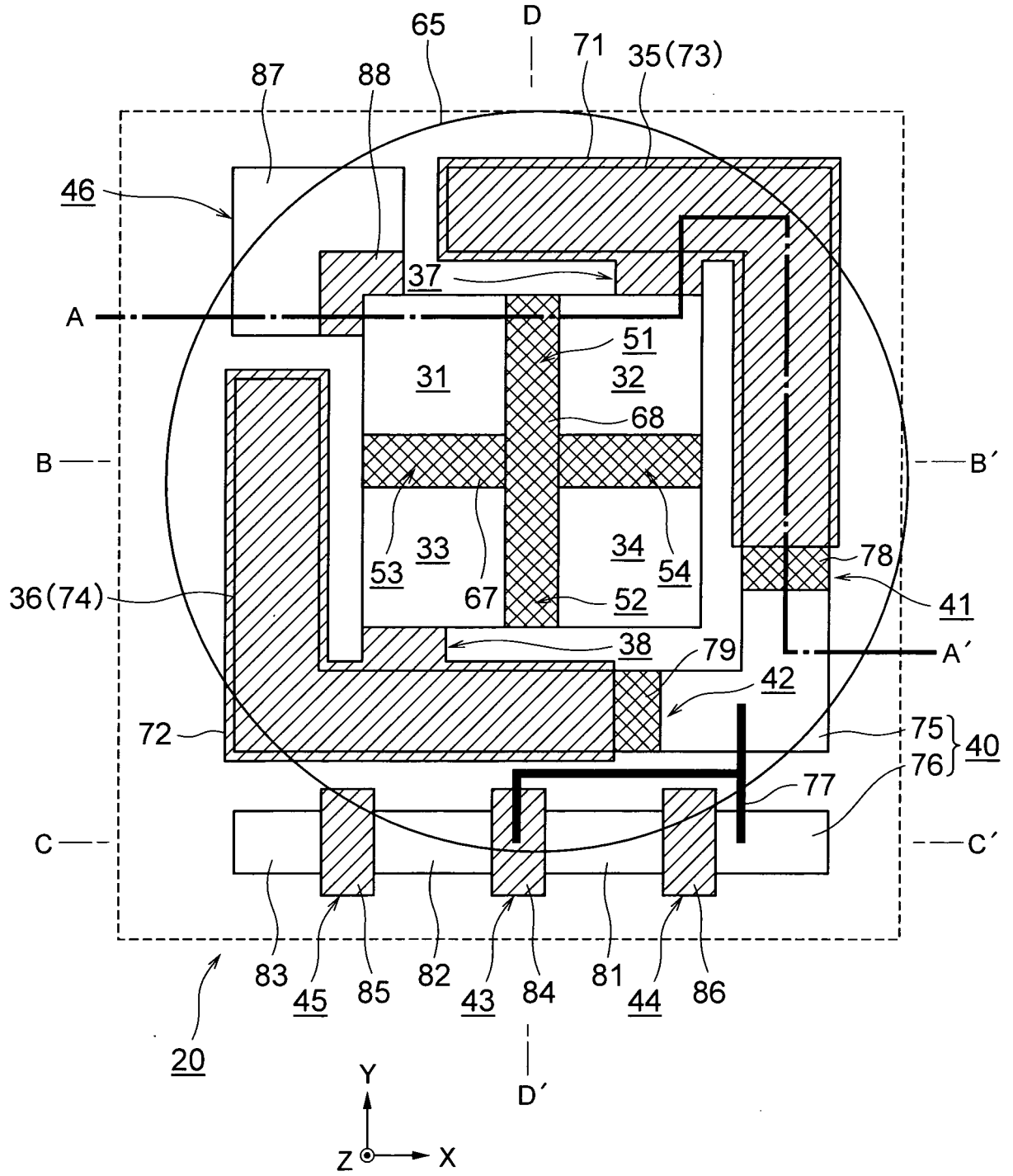


図 5

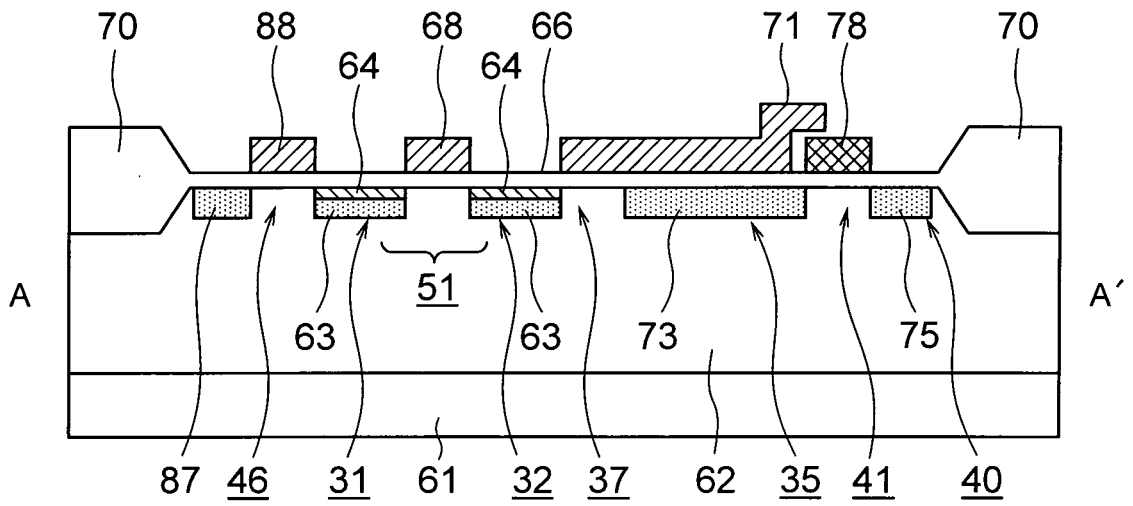


図 6

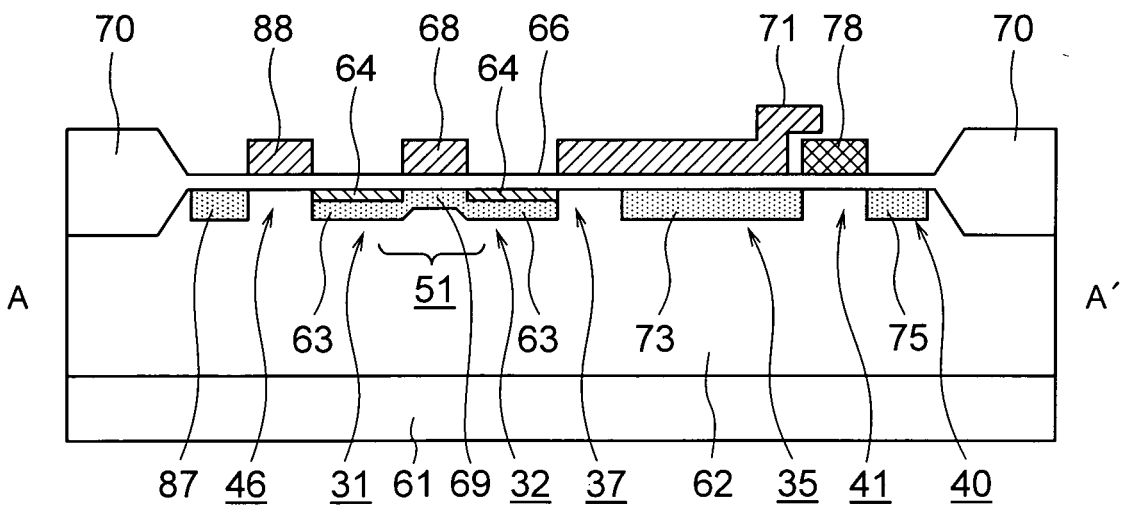


図 7

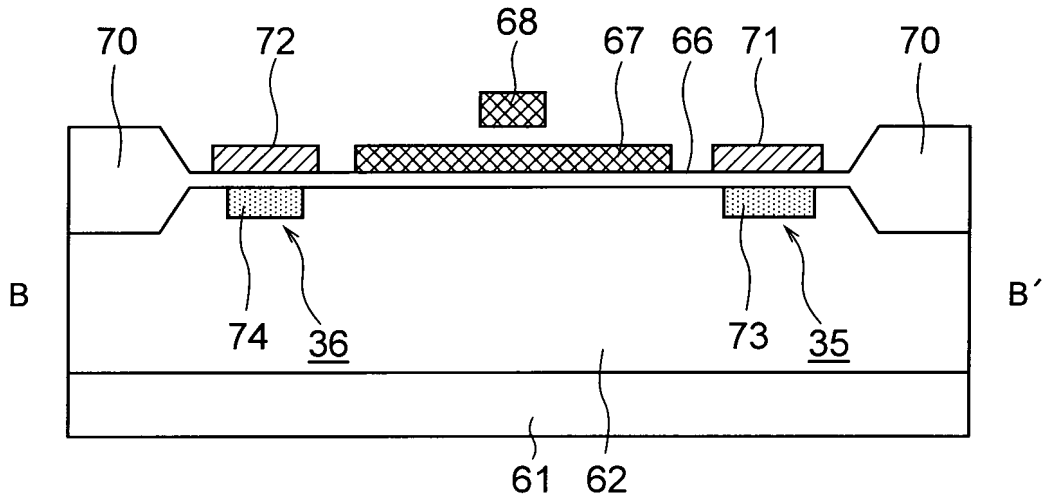


図 8

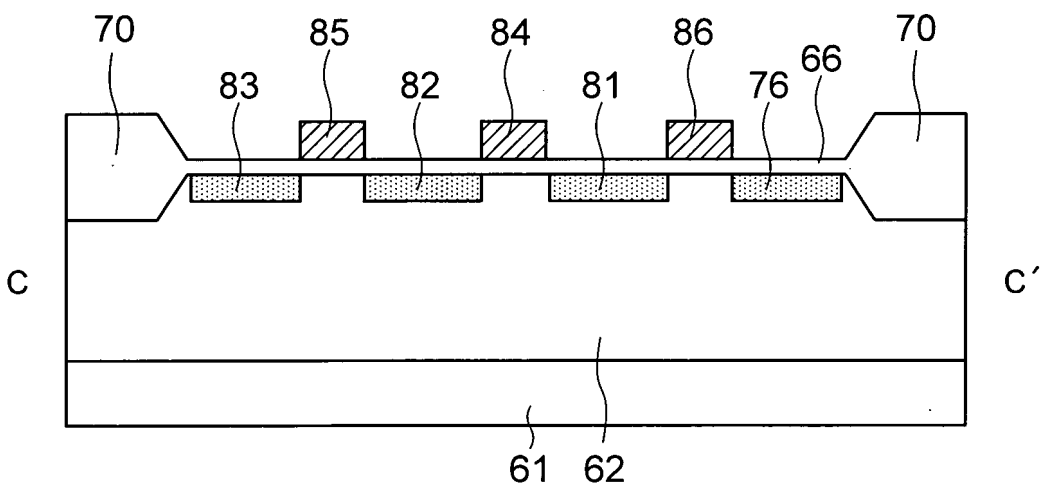


図 9

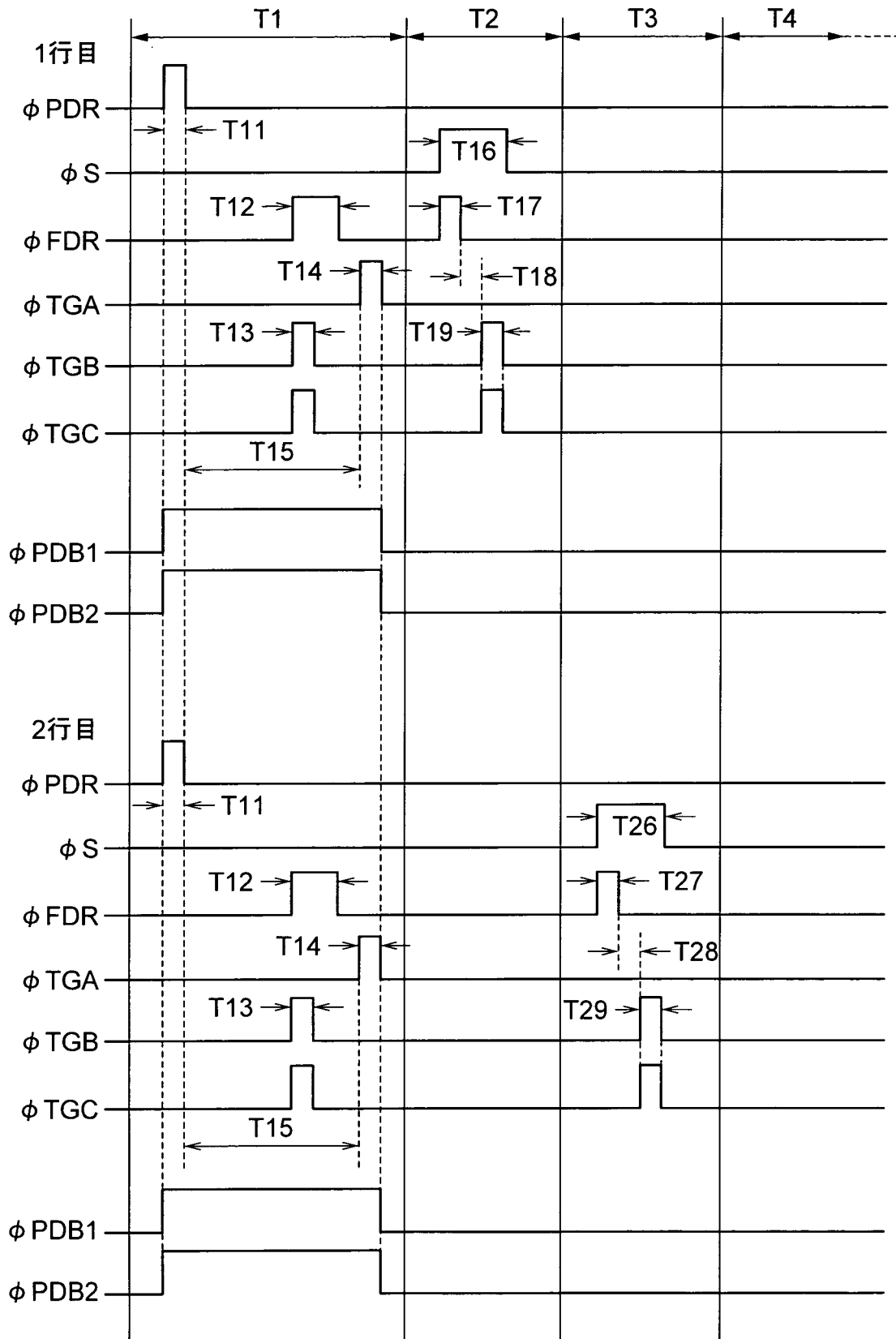


図10

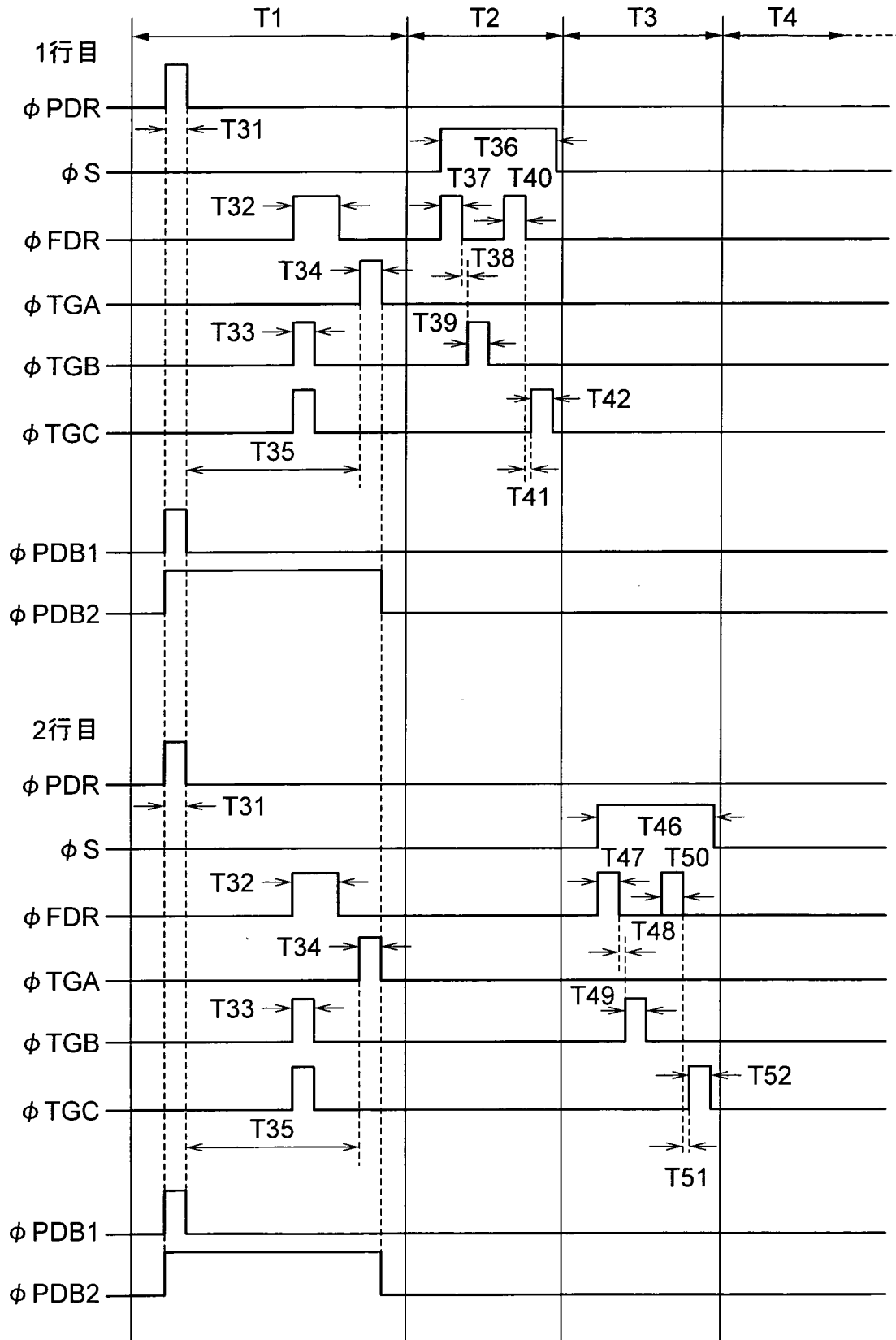


図11

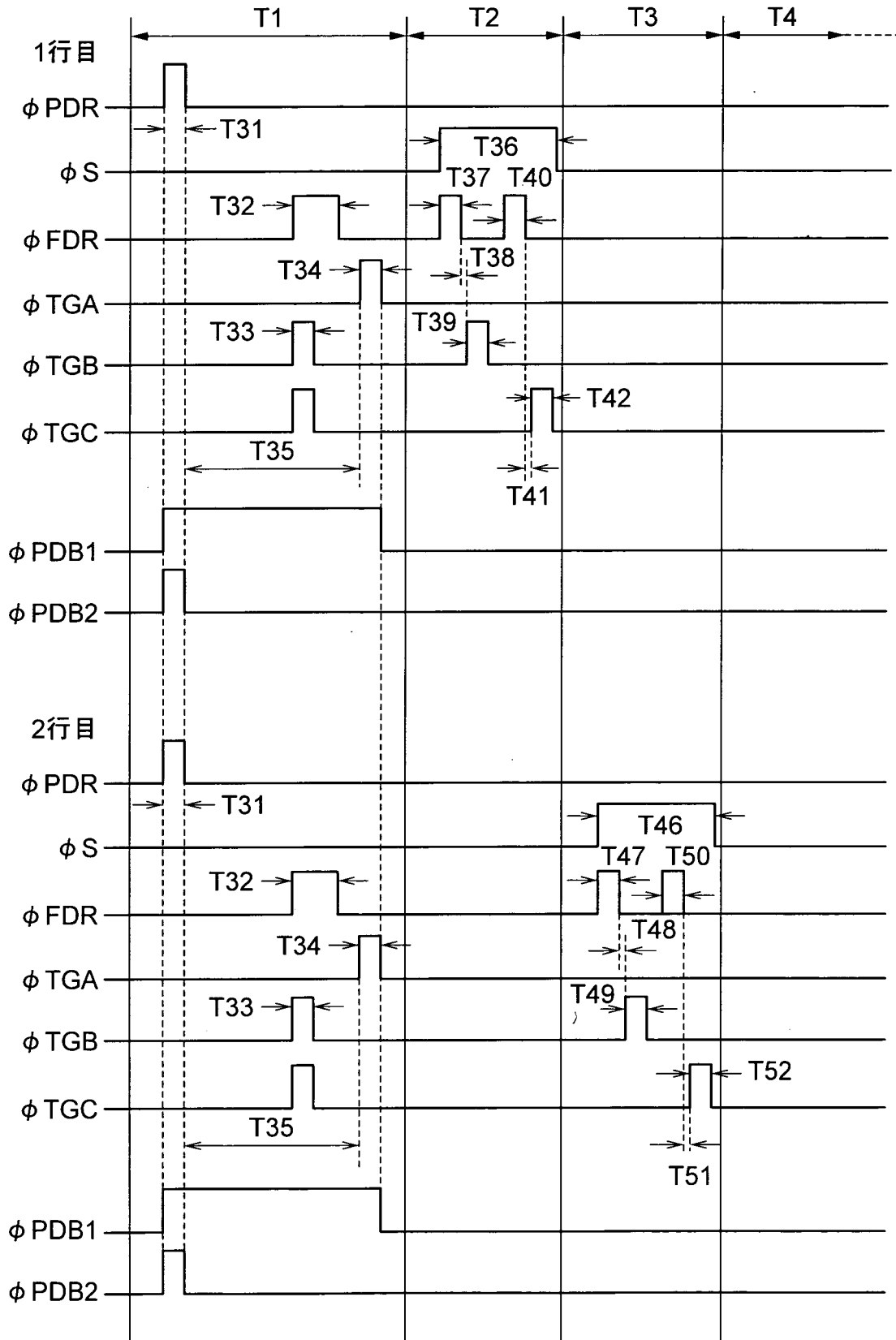
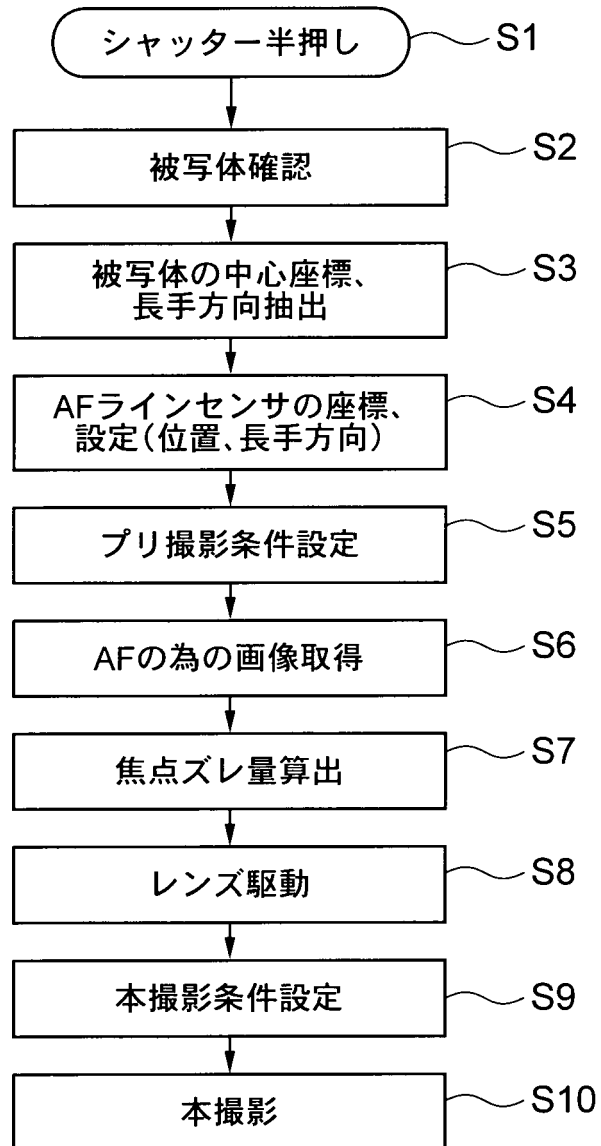


図12



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/061251

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/335(2006.01) i, H01L27/146(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/335, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 58-24105 A (Honeywell Inc.), 14 February, 1983 (14.02.83), Page 1, lower left column, line 18 to page 3, upper right column, line 14; Figs. 1 to 4 & US 4410804 A & EP 0069938 A1	1, 9-13 2-8
X	JP 2005-176081 A (Konica Minolta Holdings, Inc.), 30 June, 2005 (30.06.05), Par. Nos. [0017] to [0040]; Figs. 1 to 4 & US 2005/0128328 A1	2
X	JP 2000-59696 A (Canon Inc.), 25 February, 2000 (25.02.00), Par. Nos. [0010] to [0087]; Figs. 1 to 18 & US 6956605 B1	2

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
28 August, 2007 (28.08.07)

Date of mailing of the international search report
11 September, 2007 (11.09.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H04N5/335(2006.01)i, H01L27/146(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H04N5/335, H01L27/146		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 58-24105 A (ハネウエル・インコーポレーテッド) 1983.02.14, 第1頁左下欄第18行-第3頁右上欄第14行、第1-4図 & US 4410804 A & EP 0069938 A1	1, 9-13 2-8
X	JP 2005-176081 A (コニカミノルタホールディングス株式会社) 2005.06.30, 段落[0017]-[0040]、図1-4 & US 2005/0128328 A1	2
X	JP 2000-59696 A (キヤノン株式会社) 2000.02.25, 段落[0010]-[0087]、図1-18 & US 6956605 B1	2
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的な技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 28.08.2007	国際調査報告の発送日 11.09.2007	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) ▲徳▼田 賢二 電話番号 03-3581-1101 内線 3581	5 P 9654