

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 21/339

(45) 공고일자 1994년 10월 15일
(11) 공고번호 특 1994-0009601

(21) 출원번호	특 1991-0016045	(65) 공개번호	특 1993-0006828
(22) 출원일자	1991년 09월 14일	(43) 공개일자	1993년 04월 22일
(71) 출원인	금성일렉트론 주식회사 문정환 충청북도 청주시 향정동 50번지		

(72) 발명자 우야신지
 경기도 과천시 원문동 주공APT 266-510
(74) 대리인 김용인, 심창섭

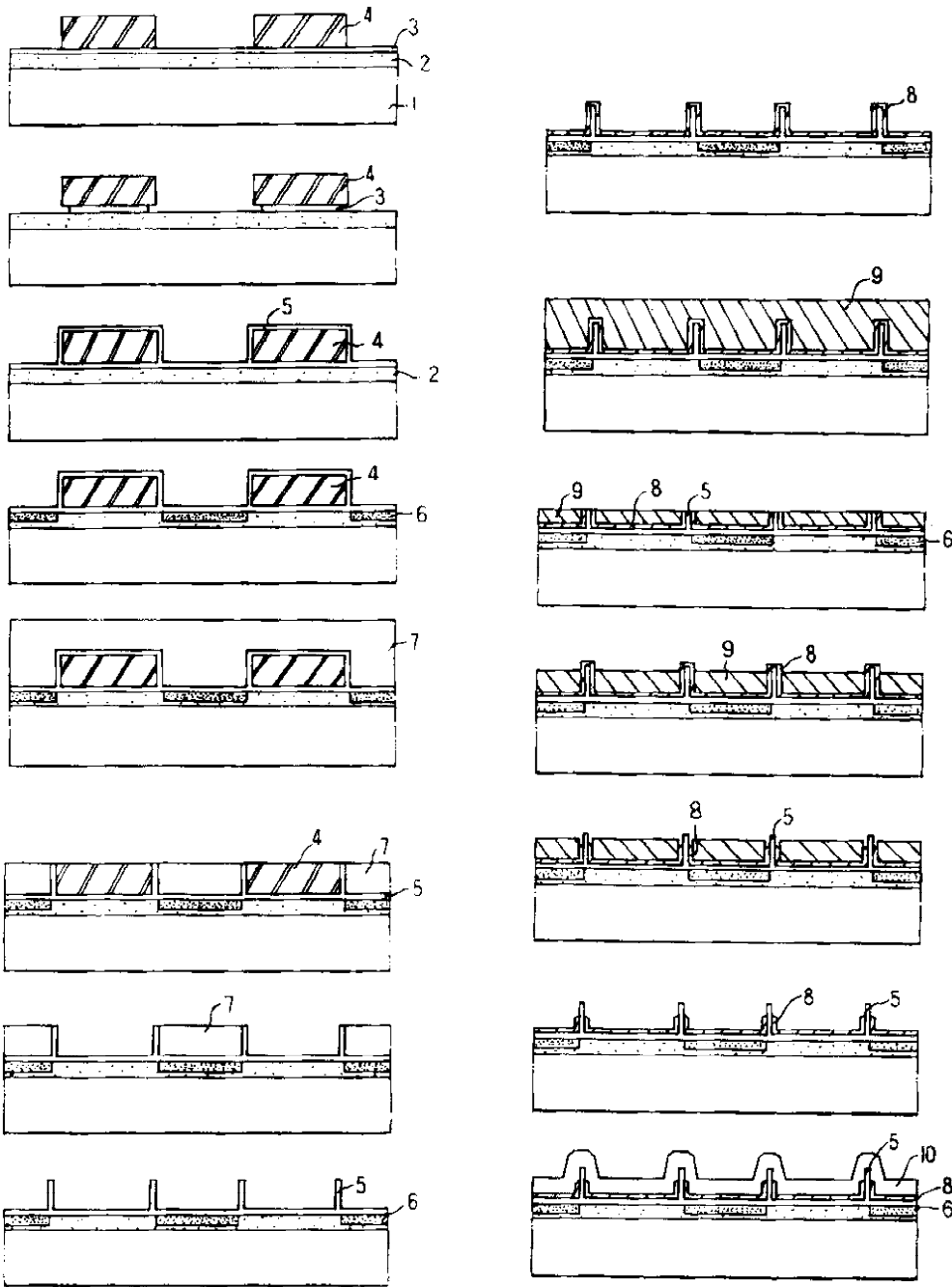
심사관 : 박형식 (책자공보 제3774호)

(54) 전하전송장치의 제조방법

요약

내용 없음.

대표도



명세서

[발명의 명칭]

전하전송장치의 제조방법

[도면의 간단한 설명]

제 1 도는 본발명 전하전송장치의 공정단면도.

제 2 도는 종래 2층 다결정실리콘의 공정단면도.

제 3 도는 종래 단층 도전체의 공정단면도.

제 4 도는 2상 CCD의 자기 정렬을 위한 공정단면도.

제 5 도는 2상 구동 CCD를 종래의 단층 도전체 공정으로 나타낸 단면도 및 채널내 전위 분포도.

* 도면의 주요부분에 대한 부호의 설명

1 : P형 실리콘기판

2 : n형 확산층

- | | |
|-----------------|---------------|
| 3, 5 : 실리콘 산화막 | 4 : 제1다결정실리콘층 |
| 5, 12 : 실리콘 산화막 | 6 : P형 이온주입층 |
| 7 : 제1평탄화층 | 8 : 도전체층 |
| 9 : 제2평탄화층 | 10 : 보호층 |
| 11 : 제2다결정실리콘층 | 13 : BPSG층 |
| 14 : 포토레지스트층 | |

[발명의 상세한 설명]

본 발명은 고체 촬상장치 및 신호지연 장치 등에 이용되는 전하전송장치에 관한 것으로 특히 인접하는 전송 전극이 동일한 도전체층으로 되는 전송전하 구조를 갖는 전하전송장치의 제조방법에 관한 것이다.

종래 고체 촬상 장치 및 신호 지연장치 등에는 전위차에 따라 전하를 일방향으로 순차 전송하는 전하전송 장치가 이용되고 있다. 이 전하전송장치는 통상 실리콘기판위에 게이트 절연층을 매개하여 전송전극을 인접 배치한 것이고, 전송전극에 인가하는 전압에 따라 기판표면의 채널내에 축적된 전하를 인접하는 전송전극으로 이동시킬 수가 있다.

이하 이러한 종류의 전하전송장치의 제조방법을 제 2 및 제 3 도를 참고로 하여 간단히 설명한다. 제 2 도의 예는 전송전극에 다결정실리콘을 이용하여 전송전극간 절연층을 열산화에 의해 형성시켜 전송전극의 간격을 충분히 작게 한 방법이다.

먼저 제 2a 도와 같이 P형 실리콘 기판(1)위에 n형 확산층(2), 실리콘 산화막(3), 제1다결정실리콘층(4)을 차례로 형성하고, 제1다결정실리콘층(4)을 포토레지스트와 RIE(Reactive Ion Etching)를 이용하여 전송전극 형상으로 패터닝(Patterning)한다. 그리고 제 2b 도와 같이 에칭 데미지(Etching Damage)를 받은 실리콘 산화막(3)의 노출부분을 제거한다. 다음에 제 2c 도와 같이 열산화에 의해 n형 확산층(2)의 표면과 제1다결정실리콘층(4) 표면에 실리콘 산화막(5)을 형성시킨 후 전면에 제2다결정실리콘층(11)을 형성하고 이 제2다결정실리콘층(11)을 전송전극 형상으로 선택 에칭한다. 이후 제 2d 도와 같이 제2다결정실리콘층(11)의 표면을 열산화시켜 실리콘 산화막(12)을 형성하고 전면에 BPSG층(13)을 형성한다. 이러한 방법에서는 전송전극간의 간격이 제1다결정실리콘층(4)을 산화시켜 형성된 실리콘 산화막(5)의 두께에 따라 결정되기 때문에 0.2 μ m 이하의 전송전극 간격을 실현하는 것이 가능하다.

따라서, 전송전극 간격에 기인하는 전위 포켓이 거의 없는 상태가 실현된다. 이와 같이 2층 다결정실리콘층을 이용하는 방법은 높은 전송 효율을 얻기 때문에 충분히 좁은 전송전극 간격을 실현하기에 적합하며, 지금까지 제품화된 고체 촬상 장치는 거의 전부가 이 방법을 사용하고 있다. 그러나, 고체 촬상 장치와 같은 미소한 신호 전하를 취급하는 장치에 있어서는 얼마간의 문제점을 갖고 있다.

먼저, 전송전극에 이용되는 전도체층이 복수하고 공정이 복잡하다. 또, 한번 산화시킨 실리콘기판 표면을 노출시키는 공정을 거치기 때문에 실리콘기판 표면이 불순물에 의해 오염될 위험성이 증가한다. 이는 극소적인 전위 이상에 따른 영상 결함 발생의 원인이 된다. 더욱이 실리콘 기판 표면의 산화는 산화기인 적층결합(OISF)발생의 원인이 되고, 발생 재결합 중심(GRCENTER)에 의한 영상 결함 발생의 원인도 된다. 더구나, 다른 도전체층으로 된 전송전극은 확실히 겹쳐질 필요가 있기 때문에 일정의 오버랩(over lap)간격이 필요하고 전송전극 구조의 축소에 한계를 가져온다. 이런 것들외에 전송전극간의 오버랩은 다른 클락펄스를 인가하는 전송전극간의 충전 정전 용량을 증가시켜 구동에 필요한 소비 전력을 증가시키는 요인이 된다.

또한, 전송전극의 재료가 한정되어 있기 때문에 다결정실리콘의 각종 재료적 한계가 장치의 성능을 제한시킨다. 예를들어, 프레임 트랜스퍼 CCD에 있어서는 입사광이 폴리실리콘 전송전극을 통과하는 구조이기 때문에 다결정실리콘의 단파장의 광흡수에 따라 청(靑)감도가 저하되어 분광감도 특성이 왜곡된다. 또, 저 스미어 고체 촬상 장치인 프레임 인터라인 트랜스퍼 CCD와 신호전하의 전송용량이 증가하고 다이내믹 랜지(Dynamic Range)를 크게 할 수 있는 차이지 스위프(charge sweep) 디바이스에 있어서는 수직 CCD의 고속 구동이 필요하지만 다결정실리콘에서는 전송전극의 저항치가 커서 구동 주파수를 증가시킴에 따라 포화신호 전하량이 저하되는 현상이 발생한다. 따라서, 이러한 디바이스에서는 보다 높은 광 투과율의 재료와 보다 낮은 저항의 전극재료를 사용하여 전송전극 구조를 형성하는 방법이 중요하다.

한편, 제 3 도의 예는 전송전극을 동일한 도전체층으로 형성하는 방법으로 먼저 (a)와 같이 P형 실리콘기판(1)위에 n형 확산층(2), 실리콘 산화막(3), 제1다결정실리콘층(4)을 차례로 형성한다. 다음에 제 3b 도와 같이 제1다결정실리콘층(4) 위에 각 전송전극에 대응하는 포토레지스트(14)를 형성하고 예들 들어 RIE 등의 이방성 에칭방법을 이용하여 전송전극의 분리간격을 형성한다.

또, 제 3c 도와 같이 제1다결정실리콘층(4)의 표면을 산화시켜 산화막(5)을 형성하고 표면 평탄화를 위한 BPSG층(13)을 형성한다. 이 방법의 최대 이점은 제조 공정이 매우 간단하고 제조 원가가 저렴하며, 전술한 화상 흡결에 관한 불순물 부착과 산화기인 적층결합의 문제점이 해소되고, 전송전극간의 정전용량이 감소할 뿐만 아니라 전송전극의 재료에 제한이 없다.

그러나, 이 공정에서는 전송전극간의 간격이 반도체 가공 기술의 한계에 의존하기 때문에 높은 전송 효율을 얻기위한 충분히 좁은 전송전극 간격을 얻기가 어렵다. 통상, 구동 펄스의 주파수가 MHz대의 고속 구동을 행하는 전하전송장치에서는 높은 전하전송 효율을 얻기 위한 2상 구동 CCD를 채용한다. 2층 구동 CCD의 형성에는 제 4 도에 도시한 자기 정합 공정이 중요한 역할을 담당한다.

먼저, 제 4a 도와 같이 P형 실리콘 기판(1)위에 n형 확산층(2)과 실리콘 산화막(3) 및 제1다결정실리콘층(4)을 차례로 형성하고 제1다결정실리콘층(4)을 포토레지스트와 RIE등을 이용하여 전송전극의 형상으로 패터닝한다. 이 후 제 4b 도와 같이 에칭 데미지를 받은 실리콘 산화막(3)의 노출부분을 제거한다. 그리고, 제 4c 도와 같이 열산화에 의해 n형 확산층(2)의 표면과 제1다결정실리콘층(4)의 표면에 실리콘 산화막(5)을 형성한 후 제1다결정실리콘층(4)을 마스크로 이용하여 P형 불순물을 주입하므로 P형 이온 주입층(6)을 형성한다.

그리고 제 4d 도와 같이 전면에 제2다결정실리콘층(11)을 형성하고 이 다결정실리콘층(11)을 전송전극 형상으로 선택적 에칭한후 열산화에 따라 실리콘 산화막(12)을 형성하고, 전면에 BPSG층(13)을 형성한다. 제 4e 도는 배선 상태를 도시한 것으로 근접하는 제1다결정실리콘층(4)과 제2다결정실리콘층(11)을 합하여 2상 구동 CCD 전송전극을 형성한다. 제 3 도에 도시한 단층 전극구조의 예에서는 제 4a - e 도와 같은 자기 정합 공정을 이용하지 않는다. 이 때문에 제1다결정실리콘층(4)의 전송전극과 P형 이온 주입층(6)의 위치 간격(차이)이 제 5a 도와 같은 전위 장벽을 만들기도 하고 제5도(b)와 같은 전위 포켓을 만들기도 하여 전송 효율을 현저하게 저하시킨다. 다시 말하여 전송전극에 2층 다결정실리콘을 이용하는 종래 방법에 있어서는 좁은 전송전극 간격을 용이하게 얻을 수 있는 반면에 제조 공정상의 많은 문제점을 내포함과 아울러 장치 설계상의 제약을 받게 된다.

또, 통상의 사진 식각 방법에서는 단층 전송전극 구조로 높은 전송 효율을 얻기위한 전송전극 간격을 실현하기가 곤란하다. 더욱이 단층 전극 구조의 공정에서는 2상 구동 CCD의 자기 정합 공정이 불가능한 결점이 있다.

본발명은 상기와 같은 종래의 제반 결점을 해결하기 위하여 안출한 것으로 전송전극을 단층 도전체층으로 형성하는 것이 가능하고 충분히 좁은 전송전극 간격을 실현하는 것이 가능하며 2상 구동 CCD 자기 정합 공정이 가능한 전하전송장치의 제조방법을 제공하는데 그 목적이 있다.

이와같은 목적을 달성하기 위한 본발명은 종래의 2층 다결정실리콘 공정과 같은 방법을 이용하여 2상 구동 CCD를 자기 정합 공정으로 형성하고 전송전극간의 분리 절연벽으로 다결정실리콘의 측벽 산화층을 이용하기 위하여 제1에치-백 공정에 의해 측벽산화층을 남겨 다결정실리콘을 제거하고 제2에치-백 공정에 의해 전송전극층을 측벽 산화층상에 분리함을 특징으로 한다.

이하에서 본발명의 실시예를 제 1 도를 참고로 하여 상세히 설명하면 다음과 같다.

먼저, (a)와 같이 P형 실리콘기판(1)에 n형 확산층(2)과 실리콘 산화막(3) 및 제1다결정실리콘층(4)을 차례로 형성한 상태에서 사진/식각 공정에 의해 다결정실리콘층(4)을 선택적 제거하므로 전송전극의 형태를 패터닝한다. 그리고 (b)와 같이 에칭 데미지를 받은 실리콘 산화막(3)의 노출부분을 제거하고 (c)와 같이 열산화에 따른 n형 확산층(2)의 표면과 제1다결정실리콘층(4) 표면에 실리콘 산화막(5)을 형성한다. 다음에 제 1d 도와 같이 하나의 전송전극 형상으로 패터닝한 제1다결정실리콘층(4)을 마스크로 하여 P형 이온 주입을 실시하므로 P형 이온 주입층(6)을 형성한다. 그리고 제 1e 도와 같이 예를들어 포토레지스트와 같은 유기물을 도포하여 제1평탄화층(7)을 형성한다.

또한, 제 1f 도와 같이 제1평탄화층(7)을 에칭하여 제1다결정실리콘층(4) 표면의 실리콘 산화막(5)을 노출시키고 노출된 실리콘 산화막(5)을 제거하므로 제1다결정실리콘층(4)의 표면을 노출시킨다. 다음에 화학적 건식 에칭에 의해 제1다결정실리콘층(4)을 선택적으로 에칭하여 제 1g 도의 단면 형상을 얻는다. 그 후 제 1h 도와 같은 제1평탄화층(7)의 남은 부분을 제거하고 제 1i 도와 같이 전면 에 도전체층(8)을 형성한다. 그리고 제 1j 도와 같이 다시 포토레지스트와 같은 유기물을 도포하여 제2평탄화층(9)을 형성한다. 다음에 제 1k 도와 같이 제2평탄화층(9)과 도전체층(8) 및 실리콘 산화막(5)을 같은 속도로 에칭한다. 만일, 제 1k 도와 같은 형상을 실현하는 에칭이 곤란한 경우는 제 1i 도와 같이 먼저 제2평탄화층(9)을 에칭하여 도전체층(8)을 노출시킨 후에 도전체층(8)을 선택적 에칭하여 제 1m 도의 단면 형상을 얻는다.

또한, 도전체층(8)을 분리한 후는 제 1n 도와 같이 제2평탄화층(9)의 남은 부분을 제거한 후 도시는 되어 있지 않지만 전하전송장치 구성에 불필요한 주변부 및 광전변환부상의 도전체층(8)의 제거 및 장치 구성상 필요한 전하전송부 이외의 형성공정을 거친다. 이후 전면에 보호층(10)을 형성하여 제 1o 도의 단면 형상을 얻는다. 제 1k 도에 이어지는 공정도 단면 형상이 약간 다를 뿐이어서 여기서는 생략한다.

또, 본발명은 상술한 실시예에 한정되지 않는다. 예를들어 제1다결정실리콘층(4)의 에칭 방법은 RIE에 한하지 않고 이방성 에칭 방법이어도 가능하다. 그리고 동방성 에칭방법을 사용하는 경우에도 충분히 크게 사이드 에칭을 행하고 제1다결정실리콘층(4)의 측벽은 거의 P형 실리콘 기판(1)에 수직으로 본발명을 적용가능하다.

또한, 도전층의 재료는 Al과 W 등의 금속, 인듐 틴 옥사이드(Indium Tin Oxide)와 같은 투명전극재, 종래와 같은 다결정실리콘이 좋고 그의 형성방법도 상술한 실시예에 한정되지 않는다. 더욱이, 상술한 실시예에서는 제1다결정실리콘층(4)의 에칭후에 노출된 실리콘 산화막(3)을 제거하는 공정을 도시하였는데, 제1다결정실리콘층(4)의 에칭 후에 노출된 실리콘 산화막(3)을 제거하는 공정을 도시하였는데, 제1다결정실리콘층(4)의 에칭방법이 데미지를 주지 않으면 실리콘 산화막(3)의 제거공정은 필요없다. 이 경우에는 본발명에 의한 효과는 같다. 또, 2상 구동 CCD를 형성하기 위한 자기 정합 공정은 2상 구동 CCD 형상의 목적 뿐만아니라 제1다결정실리콘층을 마스크로 하는, 즉 자기 정합 공정에 이용 가능하다. 그외 본 발명을 본발명의 요지를 벗어나지 않는 범위내에서 여러 가지로 변형시켜 실시가능하다.

이상에서 설명한 바와같은 본 발명은 단층 도전체층으로 되는 전송전극 구조를 높은 전송효율을 얻기에 충분히 좁은 전송전극 간격으로 형성 가능하고, 2상 구동 CCD의 자기 정합 공정을 이용 가능하다. 또한, 전송전극의 도전체 재료에 공정상의 제한이 없기 때문에 종래 공정에서는 사용할 수 없었던 Al 및 인듐 틴 옥사이드와 같은 재료가 전송전극으로 이용 가능하다.

(57) 청구의 범위

청구항 1

기판(1)위에 n형 확산층(2), 실리콘 산화막(3), 제1다결정실리콘층(4)을 차례로 형성하고, 제1다결정실리콘층(4)을 전송전극 형태로 패터닝하는 공정과, 상기 실리콘 산화막(3)의 노출 부분을 제거하고 전면에 실리콘 산화막(5)을 형성하는 공정과, 상기 제1다결정실리콘층(4)을 마스크로 이온 주입하여 P형 이온 주입층(6)을 형성하는 공정과, 전면에 제1평탄화층(7)을 형성하고 상기 제1다결정실리콘층(4) 표면이 드러날 때 까지 에칭하는 공정과, 드러난 제1다결정실리콘층(4)과 제1평탄화층(7)을 차례로 에칭하는 공정과, 전면에 도전체층(8)을 형성하고 제2평탄화층(9)을 형성하는 공정과, 상기 제2평탄화층(9)을 에칭하여 도전체층(8)을 노출시킨 후에 도전체층(8)을 선택적 에칭하는 공정과, 상기 제2평탄화층(9)과 도전체층(8)을 차례로 제거하고 전면에 보호층(10)을 형성하는 공정을 포함하여서 이루어지는 전하전송장치의 제조방법.

청구항 2

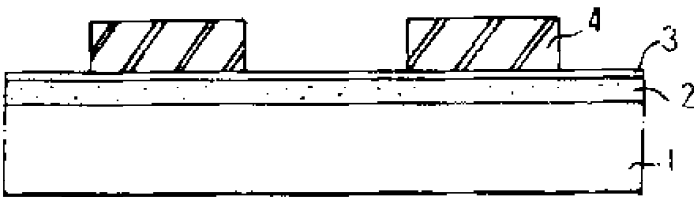
제 1 항에 있어서, 제1다결정실리콘층(4)의 전송전극 형상을 형성한 후 혹은 제1다결정실리콘층(4)의 전송전극 형상을 산화시켜 제1다결정실리콘층(4)을 입힌 실리콘 산화막(3)을 형성한 후에 상기 제1다결정실리콘층(4) 전송전극 형상을 마스크로 하는 자기 정합 공정에 의해 이온 주입을 행하는 것을 특징으로 하는 전하전송장치의 제조방법.

청구항 3

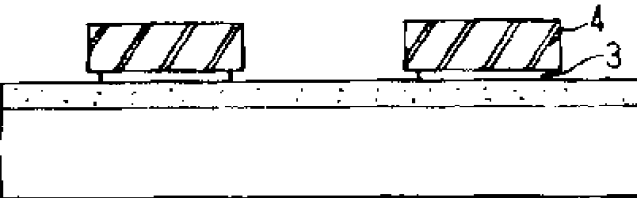
제 1 항에 있어서, 도전체층(8)으로는 인듐 틴 옥사이드를 사용함을 특징으로 하는 전하전송 장치의 제조방법.

도면

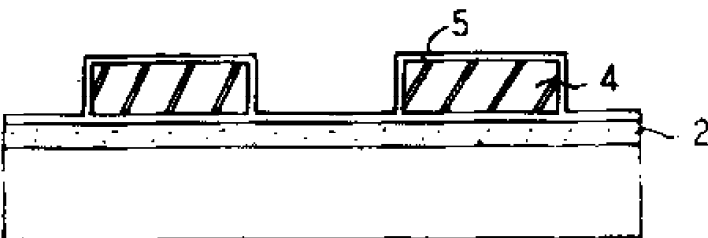
도면1-a



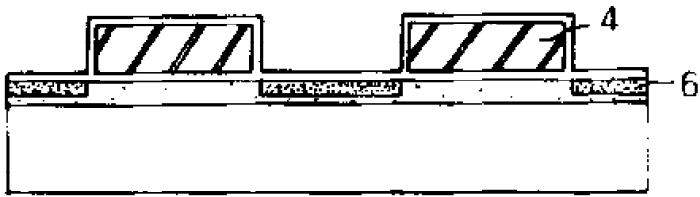
도면1-b



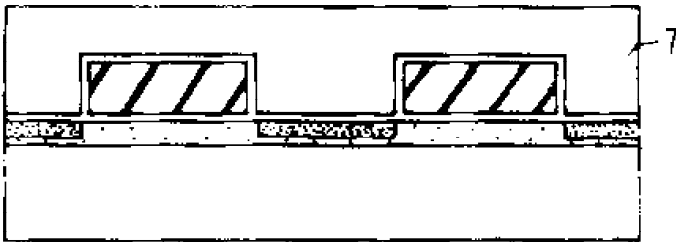
도면1-c



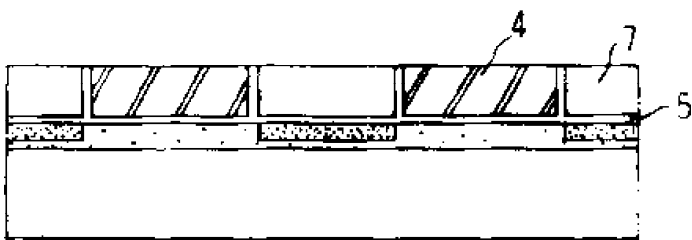
도면1-d



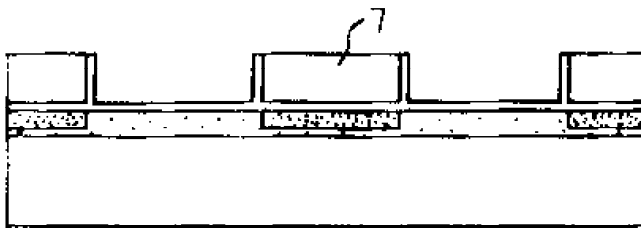
도면1-e



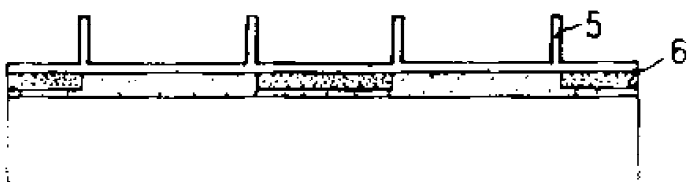
도면1-f



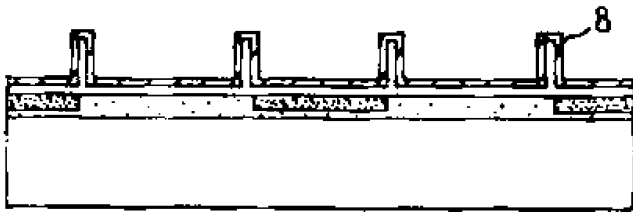
도면1-g



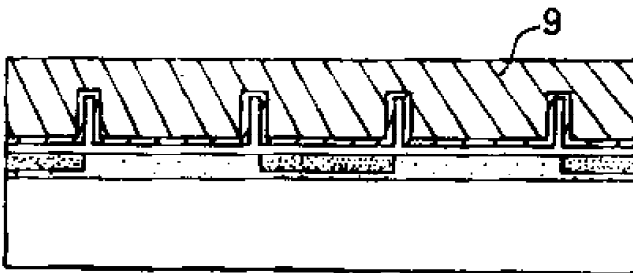
도면1-h



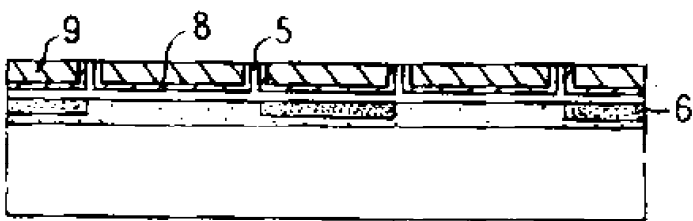
도면1-i



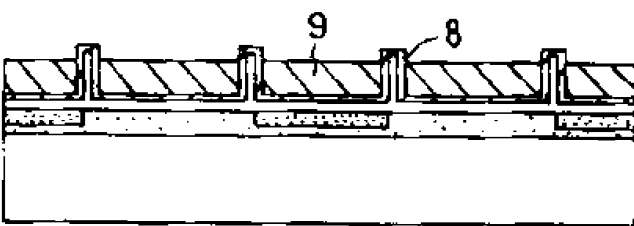
도면1-j



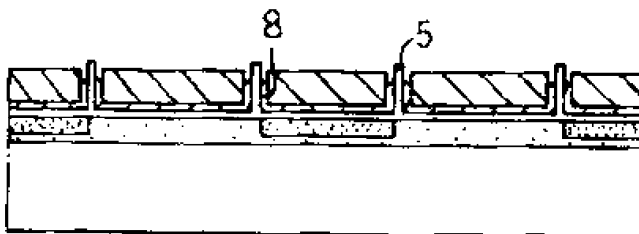
도면1-k



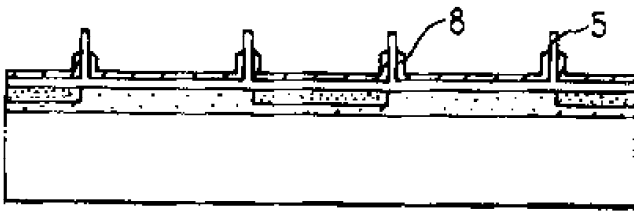
도면1-l



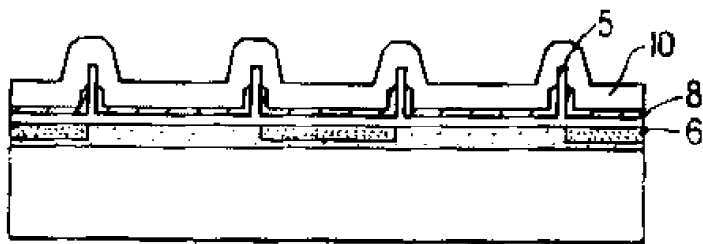
도면1-m



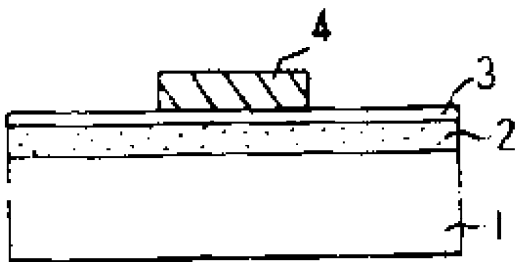
도면1-n



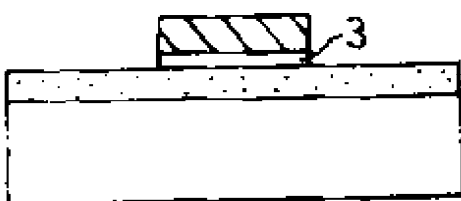
도면1-o



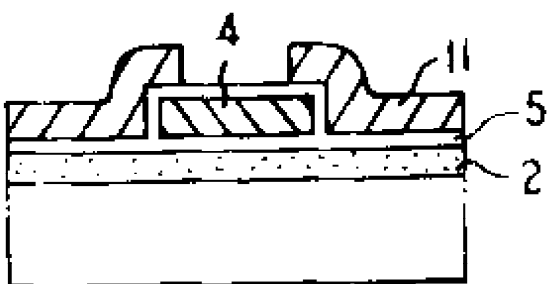
도면2-a



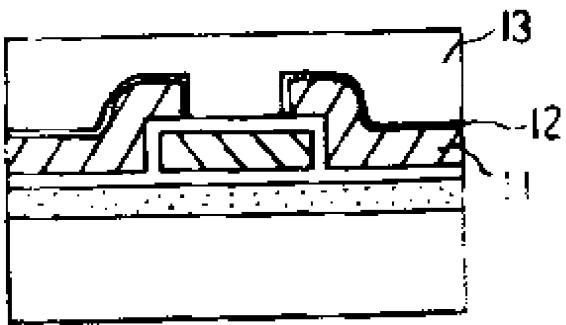
도면2-b



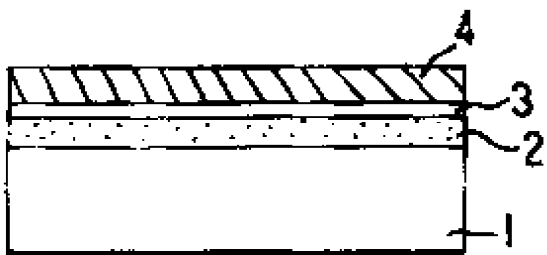
도면2-c



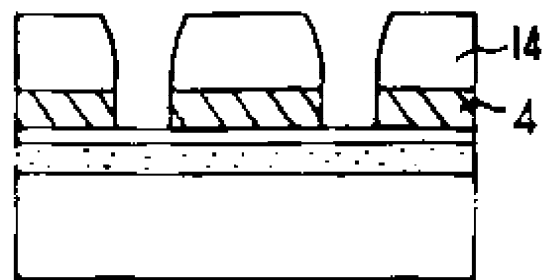
도면2-d



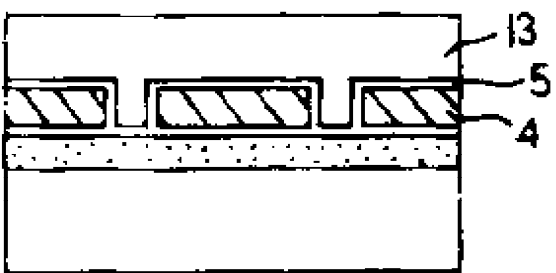
도면3-a



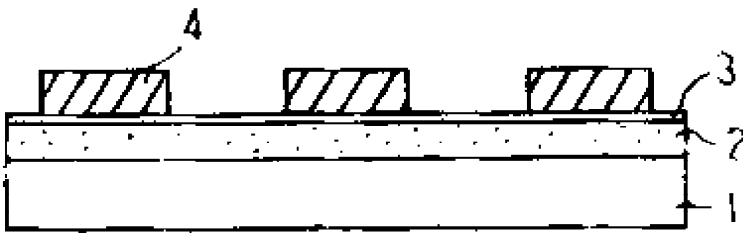
도면3-b



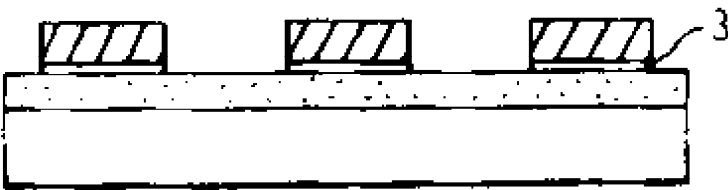
도면3-c



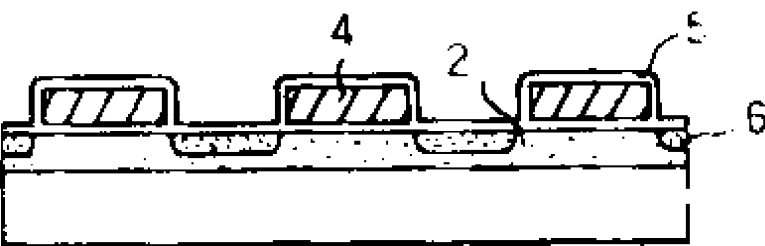
도면4-a



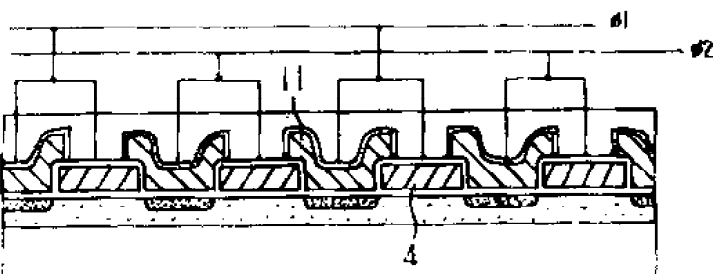
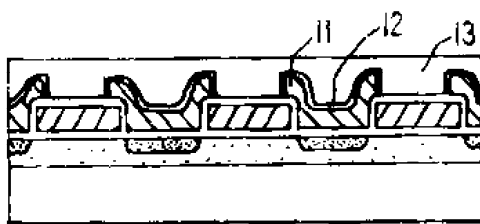
도면4-b



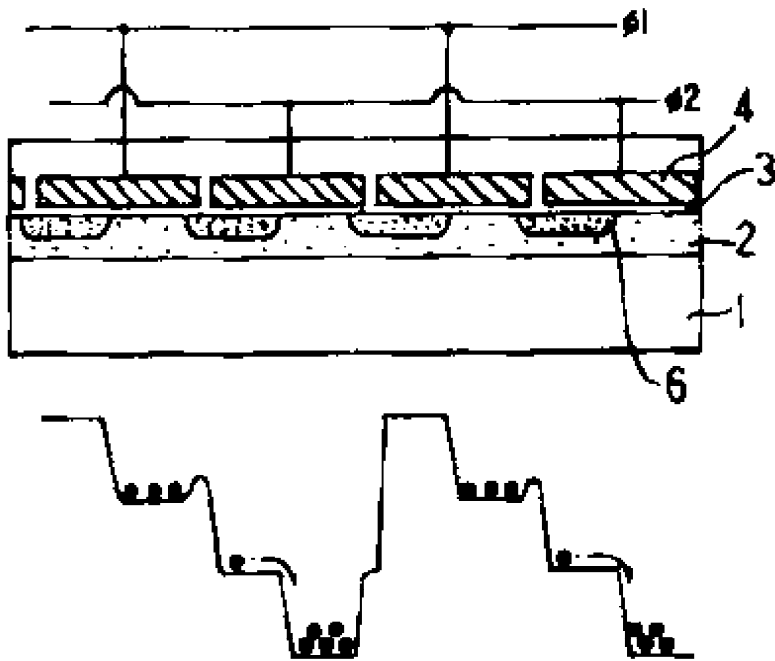
도면4-c



도면4-d



도면5-a



도면5-b

