

(51) 国際特許分類:
H01L 21/3065 (2006.01)

(21) 国際出願番号: PCT/JP2004/019646

(22) 国際出願日: 2004 年 12 月 28 日 (28.12.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): スパ
ンション エルエルシー (SPANSION LLC) [US/US];
940883453 カリフォルニア州サンベイルワンエイ
エムディ プレイス ピー・オー・ボックス 3453
California (US). Spansion Japan 株式会
社 (Spansion Japan Limited) [JP/JP]; 〒9650845 福島
県会津若松市門田町工業団地 6 番 Fukushima (JP).

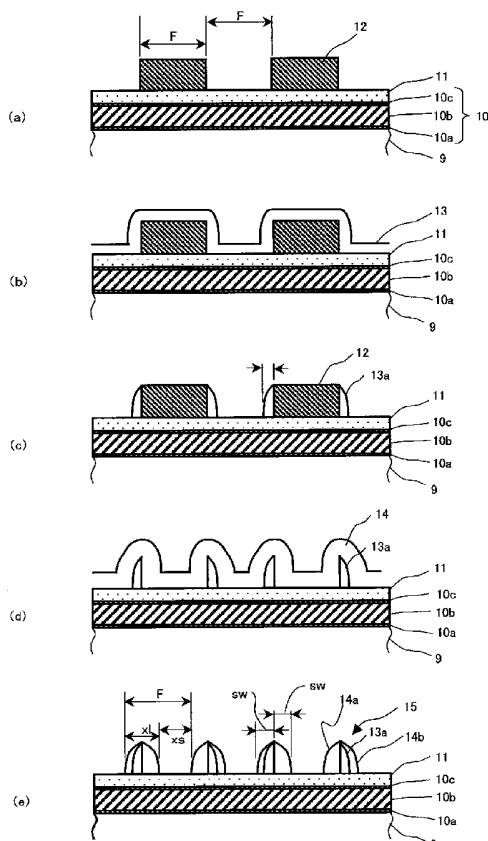
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 荒川 秀 貴
(ARAKAWA, Hideki) [JP/JP]; 〒1600023 東京都新
宿区西新宿四丁目 33 番 4 号 SpansionJapan 株式会社内 Tokyo (JP). 伊藤 拓雄 (ITO,
Takuo) [JP/JP]; 〒1600023 東京都新宿区西新宿四丁
目 33 番 4 号 Spansion Japan 株式会
社内 Tokyo (JP).(74) 代理人: 片山 修平 (KATAYAMA, Shuhei); 〒1040031
東京都中央区京橋 1-6-1 三井住友海上テブコビル
Tokyo (JP).(81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR,
HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR,
LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ,
NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD,
SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,

[続葉有])

(54) Title: PROCESS FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法



(57) Abstract: A process for producing a semiconductor device, comprising the step of depositing first film (11) on processing subject layer (10a, 10b, 10c); the step of forming first mask pattern (12) with given pitch on the first film; the step of depositing a second film and carrying out etchback thereof so as to form first side wall films (13a) on side walls of the first mask pattern; the step of removing the first mask pattern; and the step of depositing a third film and carrying out etchback thereof so as to form second side wall films (14a, 14b), thereby obtaining second mask pattern (15) composed of the first side wall films and the second side wall films. Thus, there can be created a stripe pattern with wire width and wire spacing both having an unchanged dimension with the same pitch as the minimum processing dimension determined by the competence of photolithography process, so that a semiconductor device with high degree of integration can be provided.

(57) 要約: 本発明の半導体装置に製造方法は、被加工層 (10a、10b、10c) 上に第一の膜 (11) を堆積する工程と、前記第一の膜の上に所定のピッチで第一のマスクパターン (12) を形成する工程と、第二の膜を堆積後エッチバックして前記第一のマスクパターン側壁に第一のサイドウォール膜 (13a) を形成する工程と、前記第一のマスクパターンを除去する工程と、前記第三の膜を堆積後エッチバックして第二のサイドウォール膜 (14a、14b) を形成し、前記第一のサイドウォール膜及び前記第二のサイドウォール膜により構成された第二のマスクパターン (15) を形成する工程とを具備する。これにより、フォトリソグラフィ法の能力で決まる最小加工寸法と同じピッチで、且つ配線幅と配線間隔それぞれが同一の寸法であるストライプパターンを形成することができたため、集積度の高い半導体装置を提供することができる。



SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置の製造方法に関する。

背景技術

[0002] 不揮発性半導体メモリは、セルトランジスタを浮遊ゲートと制御ゲートとを積み重ねた構造とし、浮遊ゲートに電荷を蓄えてトランジスタのしきい値を変化させることで、ビット情報を記憶するものが良く知られている。なかでも、電気的一括消去可能なフラッシュメモリが広く使用されており、セルトランジスタの接続法により、NOR型、NAND型、AND型、DINOR型などがある。近年の大容量化に伴い、セルトランジスタの高集積化可能なメモリとしては、NAND型フラッシュメモリが一般的に使用され、また、浮遊ゲートの代わりに絶縁膜に電荷をトラップさせるSONOSセルを仮想接地型アレイとしたメモリも知られている。

[0003] 図1は、従来のNAND型フラッシュメモリアレイの平面図である。メモリアレイの平面パターンは、ワード線である制御ゲート101と、ビット線102とが互いに交差するように形成され、浮遊ゲート103はこれらの交差領域に形成されている。また、素子分離領域104は、ワード線101と垂直方向に延びるように形成され、浮遊ゲート103の間に位置することで、隣り合うセルトランジスタを分離している。素子分離は微細化が容易なSTI(Shallow Trench Isolation)が一般的である。セルトランジスタのソース、ドレインとなるn型拡散層は、隣り合うワード線101間に形成される。

[0004] 従って、NAND型フラッシュメモリは、n型トランジスタが直列に接続したストリング構造を有し、これらが複数本平行に形成されている。ここでは、簡略のため図示していないが、NANDストリングの一端には、選択トランジスタを介してページバッファが接続され、他端は選択トランジスタを介して共通ソース領域に接地される。従来の製法では、STIやワード線、ビット線などの線幅と間隔は、フォトリソグラフィの性能で決まる最小加工寸法Fの制約を受ける。よって、図1に示すように、これらの線幅と間隔それぞれの最小寸法はFであり、配線の最小ピッチは2Fとなるため、最小のメモリセル

サイズは $4F^2$ ($2F \times 2F$) である。

[0005] 最小加工寸法 F より小さい幅で加工する従来技術について説明する。図2(a)に示すように、被加工層105の上に窒化シリコン膜106を堆積し、線幅 F 、間隔 F で多結晶シリコンからなるマスクパターン107を形成する。次に、図2(b)に示すように、マスクパターン107の側壁に、二酸化シリコンからなるサイドウォール膜108を形成した後、図2(c)のようにマスクパターン107を除去する。その後、サイドウォール膜108をマスクにしてエッチングし、窒化シリコン膜106を加工する。続いて、サイドウォール膜108を選択的に除去し、加工された窒化シリコン膜106aをマスクに、被加工層105をエッチングすることで、図2(d)に示すように、最小加工寸法幅 F より小さい幅 x_l をもつ配線パターン105aを形成する。このとき、配線間隔は、 F であるものと、 F より小さい x_s の2通りができる。配線は、平均的にピッチ F で配列するが、配線間隔は不均一となる。

[0006] 非特許文献1: Aritome, S, et.al. 1994 International Electron Devices Meeting Technical Digest, pp.271-274, Dec. 1994

非特許文献2: SUNG et al. : FABRICATION AND PROGRAM/ERASE CHARACTERISTICS OF 30-nm SONOS NONVOLATILE MEMORY DEVICES, IEEE TRANSACTION ON NANOTECHNOLOGY, VOL. 2, NO.4, Dec. 2003

発明の開示

発明が解決しようとする課題

[0007] しかしながら、最小加工寸法 F なるフォトリソグラフィ法において、配線を加工するマスクパターンの最小幅は F 、最小間隔は F であり、これ以上の微細寸法で精度良く加工することはできなかった。また、ピッチ F なる配線パターンを形成する従来技術では、線幅 F 、間隔 F のストライプパターン側壁に形成されるサイドウォール膜をマスクして加工するため、配線幅は一定となるが、配線間隔は2種類のものが生じるという問題があった。すなわち、配線幅と配線間隔それぞれにおいて、同一の寸法を有する高密度パターンを形成することが困難であった。従って、高密度なセルアレイが要求されるNAND型フラッシュメモリにおいても、フォトリソグラフィの能力に起因した加工寸法の限界から、低コスト化を行うことが困難であった。

[0008] そこで、本発明の目的は、上記従来の問題を解決し、集積度の高い半導体装置の製造方法を提供することである。

課題を解決するための手段

[0009] 上記課題を解決するために、本発明は、被加工層(10a、10b、10c)上に第一の膜(11)を堆積する工程と、前記第一の膜の上に所定のピッチで第一のマスクパターン(12)を形成する工程と、第二の膜を堆積後エッチバックして前記第一のマスクパターン側壁に第一のサイドウォール膜(13a)を形成する工程と、前記第一のマスクパターンを除去する工程と、前記第三の膜を堆積後エッチバックして第二のサイドウォール膜(14a、14b)を形成し、前記第一のサイドウォール膜及び前記第二のサイドウォール膜により構成された第二のマスクパターン(15)を形成する工程とを具備する半導体装置の製造方法である。

[0010] 本発明によれば、フォトリソグラフィ法の能力で決まる最小加工寸法と同じピッチで、且つ配線幅と配線間隔それぞれが同一の寸法であるストライプパターンを形成することができたため、集積度の高い半導体装置を提供することができる。

[0011] 前記第一のマスクパターンは前記第一の膜とはエッチング選択比がとれる材質であり、前記第二の膜は前記第一の膜及び前記第一のマスクパターンとはエッチング選択比がとれる材質であり、前記第三の膜は前記第一の膜とはエッチング選択比がとれる材質である。

[0012] 本発明は、前記第二のサイドウォール膜は、前記第一のサイドウォール膜の垂直面側と湾曲面側とに形成され、前記垂直面側に形成される前記第二のサイドウォール膜の底面幅と、前記湾曲面側に形成される前記第二のサイドウォール膜と前記第一のサイドウォール膜を合わせた底面幅とが略同一となるように形成する工程を更に具備する。

[0013] 本発明は、前記第二のマスクパターンを形成する工程後、該第二のマスクパターンを用いて、前記第一の膜をエッチングし第三のマスクパターン(11a)を形成する工程と、前記第二のマスクパターンを除去後、前記第三のマスクパターンを用いて前記被加工層をエッチングする工程とを更に具備する。

[0014] 本発明は更に、前記第二のマスクパターンを形成する工程後、該第二のマスクパタ

ーンを用いて、前記第一の膜及び前記被加工層をエッチングする工程を具備する。

[0015] 本発明は、前記半導体基板上に第一のゲート絶縁膜、第一の導体層を順じ堆積して前記被加工層を形成する工程を含み、前記第三のマスクパターンを用いて前記被加工層をエッチングする工程において、前記半導体基板に到るまでエッチングシトレンチを形成する工程を更に具備する。

[0016] 本発明は、前記半導体基板上に第一のゲート絶縁膜、第一の導体層を順じ堆積して前記被加工層を形成する工程を含み、前記第二のマスクパターンを用いて、前記第一の膜及び前記被加工層をエッチングする工程において、前記半導体基板に到るまでエッチングシトレンチを形成する工程を更に具備する。

[0017] 本発明は、前記第一の膜を堆積する工程の後、該第一の膜、前記第一のマスクパターン、前記第二の膜、及び前記第三の膜とはエッチング選択比がとれるストッパー膜(16)を堆積する工程を更に具備する。

[0018] 前記第一の膜、前記第一のマスクパターン、前記第二の膜、及び前記第三の膜は絶縁膜または多結晶シリコン膜であり、前記ストッパー膜は金属膜である。

[0019] 本発明は、前記第二のサイドウォール膜は前記第一のサイドウォール膜の垂直面側と湾曲面側とに形成され、前記垂直面側に形成される前記第二のサイドウォール膜の底面幅と、前記湾曲面側に形成される前記第二のサイドウォール膜と前記第一のサイドウォール膜を合わせた底面幅とが略同一となるように形成する工程を更に具備する。

[0020] 本発明は更に、前記第二のマスクパターンを形成後、該第二のマスクパターンを用いて、前記ストッパー膜をエッチングし第三のマスクパターン(16a)を形成する工程と、前記第二のマスクパターンを除去後、前記第三のマスクパターンを用いて前記第一の膜をエッチングし第四のマスクパターン(11a)を形成する工程と、前記第三のマスクパターンを除去後、前記第四のマスクパターンを用いて前記被加工層をエッチングする工程とを更に具備する。

[0021] 本発明は、前記第二のマスクパターンを形成後、該第二のマスクパターンを用いて、前記ストッパー膜及び前記第一の膜をエッチングし、第一の膜からなる第四のマスクパターンを形成する工程と、前記第二のマスクパターン及び第三のマスクパターン

を除去する工程と、前記第四のマスクパターンを用いて前記被加工層をエッチングする工程とを更に具備する。

[0022] 本発明は、前記半導体基板上に第一のゲート絶縁膜、第一の導体層を順じ堆積して前記被加工層を形成する工程を含み、前記第四のマスクパターンを用いて前記被加工層をエッチングする工程において、前記半導体基板に到るまでエッチングし、トレンチを形成する工程とを更に具備する。

[0023] 本発明は、被加工層上に第一の膜及び第二の膜を順じ堆積する工程と、前記第二の膜の上に所定のピッチで第一のマスクパターン(18)を形成する工程と、第三の膜を堆積後エッチバックして前記第一のマスクパターン側壁に第一のサイドウォール膜(19)を形成する工程と、前記第一のマスクパターンを除去後、前記第一のサイドウォール膜をマスクにして前記第二の膜をエッチングし、第二のマスクパターン(17a)を形成する工程と、前記第一のサイドウォール膜を除去し、第四の膜を堆積後エッチバックして前記第二のマスクパターンの両側壁に第二のサイドウォール膜(20)を形成する工程と、前記第二のマスクパターンの一側壁にのみ前記第二のサイドウォール膜(20a)を残すように前記第二のサイドウォール膜をエッチングし、前記エッチング工程で残された第二のサイドウォール膜及び第二のマスクパターンにより構成された第三のマスクパターン(15')を形成する工程とを具備する。本発明によれば、フォトリソグラフィ法の能力で決まる最小加工寸法と同じピッチで、且つ配線幅と配線間隔それぞれが同一の寸法であるストライプパターンを形成することができたため、集積度の高い半導体装置を提供することができる。

[0024] 本発明は、前記第二のマスクパターンと前記エッチング工程で残された前記第二のサイドウォール膜それぞれの底面幅が、略同一となるように形成する工程を更に具備する。

[0025] 本発明は、前記第三のマスクパターンを形成する工程後、該第三のマスクパターンを用いて、前記第一の膜をエッチングし第四のマスクパターン(11a)を形成する工程と、前記第四のマスクパターンを用いて前記被加工層をエッチングする工程とを更に具備する。

[0026] 本発明は、前記第三のマスクパターンを形成する工程後、該第三のマスクパターン

を用いて、前記第一の膜及び前記被加工層をエッチングする工程を更に具備する。

発明の効果

[0027] 本発明によれば、集積度の高い半導体装置の製造方法を提供することができる。

図面の簡単な説明

[0028] [図1]従来のNAND型フラッシュメモリアレイの平面図である。

[図2]従来の半導体装置の製造工程の断面図である。

[図3]本発明におけるNAND型フラッシュメモリアレイの平面図である。

[図4]図3中のA-A'断面図である。

[図5]図3中のB-B'断面図である。

[図6]第一の実施形態における製造工程の断面図である。

[図7]第一の実施形態における製造工程の断面図である。

[図8]第二の実施形態における製造工程の断面図である。

[図9]第二の実施形態における製造工程の断面図である。

[図10]本発明におけるNAND型フラッシュメモリアレイの平面図である。

[図11]第二の実施形態の第一の変形例における製造工程の断面図である。

[図12]第二の実施形態の第二の変形例における製造工程の断面図である。

[図13]第二の実施形態の第二の変形例における製造工程の断面図である。

[図14]本発明におけるNAND型フラッシュメモリアレイのビット線コンタクト部の平面図である。

[図15]図14中のC-C'断面図である。

[図16]第二実施形態の第三の変形例における製造工程の断面図である。

[図17]第二実施形態の第三の変形例における製造工程の断面図である。

[図18]第二実施形態の第四の変形例における製造工程の断面図である。

[図19]第二実施形態の第四の変形例における製造工程の断面図である。

発明を実施するための最良の形態

[0029] 以下、図面を参照して本発明の実施形態を、NAND型フラッシュメモリを例にして説明する。なお、かかる実施形態が、本発明の技術的範囲を限定するものではない。また、全図を通じて、同一の部分には同一の参照符号を付して説明する。

- [0030] [第1実施形態]図3は、この発明に係るNAND型フラッシュメモリアレイの平面図、図4は図3のA-A'断面図、図5は図3のB-B'断面図である。図3に示すように、メモリセルアレイの平面パターンは、制御ゲート8と、ビット線10とが互いに交差するように形成され、浮遊ゲート6はこれらの交差領域に形成されている。また、素子分離領域3は、制御ゲート8と垂直に形成され、浮遊ゲート6の間に位置することで、隣合うセルトランジスタを素子分離している。図4に示すように、メモリセルアレイは、シリコン基板1表面に形成されている。シリコン基板1には、トレンチ2が形成され、トレンチ2内部には素子分離用の絶縁膜3が埋め込まれている。
- [0031] 図5に示すように、シリコン基板(半導体基板)1表面部には、セルトランジスタのn型拡散層4が形成され、セルトランジスタが直列接続するようになっている。シリコン基板1上に、トンネル酸化膜であるゲート絶縁膜5、浮遊ゲート6が順じ形成されている。浮遊ゲート6は、メモリセル毎に分離されており、多結晶シリコンにより構成されている。浮遊ゲート6上には、制御ゲート8がONO構造を有する第2のゲート絶縁膜7を介して形成されている。ここに、ONO構造とは、二酸化シリコン膜、窒化シリコン膜、二酸化シリコン膜から成る3層構造のことであり、簡略のため図ではまとめて1層として示してある。
- [0032] 制御ゲート8は、多結晶シリコン膜8aとタングステン・シリサイド層8bの2層構造となっており、これがワード線となる。ビット線10はBPSG (Boron Phosphorous Silicate Glass)から構成される層間絶縁膜(BPSG膜)9を介して形成され、アルミニウムにより構成されている。アルミニウムの下層には、バリアメタルであるTi/TiN層が形成され、上層には反射防止膜であるTiN層が形成されるが、図4、5では簡略のため示していない。
- [0033] 図3に示すように、同メモリセルアレイは、フォトリソグラフィの性能で決まる最小加工寸法をFとした場合、STIの配線幅 x_l と、STIの配線間隔 x_s は、 $x_s + x_l = F$ の関係を満たし、STIの配線幅と配線間隔はそれぞれ同一の寸法をもって、ピッチFで配列している。同図では、 x_s 、 x_l がともに $F/2$ となるように示してある。ビット線10についても同様である。ワード線8は、ここでは、配線幅F、配線間隔F、ピッチ $2F$ となるよう、従来の製造技術にて形成する。従って、1セルサイズは $F \times 2F = 2F^2$ となっている。

- [0034] このNAND型フラッシュメモリアレイを製造する第一の実施形態として、ビット線の具体的な製造工程を、図6(a)～(e)、図7(f)、(g)を参照しながら説明する。まず、図6(a)に示すように、制御ゲート上に堆積されたBPSG膜9の上に、被加工層となるTi/TiN膜10a、アルミニウム膜10b及びTiN膜10cを堆積する。さらに、この被加工層上に窒化シリコン膜(第一の膜)11を堆積する。この第一の膜は絶縁膜又は多結晶シリコン膜であるのが好ましい。
- [0035] ここでは、被加工層であるビット線10上に形成する膜として、窒化シリコン膜11を選んだが、最終的にビット線10をRIE(Reactive Ion Etching)にて加工する際のマスクとなるため、同膜は被加工層に対し十分エッチング選択比のとれる材質であればこれに限定されない。ここで、エッチング選択比がとれるとは、2つの材質の膜があったとき、一方の膜はエッチングされにくく、他方の膜はエッチングされ易い場合を言う。
- [0036] 次に、最小加工寸法がFであるフォトリソグラフィ法でもって、線幅と間隔がFであるマスクパターン(第一のマスクパターン)12を、多結晶シリコン膜にて約F/2の厚さで形成する。マスクパターン12は窒化シリコン膜11の上に所定のピッチで形成される。このマスクパターン12は多結晶シリコン膜にて構成される。このマスクパターン12は絶縁膜であってもよい。次に、図6(b)に示すように、CVD(Chemical Vapor Deposition: 化学気相成長)法により二酸化シリコン膜(第二の膜)13をF/4程度の厚さで堆積後、RIE法によりエッチバックを行うことで、図6(c)に示すように、マスクパターン12の側壁にサイドウォール膜(第一のサイドウォール膜)13aを形成する。このとき、サイドウォール膜13aの底面幅はF/4より狭くなるように形成する。RIEを行う条件は、例えば、ガス種/流量はCF₄/CHF₃/Ar=40/40/800sccm、圧力は1.5Torr、RFパワーは500Wが用いられる。なお、第二の膜は絶縁膜又は多結晶シリコン膜であるのが好ましい。
- [0037] 次に、二酸化シリコン膜のサイドウォール膜13a及び窒化シリコン膜11に対し、エッチング選択比のとれるエッチング液を用いて、多結晶シリコン膜のマスクパターン12を選択的にエッチングする。その後、図6(d)のように、二酸化シリコン膜(第三の膜)14を、二酸化シリコン膜13を形成したときよりも厚く(F/2より厚く)堆積する。前記エッチングは、フッ硝酸系の薬品を用いても良いし、またはRIEによりエッチングしても

良い。第三の膜は絶縁膜又は多結晶シリコン膜であるのが好ましい。

[0038] 次に、二酸化シリコン膜14をRIE法によりエッチバックすることで、図6(e)に示すように、サイドウォール膜13aの垂直となっている側壁面側にサイドウォール膜(第二のサイドウォール膜)14aを、その湾曲面側にサイドウォール膜(第二のサイドウォール膜)14bを形成する。このとき、サイドウォール膜14aの底面幅は $F/2$ となるよう形成し、サイドウォール膜13aとサイドウォール膜14bを合わせた底面幅も $F/2$ となるよう形成する。すなわち、垂直面側に形成されるサイドウォール膜14aの底面幅と、湾曲面側に形成されるサイドウォール膜14bとサイドウォール膜13aを合わせた底面幅とが略同一となるように形成される。また、図のように、サイドウォール膜14bはサイドウォール膜14aよりも薄く形成される。これは、二酸化シリコン膜14が、サイドウォール膜13aの湾曲部よりもサイドウォール膜13aの垂直面側の方が厚く形成されるからである。

[0039] ここで、サイドウォール膜13a、14a及び14bの形成法についてまとめると、(1)1回目のシリコン酸化膜13より2回目のシリコン酸化膜14を厚くする。(2)サイドウォール膜14aの底面幅 sw が $F/2$ となるよう、2回目のシリコン酸化膜14をエッチバックする。(3)(1)における1回目のシリコン酸化膜13の膜厚は、2回目のシリコン酸化膜14のエッチバックにより形成されるサイドウォール膜14bの底面幅を考慮して設定する。このようにして、3つのサイドウォール膜13a、14a及び14bによって、線幅が $F/2$ 、間隔が約 $F/2$ のマスクパターン(第二のマスクパターン)15が完成する。

[0040] 本実施例では、マスクパターン15の底面幅 x_l 、間隔 x_s はそれぞれ約 $F/2$ となるが、上記にて説明した3つのサイドウォール膜を形成する際に、それらの底面幅を調整することで、所望の線幅と間隔をもったマスクパターン15を形成することができる。

[0041] 次に、マスクパターン15を用いて、窒化シリコン膜11をRIE法によりエッチングする。その後、HF(フッ酸)溶液等のエッチング液により、シリコン酸化膜のマスクパターン15を選択的にエッチング除去し、図7(f)に示すように、窒化シリコン膜のマスクパターン(第三のマスクパターン)11aを形成する。次に、図7(g)に示すように、マスクパターン11aを用いて、RIE法により被加工層となるTi/TiN膜10a、アルミニウム膜10b、及びTiN膜10cをエッチングし、ビット線10を形成する。ここに、別の製法として

、図6(d)において、マスクパターン15を用いて、RIE法により窒化シリコン膜11、Ti/TiN膜10a、アルミニウム膜10b、及びTiN膜10cをエッチングし、ビット線10を形成しても良い。

[0042] このように、第一の実施形態に係るNAND型フラッシュメモリのビット線形成法によれば、最小加工寸法Fであるフォトリソグラフィ法において、ピッチがFで、配線幅及び配線間隔それぞれが、同一の寸法でもって形成された微細パターンを形成することができる。本発明は、NAND型フラッシュメモリのビット線に限定されず、ワード線についても同様である。その他、メモリ以外の半導体装置の微細な配線パターンを得ることに応用可能であることはもちろんである。

[0043] [第2実施形態]次に、NAND型フラッシュメモリアレイを製造する第二の実施形態として、STIの具体的な製造工程を、図8(a)～(d)、図9(e)～(g)を参照しながら説明する。まず、図8(a)に示すように、シリコン基板1上に、トンネル酸化膜となる二酸化シリコン膜(第一のゲート絶縁膜)5、浮遊ゲートとなる多結晶シリコン膜(第一の導体層)6、窒化シリコン膜11を順じ堆積する。二酸化シリコン膜5及び多結晶シリコン膜6が被加工層である。次いで、フォトリソグラフィ法にて最小加工寸法Fの線幅と間隔をもったマスクパターン12を、多結晶シリコン膜にて形成する。次に、図8(b)に示すように、上述したビット線の形成法と同様の製法で、サイドウォール膜13a、14a及び14bにより、線幅が約F/2、間隔が約F/2のマスクパターン15を形成する。

[0044] 次に、マスクパターン15を用いてRIEを行い、その後、図8(c)に示すように、HF溶液等のエッチング液により、シリコン酸化膜のマスクパターン15をエッチング除去することで、窒化シリコン膜のマスクパターン11aを形成する。このとき、マスクパターン15は、後で説明するが、エッチングせずに残しておいても良い。次に、図8(d)に示すように、マスクパターン11aを用いて、RIE法により、多結晶シリコン層6、二酸化シリコン膜5、及びシリコン基板1をエッチングし、浮遊ゲート6aとトレンチ2を形成する。マスクパターン11aを用いて被加工層をエッチングする工程では、シリコン基板1に到るまでエッチングしトレンチ2を形成する。トレンチ2の深さは、隣り合う素子間のパンチスルー耐圧を考慮して設定する。このとき、マスクパターン11aは、トレンチ2を形成する深さに応じた厚さのものをを用いると良い。

- [0045] 次に、CVD法により、トレンチ2内に十分埋まるよう二酸化シリコン膜を堆積する。二酸化シリコン膜は、段差被覆性の高いTEOS (Tetra Ethyl Ortho Silicate) などが良い。その後、CMP (Chemical Mechanical Polish) 法を用いて、図9(e)に示すように窒化シリコン膜のマスクパターン11aが無くなる程度にまでエッチングし、トレンチ内部に二酸化シリコン膜を埋め込んで、STI3を形成する。従って、前述のマスクパターン15を、エッチングせず残しておく場合、マスクパターン15を用いて、窒化シリコン膜11及び被加工層10をエッチングする工程では、シリコン基板1に到るまでエッチングしトレンチを形成することで、図9(e)と同じ構造を得ることができる。
- [0046] 次に、希釈したHF溶液により、STI3の表面付近の二酸化シリコン膜をエッチングし、浮遊ゲート6の露出面積を増やす。これにより、後に形成する制御ゲート8との間のカップリング比を大きくすることができる。続いて、図9(f)に示すように、第二のゲート絶縁膜として、ONO層7を形成する。同図では簡略のため、3層分を1層として示してある。その後、図9(g)に示すように、多結晶シリコン膜8a、WSi (タングステン・シリサイド) 膜8bを順じ堆積し、フォトリソグラフィ法により加工することで、制御ゲート8を形成する。本実施形態では、制御ゲート8は公知の製法により、最小加工寸法Fで加工する。その後、セルトランジスタのソース、ドレインとなるn型拡散層をイオン注入法により形成し、BPSG膜9を堆積する。
- [0047] このような、第二の実施形態に係るNAND型フラッシュメモリのSTI形成法によれば、最小加工寸法Fであるフォトリソグラフィ法においても、ピッチがFで、STIの配線幅及び配線間隔がそれぞれ等しい微細パターンを得ることができ、同時に同一パターンからなる浮遊ゲートを形成することができる。
- [0048] 以上の第一及び第二の実施形態により、ピッチFで配列するビット線及びSTIが得られ、また、従来の製法によりピッチ2Fでワード線を形成することで、図3で示したように、1セルサイズが $F \times 2F = 2F^2$ であるメモリアレイを得ることができる。これは、従来の製法で製造した場合と比べ、二分の一サイズである。ここで、ビット線コンタクトの配置と形成法について説明する。
- [0049] 図14は、本発明のNAND型フラッシュメモリアレイにおけるビット線コンタクト付近の平面図である。一般には、同図では示していない16本単位のワード線パターン両

側に、選択ゲート8'が配列し、その内、図示してある一つの選択ゲート側で、ビット線10が基板、すなわちドレイン拡散層とコンタクトする。他方の選択ゲート側は、共通ソース領域をはさんでこれと鏡像対象となるように、両側に選択ゲートを有する16本単位のワード線パターンが配列し、その端部にビット線コンタクトがとられる。従って、同一ビット線上の2つのコンタクト間には、選択ゲートが4本、ワード線が32本存在している。

[0050] 図14では、簡略のため、ビット線のコンタクト部22と選択ゲート8'を一本のみ示してある。隣接するビット線がピッチFで形成されているため、コンタクト部はジグザク状に配置させることで、従来の製法により、コンタクト径をF、コンタクト径の間隔をFで形成することができる。図15は、図14のC-C'断面図である。基板1上に堆積したBPSG膜9に径Fにて開口したコンタクトホール内部に、タングステンによるコンタクトプラグ23を形成し、ドレイン領域であるn型拡散層24にビット線10を接続する。

[0051] 以上のように、ビット線コンタクトはジグザク状に形成するため、ビット線の延びる方向で集積度は若干落ちるが、前述のように、同一ビット線上の2つのコンタクト間には、選択ゲートが4本、ワード線が32本存在するため、集積度を落とす寄与は実質的に小さい。また、周辺回路もメモリアレイに依拠して形成する必要がある。周知のように、狭ピッチで配列するビット線に対しては、ページバッファをメモリアレイの両側に配置し、ビット線を交互に両ページバッファに接続することで、ページバッファ内の回路は従来の製法で形成することができる。

[0052] また、狭ピッチで配列するワード線に対しても、周知のように、ワードデコーダをメモリアレイの両側に配置し、数本まとまったワード線を単位として、それらを交互に両デコーダに接続することで、デコーダ内の回路を従来の製法で形成することができる。しかしながら、ワードデコーダは、ページバッファ等の周辺回路で使用する電圧Vccよりも高い電圧Vppで駆動されるため、大きなトランジスタサイズを要する。

[0053] よって、ワード線をピッチFで製造するかどうかは、ワードデコーダの占有面積や、回路構成法の困難度とのトレードオフにより、決められれば良い。ここで、図10に、ワード線を第一の実施形態で説明したのと同様の製法で形成した場合の、NAND型フラッシュメモリの平面図を示す。1セルサイズは F^2 であり、これは、従来の製法で製

造した場合と比べ、四分の一のサイズである。

- [0054] 以上の第一及び第二の実施形態では、ピッチFなるマスクパターン15を形成する過程で、選択比の十分とれるエッチャントを用いた場合でも、被加工層上の窒化シリコン膜11表面には凸凹ができる可能性がある。すなわち、第一の実施形態で説明した図6を参照すると、マスクパターン12を形成する工程及び除去する工程、サイドウォール膜13a、14a及び14bを形成する工程及び除去する工程で、窒化シリコン膜11表面が若干エッチングされる。窒化シリコン膜11は、被加工層をRIEにて加工する際のマスクとして使用するため、同マスクパターンを形成する前までは、表面はあまりエッチングされず、且つ平坦な表面状態であることが望ましい。窒化シリコン膜11表面が平坦であると、マスクパターン15をより高い精度で形成することができる。
- [0055] このため、マスクパターン12は第一の膜となる窒化シリコン膜11とはエッチング選択比がとれる材質であり、第二の膜となる二酸化シリコン膜13は第一の膜となる窒化シリコン膜11及びマスクパターン12とはエッチング選択比がとれる材質であり、第三の膜となる窒化シリコン膜14は第一の膜となる窒化シリコン膜11とはエッチング選択比がとれる材質であるのが好ましい。
- [0056] ここで、NAND型フラッシュメモリのSTI形成法を例にとり、第二の実施形態の第一変形例として、図11(a)～(e)を参照にしながら説明する。
- [0057] 図11(a)に示すように、シリコン基板1に、トンネル酸化膜となる二酸化シリコン膜5、浮遊ゲートとなる多結晶シリコン膜6、窒化シリコン膜11及びタングステン膜16を順じ堆積する。次いで、フォトリソグラフィ法にて、最小加工寸法Fの線幅と間隔をもったマスクパターン12を、 $F/2$ 程度の厚さの多結晶シリコン膜にて形成する。次に、図11(b)に示すように、上述した第一の実施形態と同様の製法により、3つのサイドウォール膜13a、14a及び14bにて構成されるマスクパターン15を二酸化シリコン膜で形成する。
- [0058] タングステン膜16は、マスクパターン15を形成する過程におけるエッチングの際に、被加工層上の窒化シリコン膜11をエッチングしない目的で使用するストッパー膜である。ここでは、多結晶シリコン膜12、二酸化シリコン膜13、14a及び窒化シリコン膜11の絶縁膜に対し、十分エッチング選択比のとれる金属膜として、タングステン膜16

を選んだが、タングステン膜16の代わりに、これら絶縁膜に対し十分エッチング選択比のとれる材質であればいずれでも良い。

[0059] その後、図11(c)に示すように、マスクパターン15を用いて、タングステン膜16をRIE法によりエッチングしマスクパターン(第三のマスクパターン)16aを形成する。その後、HF溶液により、二酸化シリコン膜のマスク15をエッチング除去し、図11(d)に示すように、露出したタングステン膜16aをマスクして、RIE法により窒化シリコン膜11をエッチングし、窒化シリコン膜によるマスクパターン(第四のマスクパターン)11aを形成する。次に、図11(e)に示すように、タングステン膜16aを除去し、マスクパターン11aを用いて被加工層5、6をエッチングする。マスクパターン11aを用いて被加工層5、6をエッチングする工程において、シリコン基板1に到るまでエッチングし、トレンチを形成する。

[0060] ここに、別の製法として、図11(c)において、マスクパターン15を用いて、タングステン膜16及び窒化シリコン膜11をRIE法によりエッチングし、その後、マスクパターン15及び加工されたタングステン膜16aを順じ除去し、窒化シリコン膜によるマスクパターン11aを形成しても良い。その後は、上述した第二の実施形態と同様の製法により、STI及び浮遊ゲートを形成する。

[0061] このような、第二の実施形態の第一の変形例によれば、ピッチFなる2つのマスクパターンを形成する過程で、被加工層を加工するマスクとなる窒化シリコン膜表面を、それを加工する前までは平らな状態で得ることができ、後の被加工層のエッチング工程を精度良く行うことができる。

[0062] 本実施形態では、STIの形成法を例にとり説明したが、同様の製法によりビット線などの配線の加工に応用することができる。

[0063] 以上は、最小加工寸法Fなるリソグラフィ法において、被加工層をエッチングするマスクとして、ピッチがFであるマスクパターンを形成することで、微細パターンを得る製法を説明した。

[0064] 次に、ピッチがFとなるマスクパターンを形成する別の製法を説明する。ここで、NAND型フラッシュメモリのSTI形成法を例にとり、図12(a)～(d)、図13(e)～(h)を参照しながら、第二の実施形態の第二の変形例を説明する。まず、図12(a)に示すよう

に、シリコン基板1上に、トンネル酸化膜となる二酸化シリコン膜5、浮遊ゲートとなる多結晶シリコン膜6を堆積する。更に、被加工層上に窒化シリコン膜(第一の膜)11を形成する。ここまでは第二の実施形態のところで述べた製法と同じである。二酸化シリコン膜5及び多結晶シリコン膜6が被加工層である。

[0065] 続いて、多結晶シリコン膜(第二の膜)17を堆積後、最小加工寸法Fなるマスクパターン(第一のマスクパターン)18を、窒化シリコン膜にて多結晶シリコン膜17上に所定のピッチで形成する。次に、シリコン酸化膜(第三の膜)を堆積後エッチバックを行い、図12(a)に示すように、マスクパターン18の側壁にサイドウォール膜(第一のサイドウォール膜)19を形成する。次に、図12(b)に示すように、サイドウォール膜19を残して、マスクパターン18をエッチング除去する。次に、図12(c)に示すように、サイドウォール膜19を用いて、RIE法により多結晶シリコン膜17をエッチングし、マスクパターン(第二のマスクパターン)17aを形成する。次に、二酸化シリコン膜のマスクパターン19を、HF溶液等により選択的にエッチング除去し、続いて二酸化シリコン(第四の膜)を堆積後エッチバックすることで、図12(d)に示すように、マスクパターン17aの側壁に、サイドウォール膜(第二のサイドウォール膜)20を形成する。

[0066] このとき、サイドウォール膜20の底面幅は、先に形成した多結晶シリコン膜16aの底面幅、すなわち図12(b)で説明したサイドウォール膜19の底面幅 sw と等しくなるように形成する。ここで、同底面幅 sw は約 $F/4$ となるようにする。

[0067] 次に、図13(e)に示すように、フォトレジスト21a及びフォトレジスト21bそれぞれを、各々の端が隣接する多結晶シリコン膜17aの上に位置するように、且つ互いに交互に配列するよう、順じ形成する。このとき、フォトレジスト21a及び21bの間隔 F' は、最小加工寸法Fより小さい寸法となるため、フォトレジストは別々に形成する必要がある。また、フォトレジスト21a及び21bは、多結晶シリコン膜17aの幅(図13(e)では約 $F/4$)のマージン内で、位置合わせをすることができる。ここに、別の製法として、工程削除のためフォトレジスト21a及び21bを同時に形成したい場合は、マスク18の線幅と間隔それぞれを、Fより大きい値とすることで、余裕を持ってフォトレジストを形成することができる。この製法を用いると、最終的に得られる被加工膜の加工パターンのピッチは、前記Fより大きい値となる。

- [0068] 次に、図13(f)に示すように、フォトレジスト21a及び21bをマスクにして、マスクパターン17aの一側壁にのみサイドウォール膜20aを残すようにサイドウォール膜20を選択的にエッチングする。その後、図13(g)に示すように、フォトレジスト21a及び21bを除去することで、約 $F/4$ の幅をもった方形状の多結晶シリコン膜17aと、エッチング工程で残され、その片方の側壁のみに形成され、底面幅が約 $F/4$ のサイドウォール膜20aからなる、マスクパターン(第三のマスクパターン)15'を形成する。このため、マスクパターン17aとエッチング工程で残されたサイドウォール膜20aそれぞれの底面幅が、略同一となるように形成される。マスクパターン15'の底面幅は約 $F/2$ となっている。
- [0069] 本実施形態では、マスクパターン15'の底面幅 x_l 、間隔 x_s はそれぞれ約 $F/2$ となるが、上記にて説明した2つのサイドウォール膜19及び20を形成する際に、それらの底面幅 s_w を調整することで、所望の線幅と間隔をもったマスクパターン15'を形成することができる。次に、図13(h)に示すように、マスクパターン15'を用いて、窒化シリコン膜11をRIE法によりエッチングを行い、その後、マスクパターン15'を選択的にエッチングすることで、窒化シリコン膜のマスクパターン(第四のマスクパターン)11aを形成する。その後の工程は、マスクパターン11aを用いて、被加工層となる二酸化シリコン膜5、多結晶シリコン膜6をエッチングし、第二の実施形態で述べたのと同様の製法によりSTI及び浮遊ゲートを形成する。二酸化シリコン膜5及び多結晶シリコン膜6が被加工層である。また、マスクパターン15'を形成する工程後、このマスクパターン15'を用いて、第一の膜となる窒化シリコン膜11及び被加工層となる二酸化シリコン膜5、多結晶シリコン膜6をエッチングしてもよい。
- [0070] このような、第二の実施形態の第二の実施例によれば、第一及び第二の実施形態で説明したのと別の製法によりピッチ F なるマスクパターンを形成することができる。本実施形態では、STIの形成法を例にとり説明したが、同様の製法により、ビット線などの配線の加工に応用することができる。
- [0071] 先に、図11を参照しながら、第二の実施形態の第一の変形例として、被加工層上の窒化シリコン膜11の上に、ストッパー膜16を形成する工程を追加する実施形態について説明した。次に、上記第二の実施形態の第二の変形例に対して、被加工層上

の窒化シリコン膜11の上に、ストッパー膜16を形成する工程を追加する実施形態について図16及び図17を用いて説明する。図16及び図17は第二実施形態の第三の変形例における製造工程の断面図である。

[0072] まず、図16(a)に示すように、シリコン基板1上に、トンネル酸化膜となる二酸化シリコン膜5、浮遊ゲートとなる多結晶シリコン膜6を堆積する。更に、被加工層上に窒化シリコン膜11及びタングステン膜16を順じ堆積する。二酸化シリコン膜5及び多結晶シリコン膜6が被加工層である。タングステン膜16は、マスクパターン15'を形成する過程におけるエッチングの際に、被加工層上の窒化シリコン膜11をエッチングしない目的で使用するストッパー膜である。

[0073] 続いて、多結晶シリコン膜17を堆積後、最小加工寸法Fなるマスクパターン18を、窒化シリコン膜にて多結晶シリコン膜17上に所定のピットで形成する。次に、シリコン酸化膜を堆積後エッチバックを行い、図16(a)に示すように、マスクパターン18の側壁にサイドウォール膜19を形成する。次に、図16(b)に示すように、サイドウォール膜19を残して、マスクパターン18をエッチング除去する。次に、図16(c)に示すように、サイドウォール膜19を用いて、RIE法により多結晶シリコン膜17をエッチングし、マスクパターン17aを形成する。次に、二酸化シリコン膜のサイドウォール膜19を、HF溶液等により選択的にエッチング除去し、続いて二酸化シリコンを堆積後エッチバックすることで、図16(d)に示すように、マスクパターン17aの側壁に、サイドウォール膜20を形成する。

[0074] このとき、サイドウォール膜20の底面幅は、先に形成した多結晶シリコン膜16aの底面幅、すなわち図12(b)で説明したサイドウォール膜19の底面幅 sw と等しくなるように形成する。ここで、同底面幅 sw は約 $F/4$ となるようにする。

[0075] 次に、図17(e)に示すように、フォトレジスト21a及びフォトレジスト21bそれぞれを、各々の端が隣接する多結晶シリコン膜17aの上に位置するように、且つ互いに交互に配列するよう、順じ形成する。このとき、フォトレジスト21a及び21bの間隔 F' は、最小加工寸法Fより小さい寸法となるため、フォトレジストは別々に形成する必要がある。また、フォトレジスト21a及び21bは、多結晶シリコン膜17aの幅(図17(e)では約 $F/4$)のマージン内で、位置合わせをすることができる。

- [0076] 次に、図17(f)に示すように、フォトレジスト21a及び21bをマスクにして、マスクパターン17aの一側壁にのみサイドウォール膜20aを残すようにサイドウォール膜20を選択的にエッチングする。その後、図17(g)に示すように、フォトレジスト21a及び21bを除去することで、約 $F/4$ の幅をもった方形状の多結晶シリコン膜17aと、エッチング工程で残され、その片方の側壁のみに形成され、底面幅が約 $F/4$ のサイドウォール膜20aと、タングステン膜16をRIE法によりエッチングされたマスクパターン16aとからなる、マスクパターン15''を形成する。このため、マスクパターン17aとエッチング工程で残されたサイドウォール膜20aそれぞれの底面幅が、略同一となるように形成される。マスクパターン15''の底面幅は約 $F/2$ となっている。
- [0077] 次に、図17(h)に示すように、マスクパターン15''を用いて、窒化シリコン膜11をRIE法によりエッチングを行い、その後、マスクパターン15''を選択的にエッチングすることで、窒化シリコン膜のマスクパターン11aを形成する。その後の工程は、マスクパターン11aを用いて、被加工層となる二酸化シリコン膜5、多結晶シリコン膜6をエッチングし、第二の実施形態で述べたのと同様の製法によりSTI及び浮遊ゲートを形成する。また、マスクパターン15''を形成する工程後、このマスクパターン15''を用いて、第一の膜となる窒化シリコン膜11及び被加工層となる二酸化シリコン膜5、多結晶シリコン膜6をエッチングしてもよい。
- [0078] このような、第二の実施形態の第三の実施例によれば、第一及び第二の実施形態で説明したのと別の製法によりピッチ F なるマスクパターンを形成することができる。本実施形態では、STIの形成法を例にとり説明したが、同様の製法により、ビット線などの配線の加工に応用することができる。
- [0079] 次に、第二実施形態の第四の変形例について、図18及び図19を用いて説明する。図18及び図19は第二実施形態の第四の変形例における製造工程の断面図である。まず、図18(a)に示すように、シリコン基板1上に、トンネル酸化膜となる二酸化シリコン膜5、浮遊ゲートとなる多結晶シリコン膜6、ONO構造を有する第2のゲート絶縁膜7、多結晶シリコン膜8a、タングステン・シリサイド層8b、二酸化シリコン膜25、窒化シリコン膜11、タングステン膜16を順じ堆積する。二酸化シリコン膜5、多結晶シリコン膜6、第2のゲート絶縁膜7、多結晶シリコン膜8a、タングステン・シリサイド層8b

が被加工層となる。多結晶シリコン膜8aとタングステン・シリサイド層8bが制御ゲート8となり、これがワード線となる。

- [0080] 次いで、フォトリソグラフィ法にて、最小加工寸法Fの線幅と間隔をもったマスクパターン12を、 $F/2$ 程度の厚さの多結晶シリコン膜にて形成する。次に、上述した第一の実施形態と同様の製法により、3つのサイドウォール膜13a、14a及び14bにて構成されるマスクパターン15'''を二酸化シリコン膜で形成する。タングステン膜16は、マスクパターン15'''を形成する過程におけるエッチングの際に、被加工層上の窒化シリコン膜11をエッチングしない目的で使用するストッパー膜である。
- [0081] その後、図18(b)に示すように、マスクパターン15'''を用いて、タングステン膜16をRIE法によりエッチングしマスクパターン16aを形成する。その後、HF溶液により、二酸化シリコン膜のマスク15'''をエッチング除去し、露出したタングステン膜16aをマスクして、RIE法により窒化シリコン膜11をエッチングし、窒化シリコン膜によるマスクパターン11aを形成する。次に、図18(c)に示すように、タングステン膜16aを除去し、マスクパターン11aを用いて、二酸化シリコン膜5、多結晶シリコン膜6、第2のゲート絶縁膜7、多結晶シリコン膜8a、タングステン・シリサイド層8b、二酸化シリコン膜25をエッチングする。
- [0082] その後、セルトランジスタのソース、ドレインとなるn型拡散層4をイオン注入法により形成し、BPSG膜9を堆積後、CMP法を用いてマスクパターン11aがなくなる程度までエッチングする。その後、コンタクト開口し、第一実施形態で説明した方法によりビット線10を形成する。
- [0083] 上記実施形態によれば、フォトリソグラフィ法の能力で決まる最小加工寸法と同じピッチで、且つ配線幅と配線間隔それぞれが同一の寸法であるストライプパターンを形成することができ、さらに従来法で製造されるNAND型フラッシュメモリアレイと比べ、四分の一の1セルサイズを有するNAND型フラッシュメモリを製造することができる。
- [0084] 以上本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、請求の範囲に記載された本発明の要旨の範囲内において、種々の変形、変更が可能である。

請求の範囲

- [1] 被加工層上に第一の膜を堆積する工程と、
前記第一の膜の上に所定のピッチで第一のマスクパターンを形成する工程と、
第二の膜を堆積後エッチバックして前記第一のマスクパターン側壁に第一のサイドウォール膜を形成する工程と、
前記第一のマスクパターンを除去する工程と、
第三の膜を堆積後エッチバックして第二のサイドウォール膜を形成し、前記第一のサイドウォール膜及び前記第二のサイドウォール膜により構成された第二のマスクパターンを形成する工程とを具備する半導体装置の製造方法。
- [2] 前記第一のマスクパターンは前記第一の膜とはエッチング選択比がとれる材質であり、
前記第二の膜は前記第一の膜及び前記第一のマスクパターンとはエッチング選択比がとれる材質であり、
前記第三の膜は前記第一の膜とはエッチング選択比がとれる材質である請求項1に記載の半導体装置の製造方法。
- [3] 前記第二のサイドウォール膜は、前記第一のサイドウォール膜の垂直面側と湾曲面側とに形成され、前記垂直面側に形成される前記第二のサイドウォール膜の底面幅と、前記湾曲面側に形成される前記第二のサイドウォール膜と前記第一のサイドウォール膜を合わせた底面幅とが略同一となるように形成する工程を更に具備する請求項1に記載の半導体装置の製造方法。
- [4] 前記第二のマスクパターンを形成する工程後、該第二のマスクパターンを用いて、前記第一の膜をエッチングし第三のマスクパターンを形成する工程と、
前記第二のマスクパターンを除去後、前記第三のマスクパターンを用いて前記被加工層をエッチングする工程とを更に具備する請求項1に記載の半導体装置の製造方法。
- [5] 前記第二のマスクパターンを形成する工程後、該第二のマスクパターンを用いて、前記第一の膜及び前記被加工層をエッチングする工程を更に具備する請求項1に記載の半導体装置の製造方法。

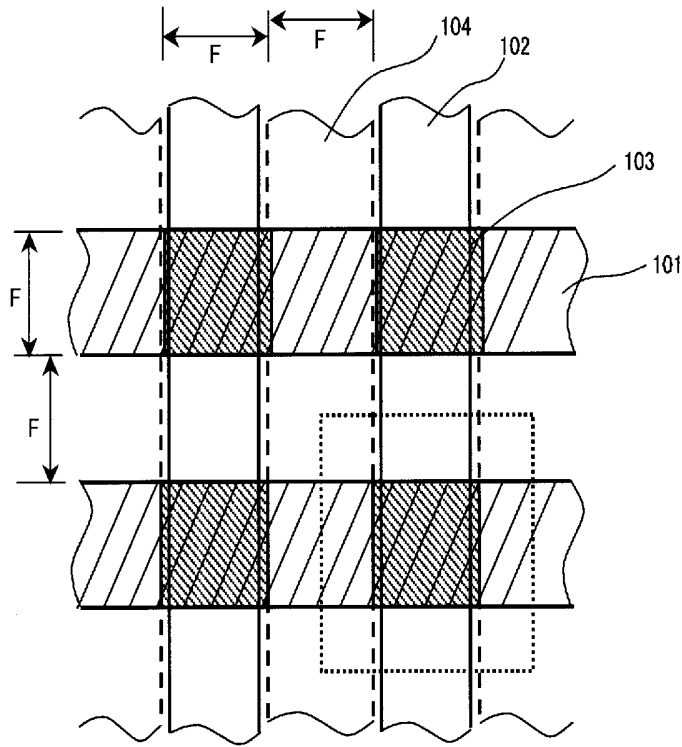
- [6] 前記半導体基板上に第一のゲート絶縁膜、第一の導体層を順じ堆積して前記被加工層を形成する工程を含み、
前記第三のマスクパターンを用いて前記被加工層をエッチングする工程において、前記半導体基板に到るまでエッチングしトレンチを形成する工程を更に具備する請求項4に記載の半導体装置の製造方法。
- [7] 前記半導体基板上に第一のゲート絶縁膜、第一の導体層を順じ堆積して前記被加工層を形成する工程を含み、
前記第二のマスクパターンを用いて、前記第一の膜及び前記被加工層をエッチングする工程において、前記半導体基板に到るまでエッチングしトレンチを形成する工程を更に具備する請求項5に記載の半導体装置の製造方法。
- [8] 前記第一の膜を堆積する工程の後、該第一の膜、前記第一のマスクパターン、前記第二の膜、及び前記第三の膜とはエッチング選択比がとれるストッパー膜を堆積する工程を更に具備する請求項1に記載の半導体装置の製造方法。
- [9] 前記第一の膜、前記第一のマスクパターン、前記第二の膜、及び前記第三の膜は絶縁膜又は多結晶シリコン膜であり、前記ストッパー膜は金属膜である請求項8に記載の半導体装置の製造方法。
- [10] 前記第二のサイドウォール膜は前記第一のサイドウォール膜の垂直面側と湾曲面側とに形成され、前記垂直面側に形成される前記第二のサイドウォール膜の底面幅と、前記湾曲面側に形成される前記第二のサイドウォール膜と前記第一のサイドウォール膜を合わせた底面幅とが略同一となるように形成する工程を更に具備する請求項8に記載の半導体装置の製造方法。
- [11] 前記第二のマスクパターンを形成後、該第二のマスクパターンを用いて、前記ストッパー膜をエッチングし第三のマスクパターンを形成する工程と、
前記第二のマスクパターンを除去後、前記第三のマスクパターンを用いて前記第一の膜をエッチングし第四のマスクパターンを形成する工程と、
前記第三のマスクパターンを除去後、前記第四のマスクパターンを用いて前記被加工層をエッチングする工程とを更に具備する請求項8に記載の半導体装置の製造方法。

- [12] 前記第二のマスクパターンを形成後、該第二のマスクパターンを用いて、前記ストッパ膜及び前記第一の膜をエッチングし、第一の膜からなる第四のマスクパターンを形成する工程と、
前記第二のマスクパターン及び第三のマスクパターンを除去する工程と、
前記第四のマスクパターンを用いて前記被加工層をエッチングする工程とを更に具備する請求項8に記載の半導体装置の製造方法。
- [13] 前記半導体基板上に第一のゲート絶縁膜、第一の導体層を順じ堆積して前記被加工層を形成する工程を含み、
前記第四のマスクパターンを用いて前記被加工層をエッチングする工程において、前記半導体基板に到るまでエッチングし、トレンチを形成する工程とを更に具備する請求項11に記載の半導体装置の製造方法。
- [14] 被加工層上に第一の膜及び第二の膜を順じ堆積する工程と、
前記第二の膜の上に所定のピッチで第一のマスクパターンを形成する工程と、
第三の膜を堆積後エッチバックして前記第一のマスクパターン側壁に第一のサイドウォール膜を形成する工程と、
前記第一のマスクパターンを除去後、前記第一のサイドウォール膜をマスクにして前記第二の膜をエッチングし、第二のマスクパターンを形成する工程と、
前記第一のサイドウォール膜を除去し、第四の膜を堆積後エッチバックして前記第二のマスクパターンの両側壁に第二のサイドウォール膜を形成する工程と、
前記第二のマスクパターンの一側壁にのみ前記第二のサイドウォール膜を残すように前記第二のサイドウォール膜をエッチングし、前記エッチング工程で残された第二のサイドウォール膜及び第二のマスクパターンにより構成された第三のマスクパターンを形成する工程とを具備する半導体装置の製造方法。
- [15] 前記第二のマスクパターンと前記エッチング工程で残された前記第二のサイドウォール膜それぞれの底面幅が、略同一となるように形成する工程を更に具備する請求項14に記載の半導体装置の製造方法。
- [16] 前記第三のマスクパターンを形成する工程後、該第三のマスクパターンを用いて、前記第一の膜をエッチングし第四のマスクパターンを形成する工程と、

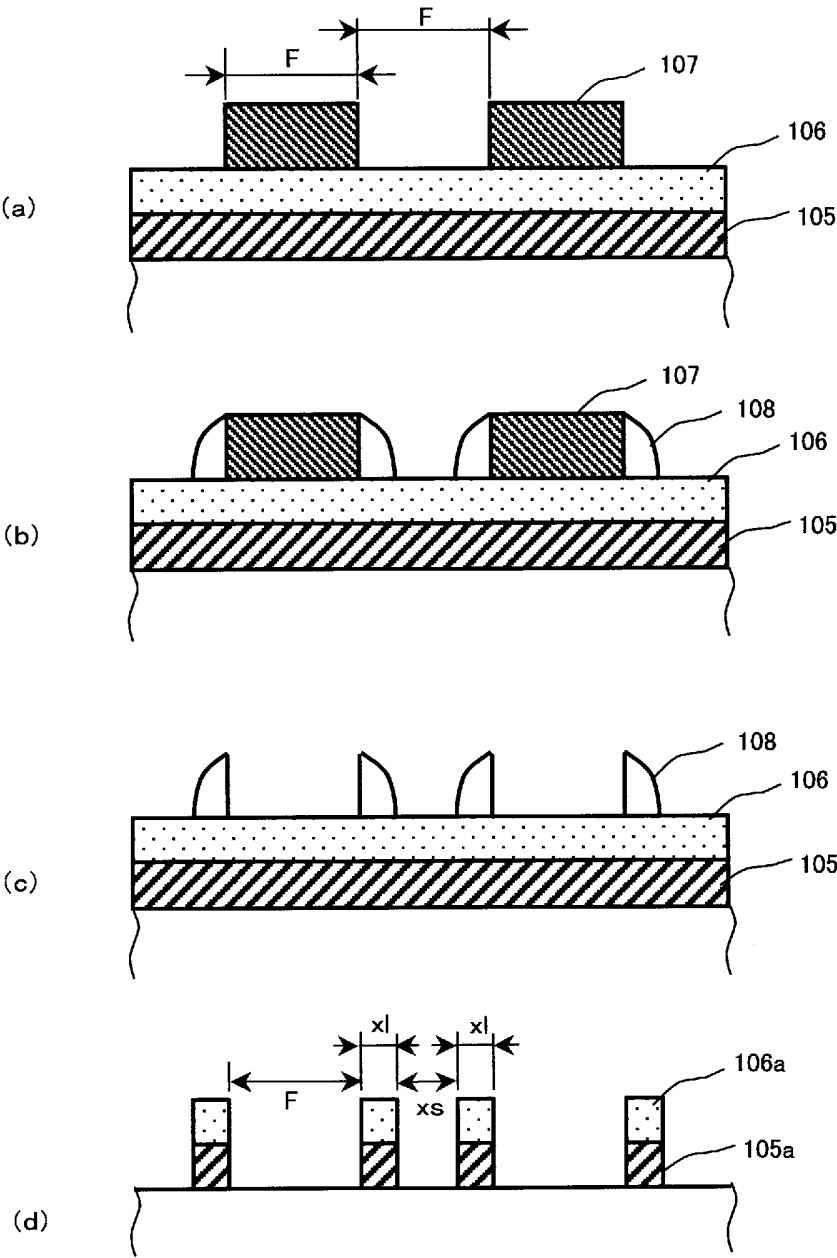
前記第四のマスクパターンを用いて前記被加工層をエッチングする工程とを更に具備する請求項14に記載の半導体装置の製造方法。

- [17] 前記第三のマスクパターンを形成する工程後、該第三のマスクパターンを用いて、前記第一の膜及び前記被加工層をエッチングする工程を更に具備する請求項14に記載の半導体装置の製造方法。

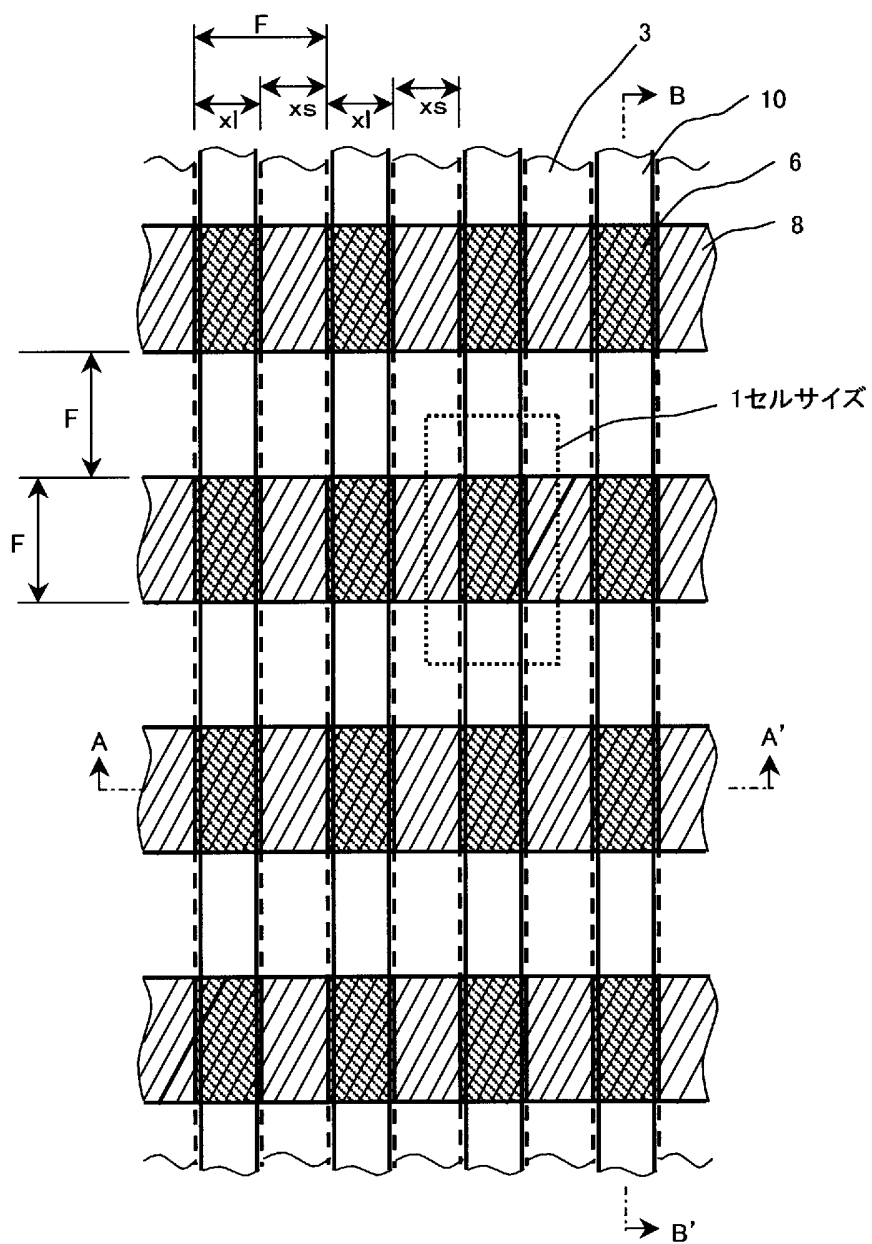
[図1]



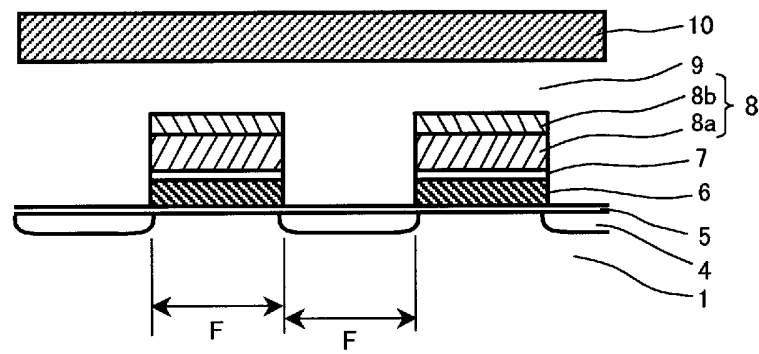
[図2]



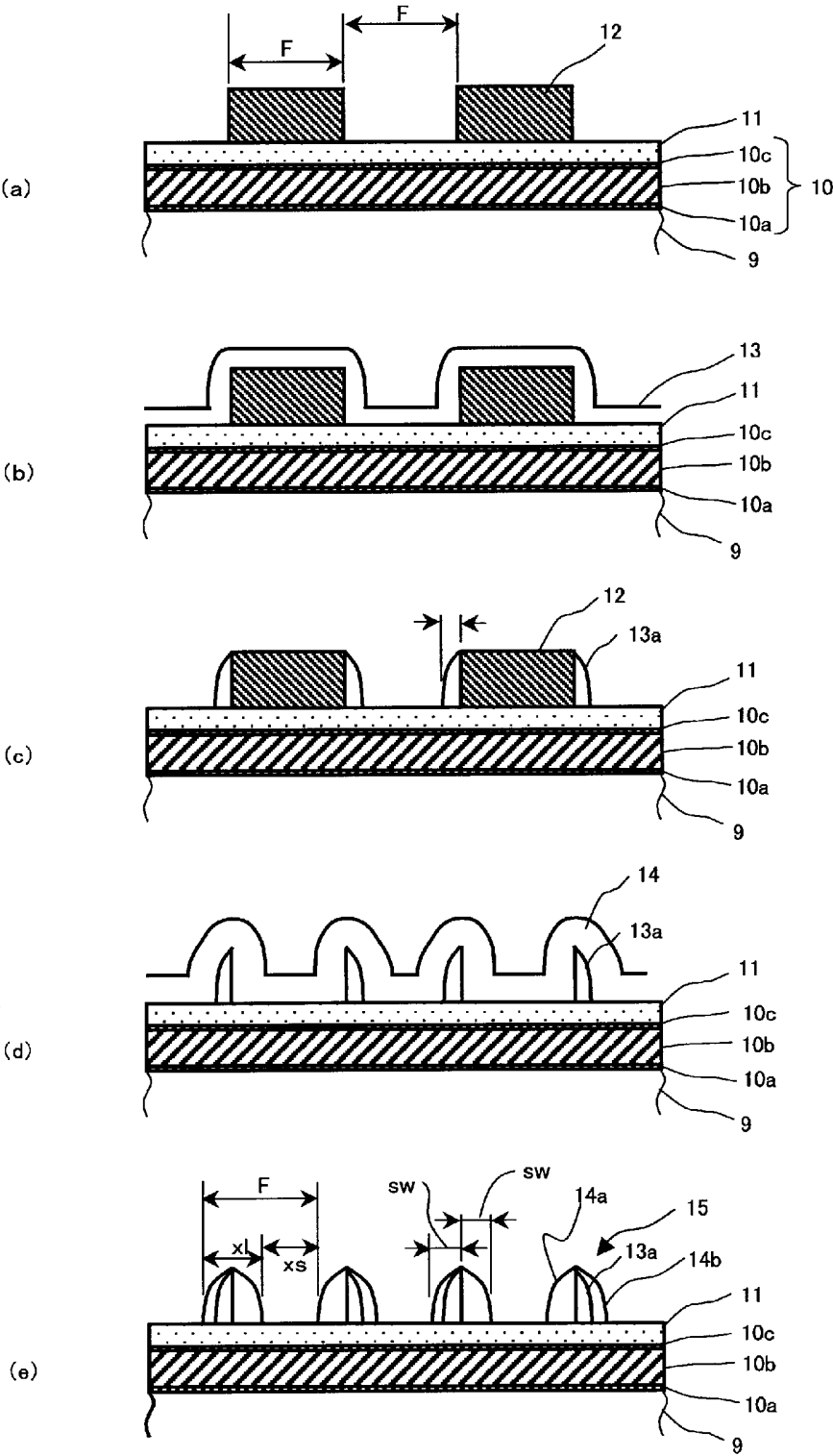
[図3]



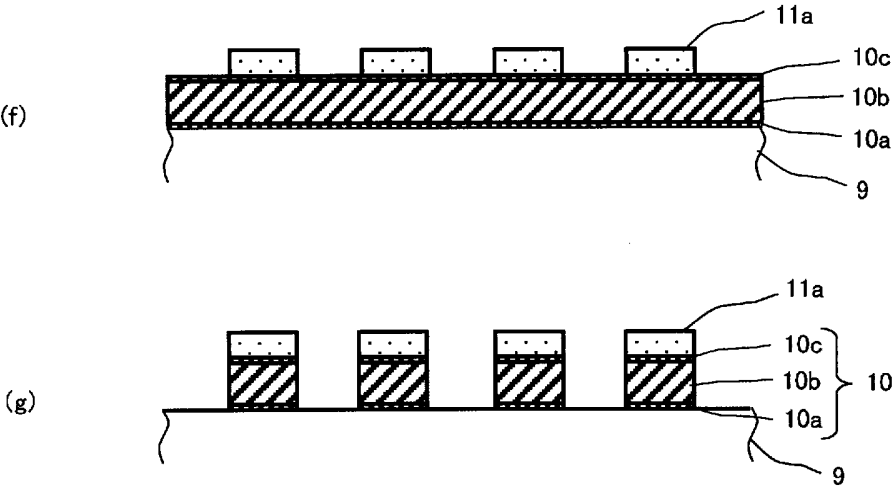
[図5]



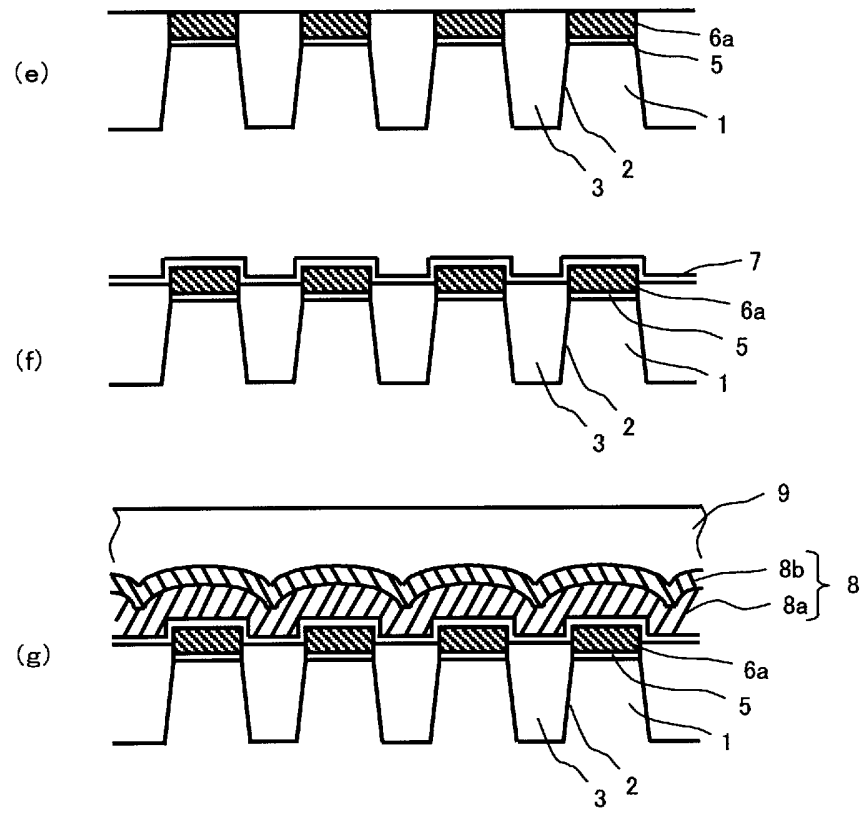
[図6]



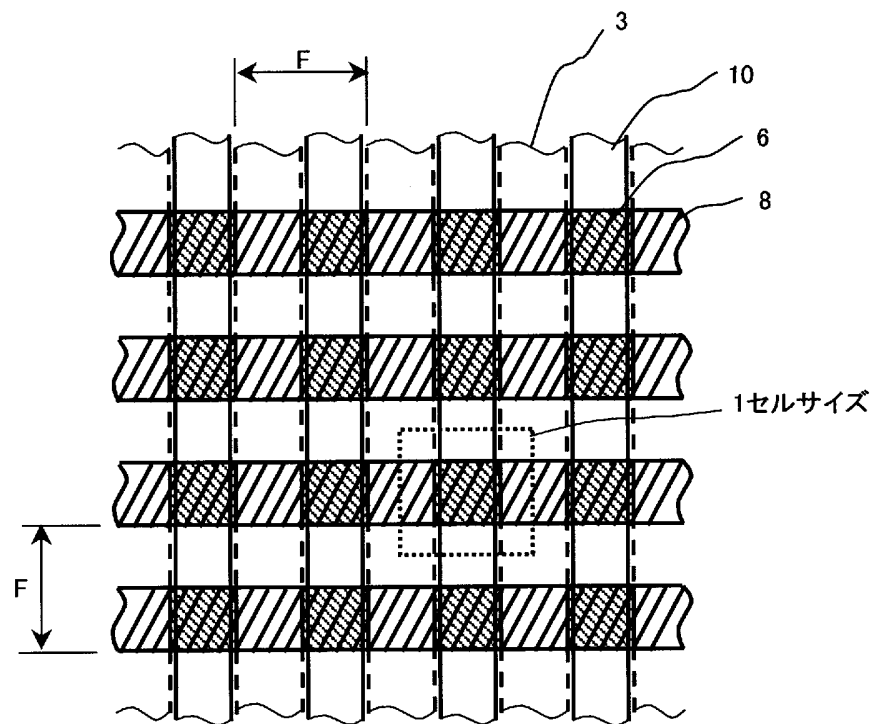
[図7]



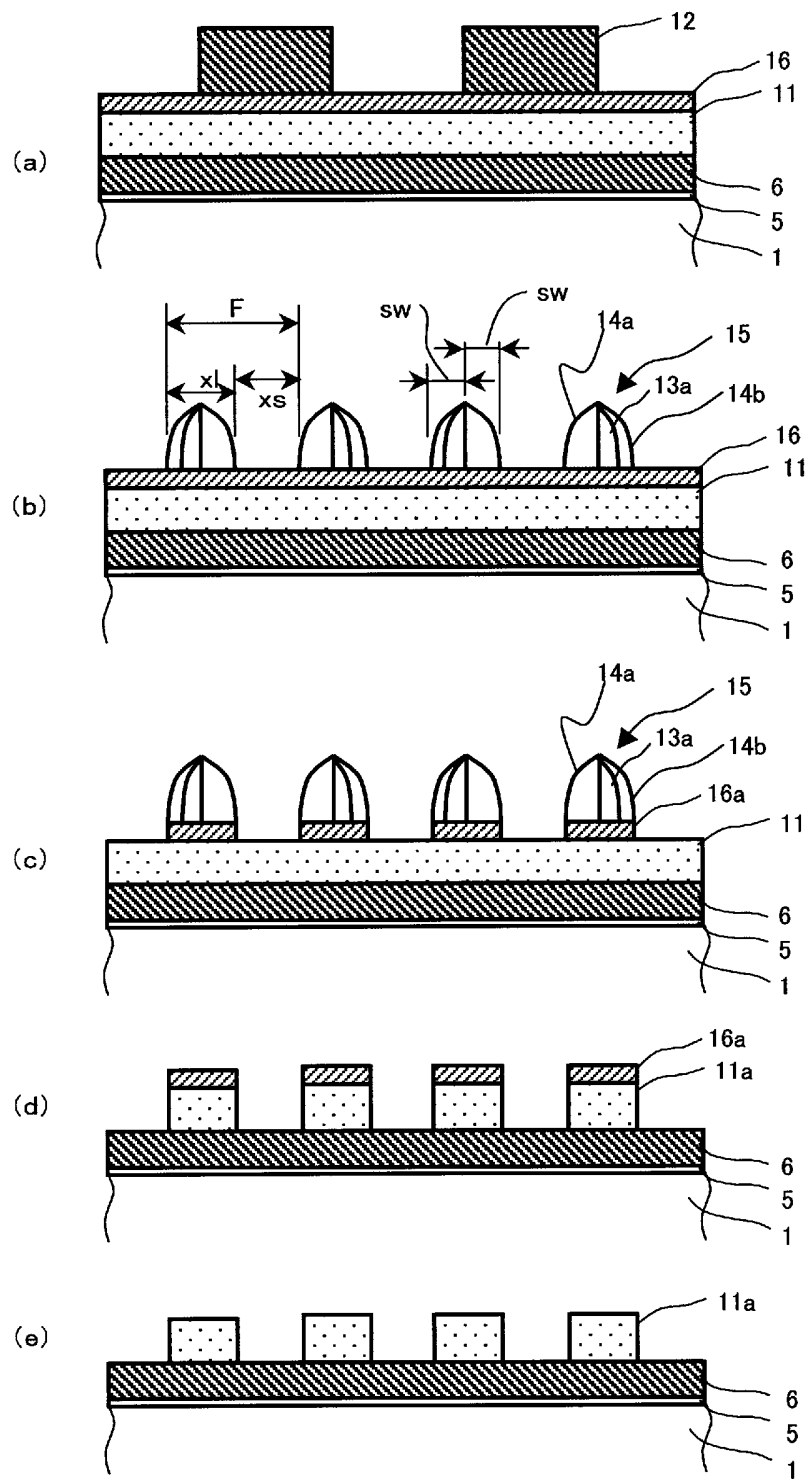
[図9]



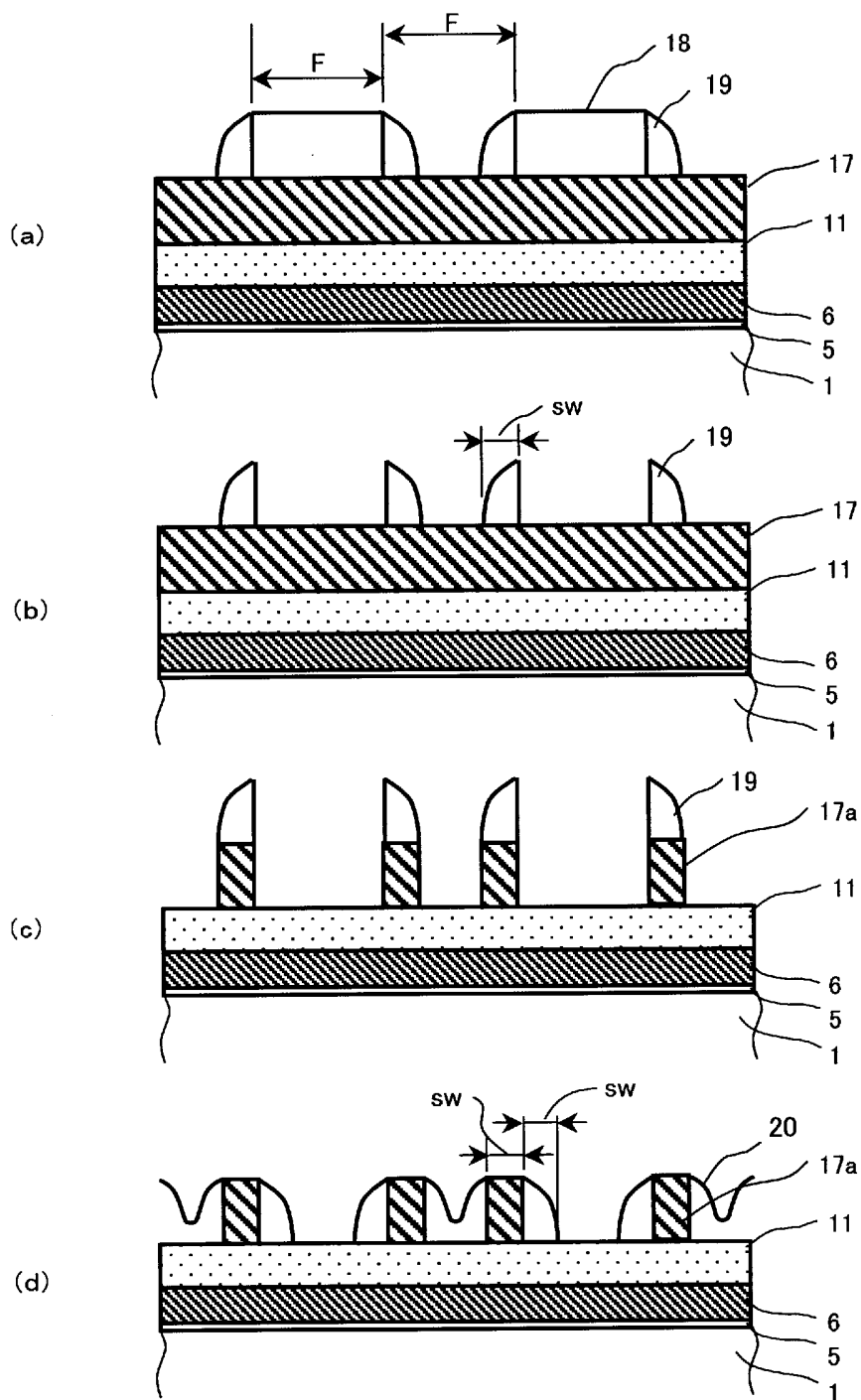
[図10]



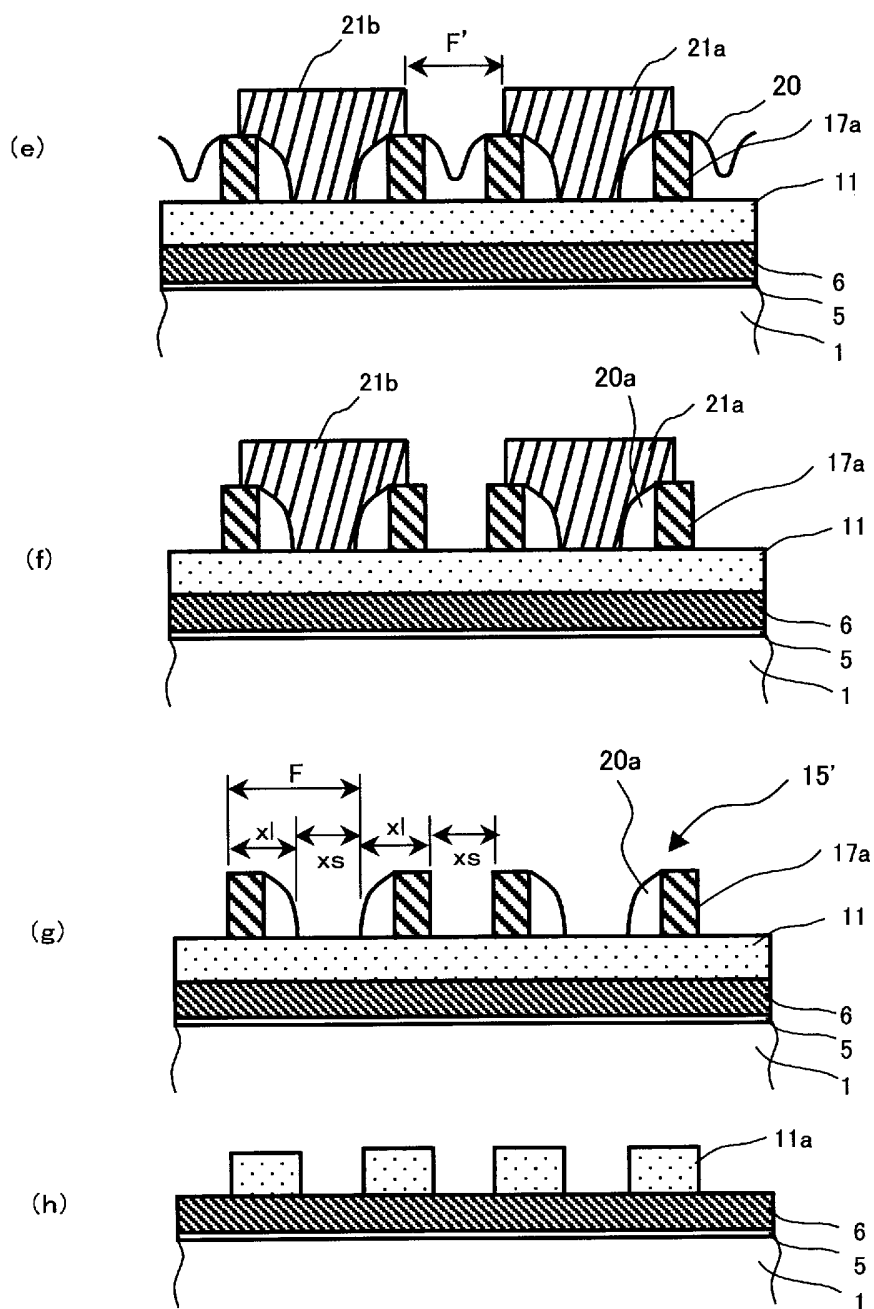
[図11]



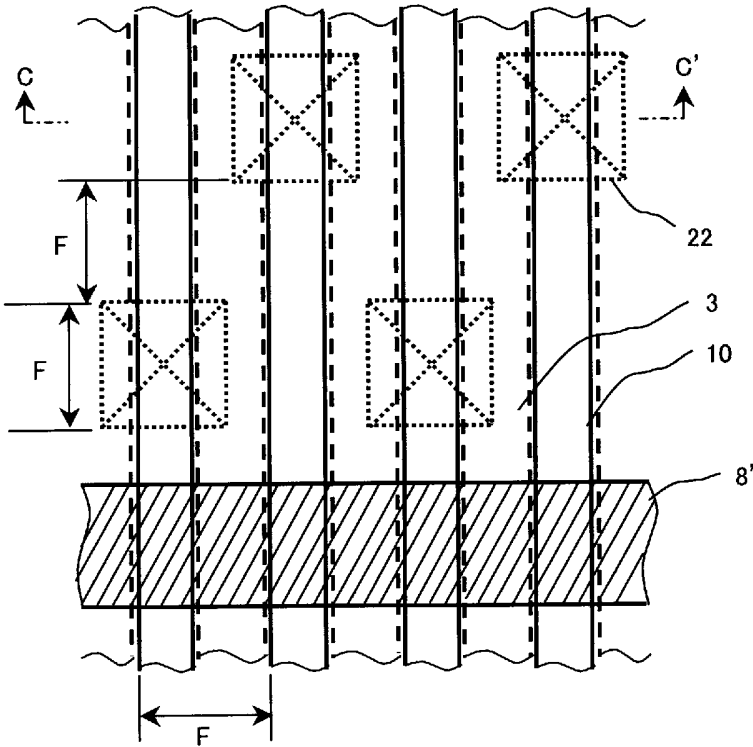
[図12]



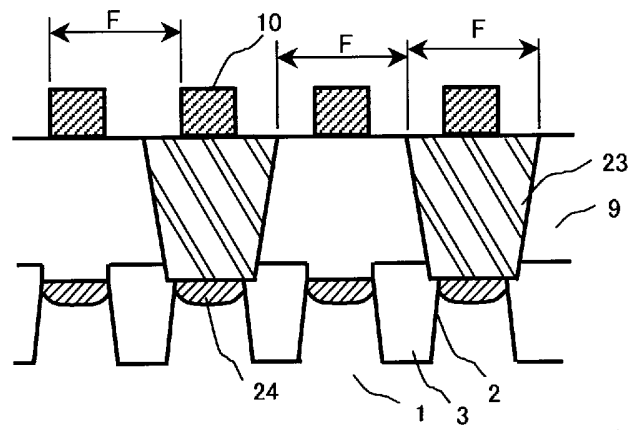
[図13]



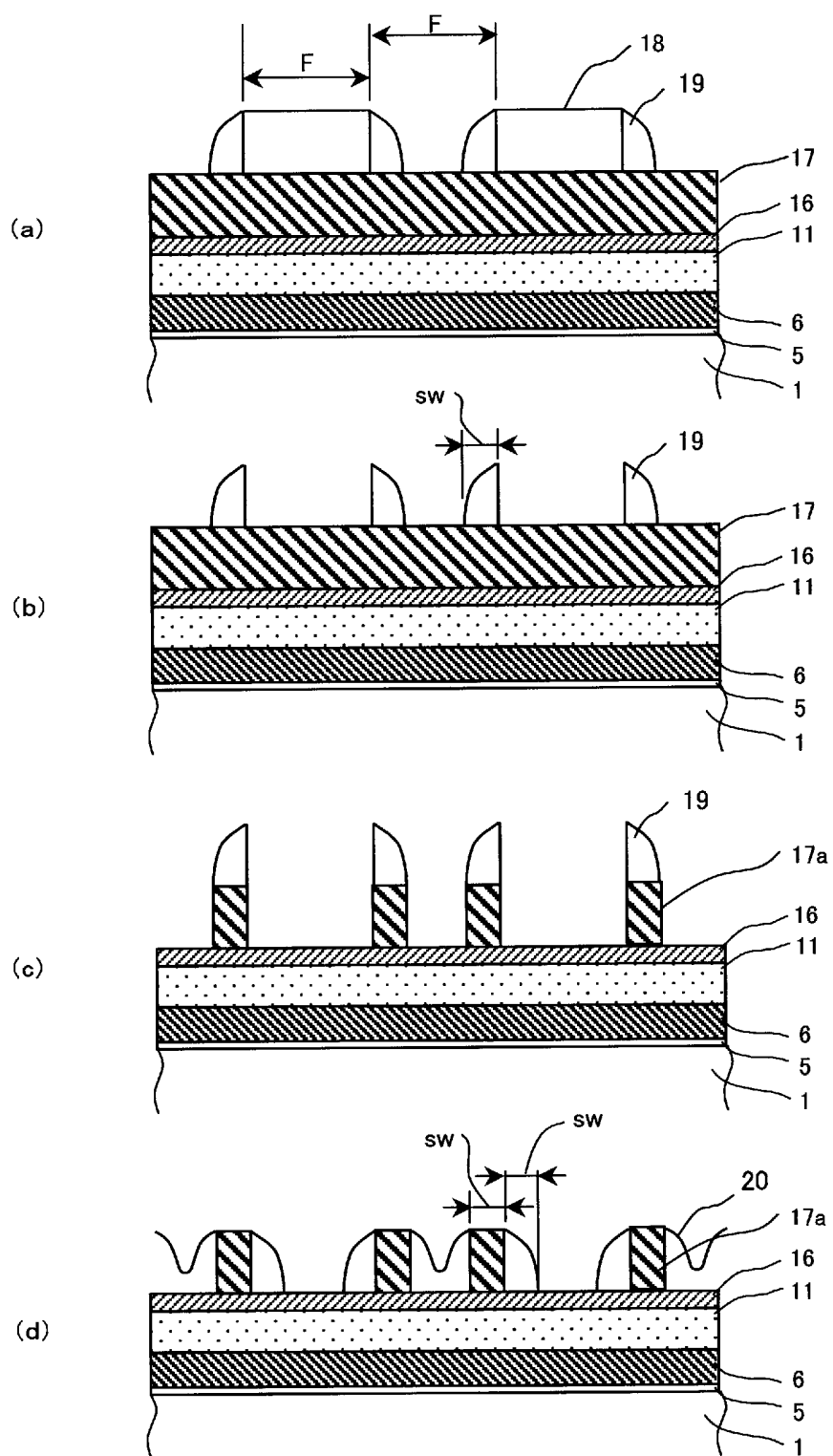
[図14]



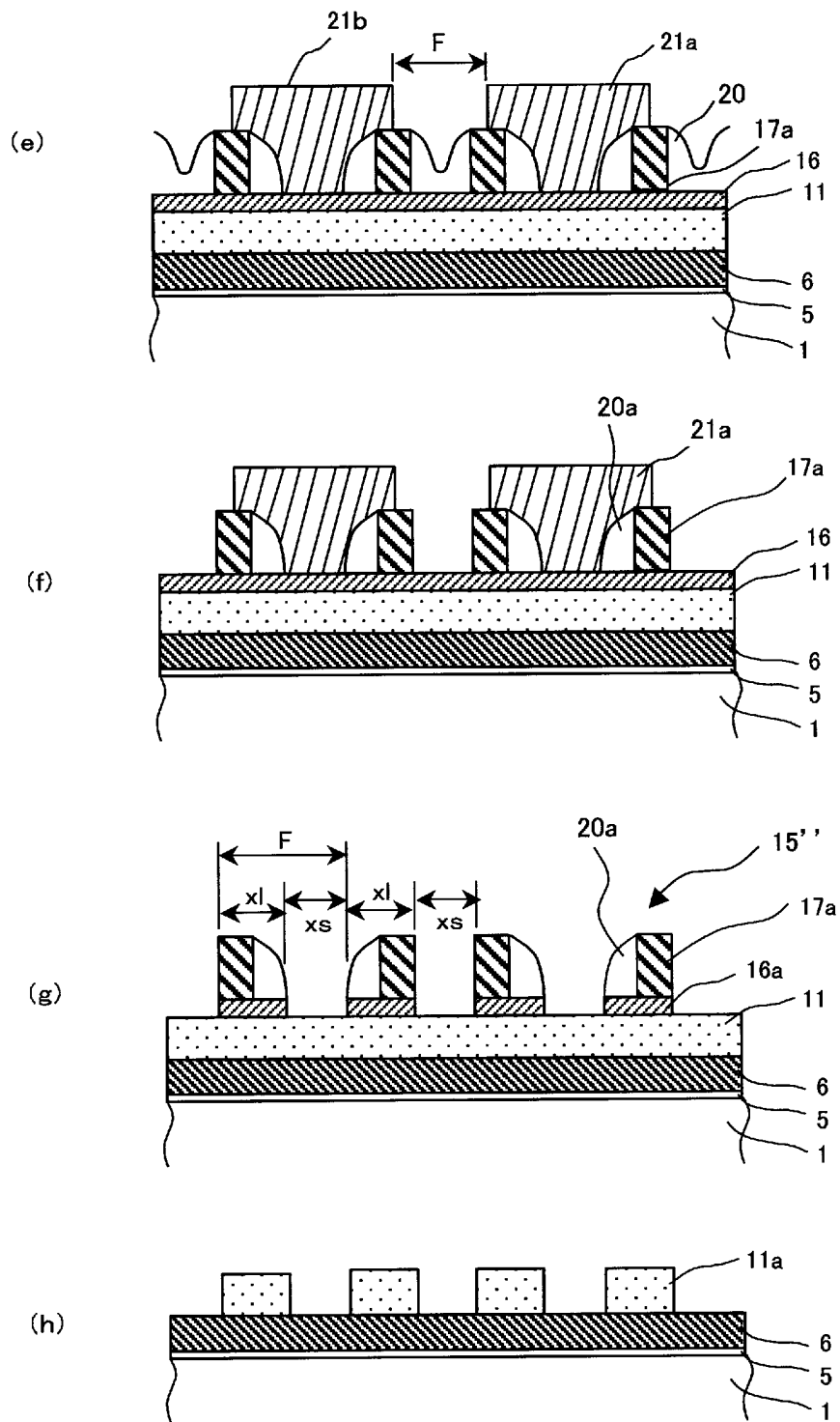
[図15]



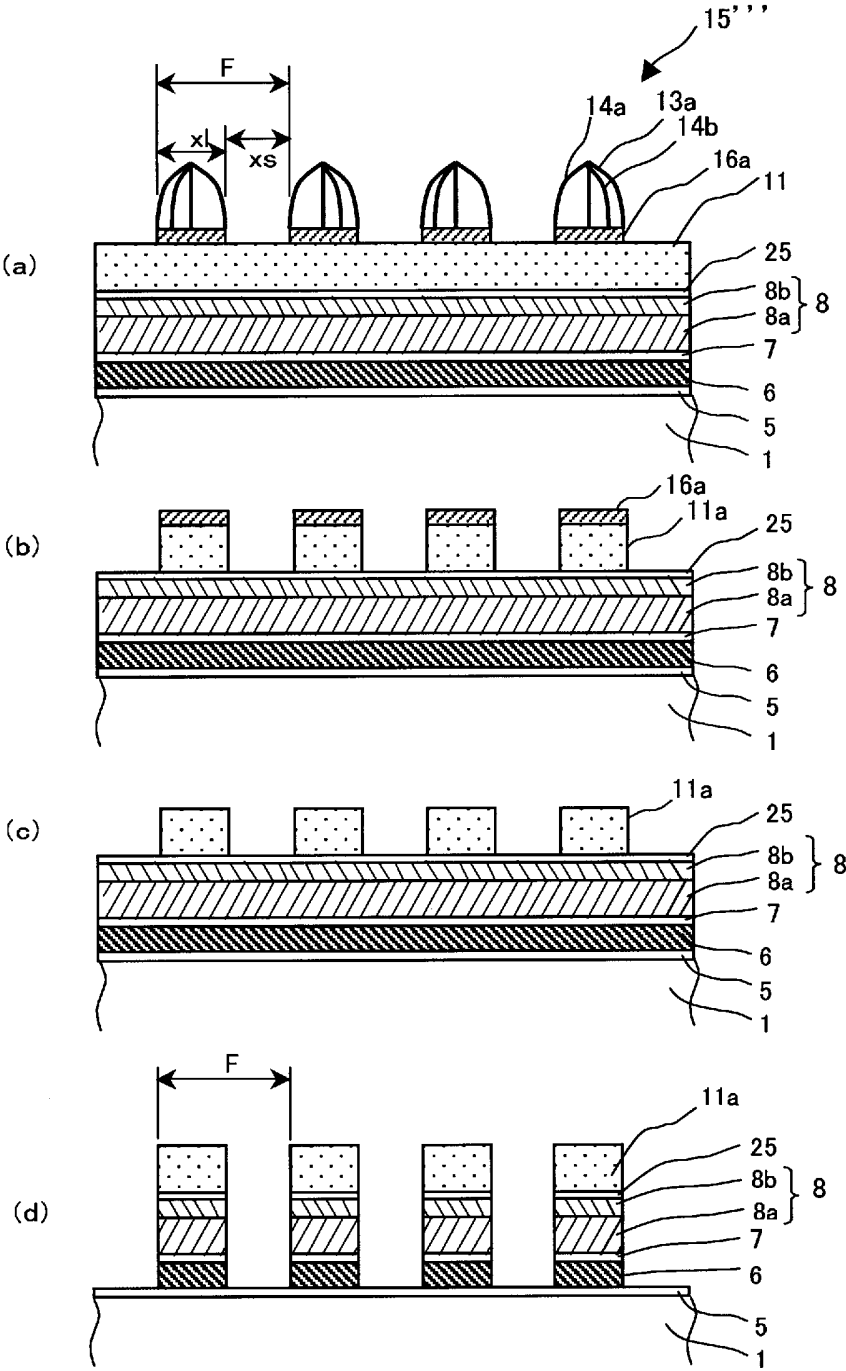
[図16]



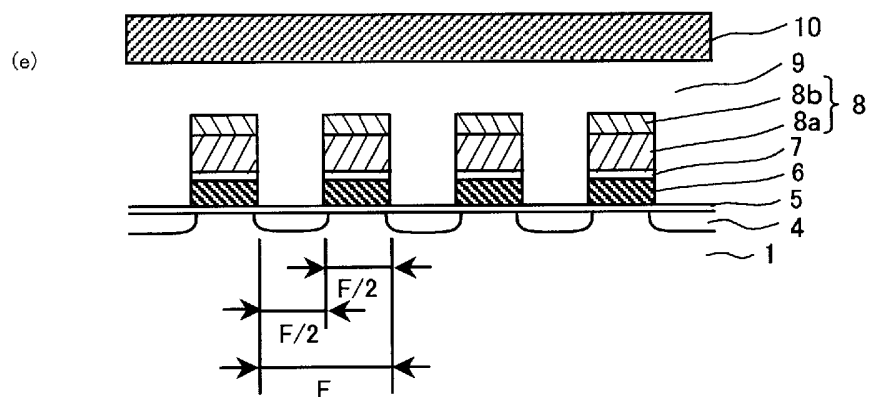
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/019646

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/3065

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/3065, H01L21/8247, H01L27/115, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005

Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 8-55908 A (Toshiba Corp.), 27 February, 1996 (27.02.96), Par. Nos. [0019] to [0033]; Figs. 2(a) to (d), 3(a) to (d), 5(a) to (d), 6(a) to (d) (Family: none)	1-3, 8, 10 4, 6, 9, 11-17
X A	JP 7-245402 A (Nippon Steel Corp.), 19 September, 1995 (19.09.95), Par. Nos. [0023] to [0027], [0034] to [0039]; Figs. 2(a) to (e), 3(a) to (d) (Family: none)	1-3, 5, 7 4, 6, 9, 11-17

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

31 March, 2005 (31.03.05)

Date of mailing of the international search report

19 April, 2005 (19.04.05)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/019646

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 3-23673 A (International Business Machines Corp.), 31 January, 1991 (31.01.91), Page 7, upper right column, line 3 to page 9, upper left column, line 11 & EP 402296 A & CA 2011233 A	1-17
A	JP 8-55920 A (Toshiba Corp.), 27 February, 1996 (27.02.96), Par. Nos. [0016] to [0023] (Family: none)	1-17

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/019646

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

As described in the extra sheet, although in order for a group of inventions claimed in claims to satisfy the requirement of unity of invention, there must be a special technical feature for linking the group of inventions so as to form a single general inventive concept, the claims of this international application do not satisfy the requirement and involve six inventions consisting of those of claims 1 to 2, 3, 4 & 6, 5 & 7, 8-12 and 14-17.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/019646

Continuation of Box No.III of continuation of first sheet(2)

In order for a group of inventions claimed in claims to satisfy the requirement of unity of invention, there must be special technical features for linking the group of inventions so as to form a single general inventive concept. In this connection, the "process for producing a semiconductor device, comprising the step of depositing a first film on a processing subject layer; the step of forming a first mask pattern with given pitch on the first film; the step of depositing a second film and carrying out etchback thereof so as to form first side wall films on side walls of the first mask pattern; the step of removing the first mask pattern; and the step of depositing a third film and carrying out etchback thereof so as to form second side wall films, thereby obtaining a second mask pattern composed of the first side wall films and the second side wall films" claimed in claim 1 cannot be a special technical feature as it is described in prior art references, for example, JP 8-55908 A (Toshiba Corp.) 27 February, 1996 (27.02.96) and JP 7-245402 A (Nippon Steel Corp.) 19 September, 1995 (19.09.95).

Consequently, there exist no special technical features for linking the group of inventions claimed in claims 1-17 so as to form a single general inventive concept.

Therefore, it is apparent that the group of inventions claimed in claims 1-17 do not satisfy the requirement of unity of invention.

Now, the number of invention groups linked with each other so as to form a general inventive concept, i.e., number of inventions, claimed in the claims of this international application will be studied. In view of general inventive concepts, it appears that six inventions consisting of those of claims 1 to 2, 3, 4 & 6, 5 & 7, 8 to 12 and 14 to 17 are involved.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl ⁷ H01L21/3065		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl ⁷ H01L21/3065, H01L21/8247, H01L27/115, H01L29/788, H01L29/792		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2005年 日本国実用新案登録公報 1996-2005年 日本国登録実用新案公報 1994-2005年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	J P 8-55908 A (株式会社東芝) 1996.02.27 【0019】-【0033】 【図2】 (a)-(d) 【図3】 (a)-(d) 【図5】 (a)-(d) 【図6】 (a)-(d) (ファミリーなし)	1-3, 8, 10 4, 6, 9, 11-17
X A	J P 7-245402 A (新日本製鐵株式会社) 1995.09.19 【0023】-【0027】 【0034】-【0039】 【図2】 (a)-(e) 【図3】 (a)-(d) (ファミリーなし)	1-3, 5, 7 4, 6, 9, 11-17
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 31.03.2005	国際調査報告の発送日 19.4.2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 今井 拓也	4 R 9169
電話番号 03-3581-1101 内線 3469		

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 3-23673 A (インターナショナル・ビジネス・マシ ーンズ・コーポレーション) 1991.01.31 第7頁右上欄第3行-第9頁左上欄第11行 & EP 402296 A & CA 2011233 A	1-17
A	JP 8-55920 A (株式会社東芝) 1996.02.27 【0016】-【0023】 (ファミリーなし)	1-17

第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項(PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

(特別ページ)に記載したように、請求の範囲に記載されている一群の発明が単一性の要件を満たすには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、この国際出願の請求の範囲には、1～2、3、4及び6、5及び7、8～12、14～17に区分される6個の発明が記載されている。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

請求の範囲に記載されている一群の発明が単一性の要件を満たすには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求の範囲1に記載されている、「被加工層上に第一の膜を堆積する工程と、前記第一の膜の上に所定のピッチで第一のマスクパターンを形成する工程と、第二の膜を堆積後エッチバックして前記第一のマスクパターン側壁に第一のサイドウォール膜を形成する工程と、前記第一のマスクパターンを除去する工程と、第三の膜を堆積後エッチバックして第二のサイドウォール膜を形成し、前記第一のサイドウォール膜及び前記第二のサイドウォール膜により構成された第二のマスクパターンを形成する工程とを具備する半導体装置の製造方法」は、先行技術文献、例えば、JP 8-55908 A (株式会社東芝) 1996. 02. 27 や JP 7-245402 A (新日本製鐵株式会社) 1995. 09. 19 に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求の範囲1～17に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別の技術的特徴は存しないこととなる。

よって、請求の範囲1～17に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

次に、この国際出願の請求の範囲に記載されている、一般的発明概念を形成するように連関している発明の群の数、即ち、発明の数につき検討するに、一般的発明概念からして1～2、3、4及び6、5及び7、8～12、14～17に区分される6個の発明が記載されていると認める。