



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

213 290

(11) (B1)

(61)
(23) Výstavní priorita
(22) Přihlášeno 19 01 81
(21) PV 371-81

(51) Int. Cl.³
G 06 F 11/30

(40) Zveřejněno 31 08 81
(45) Vydáno 01 02 84

(75)
Autor vynálezu SMÍŠEK JIŘÍ ing., PRAHA

(54) Zapojení pro realizaci spojení komunikačních sběrnic

1

Předmětem vynálezu je zapojení pro realizaci spojení komunikačních sběrnic testovaného a testujícího počítačového systému tak, aby bylo možné při testování kombinovat součinnost jednotlivých funkčních modulů.

Nedílnou součástí výroby procesorových nebo mikroprocesorových systémů je diagnostika. Oživovací fáze takového systému se zpravidla skládá z předoživení jednotlivých komponent tj. procesoru, operační paměti včetně permanentní paměti s nahrávacími programy a interfejsových desek periferních zařízení. Někdy bývá proveden i test kabeláže mezi konektory jednotlivých desek. Po kompletaci celého systému však může nastat situace, že neprobíhá správně sekvence nahrávání nebo, že nelze provést test operační paměti, aby bylo možno následně spustit self - testy procesoru, popřípadě nefunguje vstup pro nahrávání testů. Potom následuje pověrně pracná lokalizace poruchy pomocí analyzátoru a jiné měřicí techniky. Při vlastním provozu zařízení pak může dojít k poruše takového rázu, že následky jsou stejné jako u předchozího případu. V takové situaci je třeba mikroprocesor vyjmout ze systému a testovat jej zvlášť.

Možnost testování jednotlivých funkčních modulů přímo v daném systému nebo možnost postupného oživování a testování celého procesorového systému řeší zapojení pro realizaci spojení komunikačních sběrnic podle vynálezu, jehož podstatou je, že na první komunikační sběrnici testujícího systému je připojen první konektor první spojovací desky, na druhou komunikační sběrnici testovaného systému je připojen první konektor druhé spojovací desky,

213290

druhý konektor první spojovací desky je spojen s druhým konektorem druhé spojovací desky, hradlovací vstup první spojovací desky je spojen s prvním výstupem prvního diagnostického panelu, hradlovací vstup druhé spojovací desky je spojen s prvním výstupem druhého diagnostického panelu, druhý výstup prvního diagnostického panelu je spojen s prvním vstupem bloku komparace, druhý výstup druhého diagnostického panelu je spojen s druhým vstupem bloku komparace, výstup bloku komparace je spojen s prvním vstupem součtového hradla, jehož druhý vstup je spojen s výstupem bloku synchronizace a jehož výstup je spojen se vstupem prvního vysílače a se vstupem druhého vysílače, přičemž výstup prvního vysílače je spojen se synchronizačním vstupem prvního procesoru a výstup druhého vysílače je spojen se synchronizačním vstupem druhého procesoru.

Výhodou uvedeného zapojení je možnost provádět test mikroprocesoru bez vyjmutí ze systému, a tudíž v podmínkách, v jakých bude potom pracovat. Pokud se jedná o procesor mini-počítače, je stupeň lokalizace u testu procesoru lepší než u samotných self-testů v důsledku doplnění komparačním zařízením. Další výhodou zapojení je úspora objemu permanentní paměti, který by byl potřebný pro rezidentní diagnostiku. Konečně není potřeba žádný řídicí program pro testující počítač.

Na výkresech, na obr. 1 a 2 je zapojení podle vynálezu, kde je uvedeno vzájemné propojení jednotlivých bloků společně s jejich označením. Popis obrázku 1: První komunikační sběrnice 5 testujícího systému 56 je spojena se svorkou 10 první permanentní paměti 1, se svorkou 20 prvního procesoru 2, se svorkou 30 zapisovatelné paměti 3, se svorkou 40 první interfejsové desky 4, s prvním vstupem 110 bloku synchronizace 11, se svorkou 71 prvního diagnostického panelu 7 a se čtvrtým vstupem 80 bloku komparace 8. Druhá komunikační sběrnice 15 testovaného systému 57 je spojena se svorkou 160 první permanentní paměti 16, se svorkou 131 druhého diagnostického panelu 13, se svorkou 170 druhého procesoru 17, s druhým vstupem 83 bloku komparace 8, se svorkou 180 druhé zapisovatelné paměti 18, s druhým vstupem 112 bloku synchronizace 11 a se svorkou 190 druhé interfejsové desky 19. Třetí výstup 73 prvního diagnostického panelu 7 je spojen s hradlovacím vstupem 101 první permanentní paměti 1 a čtvrtý výstup 74 prvního diagnostického panelu 7 je spojen s hradlovacím vstupem 301 první zapisovatelné paměti 3. Třetí výstup 133 druhého diagnostického panelu 13 je spojen s hradlovacím vstupem 161 druhé permanentní paměti 16 a čtvrtý výstup 134 druhého diagnostického panelu 13 je spojen s hradlovacím vstupem 181 druhé zapisovatelné paměti 18. Na první komunikační sběrnici 5 je připojen první konektor 54 první spojovací desky 6, na druhou komunikační sběrnici 15 je připojen první konektor druhé spojovací desky 12, druhý konektor 55 první spojovací desky 6 je spojen s druhým konektorem 155 druhé spojovací desky 12, hradlovací vstup 53 první spojovací desky 6 je spojen s prvním výstupem 70 prvního diagnostického panelu 7, hradlovací vstup 153 druhé spojovací desky 12 je spojen s prvním výstupem 130 druhého diagnostického panelu 13, druhý výstup 72 prvního diagnostického panelu 7 je spojen s prvním vstupem 81 bloku komparace 8, druhý výstup 132 druhého diagnostického panelu 13 je spojen s druhým vstupem 82 bloku komparace 8, výstup 84 bloku komparace 8 je spojen s prvním vstupem 210 součtového hradla 21, jehož druhý vstup 211 je spojen s výstupem 111 bloku synchronizace 11 a jehož výstup 212 je spojen se vstupem 90 prvního

vysílače 9 a se vstupem 140 druhého vysílače 14, přičemž výstup 91 prvního vysílače 9 je spojen se synchronizačním vstupem 21 prvního procesoru 2 a výstup 141 druhého vysílače 14 je spojen se synchronizačním vstupem 171 druhého procesoru 17.

Popis obrázku 2: První adresní sběrnice 24 první komunikační sběrnice 5 je spojena se vstupem 260 adresního přijímače 26, jehož výstup 261 je spojen s prvním vstupem 340 adresního vysílače 34, první datová sběrnice 23 je spojena s prvním vstupem 310 prvního datového přijímače 31 a s výstupem 322 prvního datového vysílače 32, jehož vstup 320 je spojen s výstupem 362 druhého datového přijímače 36 a se vstupem 370 druhého datového vysílače 37, první zapisovací linka 22 je spojena se vstupem 250 přijímače zapisovacího signálu 25, jehož výstup 251 je spojen s prvním vstupem 350 vysílače zapisovacího signálu 35 a se vstupem 270 prvního řízeného hradla 27, první výstupní synchronizační linka 47 je spojena se vstupem 290 přijímače výstupního synchronizačního signálu 29, jehož výstup 291 je spojen s druhým vstupem 381 vysílače výstupního synchronizačního signálu 38, první výstupní synchronizační linka 46 je spojena s výstupem 332 vysílače výstupního synchronizačního signálu 33, jehož druhý vstup 331 je spojen s výstupem 391 přijímače vstupního synchronizačního signálu 39, výstup 342 adresního vysílače 34 je spojen s druhou adresní sběrnicí 44 druhé komunikační sběrnice 15, výstup 352 vysílače zapisovacího signálu 35 je spojen s druhou zapisovací linkou 42, výstup 372 druhého datového vysílače 37 je spojen s prvním vstupem 360 druhého datového přijímače 36 a s druhou datovou sběrnicí 43, výstup 382 vysílače výstupního synchronizačního signálu 38 je spojen s druhou výstupní synchronizační linkou 41 a vstup 390 přijímače vstupního synchronizačního signálu 39 je spojen s druhou vstupní synchronizační linkou 45. Hradlovací vstup 53 první spojovací desky 6 je spojen s hradlovacím vstupem 272 prvního řízeného hradla 27, s hradlovacím vstupem 482 druhého řízeného hradla 48 a s prvním vstupem 330 vysílače vstupního synchronizačního signálu 33, výstup 271 prvního řízeného hradla 27 je spojen se vstupem 280 prvního invertoru 28 a se vstupem 190 druhého řízeného hradla 48, jehož výstup 481 je spojen se vstupem 490 druhého invertoru 49, výstup 281 prvního invertoru 28 je spojen s druhým vstupem 311 prvního datového přijímače 31 a s druhým vstupem 371 druhého datového vysílače 37, výstup 491 druhého invertoru 49 je spojen s druhým vstupem 361 druhého datového přijímače 36 a s druhým vstupem 321 prvního datového vysílače 32, přičemž hradlovací vstup 153 druhé spojovací desky 12 je spojen s druhým vstupem 341 adresního vysílače 34, s druhým vstupem 351 vysílače zapisovacího signálu 35 a s prvním vstupem 380 vysílače výstupního synchronizačního signálu 38. Jeden z možných postupů při ožívování testovaného systému 57 podle zapojení z obrázku 1 je následující: Pomocí nahrávacího programu uloženého v první permanentní paměti 1, prvního procesoru 2 a první interfejsové desky 4, přes kterou je k testujícímu systému 56 připojen snímač děrné pásky, se запиše testovací program z děrné pásky do první zapisovatelné paměti 3. Předpokladem ovšem je, aby testující systém 56 prošel předem profylaktickou zkouškou. Signály z prvního výstupu 70 prvního diagnostického panelu 7 a z prvního výstupu 130 druhého diagnostického panelu 13 je přes hradlovací vstupy 53 a 153 realizováno spojení první komunikační sběrnice 5 s druhou komunikační sběrnicí 15. Z obrázku 2 je patrné, že aktivní signály na hradlovacích vstupech 53, 153 otevírají vysílače 33, 34, 35 a 38.

Dále jsou v propustném stavu řízená hradla 27 a 48. Po nahrání testu se první procesor 2 zastaví a po odstartování provádí předepsané instrukce testovacího programu z první zapisovatelné paměti 3. Pokud se první procesor 2 obrací na druhou zapisovatelnou paměť 18, vysílá její adresu přes adresní vysílač 34, data čte nebo je zapisuje přes datové přijímače 31, 36 a přes datové vysílače 32, 37. Operace čtení je dána neaktivní hladinou signálu na první zápisové lince 22, což má za následek horní hladinu na vstupech 321 a 361 a spodní hladinu na vstupech 311 a 371. Přes druhý datový přijímač 36 a přes první datový vysílač 32 čte první procesor 2 stav na druhé datové sběrnici 43. Při operaci zápis je naopak horní hladina na vstupech 311 a 371 a spodní hladina na vstupech 361 a 321. Přes první datový přijímač 31 a přes druhý datový vysílač 37 se přeráší stav první datové sběrnice 23 na druhou datovou sběrnici 43. Úrovně signálů na výstupní synchronizační lince 47 a na první zápisové lince 22 se přenáší přes přijímače 29, 25 a přes vysílače 38, 35 na odpovídající linky druhé komunikační sběrnice 15. Jako odezvu vysílá druhá zapisovatelná paměť 18 signál na druhé vstupní synchronizační lince 45, který se přenáší přes přijímač 39 a přes vysílač 33 na první vstupní synchronizační linku 46. Testem druhé zapisovatelné paměti 18 se odhalí buď vadný paměťový modul nebo chyba v kabeláži. V dalším kroku se pomocí první permanentní paměti 1 a prvního procesoru 2 nahrají self-testy procesoru do první zapisovatelné paměti 3 a do druhé zapisovatelné paměti 18. Druhá permanentní paměť 16 je v té době zablokovaná signálem na hradlovacím vstupu 161. Při nahrávání lze použít buď pouze jednoho snímače děrné pásky, připojeného přes první interfejsovou desku 4 nebo lze použít ještě druhého snímače, připojeného přes druhou interfejsovou desku 19. Činnost obou periferních zařízení se synchronizuje s prvním procesorem 2 prostřednictvím bloku synchronizace 11. Při čtení příznaku o dokončení operace periferního zařízení se první procesor 2 zastaví v činnosti následkem signálu z výstupu 111, který blokuje generaci vstupního synchronizačního signálu z výstupu 91 prvního vysílače 9. Teprve po přečtení pozitivních příznaků z obou datových sběrnic 23 a 43 se uskuteční generace vstupního synchronizačního signálu do prvního procesoru 2. Před spuštěním self-testů se hradlovacími signály na vstupech 53 a 153 zruší spojení komunikačních sběrnic 5 a 15 a signály na vstupech 81 a 82 se uvede v činnost synchronizace procesorů 2 a 17 přes blok komparace 8. Po odstartování obou procesorů se porovnávají vzorkované stavy signálů na vstupech 80, 83 a teprve při shodě se generuje neaktivní signál z výstupu 84. Při jakékoliv neshodě je generace vstupního synchronizačního signálu blokována z prvního vstupu 210 součtového hradla 21. Oba procesory testují sami sebe a ještě se provádí konfrontační test. Jestliže test druhý procesor provádí bezchybně, oživuje se nahrávací sekvence z druhé permanentní paměti 16, která se uvede v činnost shozením hradlovacího signálu na vstupu 161. Potom může například snímat druhý procesor 17 instrukce z obou permanentních pamětí za spolupráce bloku komparace 8 a opačným směrem realizovaného spojení komunikačních sběrnic 5 a 15 přes zaměňované spojovací desky 6 a 12. Uvažujeme dále, že přes první a druhou interfejsovou desku 4 a 19 lze připojit k systémům i další periferní zařízení jako je kreslicí stůl, klávesnice, děrovač, tiskárna apod. Součinnost například děrnopáskového vstupu a grafického výstupu se pak testuje konfrontačním testem obou systémů. Test musí být sestaven tak, aby zajistil synchronizaci periferních zařízení jak s procesorem tak i navzájem.

Diagnostické panely 7 a 13 slouží zejména k indikaci adres, dat, řídicích a synchronizačních signálů při zastavení testu. V minipočítačových systémech pak slouží navíc k lokalizaci závady na deskách nebo v kabeláži procesoru vysláním podezřelé instrukce do testovaného procesoru. Dále se provádí testy přerušení, a to buď v rámci předcházejícím způsobem oživeného systému nebo se musí spojovací desky doplnit obvody pro realizaci spojení příslušných linek komunikačních sběrnic.

Možnost použití uvedeného zapojení je u minipočítačových a mikroprocesorových systémů se společnou komunikační sběrnicí při servisní diagnostice za předpokladu, že testující systém je řešen jako mobilní zařízení

P Ř E D M Ě T V Y N Á L E Z U

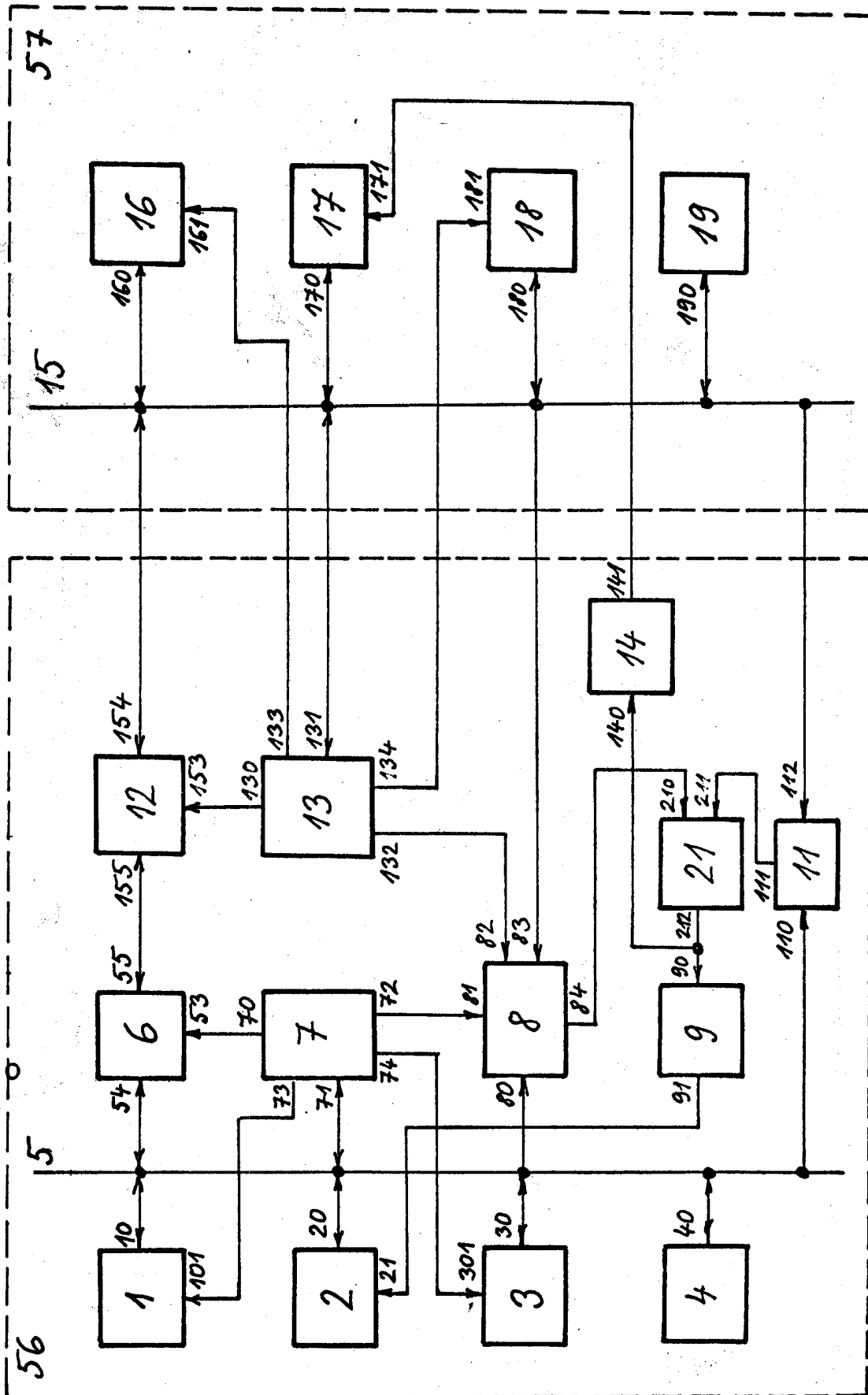
1. Zapojení pro realizaci spojení komunikačních sběrnic sestávající ze dvou procesorových systému, vyznačující se tím, že na první komunikační sběrnici (5) testujícího systému (56) je připojen první konektor (54) první spojovací desky (6), na druhou komunikační sběrnici (15) testovaného systému (57) je připojen první konektor (154) druhé spojovací desky (12), druhý konektor (55) první spojovací desky (6) je spojen s druhým konektorem (155) druhé spojovací desky (12), hradlovací vstup (53) první spojovací desky (6) je spojen s prvním výstupem (70) prvního diagnostického panelu (7), hradlovací vstup (153) druhé spojovací desky (12) je spojen s prvním výstupem (130) druhého diagnostického panelu (13), druhý vstup (72) prvního diagnostického panelu (7) je spojen s prvním vstupem (81) bloku komparace (8), druhý výstup (132) druhého diagnostického panelu (13) je spojen s druhým vstupem (82) bloku komparace (8), výstup (84) bloku komparace (8) je spojen s prvním vstupem (210) součtového hradla (21), jehož druhý vstup (211) je spojen s výstupem (111) bloku synchronizace (11) a jehož výstup (212) je spojen se vstupem (90) prvního vysílače (9) a se vstupem (140) druhého vysílače (14), přičemž výstup (91) prvního vysílače (9) je spojen se synchronizačním vstupem (21) prvního procesoru (2) a výstup (141) druhého vysílače (14) je spojen se synchronizačním vstupem (171) druhého procesoru (17).
2. Zapojení podle bodu 1 vyznačující se tím, že první adresní sběrnice (24) první komunikační sběrnice (5) je spojena se vstupem (260) adresního přijímače (26), jehož výstup (261) je spojen s prvním vstupem (340) adresního vysílače (34), první datová sběrnice (23) je spojena s prvním vstupem (310) prvního datového přijímače (31) a s výstupem (322) prvního datového vysílače (32), jehož vstup (320) je spojen s výstupem (362) druhého datového přijímače (36), s výstupem (312) prvního datového přijímače (31) a se vstupem (370) druhého datového vysílače (37), první zápisová linka (22) je spojena se vstupem (250) přijímače zapisovacího signálu (25), jehož výstup (251) je spojen s prvním vstupem (350) vysílače zapisovacího signálu (35) a se vstupem (270) prvního hradla (27), první výstupní synchronizační linka (47) je spojena se vstupem (290) přijímače výstupního synchronizačního signálu (29), jehož výstup (291) je spojen s druhým vstupem (381) vysílače výstupního synchronizačního signálu (38), první vstupní synchronizační linka (46) je spojena s výstupem (332) vysílače vstupního synchronizačního signálu (33), jehož druhý vstup (331) je spojen s výstupem (391) přijímače vstupního synchronizačního signálu (39), výstup (342) adresního vysílače

213 290

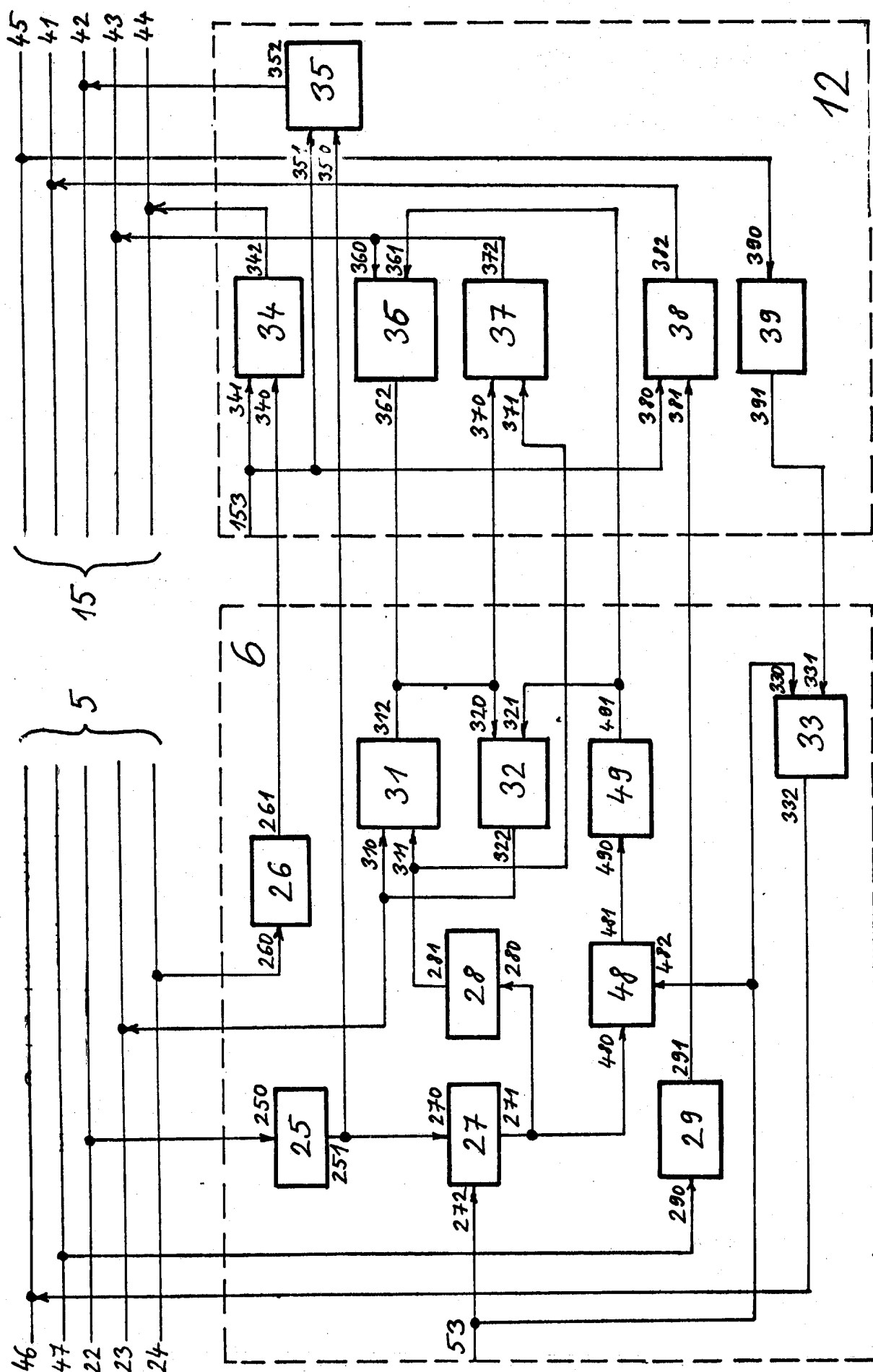
(34) je spojen s druhou adresní sběrnicí (44) druhé komunikační sběrnice (15), výstup (352) vysílače zapisovacího signálu (35) je spojen s druhou zápisovou linkou (42), výstup (372) druhého datového vysílače (37) je spojen s prvním vstupem (360) druhého datového přijímače (36) a s druhou datovou sběrnicí (43), výstup (382) vysílače výstupního synchronizačního signálu (38) je spojen s druhou výstupní synchronizační linkou (41) a vstup (390) přijímače vstupního synchronizačního signálu (39) je spojen s druhou vstupní synchronizační linkou (45).

3.2. zapojení podle bodů 1 a 2 vyznačující se tím, že hradlovací vstup (53) první spojovací desky (6) je spojen s hradlovacím vstupem (272) prvního řízeného hradla (27), s hradlovacím vstupem (482) druhého řízeného hradla (48) a s prvním vstupem (330) vysílače vstupního synchronizačního signálu (33), výstup (271) prvního řízeného hradla (27) je spojen se vstupem (280) prvního invertoru (28) a se vstupem (480) druhého řízeného hradla (48), jehož výstup (481) je spojen se vstupem (490) druhého invertoru (49), výstup (281) prvního invertoru (28) je spojen s druhým vstupem (311) prvního datového přijímače (31) a s druhým vstupem (371) druhého datového vysílače (37), výstup (491) druhého invertoru (49) je spojen s druhým vstupem (361) druhého datového přijímače (36) a s druhým vstupem (321) prvního datového vysílače (32), přičemž hradlovací vstup (153) druhé spojovací desky (12) je spojen s druhým vstupem (341) adresního vysílače (34), s druhým vstupem (351) vysílače zapisovacího signálu (35) a s prvním vstupem (380) vysílače výstupního synchronizovaného signálu (38).

2 výkresy



Обр. 1



Obr. 2