

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成27年11月5日(2015.11.5)

【公開番号】特開2014-110569(P2014-110569A)

【公開日】平成26年6月12日(2014.6.12)

【年通号数】公開・登録公報2014-031

【出願番号】特願2012-264808(P2012-264808)

【国際特許分類】

H 03K 5/08 (2006.01)

【F I】

H 03K 5/08 E

【手続補正書】

【提出日】平成27年9月14日(2015.9.14)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

差動対をなして基準電圧および入力電圧をゲートにそれぞれ入力する一対の入力MOS-FET、ゲートを相互に接続すると共にドレインを前記一対の入力MOS-FETの各ドレインにそれぞれ接続した一対の負荷MOS-FET、および前記一対の入力MOS-FETのソースに一定電流を供給する定電流源を具備した差動増幅型の比較器本体と、

前記入力MOS-FETにおけるゲート酸化膜の耐圧以下のブレークダウン電圧特性を有し、前記一対の入力MOS-FETの各ゲート・ソース間にそれぞれ順方向に並列接続したツェナーダイオードと具備したことを特徴とする比較器。

【請求項2】

差動対をなして基準電圧および入力電圧をゲートにそれぞれ入力する一対の入力MOS-FET、ゲートを相互に接続すると共にドレインを前記一対の入力MOS-FETの各ドレインにそれぞれ接続した一対の負荷MOS-FET、および前記一対の入力MOS-FETのソースに一定電流を供給する定電流源とを具備した差動増幅型の比較器本体と、

前記入力MOS-FETにおけるゲート酸化膜の耐圧以下のブレークダウン電圧特性を有し、前記一対の入力MOS-FETの各ゲート・ソース間にそれぞれ順方向に並列接続されたツェナーダイオードと、

前記比較器本体の出力電圧を前記一対の負荷MOS-FETのゲートに負帰還して該比較出力電圧の振幅を制限する帰還MOS-FETとを具備したことを特徴とする比較器。

【請求項3】

差動対をなして基準電圧および入力電圧をゲートにそれぞれ入力する一対の入力MOS-FET、ゲートを相互に接続すると共にドレインを前記一対の入力MOS-FETの各ドレインにそれぞれ接続した一対の負荷MOS-FET、および前記一対の入力MOS-FETのソースに一定電流を供給する定電流源とを具備した差動増幅型の比較器本体と、

前記入力MOS-FETにおけるゲート酸化膜の耐圧以下のブレークダウン電圧特性を有し、前記一対の入力MOS-FETの各ゲート・ソース間にそれぞれ順方向に並列接続されたツェナーダイオードと、

前記比較器本体の出力電圧を前記一対の負荷MOS-FETのゲートに負帰還して該出力電圧の出力振幅を制限する帰還MOS-FETと

電源電圧以上の逆耐圧特性を有し、前記定電流源と前記一対の入力MOS-FETの各

ソースとの間にそれぞれ介装された半導体整流素子とを具備したことを特徴とする比較器。

【請求項 4】

前記一対の入力MOS-FETはpチャネル型のMOS-FETであって、前記一対の負荷MOS-FETはnチャネル型のMOS-FETからなる請求項1～3のいずれかに記載の比較器。

【請求項 5】

前記帰還MOS-FETは、ドレインおよびゲートを前記一対の入力MOS-FETの一方のドレンに接続すると共に、ソースを前記一対の負荷MOS-FETのゲートに接続したものである請求項2または3に記載の比較器。

【請求項 6】

前記半導体整流素子は、整流ダイオードまたはダイオード接続したMOS-FETからなる請求項3に記載の比較器。

【請求項 7】

請求項1～3のいずれかに記載の比較器であって、

更に前記比較器本体の比較出力電圧を反転して外部出力するCMOS構造のインバータ回路を備えることを特徴とする比較器。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

図9は前述した構成の比較器において、電源電圧 V_{DD} を4.2V、基準電圧 V_{ref} を $V_{DD}/2$ (=2.1V)とし、入力電圧 V_{in} を0～ V_{DD} に亘って変化させたときの前記入力MOS-FET11,12のゲート・ソース間電圧 V_{gs} の変化を示すシミュレーション結果である。この例の場合、前記入力MOS-FET12のゲート・ソース間には、該入力MOS-FET11,12のゲート間の電圧差が直接加わるので、最大で $\pm V_{DD}/2$ (±2.1V)の電圧が加わることになる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

更に本発明に係る比較器は、前記ツェナーダイオードおよび帰還MOS-FETに加えて、更に電源電圧以上の逆耐圧特性を有する半導体整流素子を、前記定電流源と前記一対の入力MOS-FETの各ソースとの間にそれぞれ介装したことを特徴としている(第3の発明)。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

図2は、基準電圧 V_{ref} を $V_{DD}/2$ (=2.1V)とし、入力電圧 V_{in} を0～4.2Vの範囲で変化させたときの前記入力MOS-FET11,12のゲート・ソース間電圧 V_{gs} の変化を示すシミュレーション結果である。この図2に示されるように前記入力電圧 V_{in} が前記基準電圧 V_{ref} よりも7V以上低いとき($V_{in} < V_{ref} - 7$)、前記入力電圧 V_{in} が印加されてオンとなる前記入力MOS-FET12のゲート・ソース間電圧 V_{gs} は、前記ツ

エナーダイオード 3 2 によってクランプされ、略 7 V に保持される（特性 B を参照）。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 3

【補正方法】変更

【補正の内容】

【0 0 3 3】

特に前記入力電圧 V_{in} が前記基準電圧 V_{ref} よりも前記ツェナーダイオード 3 2 のブレークダウン電圧（7 V）以上低いと（ $V_{in} < V_{ref} - 7$ ）、前記入力 MOS-FET 1 2 のゲート・ソース間に加わる電圧が前記ツェナーダイオード 3 2 のブレークダウン電圧を上回る。すると前記ツェナーダイオード 3 2 がブレークダウンする。そして図 2 に示すように前記入力 MOS-FET 1 2 のゲート・ソース間電圧 V_{gs} は、前記ツェナーダイオード 3 2 のブレークダウン電圧（降伏電圧；7 V）に抑制される。この結果、前記入力 MOS-FET 1 2 のゲート酸化膜への高電圧の印加が阻止され、その破壊が防止される。尚、このとき前記入力 MOS-FET 1 1 はオフしているので、該入力 MOS-FET 1 1 のゲート・ソース間には前記ツェナーダイオード 3 1 の順方向降下電圧だけが加わる（特性 A を参照）。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 0

【補正方法】変更

【補正の内容】

【0 0 4 0】

更に比較器を図 5 に示すように構成することもできる（第 3 の発明）。

この比較器は、前述したツェナーダイオード 3 1, 3 2 および帰還 MOS-FET 3 3 に加えて、更に前記定電流源と前記一対の入力 MOS-FET 1 1, 1 2 の各ソースとの間に整流ダイオード（半導体整流素子）3 4, 3 5 をそれぞれ介装して構成される。これらの整流ダイオード 3 4, 3 5 には、前記電源電圧 V_{DD} 以上の逆耐圧特性を有するものが用いられる。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 2

【補正方法】変更

【補正の内容】

【0 0 4 2】

例えば前記基準電圧 V_{ref} として電源電圧 V_{DD} に近い高電圧が設定され、また前記入力電圧 V_{in} が接地電位（0 V）に近い低い電圧であるとする。そして前記入力 MOS-FET 1 1, 1 2 および前記定電流源をなす MOS-FET 1 5 のチャネル長 L とチャネル幅 W の比 L / W が等しいと仮定する。するとこの場合、前記 MOS-FET 1 5 のゲート・ソース間には、電源電圧 V_{DD} とバイアス電圧 V_{bias} との差電圧が印加される。よって前記入力 MOS-FET 1 2 のゲート・ソース間にも、同様に電源電圧 V_{DD} とバイアス電圧 V_{bias} との差電圧が加わる。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 3

【補正方法】変更

【補正の内容】

【0 0 4 3】

このときの前記 MOS-FET 1 5 のドレイン電圧 V_d は、前記入力 MOS-FET 1 2 のゲート・ソース間を V_{gs} とし、前記整流ダイオード 3 5 の順方向降下電圧を V_f とした

とき

$V_d = V_{in} + V_{gs} + V_f$ となる。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0048

【補正方法】変更

【補正の内容】

【0048】

尚、前記MOS-FET11, 12, 15のチャネル長Lとチャネル幅Wとの比L/Wが異なる場合には、前記バイアス電圧Vbiasが前記ノードNにそのまま発生することはない。しかしこの場合であっても、前記入力MOS-FET11または12のゲート電圧が前記ノードNの電圧以上になったとき、前記整流ダイオード34または35により前記入力MOS-FET11, 12が前記定電流源から切り離される。従って前述した例と同様に前記入力MOS-FET11, 12のゲート酸化膜の破壊が防止される。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】変更

【補正の内容】

【0053】

更には帰還MOS-FET33を用いて前記入力MOS-FET12のドレイン電圧を負帰還制御し、該ドレイン電圧(出力電圧)の振幅を抑えるので、前述したツェナーダイオード32と相俟って該入力MOS-FET12のゲート・ソース間電圧Vgsを抑制することができる。同時に前記ドレイン電圧の負帰還制御により前記インバータ回路20におけるMOS-FET22のゲート・ソース間電圧Vgsについても、その耐圧以下に抑えることができる。また前記整流ダイオード34, 35またはダイオード接続されたMOS-FET36, 37により、高いゲート電圧が加わる前記入力MOS-FET11, 12を定電流源から切り離すので、そのゲート酸化膜を破壊から保護することができる。