



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년01월19일
(11) 등록번호 10-2204828
(24) 등록일자 2021년01월13일

(51) 국제특허분류(Int. Cl.)

H03M 3/00 (2006.01)

(52) CPC특허분류

H03M 3/37 (2013.01)

H03M 3/43 (2013.01)

(21) 출원번호 10-2019-0173796

(22) 출원일자 2019년12월24일

심사청구일자 2019년12월24일

(56) 선행기술조사문헌

KR101212625 B1

KR101674255 B1

KR1020190075227 A

(73) 특허권자

인하대학교 산학협력단

인천광역시 미추홀구 인하로 100(용현동, 인하대학교)

(72) 발명자

강진구

서울특별시 서초구 양재대로2길 109, 104동 1202호(우면동, 서초호반써밋)

김남훈

서울특별시 강서구 공항대로39길 100, 107동 803호(등촌동, 대림아파트)

(74) 대리인

양성보

전체 청구항 수 : 총 7 항

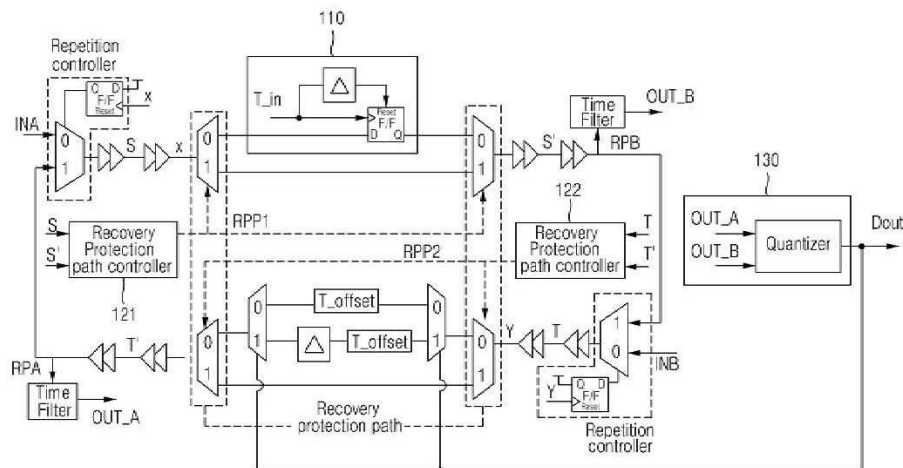
심사관 : 조준근

(54) 발명의 명칭 시간차 반복 적분기를 이용한 1차 델타 시그마 시간-디지털 변환기

(57) 요약

시간차 반복 적분기를 이용한 1차 델타 시그마 시간-디지털 변환 방법 및 장치가 제시된다. 본 발명에서 제안하는 시간차 반복 적분기를 이용한 1차 델타 시그마 시간-디지털 변환 장치는 회로 내부에서 주회하는 두 시간차 정보 신호를 입력하는 시간만큼 지연시키면서 시간정보를 저장하며, 디지털-시간 변환과 적분의 기능을 수행하는 시간 적분기, 주회하는 두 시간차 정보 신호가 같은 경로를 지나게 될 경우 초기의 입력시간 상태로 돌아가는 것을 방지하기 위한 복구 방지 경로 제어기 및 입력되는 두 시간차 정보 신호의 폭을 기준으로 디지털 값을 출력하는 양자화기를 포함한다.

대표도



이 발명을 지원한 국가연구개발사업

과제고유번호	1711085248
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	중견연구
연구과제명	[Ezbaro] 시간측정, 저장, 시간신호처리 Cell 회로를 이용한 고해상도 TDC 및 응용시스
템 설계연구	
기 여 율	1/1
과제수행기관명	인하대학교
연구기간	2019.03.01 ~ 2020.02.29

명세서

청구범위

청구항 1

회로 내부에서 주회하는 두 신호의 시간차 정보 신호를 입력하는 시간만큼 지연시키면서 두 신호의 시간차 정보를 저장하며, 디지털-시간 변환과 적분의 기능을 수행하는 시간 적분기;

주회하는 두 신호의 시간차 정보 신호가 같은 경로를 지나게 될 경우 시간 적분기를 통해 두 신호의 시간차 정보가 저장되기 이전의 상태로 돌아가는 것을 방지하기 위한 복구 방지 경로 제어기; 및

입력되는 두 신호의 시간차 정보 신호의 폭을 기준으로 디지털 값을 출력하는 양자화기

를 포함하는 델타 시그마 시간-디지털 변환 장치.

청구항 2

제1항에 있어서,

시간 적분기는,

플립플롭과 버퍼단을 이용하여 두 신호의 시간차 정보 신호를 입력하는 시간만큼 지연시키면서 두 신호의 시간차 정보를 저장하는

델타 시그마 시간-디지털 변환 장치.

청구항 3

제2항에 있어서,

시간 적분기는,

미리 정해진 시간만큼의 폭을 갖는 펄스를 만들기 위해 상기 미리 정해진 시간만큼 후에 플립플롭을 초기화하고, 플립플롭과 버퍼단을 이용하여 생성된 디지털 코드에 따른 두 신호의 시간차 정보를 시간적분기에 저장하는

델타 시그마 시간-디지털 변환 장치.

청구항 4

제1항에 있어서,

복구 방지 경로 제어기는,

복구 방지 경로 제어기의 짝수 번째 출력 신호가 시간 적분모드로 두 신호의 시간차 정보를 저장하도록 하고, 복구 방지 경로 제어기의 홀수 번째 출력 신호가 복구 방지 경로를 통해 두 신호의 시간차를 유지하도록 하는

델타 시그마 시간-디지털 변환 장치.

청구항 5

시간 적분기를 통해 회로 내부에서 주회하는 두 신호의 시간차 정보 신호를 입력하는 시간만큼 지연시키면서 두 신호의 시간차 정보를 저장하며, 디지털-시간 변환 및 적분을 수행하는 단계;

복구 방지 경로 제어기를 통해 주회하는 두 신호의 시간차 정보 신호가 같은 경로를 지나게 될 경우 시간 적분기를 통해 두 신호의 시간차 정보가 저장되기 이전의 상태로 돌아가는 것을 방지하는 단계; 및

입력되는 두 신호의 시간차 정보 신호의 폭을 기준으로 디지털 값이 출력하는 단계

를 포함하는 델타 시그마 시간-디지털 변환 방법.

청구항 6

제5항에 있어서,

시간 적분기를 통해 회로 내부에서 주회하는 두 신호의 시간차 정보 신호를 입력하는 시간만큼 지연시키면서 두 신호의 시간차 정보를 저장하며, 디지털-시간 변환 및 적분을 수행하는 단계는,

플립플롭과 버퍼단을 이용하여 두 신호의 시간차 정보 신호를 입력하는 시간만큼 지연시키면서 두 신호의 시간차 정보를 저장하고,

미리 정해진 시간만큼의 폭을 갖는 펄스를 만들기 위해 상기 미리 정해진 시간만큼 후에 플립플롭을 초기화하고, 플립플롭과 버퍼단을 이용하여 생성된 디지털 코드에 따른 두 신호의 시간차 정보를 시간적분기에 저장하는

델타 시그마 시간-디지털 변환 방법.

청구항 7

제5항에 있어서,

복구 방지 경로 제어기를 통해 주회하는 두 신호의 시간차 정보 신호가 같은 경로를 지나게 될 경우 시간 적분기를 통해 두 신호의 시간차 정보가 저장되기 이전의 상태로 돌아가는 것을 방지하는 단계는,

복구 방지 경로 제어기의 짝수 번째 출력 신호가 시간 적분모드로 두 신호의 시간차 정보를 저장하도록 하고, 복구 방지 경로 제어기의 홀수 번째 출력 신호가 복구 방지 경로를 통해 두 신호의 시간차를 유지하도록 하는

델타 시그마 시간-디지털 변환 방법.

발명의 설명

기술 분야

[0001] 본 발명은 시간차 반복 적분기를 이용한 1차 델타 시그마 시간-디지털 변환기에 관한 것이다.

배경 기술

[0002] 시간-디지털 변환기(Time-to-digital Converter: TDC)는 두 신호의 시간차 정보를 디지털 값으로 변환해 주는 회로이다. 디지털 위상 잠금 루프(ADPLL), 시간-도메인 아날로그 디지털 변환기(Time-Domain ADC), 비행시간(Time-Of-Flight) 측정에 쓰인다. 다양한 고해상도 TDC를 구현하기 위해 델타-시그마 TDC가 연구되었다. 기존에는 점화 펌프와 아날로그 적분기를 사용하거나 게이트 지연라인(Gated Delay Line)을 사용하여 델타-시그마 시간 디지털 변환기를 구현하였으나 누설전류와 같은 문제점이 발생하였다.

[0003] 이에 시간차 반복 회로(TDR)를 변형하여 디지털-시간 변환기와 적분기를 하나의 구조로 합친 새로운 시간 적분기를 사용하는 델타-시그마 변환기를 제안한다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 이루고자 하는 기술적 과제는 시간차 정보를 반복 유지할 수 있는 시간차 반복 회로(Time Difference Repetition Circuit)를 변형하여 디지털-시간 변환기와 적분기를 하나의 구조로 합친 새로운 시간 적분기를 사용하는 델타-시그마 시간-디지털 변환기(Delta-Sigma Time to Digital Converter; $\Delta\Sigma$ TDC)를 제공하는데 있다.

과제의 해결 수단

[0005] 일 측면에 있어서, 본 발명에서 제안하는 시간차 반복 적분기를 이용한 1차 델타 시그마 시간-디지털 변환 장치는 회로 내부에서 주회하는 두 시간차 정보 신호를 입력하는 시간만큼 지연시키면서 시간정보를 저장하며, 디지털-시간 변환과 적분의 기능을 수행하는 시간 적분기, 주회하는 두 시간차 정보 신호가 같은 경로를 지나게 될 경우 초기의 입력시간 상태로 돌아가는 것을 방지하기 위한 복구 방지 경로 제어기 및 입력되는 두 시간차 정보

신호의 폭을 기준으로 디지털 값을 출력하는 양자화기를 포함한다.

- [0006] 시간 적분기는 플립플롭과 버퍼단을 이용하여 두 시간차 정보 신호를 입력하는 시간만큼 지연시키면서 시간정보를 저장한다.
- [0007] 시간 적분기는 미리 정해진 시간만큼의 폭을 갖는 펄스를 만들기 위해 상기 미리 정해진 시간만큼 후에 초기화하고, 디지털 코드에 따른 시간정보를 시간적분기에 저장한다.
- [0008] 복구 방지 경로 제어기는 짝수 번째 신호가 시간 적분모드로 시간을 저장하도록 하고, 홀수 번째 신호가 복구 방지 경로를 통해 시간차이를 유지하도록 한다.
- [0009] 또 다른 일 측면에 있어서, 본 발명에서 제안하는 시간차 반복 적분기를 이용한 1차 델타 시그마 시간-디지털 변환 방법은 시간 적분기를 통해 회로 내부에서 주회하는 두 시간차 정보 신호를 입력하는 시간만큼 지연시키면서 시간정보를 저장하며, 디지털-시간 변환 및 적분을 수행하는 단계, 복구 방지 경로 제어기를 통해 주회하는 두 시간차 정보 신호가 같은 경로를 지나게 될 경우 초기의 입력시간 상태로 돌아가는 것을 방지하는 단계 및 입력되는 두 시간차 정보 신호의 폭을 기준으로 디지털 값이 출력하는 단계를 포함한다.
- [0010] 시간 적분기를 통해 회로 내부에서 주회하는 두 시간차 정보 신호를 입력하는 시간만큼 지연시키면서 시간정보를 저장하며, 디지털-시간 변환 및 적분을 수행하는 단계는 플립플롭과 버퍼단을 이용하여 두 시간차 정보 신호를 입력하는 시간만큼 지연시키면서 시간정보를 저장하고, 미리 정해진 시간만큼의 폭을 갖는 펄스를 만들기 위해 상기 미리 정해진 시간만큼 후에 초기화하고, 디지털 코드에 따른 시간정보를 시간적분기에 저장한다.
- [0011] 복구 방지 경로 제어기를 통해 주회하는 두 시간차 정보 신호가 같은 경로를 지나게 될 경우 초기의 입력시간 상태로 돌아가는 것을 방지하는 단계는 짝수 번째 신호가 시간 적분모드로 시간을 저장하도록 하고, 홀수 번째 신호가 복구 방지 경로를 통해 시간차이를 유지하도록 한다.

발명의 효과

- [0012] 본 발명의 실시예들에 따르면 시간차 정보를 반복 유지할 수 있는 시간차 반복 회로(Time Difference Repetition Circuit)를 변형하여 디지털-시간 변환기와 적분기를 하나의 구조로 합친 새로운 시간 적분기를 사용하는 델타-시그마 시간-디지털 변환기(Delta-Sigma Time to Digital Converter; $\Delta\Sigma$ TDC)를 제공할 수 있다.

도면의 간단한 설명

- [0013] 도 1은 본 발명의 일 실시예에 따른 시간차 반복 적분기를 이용한 1차 델타 시그마 시간-디지털 변환 장치의 구조를 나타내는 도면이다.
- 도 2는 본 발명의 일 실시예에 따른 시간 적분기를 나타내는 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 디지털 코드에 따라 저장해야 할 시간정보 시간 다이어그램이다.
- 도 4는 본 발명의 일 실시예에 따른 복구 방지 경로 제어기를 나타내는 도면이다.
- 도 5는 본 발명의 일 실시예에 따른 양자화기를 나타내는 도면이다.
- 도 6은 본 발명의 일 실시예에 따른 시간차 반복 적분기를 이용한 1차 델타 시그마 시간-디지털 변환기의 시간 다이어그램이다.
- 도 7은 본 발명의 일 실시예에 따른 시간차 반복 적분기를 이용한 1차 델타 시그마 시간-디지털 변환 방법을 설명하기 위한 흐름도이다.
- 도 8은 본 발명의 일 실시예에 따른 시간차 반복 적분기를 이용한 1차 델타 시그마 시간-디지털 변환기의 동작 결과를 나타내는 시간 다이어그램이다.
- 도 9는 본 발명의 또 다른 실시예에 따른 시간차 반복 적분기를 이용한 1차 델타 시그마 시간-디지털 변환기의 동작 결과를 나타내는 시간 다이어그램이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

- [0016] 도 1은 본 발명의 일 실시예에 따른 시간차 반복 적분기를 이용한 1차 델타 시그마 시간-디지털 변환 장치의 구조를 나타내는 도면이다.
- [0017] 제안하는 시간차 반복 적분기를 이용한 1차 델타 시그마 시간-디지털 변환 장치는 시간 적분기(110), 복귀 방지 경로 제어기(121, 122) 및 양자화기(130)를 포함한다.
- [0018] 시간 적분기(110)는 회로 내부에서 주회하는 두 시간차 정보 신호를 입력하는 시간만큼 지연시키면서 시간정보를 저장하며, 디지털-시간 변환과 적분의 기능을 수행한다. 시간 적분기(110)는 플립플롭과 버퍼단을 이용하여 두 시간차 정보 신호를 입력하는 시간만큼 지연시키면서 시간정보를 저장한다. 이때, 미리 정해진 시간만큼의 폭을 갖는 펄스를 만들기 위해 상기 미리 정해진 시간만큼 후에 초기화하고, 디지털 코드에 따른 시간정보를 시간적분기에 저장한다.
- [0019] 복귀 방지 경로 제어기(121, 122)는 주회하는 두 시간차 정보 신호가 같은 경로를 지나게 될 경우 초기의 입력 시간 상태로 돌아가는 것을 방지한다. 복귀 방지 경로 제어기(121, 122)는 짝수 번째 신호가 시간 적분모드로 시간을 저장하도록 하고, 홀수 번째 신호가 복귀 방지 경로를 통해 시간차이를 유지하도록 한다.
- [0020] 양자화기(130)는 입력되는 두 시간차 정보 신호의 폭을 기준으로 디지털 값을 출력한다. 도 2 내지 도 6을 참조하여 제안하는 시간차 반복 적분기를 이용한 1차 델타 시그마 시간-디지털 변환 장치에 대하여 더욱 상세히 설명한다.
- [0022] 도 2는 본 발명의 일 실시예에 따른 시간 적분기를 나타내는 도면이다.
- [0023] 도 2(a)는 플립플롭을 이용한 시간 덧셈기 구조이고, 도 2(b)는 시간 다이어그램이다. 제안하는 시간 적분기는 회로 내부에서 주회하는 두 시간차 정보 신호를 입력하는 시간만큼 지연시키면서 시간정보를 저장하는 구조이다. 이 구조는 도 2(a)와 같이 플립플롭과 버퍼단을 이용하여 입력 시간만큼 시간 정보를 지연시키며 시간을 저장하는 원리이다. Δ 의 시간 후에 초기화해주는 이유는 Δ 의 폭을 갖는 펄스를 만들어 주기 위함이다. 이는 양자화기에서 입력되는 두 펄스의 폭을 기준으로 디지털 값이 출력되기 때문이다.
- [0024] 디지털-시간 변환기에서 출력되어 시간 적분기에서 저장해야 할 시간정보는 다음과 같다.
- [0025] 디지털코드 0: 새로운 입력시간정보(T_{in})
- [0026] 디지털코드 1: Δ - 새로운 입력시간정보(T_{in})
- [0028] 도 3은 본 발명의 일 실시예에 따른 디지털 코드에 따라 저장해야 할 시간정보 시간 다이어그램이다.
- [0029] 도 3과 같이 시간차 반복회로에서 두 에지를 디지털 코드에 따라 저장해야 할 시간만큼 지연시킨다면 디지털 코드에 따른 시간정보를 시간적분기에 저장할 수 있다.
- [0030] 입력 시간범위는 $0 < T_{in} < + \Delta$ 가 된다.
- [0032] 도 4는 본 발명의 일 실시예에 따른 복귀 방지 경로 제어기를 나타내는 도면이다.
- [0033] 복귀 방지 경로 제어기의 구조는 도 4(a)와 같다. 이러한 복귀 방지 경로 제어기는 시간차 반복회로 특성상 주회하는 두 펄스가 같은 경로를 지나게 되면 결과적으로 초기의 입력시간 상태로 돌아가기 때문에 필요한 블록이다. 도 4(b)와 같이 처음 0.5 바퀴는 아무 지연이 없는 경로를 지나가게 되고 나머지 0.5바퀴는 시간 적분기 모드를 통과하게 되어 주회하고 있는 두 에지가 디지털 코드에 따라 지연되면서 시간정보를 저장하게 된다. 즉, 노드 S, T에서의 짝수 번째 신호가 시간 적분모드로 시간을 저장하게 되고 홀수 번째 신호가 복귀 방지경로를 통해 시간차이를 유지하게 된다.
- [0034] 복귀 방지경로 '0' : 시간 적분기 모드
- [0035] 복귀 방지경로 '1' : 시간차 유지 모드(통과 모드)
- [0037] 도 5는 본 발명의 일 실시예에 따른 양자화기를 나타내는 도면이다.
- [0038] 도 5(a)는 양자화기이며 1비트 출력이기 때문에 한 개의 플립플롭으로 구성되어 있다. OUT_A를 OUT_B 신호로 읽음으로써 디지털 코드 값을 출력시킨다.
- [0039] 도 5(b)는 양자화기의 시간 다이어그램이다.

- [0041] 도 6은 본 발명의 일 실시예에 따른 시간차 반복 적분기를 이용한 1차 델타 시그마 시간-디지털 변환기의 시간 다이어그램이다.
- [0042] 도 6은 전체 블록의 시간 다이어그램이다. 디지털 코드가 '0' 일 때는 INB의 에지가 입력된 후 아래쪽 복귀 방지 경로 제어 값 '1'에 의해 지연이 없는 경로를 지나게 되고 위쪽 경로에서는 복귀 방지 경로 제어 값 '0'에 의해 새로운 입력시간 T_{in}을 저장하게 된다. INA의 에지는 입력된 후 위쪽 복귀방지 경로 제어 값 '1'에 의해 지연이 없는 경로를 지나게 되고 아래쪽 경로에서는 경로제어 '1'에 의해 적분기 모드를 통과한다. 그 결과 INB는 T_{in}만큼 지연이 되고 INA는 지연 없이 한 바퀴를 주회하여 두 시간차이 T_{in}이 저장된다. 이후 시간 필터에 의해서 시간이 저장된 짝수 번째 신호들이 양자화기에 입력되어 디지털 코드 값이 출력된다.
- [0043] 디지털 코드가 '1' 일 때는 INB는 T_{in}만큼 지연되고 INA는 만큼 지연된다. 따라서 - T_{in}의 시간이 저장된다. T_{offset} 단은 INB가 T_{in}을 더하는 과정에서 플립플롭에서 발생하는 전파 지연시간을 의미한다. 이는 INA도 플립플롭을 이용하여 펄스를 새롭게 만들며 전파 지연 시간을 동일하게 맞추어 결과적으로는 INA와 INB펄스의 시간차이가 발생하지 않게 만드는 역할을 한다.
- [0044] 디지털 코드 값에 따라 시간 적분기 내부에서 시간 차이 정보를 저장하며 주회하는 두 펄스는 시간필터를 통해서 짝수 번째 펄스를 출력시킨다. 출력된 짝수 번째 펄스들은 양자화기로 입력되어 디지털 코드 값을 출력시킨다.
- [0046] 도 7은 본 발명의 일 실시예에 따른 시간차 반복 적분기를 이용한 1차 델타 시그마 시간-디지털 변환 방법을 설명하기 위한 흐름도이다.
- [0047] 제안하는 시간차 반복 적분기를 이용한 1차 델타 시그마 시간-디지털 변환 방법은 시간 적분기를 통해 회로 내부에서 주회하는 두 시간차 정보 신호를 입력하는 시간만큼 지연시키면서 시간정보를 저장하며, 디지털-시간 변환 및 적분을 수행하는 단계(710), 복귀 방지 경로 제어기를 통해 주회하는 두 시간차 정보 신호가 같은 경로를 지나게 될 경우 초기의 입력시간 상태로 돌아가는 것을 방지하는 단계(720) 및 입력되는 두 시간차 정보 신호의 폭을 기준으로 디지털 값이 출력하는 단계(730)를 포함한다.
- [0048] 단계(710)에서, 시간 적분기를 통해 회로 내부에서 주회하는 두 시간차 정보 신호를 입력하는 시간만큼 지연시키면서 시간정보를 저장하며, 디지털-시간 변환 및 적분을 수행한다. 플립플롭과 버퍼단을 이용하여 두 시간차 정보 신호를 입력하는 시간만큼 지연시키면서 시간정보를 저장한다. 이때, 미리 정해진 시간만큼의 폭을 갖는 펄스를 만들기 위해 상기 미리 정해진 시간만큼 후에 초기화하고, 디지털 코드에 따른 시간정보를 시간적분기에 저장한다.
- [0049] 단계(720)에서, 복귀 방지 경로 제어기를 통해 주회하는 두 시간차 정보 신호가 같은 경로를 지나게 될 경우 초기의 입력시간 상태로 돌아가는 것을 방지한다. 복귀 방지 경로 제어기는 짝수 번째 신호가 시간 적분모드로 시간을 저장하도록 하고, 홀수 번째 신호가 복귀 방지 경로를 통해 시간차이를 유지하도록 한다.
- [0050] 단계(730)에서, 입력되는 두 시간차 정보 신호의 폭을 기준으로 디지털 값이 출력한다.
- [0053] 도 8은 본 발명의 일 실시예에 따른 시간차 반복 적분기를 이용한 1차 델타 시그마 시간-디지털 변환기의 동작 결과를 나타내는 시간 다이어그램이다.
- [0054] 제안하는 1차 델타-시그마 시간-디지털 변환기의 모의실험 결과에 대해서 기술한다. Magna 0.18um 1poly 6metal 공정을 사용하여 설계하였고 시뮬레이션 프로그램은 Spectre를 사용한 결과이다.
- [0055] 도 8은 입력 시간 정보가 390ps로 일정 할 때 전체 회로 동작을 나타낸다.
- [0057] 도 9는 본 발명의 또 다른 실시예에 따른 시간차 반복 적분기를 이용한 1차 델타 시그마 시간-디지털 변환기의 동작 결과를 나타내는 시간 다이어그램이다.
- [0058] 도 9는 250ps ~ 1150ps, 450ps의 진폭 범위를 갖는 325.5kHz 사인 시간 신호를 입력하여 그에 따른 디지털 코드 값을 보여준다.
- [0060] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적

컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 컨트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0061] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치에 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

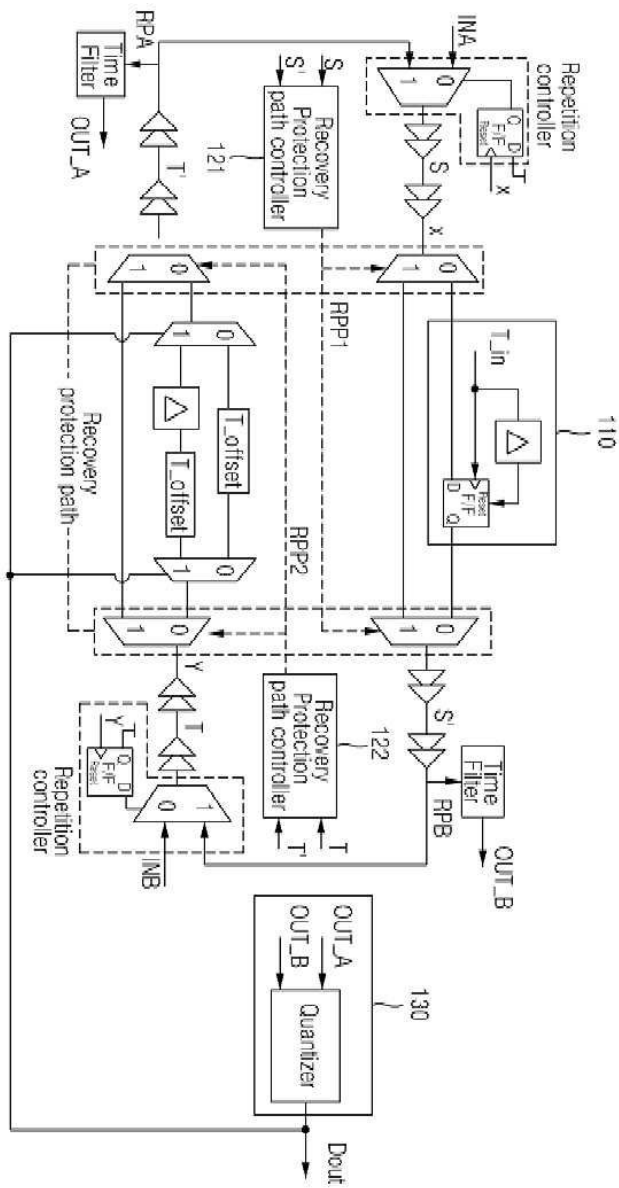
[0062] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.

[0063] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

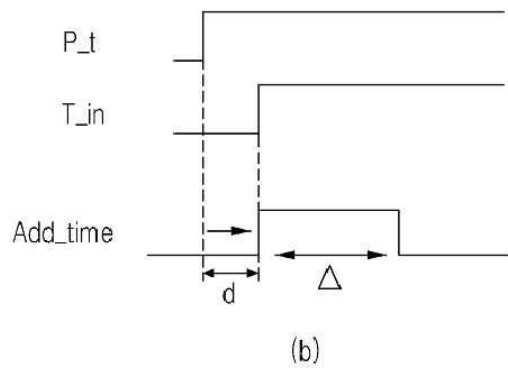
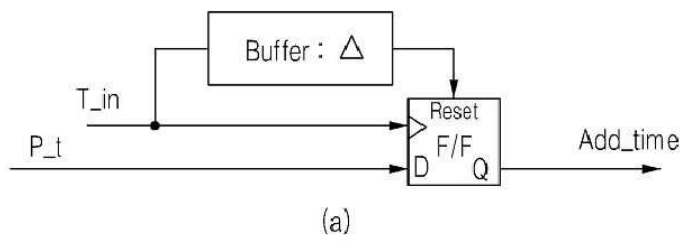
[0064] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

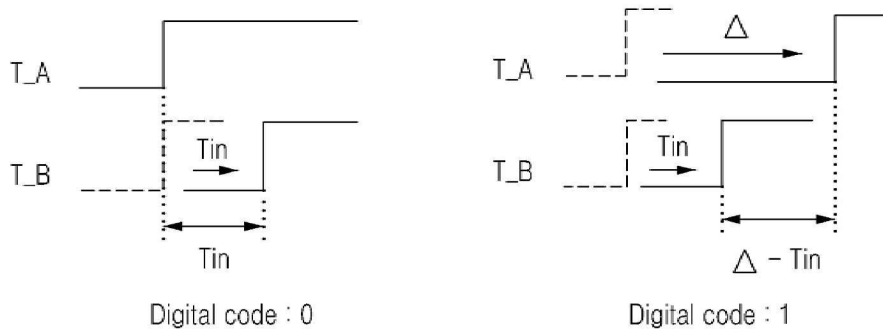
도면1



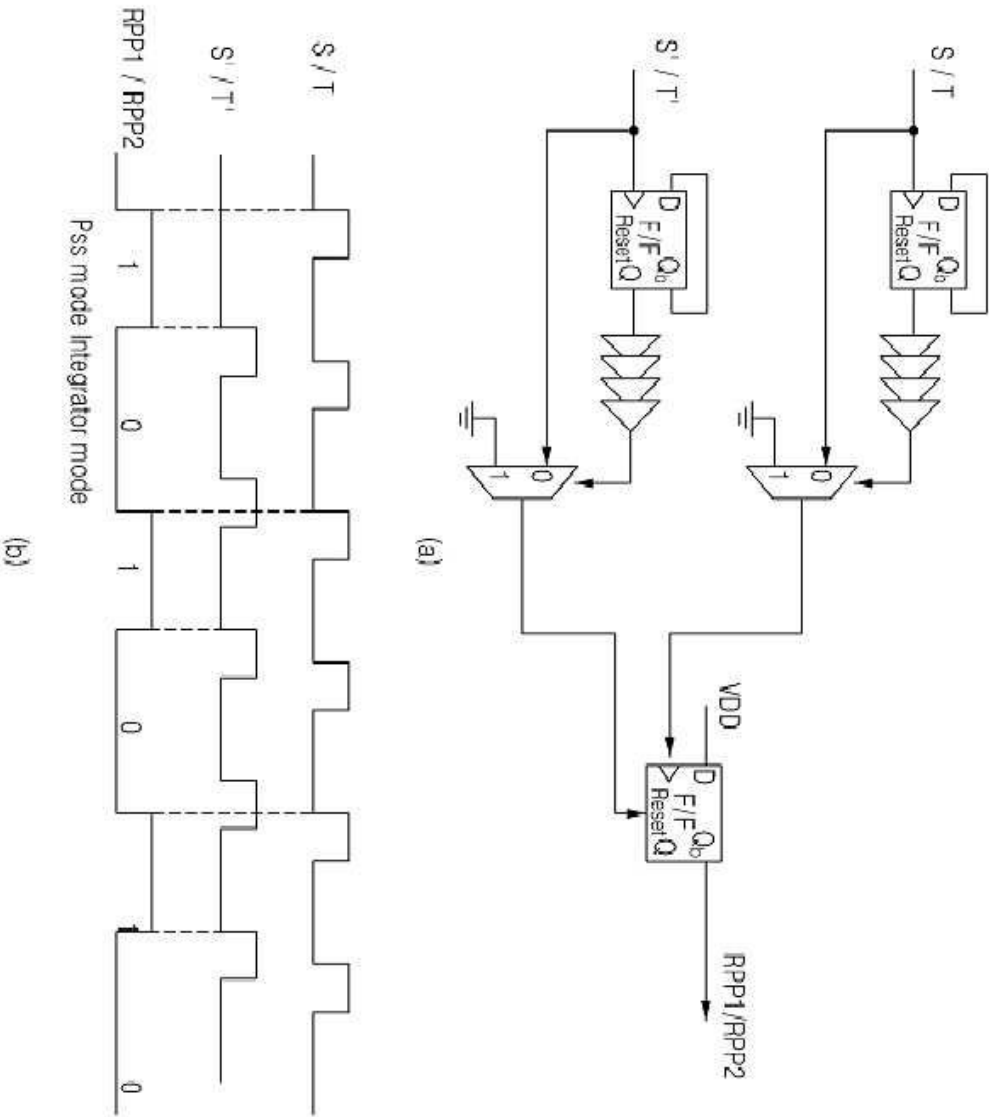
도면2



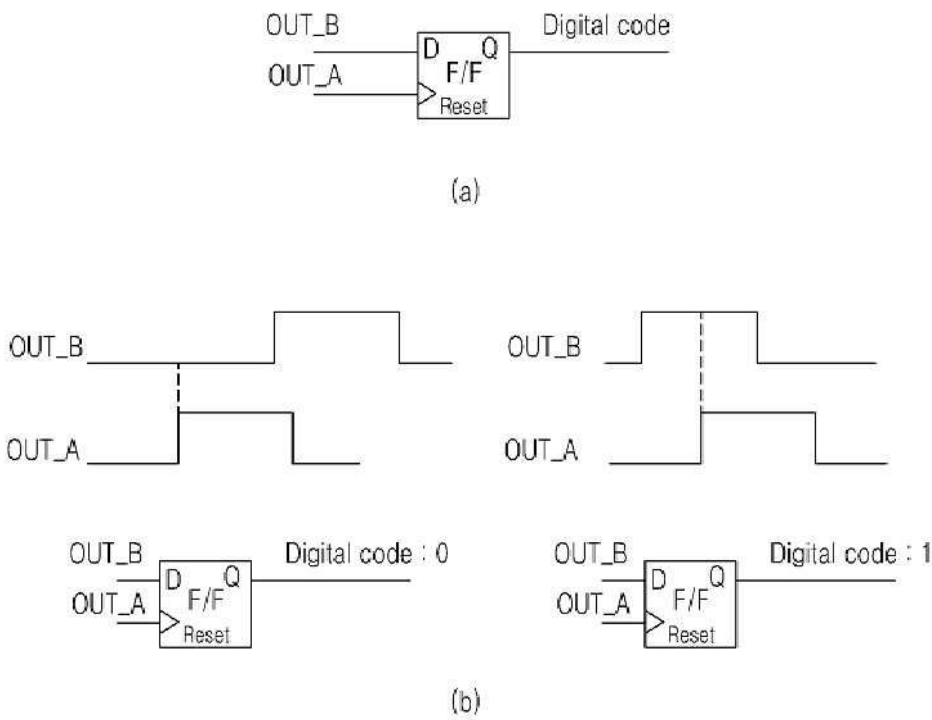
도면3



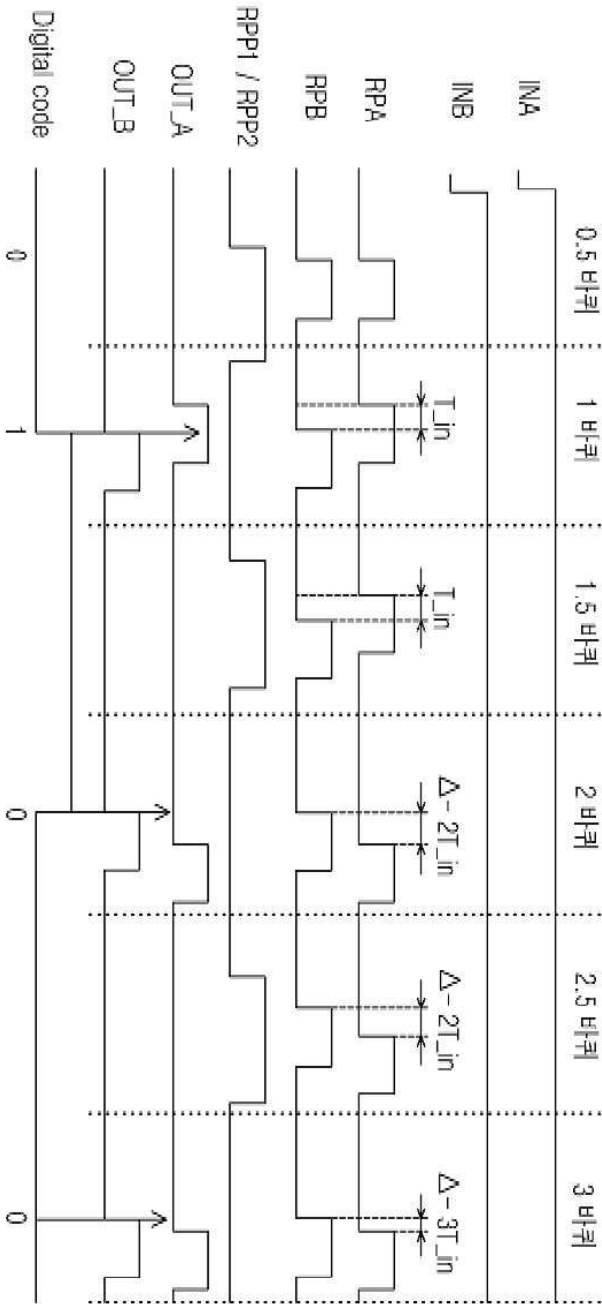
도면4



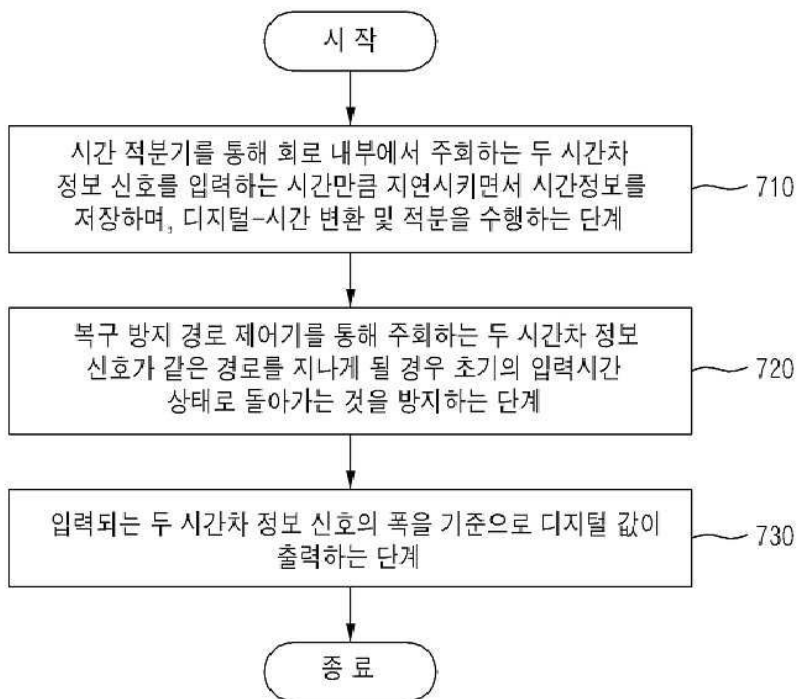
도면5



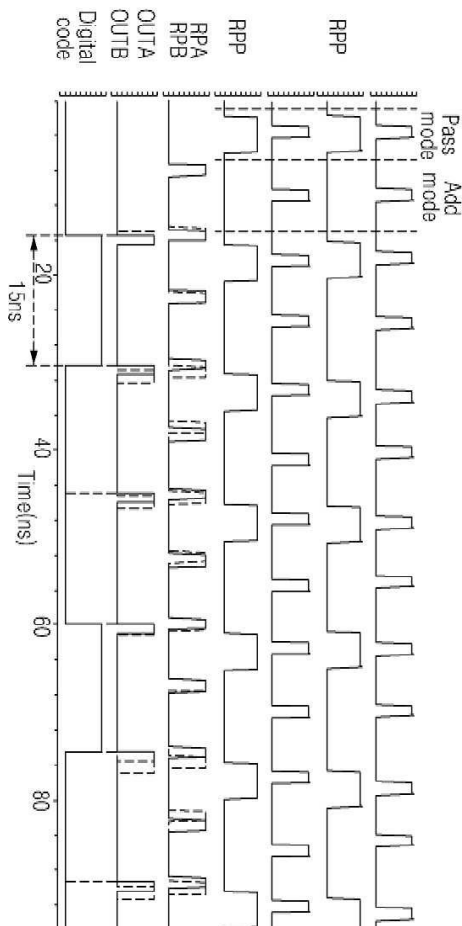
도면6



도면7



도면8



도면9

