



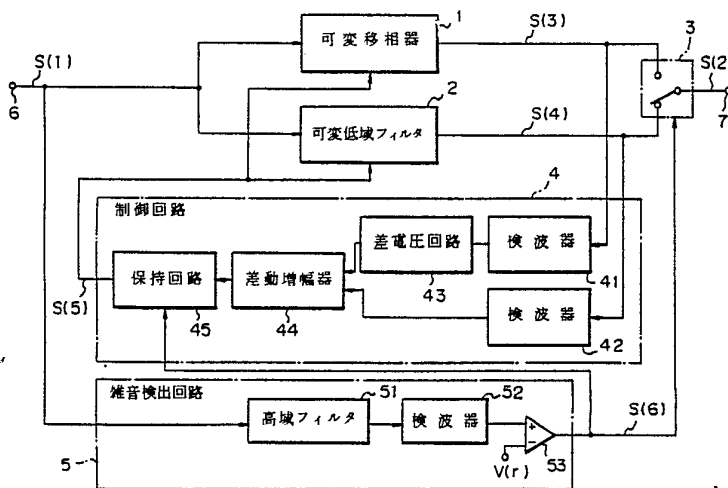
特許協力条約に基づいて公開された国際出願

<p>(51) 国際特許分類<sup>4</sup> H04B 1/10</p>	<p>A1</p>	<p>(11) 国際公開番号 WO 87/ 04578</p> <p>(43) 国際公開日 1987年7月30日 (30.07.87)</p>
--	-----------	---

(21) 国際出願番号 PCT/JP87/00047  
 (22) 国際出願日 1987年1月24日 (24. 01. 87)  
 (31) 優先権主張番号 特願昭61-12982  
 (32) 優先日 1986年1月25日 (25. 01. 86)  
 (33) 優先権主張国 JP  
 (71) 出願人(米国を除くすべての指定国について)  
 富士通テン株式会社 (FUJITSU TEN LIMITED)(JP/JP)  
 〒652 兵庫県神戸市兵庫区御所通1丁目2番28号 Hyogo, (JP)  
 (72) 発明者: および  
 (75) 発明者/出願人(米国についてのみ)  
 高山一男 (TAKAYAMA, Kazuo)(JP/JP)  
 〒673 兵庫県神戸市西区天が岡10の6 Hyogo, (JP)  
 (74) 代理人  
 弁理士 青木 朗, 外(AOKI, Akira et al.)  
 〒105 東京都港区虎ノ門一丁目8番10号 静光虎ノ門ビル  
 青和特許法律事務所 Tokyo, (JP)  
 (81) 指定国  
 AU, CH (欧州特許), DE (欧州特許), GB (欧州特許),  
 NL (欧州特許), U.S.  
 添付公開書類 国際調査報告書

(54) Title: NOISE-REMOVING DEVICE

(54) 発明の名称 雑音除去装置



- 1 ... variable phase shifter
- 2 ... variable low-pass filter
- 4 ... control circuit
- 5 ... noise-detecting circuit
- 45 .. holding circuit
- 44 .. differential amplifier
- 43 .. differential voltage circuit
- 41, 42, 52 .. detectors
- 51 .. high-pass filter

(57) Abstract

Input signals are guided into a first signal path which includes a variable low-pass filter, and into a second signal path. A control circuit so controls that the cut-off frequency of the variable low-pass filter changes with the frequency of the input signals. When the noise is being generated, the output signals are obtained through the first signal path. When no noise is being generated, the output signals are obtained through the second signal path.

(57) 要約

入力信号を、可変低域フィルタを含む第1の信号経路と第2の信号経路とに導き、可変低域フィルタのシャ断周波数が入力信号の周波数に対応して変化されるように制御回路で制御を行い、雑音発生中は第1の信号経路から出力信号を得、雑音非発生中は第2の信号経路から出力信号を得るようにした雑音除去装置。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	FR	フランス	MR	モーリタニア
AU	オーストラリア	GA	ガボン	MW	マラウイ
BB	バルバドス	GB	イギリス	NL	オランダ
BE	ベルギー	HU	ハンガリー	NO	ノルウエー
BG	ブルガリア	IT	イタリア	RO	ルーマニア
BJ	ベナン	JP	日本	SD	スーダン
BR	ブラジル	KP	朝鮮民主主義人民共和国	SE	スウェーデン
CF	中央アフリカ共和国	KR	大韓民国	SN	セネガル
CG	コンゴ	LI	リヒテンシュタイン	SU	ソビエト連邦
CH	スイス	LK	スリランカ	TD	チャード
CM	カメルーン	LU	ルクセンブルグ	TG	トーゴ
DE	西ドイツ	MC	モナコ	US	米国
DK	デンマーク	MG	マダガスカル		
FI	フィンランド	ML	マリ		

## 明 細 書

## 雑音除去装置

## 5 (技術分野)

本発明は断続して生じる瞬間的な雑音を除去するのに適した雑音除去装置に関する。本発明による雑音除去装置は例えば車載用のFMラジオ受信機に組み込まれてマルチパス歪等の雑音除去に用いられる。

10

## (背景技術)

車載用のFMラジオ受信機においては、マルチパス妨害が生じることが知られている。マルチパス妨害は、電波の直接波と山やビルなどで反射された反射波とが干渉して受信波の復調信号にマルチパス歪を生じさせることで起こる妨害であり、このマルチパス歪によって復調音声信号の音質が劣化される。

15

マルチパス歪は第3図に示されるように、復調信号に断続的に重畳される高周波の瞬時的な雑音である。このマルチパス歪を除去する方法としては、マルチパス妨害発生時に復調信号を低域フィルタに通すようにすれば、主として高周波成分からなるマルチパス歪は低減され、マルチパス歪は聴感上聞こえにくくなる。

20

従来、このような雑音除去を行う装置としては可変低域フィルタを用いたものが知られている。この装置は、復調信号

25

が可変低域フィルタを通るようにしておき、一方、復調信号に断続的なマルチパス歪が重畳された時にそのマルチパス歪が断続して生じている全期間にわたり持続する検出信号を出力する雑音検出回路を設け、この雑音検出回路の検出信号によってマルチパス歪が検出されている期間中は可変低域フィルタのシャ断周波数を固定的な低周波数値に設定して高周波成分からなるマルチパス歪を除去し、マルチパス歪がない期間中はシャ断周波数を高くして復調信号を損なうことなく通過させる。

10 この雑音除去装置は、雑音発生時には雑音が断続的に発生している全期間にわたり入力信号の高周波成分を除去するが、この期間中は入力信号の高周波成分も除去されることになり、したがって雑音改善度を高めると必然的に入力信号の高周波成分も著しく損なわれる。

15 マルチパス歪等の雑音とその雑音が重畳される信号との間には一般に次のような関係がある。

信号が高周波成分を含んでいない場合、高周波成分からなる雑音は目立ちやすく、信号が高周波成分を含んでいる場合、雑音は目立たない。したがって前者の場合は十分に雑音除去を行うことが必要であるが、後者の場合は必ずしも必要でなく、特に目立ちやすい大きな雑音だけを除去するような軽い雑音除去で足りる。

また雑音は通常ほぼ一定のレベルであるから、信号のレベルが小さい時はS/N比は劣化し、信号のレベルが大きい時はS/N比の劣化は大きくはない。したがって前者の場合は

十分に雑音除去を行うことが必要であり、後者の場合は軽い雑音除去で足りる。

さらに信号レベルが一定であるとする、雑音のレベルが大きい時はS/N比は劣化し、雑音レベルが小さい時はS/N比の劣化は大きくはない。したがって前者の場合は十分に雑音除去を行うことが必要であり、後者の場合は軽い雑音除去で足りる。

しかしながら、前述の従来の雑音除去装置はこのような信号と雑音との関係を考慮することなく、常に一様な特性の雑音除去処理、すなわち雑音発生時に可変低域フィルタのシャ断周波数を低周波数の固定値に設定してこの可変低域フィルタに信号を通すような処理、を行っており、適切な雑音除去を行っているとはいえない。

したがって本発明の目的は、雑音除去されるべき信号の周波数または信号レベルに応じて雑音除去特性を変えることができ、それにより、より効果的な雑音除去を行える雑音除去装置を提供することにある。

〔発明の開示〕

本発明によれば、入力信号に重畳された瞬間的な雑音を除去できる雑音除去装置であって、該入力信号中から該雑音を検出する雑音検出回路、シャ断周波数を可変できる可変低域フィルタを含む第1の信号経路であって、該入力信号が該可変低域フィルタを通過して出力されるもの、該入力信号が通過される第2の信号経路、該可変低域フィルタのシャ断周波

数を該入力信号の周波数に応じて調整し、該入力信号の周波数が高くなるに従い該可変低域フィルタのシャ断周波数が高くなるようにする制御回路、および、該雑音検出回路によって雑音が検出されている期間は該1の信号経路からの出力信号を選択し、雑音が検出されていない期間は該第2の信号経路からの出力信号を選択して出力する選択回路、を具備する雑音除去装置が提供される。

〔図面の簡単な説明〕

10 以下、本発明による雑音除去装置の好適な実施例を添付の図面を用いて説明する。

第1図は本発明の一実施例としての雑音除去装置を示すブロック図、

15 第2A、2B、および2C図は第1図における制御回路の動作を説明するための図、

第3図は第1図の雑音除去装置の雑音除去動作を説明するための信号波形図、

第4図および第5図はそれぞれ本発明の他の実施例を示すブロック図、

20 第6図は第5図における非線形増幅器の入出力特性を示す図、

第7図は本発明のさらに他の実施例を示すブロック図、

第8図は第1図の雑音除去装置をアナログ回路で実現した例を示す図、

25 第9図は第5図の雑音除去装置をデジタル回路で実現し

た例を示す図、

第10図は本発明の雑音除去装置をFMラジオ受信機に適用した例を示す図、および、

第11図は第10図における遅延器を詳細に示したブロック図である。

(発明を実施するための最良の形態)

第1図は本発明の一実施例としての雑音除去装置を示すブロック図である。第1図において、入力端子6に入力された  
10 入力信号S(1)は二分岐されて可変移相器1および可変低域フ  
ィルタ2にそれぞれ導かれ、それらを経た後にそれぞれセレ  
クタ3に導かれる。セレクタ3からの出力信号S(2)は出力端  
子7から外部回路へ送出される。

可変移相器1の出力信号S(3)および可変低域フィルタ2の  
15 出力信号S(4)は制御回路4の検波器41および42にそれぞれ導  
かれる。制御回路4は検波器41および42、検波器41の検波出  
力に差電圧 $\delta$ を与える差電圧回路43、検波器42の出力と差電  
圧回路43の出力との差分を増幅する差動増幅器44、および、  
20 差動増幅器44の出力信号を雑音検出信号S(6)に応じて一時的  
にホールドする保持回路45を備える。保持回路45から出力さ  
れる制御信号S(5)は可変移相器1および可変低域フィルタ2  
の各々の制御入力端子に導かれる。

入力信号S(1)はまた雑音検出回路5に導かれる。雑音検出  
回路5は高域フィルタ51、高域フィルタ51の出力信号を検波  
25 する検波器52、検波器52の出力信号を基準電圧V(r)と比較す

る比較器53を具備する。雑音検出回路5は入力信号S(1)に重畳される高周波成分からなる雑音を検出してその雑音発生期間を示す雑音検出信号S(6)を出力する。雑音検出信号S(6)はセクタ3の選択制御入力端子および制御回路4の保持制御入力端子に導かれる。

この雑音除去装置の動作が以下に説明される。入力端子6に入力された入力信号S(1)は二分岐されて可変移相器1および可変低域フィルタ2に入力される。可変低域フィルタ2は入力信号S(1)に重畳された高周波雑音を除去するための低域フィルタであり、後に詳しく説明するように、そのシャ断周波数は入力信号S(1)の主成分周波数にほぼ一致するように制御回路4によって常に可変制御される。

可変移相器1は可変低域フィルタ2で生じる信号の伝達遅延時間と同じ大きさの遅延時間を入力された信号に与える遅延素子として働く移相器であり、セクタ3における切換えの際に可変移相器1を経た出力信号S(3)と可変低域フィルタ2を経た出力信号S(4)との間に時間差が生じないようにしている。

可変低域フィルタ2で生じる信号の遅延時間はそのシャ断周波数の変化に従って変化するものであるから、可変移相器1は、可変低域フィルタ2の位相周波数特性と同じ位相周波数特性を持つように、制御回路4からの制御信号S(5)によって可変低域フィルタ2のシャ断周波数の変化に対応してその遅延時間(位相角)を変化させるようになっており、それによりセクタ3において両経路をそれぞれ経た信号の位相が

常に一致するようにしている。

制御回路 4 による可変低域フィルタ 2 のシャ断周波数の制御は以下のようにして行われる。いま入力信号 S (1) として第 2 A 図に示すような 400Hz の信号が入力されたものとする。

5 入力信号 S (1) は可変移相器 1 および可変低域フィルタ 2 をそれぞれ経た後、検波器 41 および 42 によってそれぞれ検波される。可変低域フィルタ 2 のシャ断周波数が第 2 B 図に示すように入力信号 S (1) よりも十分に高い場合、検波器 41 および 42 の検波出力レベルは同じ値となる。

10 一方、検波器 41 の検波出力は差電圧回路 43 によって一定の差電圧  $\delta$  だけ差し引かれるので、差動増幅器 44 には差電圧回路 43 と検波器 42 との間の差電圧  $\delta$  が入力信号として与えられ、この差電圧  $\delta$  が増幅されて保持回路 45 を介して制御信号 S (5) として可変移相器 1 および可変低域フィルタ 2 に送出され、  
15 これにより可変低域フィルタ 2 のシャ断周波数は低周波側に向かってシフトされる。

可変低域フィルタ 2 のシャ断周波数が低周波側にシフトされて第 2 C 図に示される位置になると、入力信号 S (1) は差電圧  $\delta$  に相当する分だけが可変低域フィルタ 2 のフィルタ特性  
20 によって除去されることとなり、この結果、検波器 42 の出力レベルと差電圧回路 43 の出力レベルとは一致し、差動増幅器 44 への入力信号差はほぼゼロとなり、可変低域フィルタ 2 のシャ断周波数は低周波側へのシフトが停止されてその時の差動増幅器 44 の出力信号の大きさに対応した値に設定されること  
25 になる。

このように制御回路 4 は、入力信号 S (1) の周波数に比例して電圧値が変化する制御信号 S (5) を出力し、この制御信号 S (5) によって可変低域フィルタ 2 のしゃ断周波数および可変移相器 1 の移相量が変化される。よって可変低域フィルタ 2 のしゃ断周波数は入力信号 S (1) の周波数にほぼ一致するように常に制御される。また可変移相器 1 の移相量も制御信号 S (5) に応じて変化されてそれにより可変移相器 1 は可変低域フィルタ 2 で生じた遅延と同じ大きさの遅延を入力信号 S (1) に与える。

この雑音除去装置による雑音除去動作が以下に説明される。入力信号 S (1) として第 3 図に実線で示されるような、高周波雑音が重畳された信号が入力されたものとする。雑音検出回路 5 はその雑音を検出し、その雑音が生じている期間にわたり雑音検出信号 S (6) を出力する。保持回路 45 はこの雑音検出信号 S (6) に応じてその期間中、差動増幅器 44 からの出力信号を保持し、それにより可変移相器 1 の移相量および可変低域フィルタ 2 のしゃ断周波数をそれぞれ雑音発生前のものに保持する。これにより雑音発生期間中に可変移相器 1 の出力側に現れる雑音によって制御回路 4 が誤動作されることを防止できる。

セレクタ 3 は通常は可変移相器 1 の出力信号 S (3) を選択し出力端子 7 に送出しているが、雑音検出信号 S (6) を受けるとその期間中、可変低域フィルタ 2 の出力信号 S (4) を選択して送出する。したがって雑音発生期間中は、可変低域フィルタ 2 によって高周波雑音が除去された入力信号が選択され、第

3 図に破線で示されるような波形を持つ出力信号 S (2) が出力端子 7 に現れる。

このように本発明の雑音除去装置では、雑音除去を行う可変低域フィルタ 2 のしゃ断周波数が常に入力信号 S (1) の主成分周波数にほぼ一致するように制御されている。この結果、  
5 入力信号 S (1) が主に低周波成分からなるために高周波雑音が目立ちやすい場合には、可変低域フィルタ 2 のしゃ断周波数が低周波側に設定されて高周波雑音を十分に除去できる。一方、入力信号 S (1) は高周波成分を含んでいないため、それを  
10 しゃ断周波数の低い可変低域フィルタ 2 に通したとしても、入力信号 S (1) の波形が大きく損なわれることはなく、実用上の弊害はない。

入力信号 S (1) が主に高周波成分からなる場合、可変低域フィルタ 2 のしゃ断周波数は高周波側に設定されるため、雑音除去効果は小さくなるが、この場合には高周波雑音は聴感上  
15 目立たないので雑音除去を行う必要性は少ない。一方、可変低域フィルタ 2 のしゃ断周波数は高く設定されているから、入力信号 S (1) を可変低域フィルタ 2 に通しても信号波形は大きく損なわれない。

20 以上述べたように、本発明によれば、入力信号 S (1) が低周波成分からなるため十分な雑音除去が必要となる場合には雑音除去効果の大きい処理が行われ、一方、入力信号 S (1) が高周波成分からなるため雑音除去の必要性があまりない場合は雑音除去効果の小さい処理が行われ、その何れの場合においても  
25 入力信号 S (1) の信号波形が雑音除去処理によって大きく

損なわれることを防げる、という理想的な雑音除去を行える。

本発明の雑音除去装置の実施にあたっては種々の変更態様が可能である。以下、これらの変更例について述べる。

第4図はかかる変更例の一つを示す図である。前述したように、入力信号S(1)が高周波成分からなる場合は雑音除去を行う必要性は少なくなり、雑音レベルの大きい目立ちやすい雑音だけを除去すれば足りる。この変更例装置はそれを実現したものである。第4図において、第1図と同じ参照符号が付されたブロックは同じ機能を持つ構成要素である。これは  
5  
10

以降の他の変更例を説明する図面においても同様である。

相違点として、雑音検出回路5の比較器53の比較基準となる基準電圧はレベル調整器54から供給されており、このレベル調整器54は制御回路4から制御信号S(5)が入力されていて、この制御信号S(5)に応じてその出力信号S(7)の大きさが変化  
15  
20

するようになっている。すなわち、制御信号S(5)が可変低域フィルタ2のシャ断周波数を高くする方向に変化した場合、レベル調整器54から出力される出力信号S(7)は比較器53の比較基準電圧を高くする方向に変化し、それにより雑音検出回路5の雑音検出感度を下げる。この結果、入力信号S(1)が高周波数であるときには、雑音検出回路5は雑音レベルの大きい雑音だけを検出することになり、そのような特に目立ちやすい雑音だけが除去される。

第5図は他の変更例を示すブロック図である。この変更例装置では、入力信号S(1)の信号レベルが大きいいためS/N比  
25

が良い場合には可変低域フィルタ2のシャ断周波数の低周波

側へのシフトの度合を小さくして、可変低域フィルタ 2 によって入力信号 S (1) が大きく損なわれないようにし、一方、信号レベルが小さいため S / N 比が悪くなる場合には可変低域フィルタ 2 のシャ断周波数の低周波側へのシフトの度合を大きくして雑音除去効果を高めて S / N 比を向上させるようにしている。

第 1 図の装置との相違点は、可変低域フィルタ 2 からの出力信号 S (4) が非線形増幅器 46 を介して検波器 42 に導かれるようにしていることである。非線形増幅器 46 は第 6 図に示されるような入出力特性を有している。すなわち入力信号 S (1) の信号レベルが  $V_{ss}$  までは傾きが 1、それ以上では傾きが 0.9 となって、入力信号の大きさが増加するに従い出力信号の大きさが抑圧されるようにしている。

このような非線形増幅器 46 を備えると、入力信号 S (1) の信号レベルが小さいうちは可変低域フィルタ 2 のシャ断周波数は入力信号 S (1) の周波数とほぼ一致するが、信号レベルが大きくなってくるとシャ断周波数が入力信号 S (1) の周波数よりも高めに設定されるようになり、それにより入力信号の信号レベルが大きい時に雑音抑制効果が小さくなる。このようにこの変更例装置では入力信号の周波数と信号レベルとの双方に応じて可変低域フィルタ 2 のシャ断周波数が変えられるようになっている。

第 7 図はさらに他の変更例を示すブロック図である。この変更例装置は雑音レベルが大きい時に、雑音除去がより効果的に行われるようにしたものである。すなわち、雑音検出回

路5に雑音レベルを検出するためのレベル検出回路55を設け、その検出信号の大きさが増大するに従って差電圧回路43の差電圧 $\delta$ の大きさが増大されるようにして、雑音レベルが大きくなつた時に可変低域フィルタ2のシャ断周波数の低周波側へのシフトの度合がより大きくなるようにしている。

さらに他の変更例として、制御回路4への入力信号を、前述の実施例のように可変移相器1の出力信号と可変低域フィルタ2の出力信号から得る代わりに、可変低域フィルタ2の入力側と出力側から得るようにすることも可能である。可変低域フィルタでの信号の遅延が無視できる場合は可変移相器を取り除いて入力信号S(1)を直接に検波器41に導くことも可能である。また可変移相器の代わりに移相量が固定の移相器を用いることもできる。

第8図は第1図の雑音除去装置をアナログ回路で実現した場合の一例を示す。第8図において、可変移相器1aは抵抗器R1～R3、演算増幅器Q1、可変容量ダイオードVD1で構成され、可変容量ダイオードVD1への印加電圧に応じて可変移相器1aの移相量を可変できる。可変低域フィルタ2aは抵抗器R4～R7、可変容量ダイオードVD2とVD3、演算増幅器Q2で構成され、可変容量ダイオードVD2とVD3に印加する電圧を変えることによって可変低域フィルタ2aのシャ断周波数を可変できる。

制御回路4aは、アナログ回路からなる検波器41aと42a、差電圧 $\delta$ を与えるための抵抗器R8とダイオードD1からなる差電圧回路、演算増幅器Q3からなる差動増幅器、および、

スイッチ素子 SW 1 とキャパシタ C 1 と演算増幅器 Q 4 とからなる保持回路を含み構成される。この第 8 図装置の動作は第 1 図の装置とほぼ同じであるので、詳細な説明は省略する。

第 9 図は第 5 図の雑音除去装置をデジタル回路で構成した場合の一例を示す図である。第 9 図において、可変低域フィルタ 2 d は 2 次のデジタルフィルタで構成される。このフィルタの伝達関数  $H(s)$  は、

$$H(s) = \frac{1}{1 + H_1 s + H_2 s^2}$$

ここで、しゃ断周波数を  $f_c$  とおいて、

$$H_1 = \frac{1}{2\pi f_c}$$

$$H_2 = 0.67 H_1^2$$

これを Z 変換すると、

$$H(z) = \frac{1 + 2Z^{-1} + Z^{-2}}{(1 + H_a + H_b) + 2(1 - H_b)Z^{-1} + (1 - H_a + H_b)Z^{-2}}$$

$$\text{ここで } H_a = \frac{2H_1}{T} \quad H_b = \frac{2.67 \cdot H_1^2}{T_2}$$

したがってこのデジタル・フィルタは第 9 図に示すような構成となる。

$$\text{ここで } H_1' = \frac{10^3}{2\pi f_c}$$

として  $H_1'$  を連続的に可変する。この  $H_1'$  は帰還ループにより決定される。ここでしゃ断周波数  $f_c$  は 200Hz ~ 6.4kHz とするため、 $H_1'$  は 0.8 ~ 0.025 とし、この値を越える場

合はその上下限でホールドする。すなわち  $H_1 > 0.8$  ならば  $H_1' = 0.8$ 、 $H_1 < 0.025$  ならば  $H_1' = 0.025$  とする。

可変低域フィルタ内の各係数は次の手順で求められる。

$$\textcircled{1} \quad H_a = H_1' \times 76$$

$$\textcircled{2} \quad H_b = H_1'^2 \times 3850$$

$$\textcircled{3} \quad FWA = \frac{1}{1 + H_a + H_b}$$

$$\textcircled{4} \quad F2A = FWA$$

$$\textcircled{5} \quad F1A = 2 \times FWA$$

$$\textcircled{6} \quad G1A = -F1A \times (1 - H_b)$$

$$\textcircled{7} \quad G2A = -FWA \times (1 - H_a + H_b)$$

可変移相器 1d は 1 次のデジタルフィルタで構成される。

この移相器の伝達関数  $H(s)$  は、

$$H(s) = \frac{1 - S\tau}{1 + S\tau}$$

この移相器の位相を前述の可変低域フィルタの位相に合わせる条件は、

$$\tau = \frac{0.67}{2\pi f_c}$$

である。ここで可変移相器内の各係数は次の手順で求められる。

$$\textcircled{1} \quad K = 51 \times H_1'$$

$$\textcircled{2} \quad FWB = \frac{1 - K}{1 + K}$$

$$\textcircled{3} \quad F1B = 1$$

④  $G1B = -FWB$ 

5     セレクタ 3 d は係数器 M12、M13、加算器 A 7 で構成され、  
雑音検出時に乗算係数  $K_m$  を 1 から 0 に変えることにより可  
変移相器 1 d 側から可変低域フィルタ 2 d 側への切換えを行  
う。

10     係数制御回路 4 d は、検波器としての絶対値回路 41 d と  
42 d、非線形増幅回路 46 d、差電圧回路としての加算器 A 4、  
差動増幅器としての加算器 A 5 と増幅器 Q 5、および、保持  
回路としての機能を有するループフィルタ 47 d を含み構成さ  
れる。

15     非線形増幅回路 46 d は、係数 0.1 の係数器 M 9、入力信号  
 $\times 0.1$  以上の入力レベルをクリップするリミッタ L M T、係  
数 0.9 の係数器 M10、および加算器 A 3 で構成される。この  
回路 46 d は第 6 図に示されるような入出力特性を入力信号に  
対して与える。これにより入力信号レベルが増加するに従い  
可変低域フィルタ 2 d のシャ断周波数を高くさせて前述した  
ように入力信号が小のときに可変低域フィルタ 2 d による雑  
音抑制効果を大、入力信号が大のときにそれを小としてより  
効果的な雑音除去処理を行っている。

20     ループフィルタ 47 d は係数器 M10 と M11、遅延素子 Z 7、  
および、加算器 A 6 からなり、雑音検出時には係数 F W C は  
0 となる。すなわち通常時に係数器 M10 を導通、M11 をシャ  
断にして入力信号を出力側に送出し、雑音検出時は係数器  
M10 をシャ断、M11 を導通にして入力された信号を加算器  
25     A 6、遅延素子 Z 7、係数器 M11 からなるループ内で循環さ



せて入力信号のホールドを行う。このループフィルタ47dの出力によって可変移相器1dおよび可変低域フィルタ2dの $H_1'$ が制御される。

この第9図の装置の動作は第5図の装置と基本的には同じであるので、詳細な説明は省略する。

第10図は本発明の雑音検出装置をFMラジオ受信機に適用した場合の例を示す図である。ステレオ放送の雑音除去は左右のチャンネルL, Rにつきそれぞれ行うことが好ましいが、その場合は雑音除去回路として2回路が必要となるためコストアップとなって不利である。このため、一般には雑音が発生している期間中は受信機をモノラルモードにしてL+Rのモノラル信号についてのみ雑音除去を行っている。

しかしながら雑音除去処理中はステレオからモノラルに切り換えるため音の広がり感がなくなり、雑音発生が断続的に頻繁に生じると聴感上、音が揺れるというような感じを与えるという問題点がある。第10図の受信機はこの問題点を解決するものである。すなわちこの受信機では復調されたL+R信号に対してのみ雑音除去処理を行い、雑音除去後のL+R信号を遅延器を通すことによって疑似的なL-R信号を発生させ、この疑似L-R信号とL+R信号から両チャンネルの出力信号L, Rを得ている。

第10図において、61はアンテナ、62はチューナ、63は検波信号からL+R信号とL-R信号を取り出すコンバータ回路、64はL+R信号およびL-R信号から両チャンネルの出力信号L, Rを取り出すマルチプレクサ、65は本

発明の雑音除去回路、66は遅延器、M20～M23は係数器、A10とA11は加算器である。雑音除去回路65としては例えば第1図に示した回路構成のものが用いられる。遅延器66は例えば第11図に示されるような、いわゆるシュレーダの系が用いられる。この遅延器66は係数器M25～M28、加算器A12とA13、72サンプル(約2ms)遅延素子 $\tau_s$ から構成されており、第10図中には各係数器M25～M28にはそれぞれの乗算される係数が付されている。L+R信号をこのシュレーダの系に通すと残響音が作られ、これを疑似的なL-R信号とすることができる。

第6図の受信機の動作を説明すると、通常状態では各係数器M20～M23の係数 $K(\ell)$ を1にして係数器M20とM21を導通、M22とM23をシャ断にし、コンバータ回路63のL+R信号およびL-R信号を直接にマルチプレクサ64に導き、一方、雑音発生時には瞬時的な雑音が発生している全期間にわたり係数 $K(\ell)$ を0にして係数器M20とM21をシャ断、M22とM23を導通にし、それにより雑音除去回路65からL+R信号と遅延器66から疑似的L-R信号とをそれぞれマルチプレクサ64に導いている。

20

(産業上の利用可能性)

本発明による雑音除去装置は、断続的に生じる雑音を除去するのに適しており、例えばFMラジオ受信機の雑音除去装置として用いることができ、FMラジオ受信機において生じるマルチパス歪を除去できる。

25

## 請求の範囲

1. 入力信号に重畳された雑音を除去する雑音除去装置であって、
- 5 該入力信号中から該雑音を検出する雑音検出回路、  
シャ断周波数を可変できる可変低域フィルタを含む第1の信号経路であって、該入力信号が該可変低域フィルタを通過して出力されるもの、  
該入力信号が通過される第2の信号経路、
- 10 該可変低域フィルタのシャ断周波数が該入力信号の周波数に対応して変化されるように制御を行う制御回路、および、  
該雑音検出回路によって雑音を検出されている期間は該第1の信号経路からの出力信号を選択し、雑音を検出されていない期間は該第2の信号経路からの出力信号を選択して出力
- 15 する選択回路、  
を具備する雑音除去装置。
2. 該制御回路は該シャ断周波数が該入力信号の主成分周波数にほぼ一致されるように制御を行う請求の範囲第1項に記載の雑音除去装置。
- 20 3. 該制御回路は該第1の信号経路の出力信号レベルと該第2の信号経路の出力信号レベルとを比較し、その比較結果に応じて該可変低域フィルタのシャ断周波数をフィードバック制御する請求の範囲第1項に記載の雑音除去装置。
4. 比較によって、第1、第2の信号経路の出力信号がほ
- 25 ぼ一致するようにする請求の範囲第3項に記載の雑音除去装

置。

5. 比較によって、第1、第2の信号経路の出力信号間に或る程度の差が生じるようにする請求の範囲第3項に記載の雑音除去装置。

5 6. 該制御回路は該雑音検出回路による雑音検出期間中は該制御回路の出力信号を雑音発生直前の値に固定する保持回路を有する請求の範囲第1項に記載の雑音除去装置。

7. 該第2の信号経路は該第1の信号経路で生じた入力信号の位相遅延を補償する固定移相量を与える移相器を含む請求の範囲第1項に記載の雑音除去装置。

8. 該第2の信号経路は移相量が可変の可変移相器を含み、該可変移相器は該可変低域フィルタと同じ位相周波数特性を有するように該制御回路の出力信号によって移相量が制御される請求の範囲第1項～第6項のいずれかに記載の雑音除去装置。

9. 該制御回路は該可変移相器の出力信号を検波する第1の検波器、該可変低域フィルタの出力信号を検波する第2の検波器、該第1または第2の検波器の出力信号に差電圧を与える差電圧付与回路、該第2または第1の検波器の出力信号と該差電圧付与回路の出力信号の差分を差動増幅する差動増幅器、および、該差動増幅器の出力信号を該雑音検出回路の雑音検出期間中一定に保持する保持回路を具備する請求の範囲第3項に記載の雑音除去装置。

10. 該入力信号の周波数が高くなるのに従い該雑音検出回路の雑音検出感度を下げ、それにより入力信号の周波数が

高くなるに従い雑音除去処理が抑制されるように構成された請求の範囲第1項に記載の雑音除去装置。

5 1 1. 該制御回路の出力信号に応じて該雑音検出回路の雑音検出レベルを決定する比較基準電圧が変化されるように構成された請求の範囲第10項に記載の雑音除去装置。

10 1 2. 該入力信号の周波数に対応して設定される該可変低域フィルタのシャ断周波数が、入力信号レベルが大きいときの方が、入力信号レベルが小さいときよりも、より高周波側に設定されるように構成された請求の範囲第1項に記載の雑音除去装置。

15 1 3. 該雑音のレベルを検出する回路をさらに備え、該入力信号の周波数に対応して設定される該可変低域フィルタのシャ断周波数が、検出された雑音レベルが大きいときの方が、雑音レベルが小さいときよりも、より低周波側に設定されるように構成された請求の範囲第1項に記載の雑音除去装置。

20 1 4. 該制御回路は可変低域フィルタの入力側の信号レベルと出力側の信号レベルとを比較し、両者がほぼ一致するようにフィードバック制御を行って可変低域フィルタのシャ断周波数を調整するように構成された請求の範囲第1項に記載の雑音除去装置。

1 5. アナログ回路によって構成される請求の範囲第1項に記載の雑音除去装置。

1 6. デジタル回路によって構成される請求の範囲第1項に記載の雑音除去装置。

Fig. 1

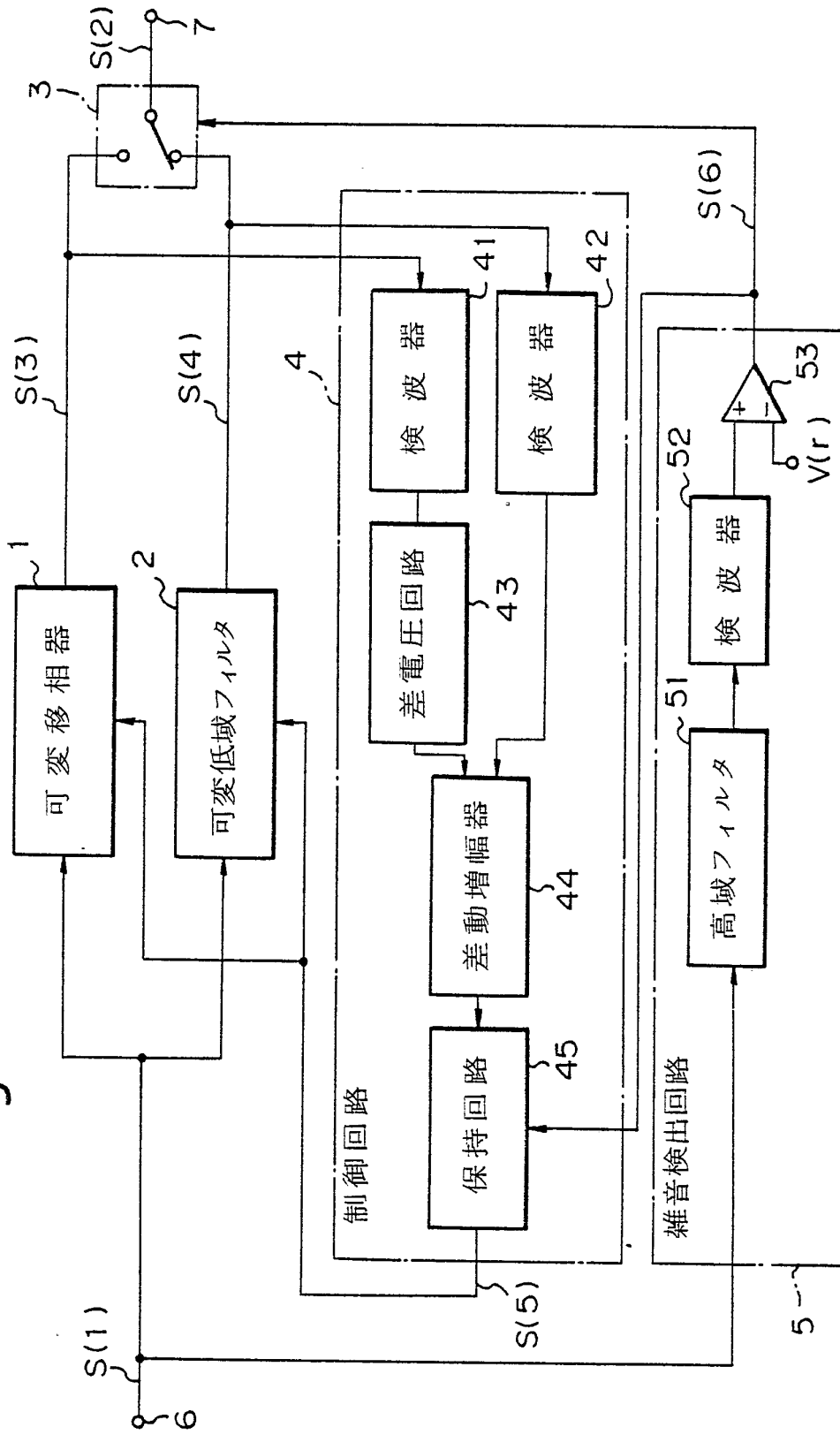


Fig. 2A

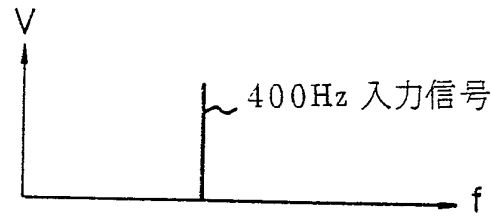


Fig. 2B

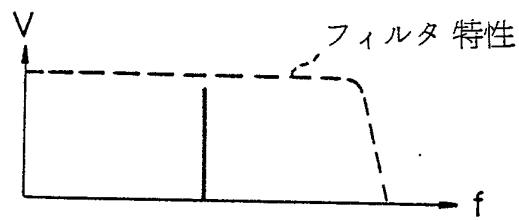


Fig. 2C

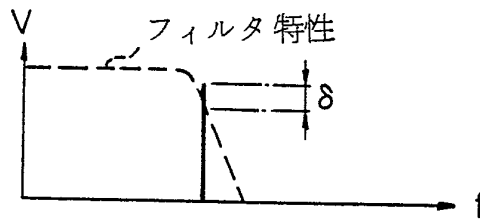
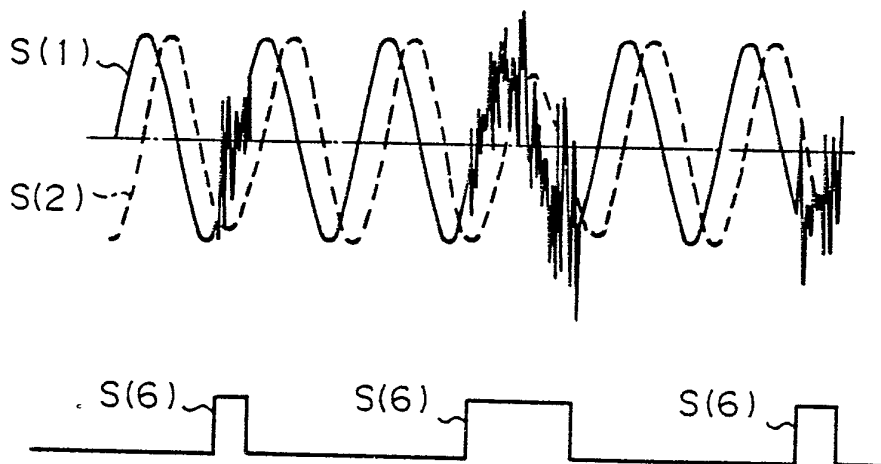


Fig. 3



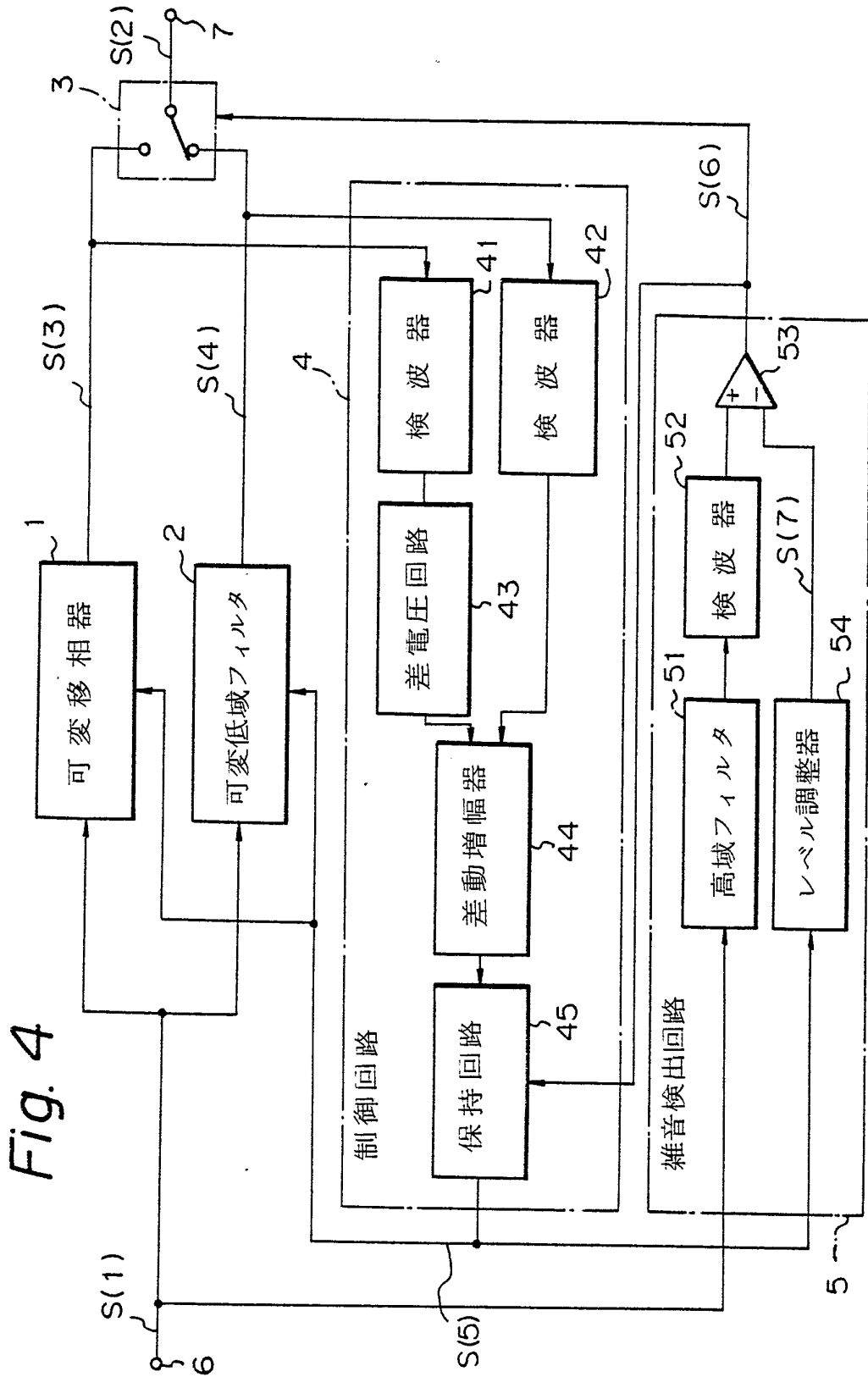


Fig. 4

Fig. 5

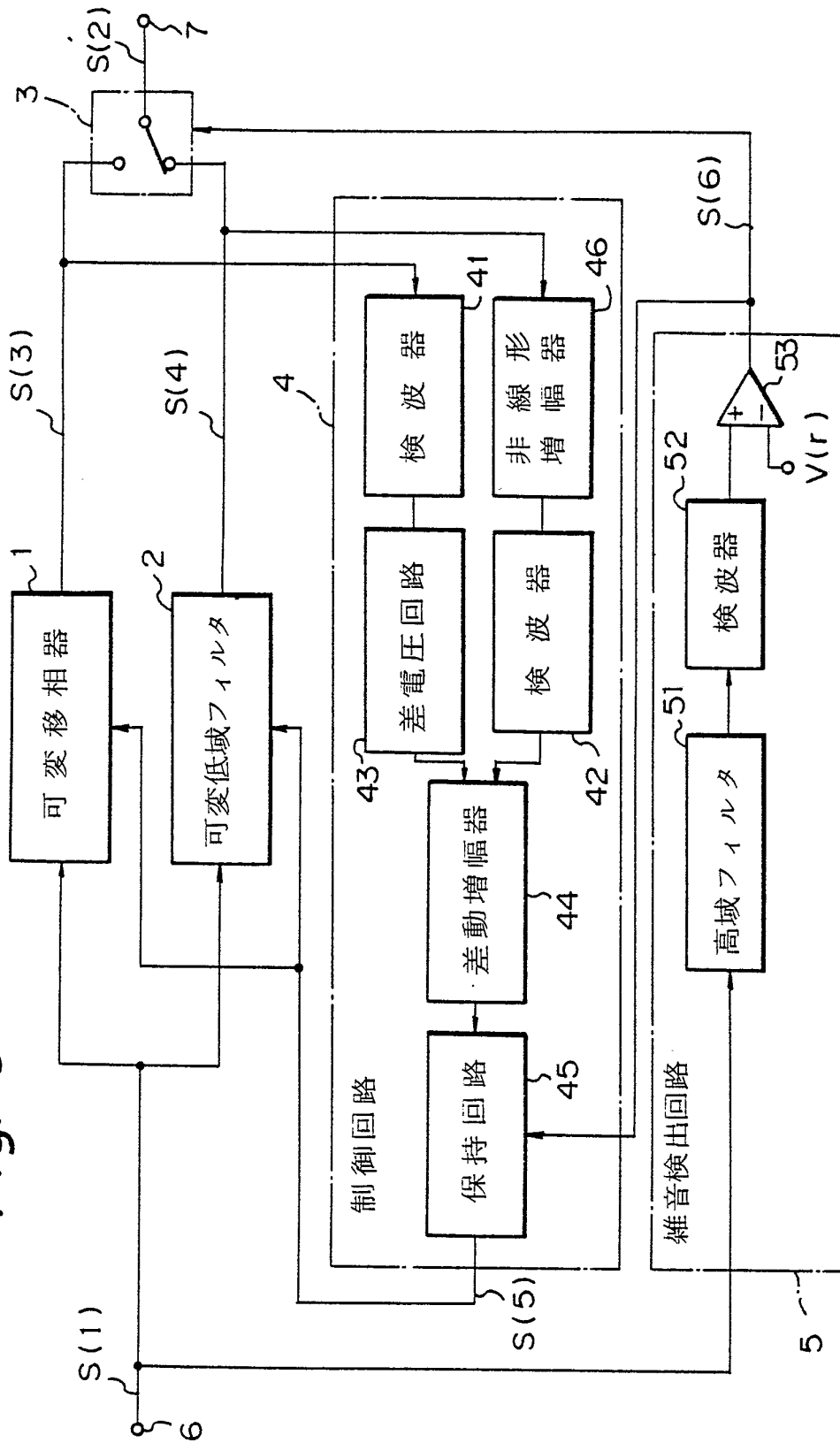
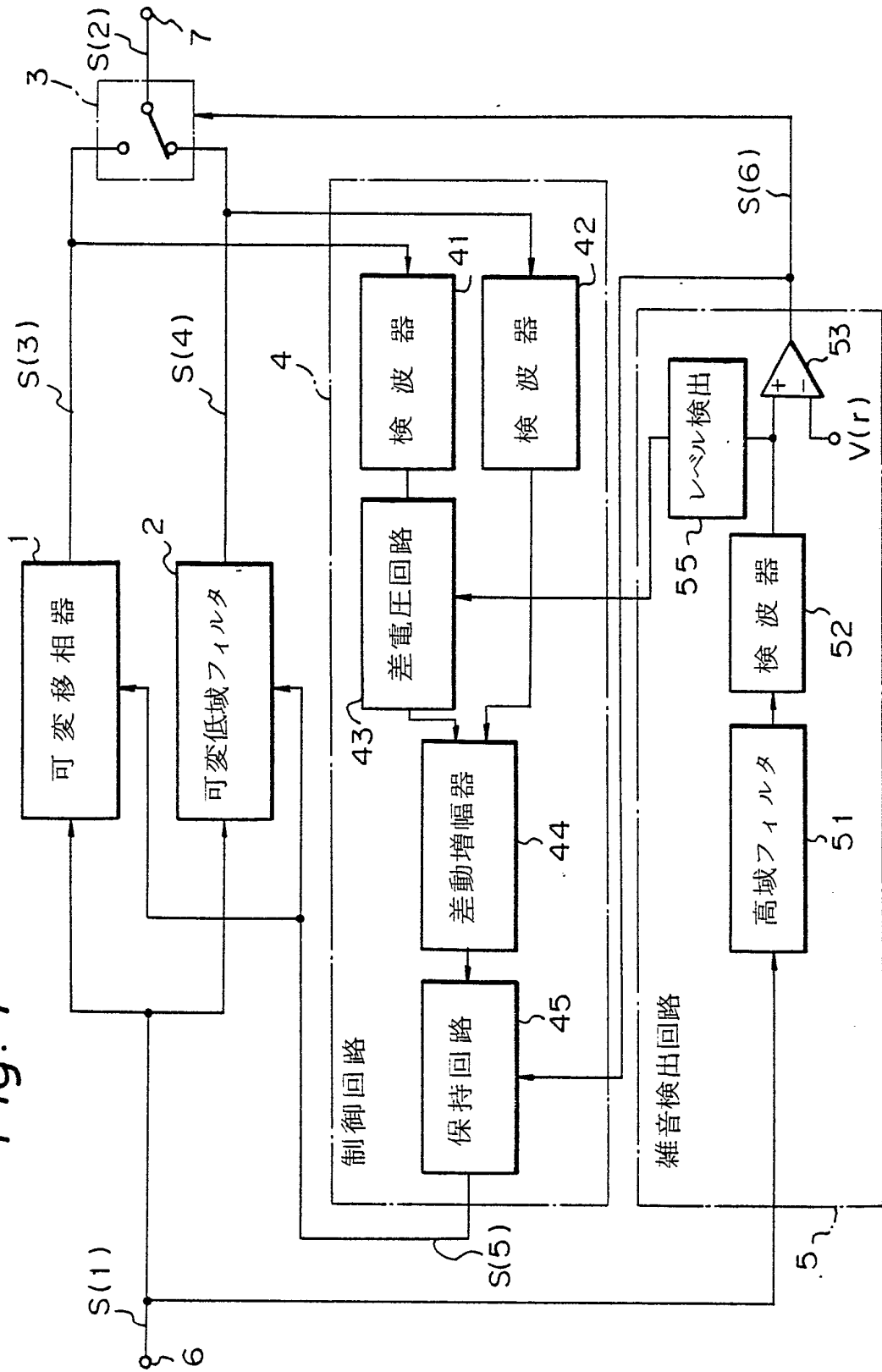


Fig. 7



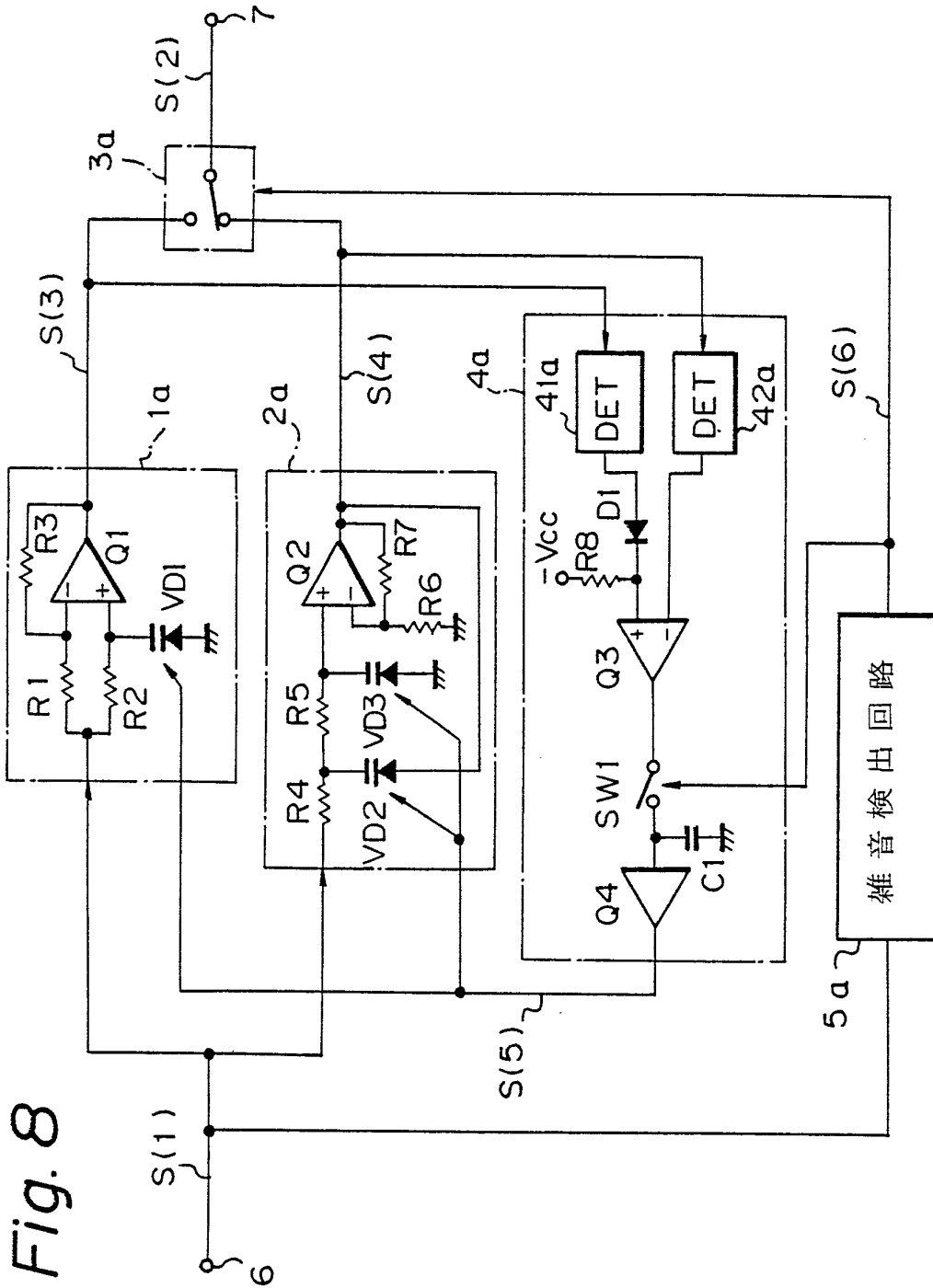
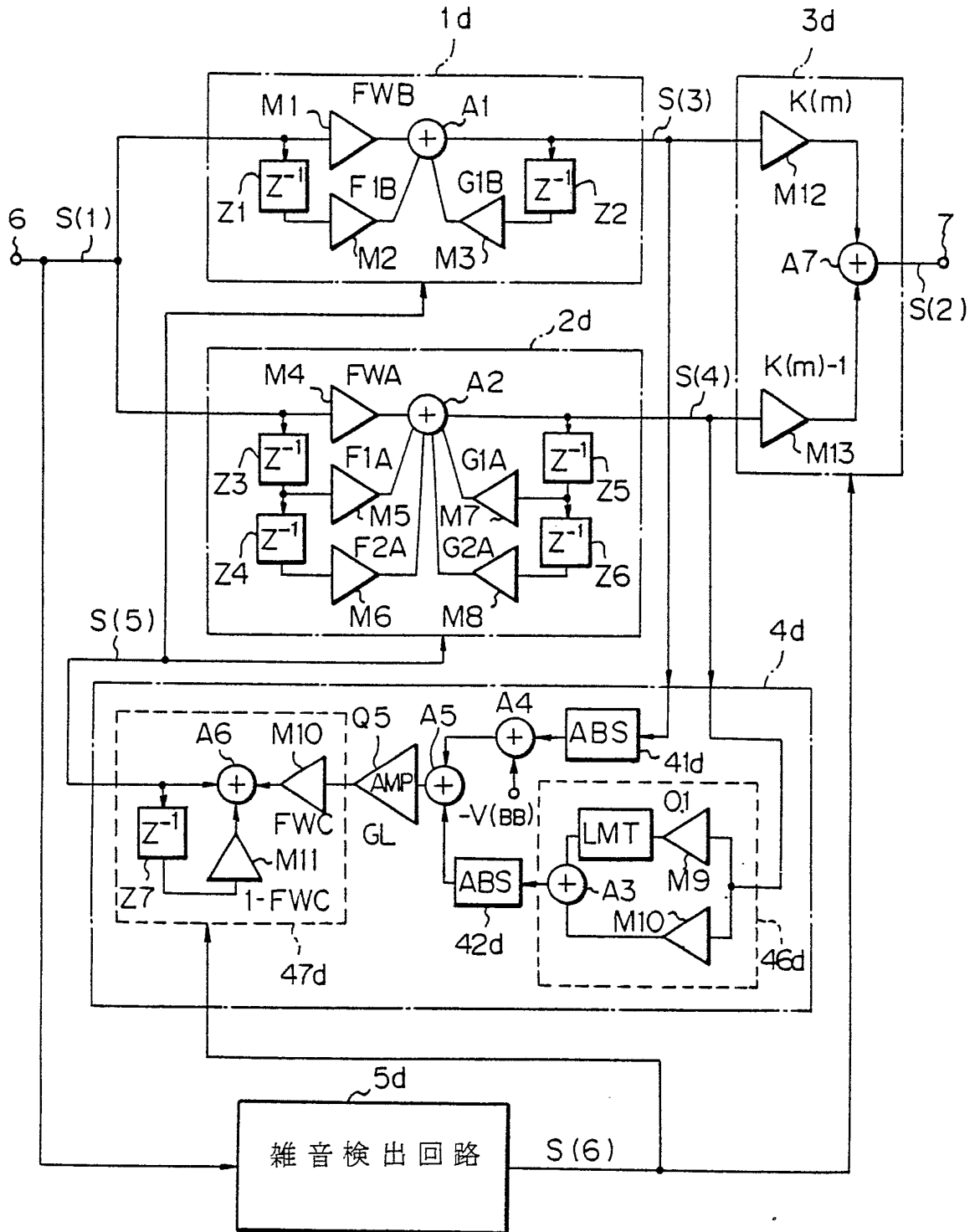


Fig. 8

Fig. 9



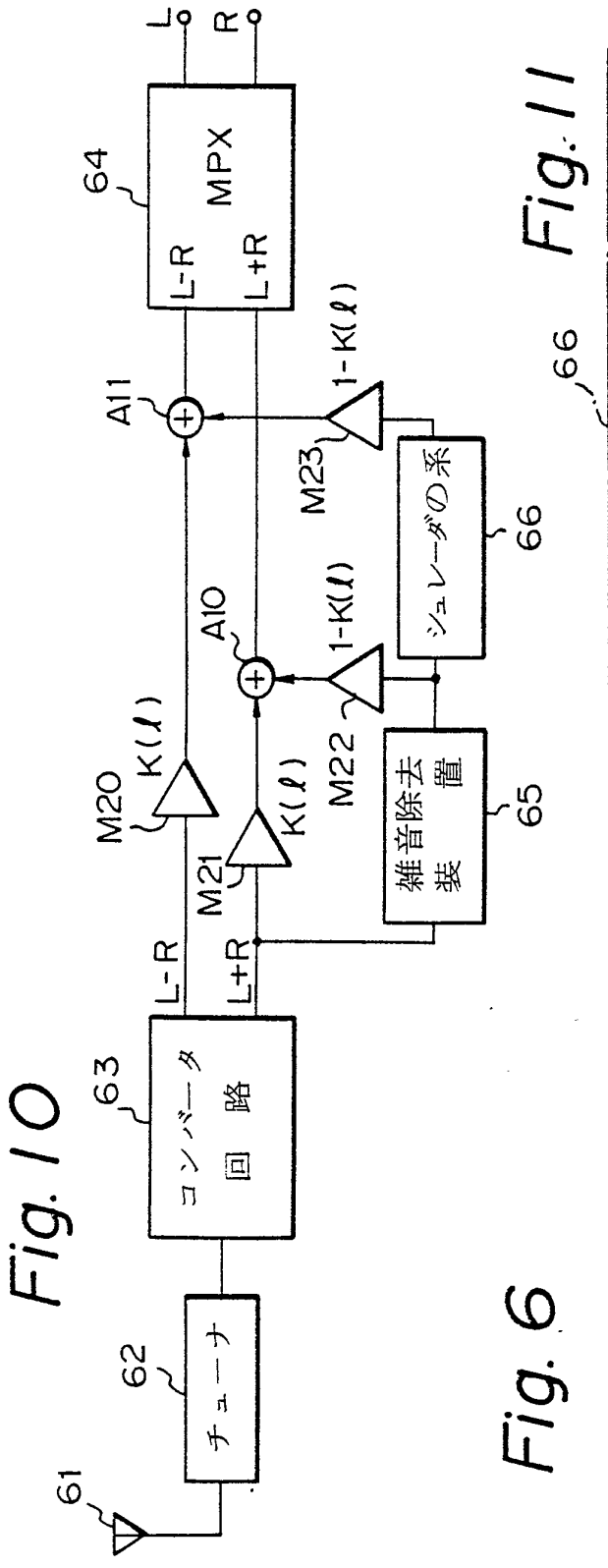
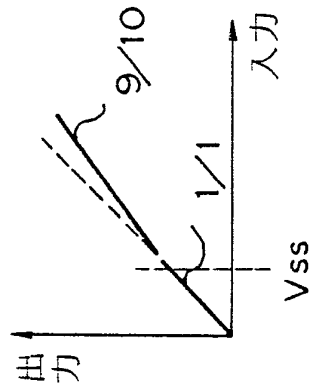
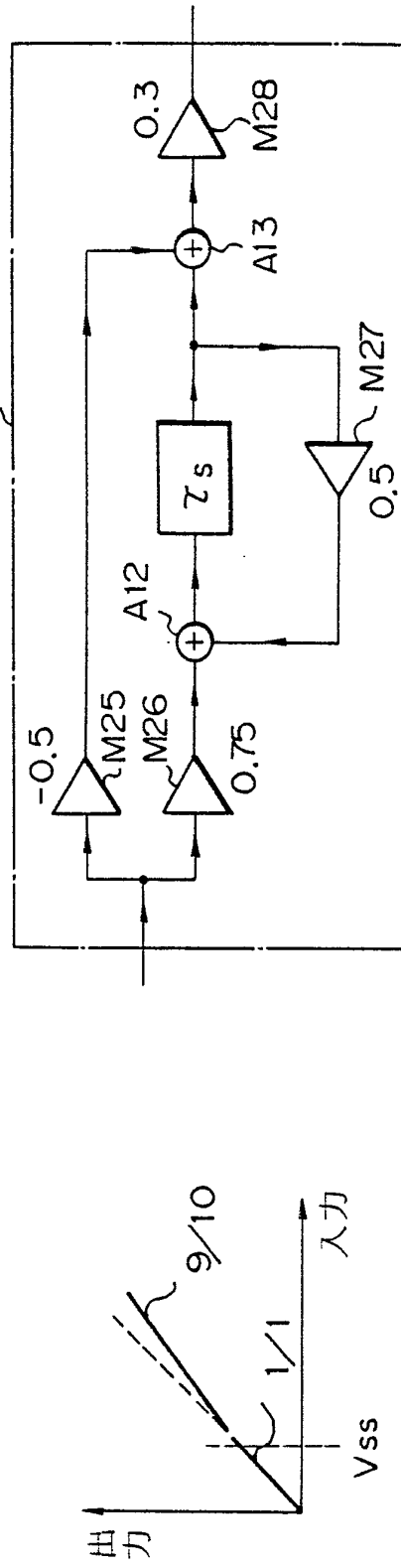


Fig. 6



# INTERNATIONAL SEARCH REPORT

International Application No.

PCT/JP87/00047

<b>I. CLASSIFICATION OF SUBJECT MATTER</b> (if several classification symbols apply, indicate all) <sup>3</sup>		
According to International Patent Classification (IPC) or to both National Classification and IPC		
Int.Cl <sup>4</sup> H04B1/10		
<b>II. FIELDS SEARCHED</b>		
Minimum Documentation Searched <sup>4</sup>		
Classification System	Classification Symbols	
IPC	H04B1/10	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched <sup>5</sup>		
Jitsuyo Shinan Koho	1968 - 1986	
Kokai Jitsuyo Shinan Koho	1971 - 1986	
<b>III. DOCUMENTS CONSIDERED TO BE RELEVANT</b> <sup>14</sup>		
Category*	Citation of Document, <sup>16</sup> with indication, where appropriate, of the relevant passages <sup>17</sup>	Relevant to Claim No. <sup>18</sup>
A	JP, U, 58-161339 (Pioneer Electronic Corp.) 27 October 1983 (27. 10. 83) (Family: none)	1
A	JP, A, 57-192140 (Sanyo Electric Co., Ltd.) 26 November 1982 (26. 11. 82) Column 2, line 11 to column 4, line 6 (Family: none)	1
<p>* Special categories of cited documents: <sup>16</sup></p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"G" document member of the same patent family</p>		
<b>IV. CERTIFICATION</b>		
Date of the Actual Completion of the International Search <sup>2</sup>	Date of Mailing of this International Search Report <sup>2</sup>	
March 10, 1987 (10. 03. 87)		
International Searching Authority <sup>1</sup>	Signature of Authorized Officer <sup>20</sup>	
Japanese Patent Office		

I. 発明の属する分野の分類		
国際特許分類 (IPC) <b>Int. Cl<sup>4</sup></b> <b>H04B1/10</b>		
II. 国際調査を行った分野		
調査を行った最小限資料		
分類体系	分類記号	
<b>IPC</b>	<b>H04B1/10</b>	
最小限資料以外の資料で調査を行ったもの		
<b>日本国実用新案公報 1968-1986年</b> <b>日本国公開実用新案公報 1971-1986年</b>		
III. 関連する技術に関する文献		
引用文献の カテゴリー ※	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
<b>A</b>	<b>JP, U, 58-161339 (パイオニア株式会社)</b> <b>27. 10月. 1983 (27. 10. 83) (ファミリーなし)</b>	<b>1</b>
<b>A</b>	<b>JP, A, 57-192140 (三洋電機株式会社)</b> <b>26. 11月. 1982 (26. 11. 82)</b> <b>第2欄11行-第4欄6行 (ファミリーなし)</b>	<b>1</b>
※引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 「T」 国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリーの文献		
IV. 認 証		
国際調査を完了した日	国際調査報告の発送日	
<b>10. 03. 87</b>	<b>30. 03. 87</b>	
国際調査機関	権限のある職員	<b>5 K 6 9 1 3</b>
日本国特許庁 (ISA/JP)	特許庁審査官	<b>大 浦 一 仁</b> 