

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2013-207339
(P2013-207339A)

(43) 公開日 平成25年10月7日(2013.10.7)

(51) Int.Cl.
H03K 19/0185 (2006.01)
H03K 3/354 (2006.01)

F I
H03K 19/00 I O I D
H03K 3/354 Z

テーマコード (参考)
5 J O 5 6

審査請求 未請求 請求項の数 13 O L (全 22 頁)

(21) 出願番号	特願2012-70902 (P2012-70902)	(71) 出願人	000002369
(22) 出願日	平成24年3月27日 (2012. 3. 27)		セイコーエプソン株式会社
			東京都新宿区西新宿 2 丁目 4 番 1 号
		(74) 代理人	100095728
			弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(74) 代理人	100127661
			弁理士 宮坂 一彦
		(72) 発明者	伊藤 久浩
			長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内
		(72) 発明者	二村 良彦
			長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

最終頁に続く

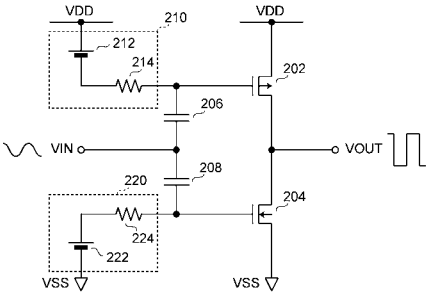
(54) 【発明の名称】 レベルシフト回路、発振回路、及び電子機器

(57) 【要約】

【課題】低消費電力化と低い位相雑音とを両立しながら、広い電圧範囲で動作可能なレベルシフト回路、発振回路、及び電子機器等を提供する。

【解決手段】レベルシフト回路は、ソースに第 1 の電源電圧が供給される第 1 導電型の第 1 のトランジスタと、ソースに第 2 の電源電圧が供給され、ドレインに前記第 1 のトランジスタのドレインが接続される第 2 導電型の第 2 のトランジスタと、第 1 のトランジスタの第 1 のバイアス電圧を生成する第 1 の電圧生成回路と、第 2 のトランジスタの第 2 のバイアス電圧を生成する第 2 の電圧生成回路と、入力信号が入力される入力ノードと第 1 のトランジスタのゲートとを容量結合する第 1 の容量と、入力ノードと第 2 のトランジスタのゲートとを容量結合する第 2 の容量とを含む。

【選択図】図 2



【特許請求の範囲】

【請求項 1】

ソースに第 1 の電源電圧が供給される第 1 導電型の第 1 のトランジスターと、
ソースに第 2 の電源電圧が供給され、ドレインに前記第 1 のトランジスターのドレインが接続される第 2 導電型の第 2 のトランジスターと、
前記第 1 のトランジスターの第 1 のバイアス電圧を生成する第 1 の電圧生成回路と、
前記第 2 のトランジスターの第 2 のバイアス電圧を生成する第 2 の電圧生成回路と、
入力信号が入力される入力ノードと前記第 1 のトランジスターのゲートとを容量結合する第 1 の容量と、
前記入力ノードと前記第 2 のトランジスターのゲートとを容量結合する第 2 の容量とを含むことを特徴とするレベルシフト回路。

10

【請求項 2】

請求項 1 において、
前記第 1 の電圧生成回路は、
前記第 1 のトランジスターのゲート・ソース間電圧を生成することを特徴とするレベルシフト回路。

【請求項 3】

請求項 1 又は 2 において、
前記第 2 の電圧生成回路は、
前記第 2 のトランジスターのゲート・ソース間電圧を生成することを特徴とするレベルシフト回路。

20

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、
前記第 1 の電圧生成回路は、
第 1 の電極及び第 2 の電極を有し、該第 1 の電極に前記第 1 の電源電圧が供給される第 1 の電圧源と、
一端に前記第 1 の電圧源の前記第 2 の電極が接続され、他端に前記第 1 のトランジスターのゲートが接続される第 1 の抵抗回路とを含むことを特徴とするレベルシフト回路。

【請求項 5】

請求項 4 において、
前記第 2 の電圧生成回路は、
第 1 の電極及び第 2 の電極を有し、該第 2 の電極に前記第 2 の電源電圧が供給される第 2 の電圧源と、
一端に前記第 2 の電圧源の前記第 1 の電極が接続され、他端に前記第 2 のトランジスターのゲートが接続される第 2 の抵抗回路とを含むことを特徴とするレベルシフト回路。

30

【請求項 6】

請求項 1 乃至 3 のいずれかにおいて、
電流源と、
ソースに前記第 2 の電源電圧が供給される第 2 導電型の第 3 のトランジスターとを含み、

40

前記第 1 の電圧生成回路は、
ソースに前記第 1 の電源電圧が供給され、ゲート及びドレインに前記第 3 のトランジスターのドレインが接続される第 1 導電型の第 4 のトランジスターと、
一端に前記第 4 のトランジスターのゲート及びドレインが接続され、他端に前記第 1 のトランジスターのゲートが接続される第 1 の抵抗回路とを含み、
前記第 2 の電圧生成回路は、
ソースに前記第 2 の電源電圧が供給され、ゲート及びドレインに前記第 3 のトランジスターのゲートが接続される第 2 導電型の第 5 のトランジスターと、
一端に前記第 3 のトランジスターのゲートが接続され、他端に前記第 2 のトランジスターのゲートが接続される第 2 の抵抗回路とを含むことを特徴とするレベルシフト回路。

50

【請求項 7】

請求項 5 又は 6 において、

前記第 1 の抵抗回路の抵抗値及び前記第 2 の抵抗回路の抵抗値が、同一となるように形成されることを特徴とするレベルシフト回路。

【請求項 8】

請求項 1 乃至 3 のいずれかにおいて、

前記第 1 の電圧生成回路は、

基準電圧に基づいて前記第 1 のバイアス電圧を生成する第 1 の電圧レギュレーター回路と、

一端に前記第 1 の電圧レギュレーター回路の出力が接続され、他端に前記第 1 のトランジスターのゲートが接続される第 3 の抵抗回路とを含み、

前記第 2 の電圧生成回路は、

前記基準電圧に基づいて前記第 2 のバイアス電圧を生成する第 2 の電圧レギュレーター回路と、

一端に前記第 2 の電圧レギュレーター回路の出力が接続され、他端に前記第 2 のトランジスターのゲートが接続される第 4 の抵抗回路とを含むことを特徴とするレベルシフト回路。

【請求項 9】

請求項 8 において、

前記第 3 の抵抗回路の抵抗値及び前記第 4 の抵抗回路の抵抗値が、同一となるように形成されることを特徴とするレベルシフト回路。

【請求項 10】

請求項 1 乃至 9 のいずれかにおいて、

前記第 1 の容量の容量値及び前記第 2 の容量の容量値が、同一となるように形成されることを特徴とするレベルシフト回路。

【請求項 11】

共振子を駆動して発振信号を出力する共振子駆動回路と、

前記発振信号が前記入力信号として入力される請求項 1 乃至 10 のいずれか記載のレベルシフト回路とを含むことを特徴とする発振回路。

【請求項 12】

請求項 1 乃至 10 のいずれか記載のレベルシフト回路を含むことを特徴とする電子機器。

【請求項 13】

請求項 11 記載の発振回路を含むことを特徴とする電子機器。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、レベルシフト回路、発振回路、及び電子機器等に関する。

【背景技術】**【0002】**

従来、SPXO (Simple Packaged X'tal Oscillator) は、ユーザーにより電源が与えられると、温度補償や温度制御を行うことなく共振子の周波数安定度をそのままに発振信号を出力する発振回路として広く用いられている。このような発振回路には、低消費電力化とともに、ユーザーが要求する振幅レベルを有する発振出力を行うことが要求されている。そのため、発振回路は、発振信号の振幅レベルを変換するレベルシフト回路を備える場合がある。

【0003】

このようなレベルシフト回路については、種々提案されている。例えば特許文献 1 には、ゲートとドレインが交差接続された第 1 導電型の第 1 トランジスター及び第 2 トランジスターと、相補的にスイッチ制御される第 2 導電型の第 3 トランジスター及び第 4 トラン

10

20

30

40

50

ジスターとを含むレベルシフト回路が開示されている。第 1 トランジスター及び第 2 トランジスターの各々には、第 3 トランジスター及び第 4 トランジスターのドレインの各々が接続される。そして、第 1 トランジスター又は第 2 トランジスターをオン状態にするときに閾値電圧が低くなるような電圧を、抵抗素子を介して基板に供給することで、低電圧で動作マージンの改善と低消費電力化を図る。

【0004】

ところが、この種のたすきがけ接続したインバーター回路により構成されるレベルシフト回路は、その閾値電圧と、入力信号の中心電圧とが一致しないとき、デューティ比が 50 パーセントの出力信号を出力することができない。従って、発振信号をそのままレベルシフト回路に入力すると、デューティ比が 50 パーセントの信号を得ることが困難となる。

10

【0005】

これに対して、例えば特許文献 2 又は特許文献 3 には、容量を介して入力された発振信号の振幅レベルを変換するようにした発振回路が開示されている。

【0006】

図 9 に、容量を介して入力された発振信号の振幅レベルを変換する従来の発振回路の構成を示す。発振回路 10 は、発振部 20 と、増幅部 40 と、定電圧回路 50 とを備えている。

【0007】

発振部 20 は、水晶振動子 22 と、インバーター回路 24 と、帰還抵抗 26 と、容量 28, 30 と、ドレイン抵抗 32 とを備えている。容量 28, 30 の一方の電極には、それぞれ接地電圧 VSS が供給される。容量 28 の他方の電極と容量 30 の他方の電極との間には、水晶振動子 22 が接続される。インバーター回路 24 の入力には、容量 28 の他方の電極及び帰還抵抗 26 の一端が接続される。インバーター回路 24 の出力には、ドレイン抵抗 32 の一端及び帰還抵抗 26 の他端が接続される。ドレイン抵抗 32 の他端には、容量 30 の他方の電極が接続される。インバーター回路 24 の電源端子には、定電圧回路 50 が接続され、接地電源端子には接地電圧 VSS が供給される。

20

【0008】

増幅部 40 は、容量 42 と、インバーター回路 44 と、帰還抵抗 46 とを備えている。容量 42 は、インバーター回路 24 の出力とインバーター回路 44 の入力との間に接続される。インバーター回路 44 の入力には、帰還抵抗 46 の一端が接続され、出力には、帰還抵抗 46 の他端が接続される。このインバーター回路 44 の出力が、発振回路 10 の出力となる。また、インバーター回路 44 の電源端子には、定電圧回路 50 が接続され、接地電源端子には接地電圧 VSS が供給される。

30

【0009】

定電圧回路 50 は、発振部 20 のインバーター回路 24、増幅部 40 のインバーター回路 44 に定電圧の電源電圧を供給する。このとき、定電圧回路 50 は、インバーター回路 24 に供給する電圧を、インバーター回路 44 に供給する電圧よりも低くする。

【0010】

発振回路 10 では、定電圧回路 50 により供給される電源電圧により発振部 20 を発振させることにより、発振部 20 の低消費電流化を図ることができる。また、振幅の小さい発振部 20 の出力を増幅部 40 に伝達するため、容量 42 を介してインバーター回路 44 に入力させることで、発振信号の交流成分がインバーター回路 44 に伝達される。増幅部 40 は、定電圧回路 50 により供給される電源電圧 VDD まで振幅レベルを変換して、出力信号を出力する。このとき、増幅部 40 では、帰還抵抗 46 によってバイアス電圧が動作点のほぼ中間で安定するようにされるため、発振回路 10 の出力のデューティ比が 50 パーセントになりやすい。

40

【0011】

この点、例えば特許文献 2 には、レベルシフト回路をなくすため、図 9 の構成を有する容量結合インバーター回路を採用し、増幅部 40 にレベルシフト回路と出力バッファの

50

機能を兼用させるようにした技術が開示されている。

【先行技術文献】

【特許文献】

【0012】

【特許文献1】特開2006-237760号公報

【特許文献2】特開平1-300605号公報

【特許文献3】特開2011-244064号公報

【発明の概要】

【発明が解決しようとする課題】

【0013】

ところで、発振回路には、低消費電力で、ユーザーが要求する振幅レベルでデューティ比が50パーセントの出力信号を出力することに加えて、パルス整形の安定性や低い位相雑音が求められている。

【0014】

しかしながら、特許文献1に開示されたレベルシフト回路は、上記のように、入力DCレベルが定まらないため、発振出力のような正弦波が入力されると、デューティ比が50パーセントの出力を得にくいという問題がある。

【0015】

これに対して、特許文献2又は特許文献3に開示された技術によれば、デューティ比が50パーセントの出力を得やすい。しかしながら、特許文献2又は特許文献3では、次のように、低消費電力化とパルス整形の安定性や低い位相雑音とを両立することができないと問題がある。

【0016】

図10に、図9の増幅部40に流れる電流の説明図を示す。図10において、図9と同様の部分には同一符号を付し、適宜説明を省略する。

【0017】

インバーター回路44は、P型のMOS(Metal-Oxide Semiconductor)トランジスタTrAと、N型のMOSトランジスタTrBとにより構成される。MOSトランジスタTrAのソースには、定電圧回路50によって生成された電源電圧VDDが供給され、ゲートには、容量42を介して発振部20からの発振信号Vinが入力され、ドレインは、増幅部40の出力となる。MOSトランジスタTrBのソースには、接地電圧VSSが供給され、ゲートには、容量42を介して発振部20からの発振信号Vinが入力され、ドレインは、増幅部40の出力となる。

【0018】

帰還抵抗46は、MOSトランジスタTrA(又はMOSトランジスタTrB)のドレインとMOSトランジスタTrA(又はMOSトランジスタTrB)のゲートとの間に接続される。

【0019】

ここで、MOSトランジスタTrAのソース・ドレイン間に流れる電流をIp、MOSトランジスタTrBのソース・ドレイン間に流れる電流をInとする。

【0020】

図11(A)、図11(B)に、電流Ip, Inの説明図を示す。図11(A)及び図11(B)は、横軸に発振信号Vin、縦軸に電流値を表す。図11(A)は、電源電圧VDDが1.6Vのときの電流Ip, Inの変化を模式的に表し、図11(B)は、電源電圧VDDが3.6Vのときの電流Ip, Inの変化を模式的に表す。

【0021】

発振信号Vinの電圧が0Vのとき、MOSトランジスタTrAがオンとなり電流Ipが流れ、MOSトランジスタTrBがオフとなり電流Inが流れない。発振信号Vinの電圧が高くなると、電流Ipの電流値が小さくなり、電流Inの電流値が大きくなる。図10に示すように、増幅部40では、帰還抵抗46によりインバーター回路44の入

10

20

30

40

50

力及び出力が接続されているため、自己バイアスがかかり、例えば電源電圧 V_{DD} の中間電圧においてバイアス電圧が安定することになる。図11(A)では、電源電圧 V_{DD} が1.6Vのため、ほぼ0.8V(V_b)付近にバイアス電圧が安定し、図11(B)では、電源電圧 V_{DD} が3.6Vのため、ほぼ1.8V(V_b')付近にバイアス電圧が安定する。

【0022】

ここで、電源電圧 V_{DD} が1.6VのときにMOSトランジスタ Tr_A 、 Tr_B のサイズを最適化して図11(A)のように調整すると、電源電圧 V_{DD} を3.6Vに上げたときに、図11(B)のように大きな貫通電流が流れてしまい、消費電流が大きくなる。一方、電源電圧 V_{DD} が3.6Vのときに大きな貫通電流が流れないようにMOSトランジスタ Tr_A 、 Tr_B のサイズが小さくなるように調整すると、電源電圧 V_{DD} を1.6Vに下げたときインバーター回路44には十分なゲインが得られない。そのため、出力波形が歪み、位相雑音が悪化するという問題がある。

【0023】

以上のように、電源電圧 V_{DD} として広い電圧範囲での動作が要求される場合、図9の構成では、低消費電力化とパルス整形の安定性や低い位相雑音とを両立することができない。

【0024】

本発明は、上記の課題の少なくとも一部を解決するためになされたものであり、以下の形態又は態様として実現することが可能である。

【課題を解決するための手段】

【0025】

(1)本発明の第1の態様は、レベルシフト回路が、ソースに第1の電源電圧が供給される第1導電型の第1のトランジスタと、ソースに第2の電源電圧が供給され、ドレインに前記第1のトランジスタのドレインが接続される第2導電型の第2のトランジスタと、前記第1のトランジスタの第1のバイアス電圧を生成する第1の電圧生成回路と、前記第2のトランジスタの第2のバイアス電圧を生成する第2の電圧生成回路と、入力信号が入力される入力ノードと前記第1のトランジスタのゲートとを容量結合する第1の容量と、前記入力ノードと前記第2のトランジスタのゲートとを容量結合する第2の容量とを含む。

【0026】

本態様によれば、入力信号が入力される入力ノードと、第1のトランジスタ及び第2のトランジスタの各々のゲートとを容量結合するようにしたので、各トランジスタのゲートに、個別のバイアス電圧を印加することができるようになる。これにより、第1の電源電圧と第2の電源電圧との間の電圧にかかわらず一定の消費電流で、第1の容量及び第2の容量を介して入力される入力信号の振幅レベルを変換することができるようになる。また、入力ノードと容量結合することにより、デューティ比が50パーセントの出力信号を生成しやすくなる。従って、本態様によれば、電源電圧を変更しても、低消費電流を実現するとともに、波形のパルス整形を安定化させ、位相雑音の悪化を抑えることができるようになる。これにより、低消費電力化と低い位相雑音とを両立しながら、広い電圧範囲で動作可能なレベルシフト回路を提供することができる。

【0027】

(2)本発明の第2の態様に係るレベルシフト回路では、第1の態様において、前記第1の電圧生成回路は、前記第1のトランジスタのゲート・ソース間電圧を生成する。

【0028】

本態様によれば、第1のトランジスタに適正なバイアスを印加して入力信号の振幅レベルを変換し、電源電圧を変更しても、低消費電流を実現するとともに、波形のパルス整形を安定化させ、位相雑音の悪化を抑えることができるようになる。

【0029】

(3)本発明の第3の態様に係るレベルシフト回路では、第1の態様又は第2の態様に

において、前記第 2 の電圧生成回路は、前記第 2 のトランジスタのゲート・ソース間電圧を生成する。

【0030】

本態様によれば、第 2 のトランジスタに適正なバイアスを印加して入力信号の振幅レベルを変換し、電源電圧を変更しても、低消費電流を実現するとともに、波形のパルス整形を安定化させ、位相雑音の悪化を抑えることができるようになる。

【0031】

(4) 本発明の第 4 の態様に係るレベルシフト回路では、第 1 の態様乃至第 3 の態様のいずれかにおいて、前記第 1 の電圧生成回路は、第 1 の電極及び第 2 の電極を有し、該第 1 の電極に前記第 1 の電源電圧が供給される第 1 の電圧源と、一端に前記第 1 の電圧源の前記第 2 の電極が接続され、他端に前記第 1 のトランジスタのゲートが接続される第 1 の抵抗回路とを含む。

10

【0032】

本態様によれば、第 1 の抵抗回路により、第 1 の容量を介して入力される入力信号の交流成分を第 1 のトランジスタのゲートに確実に印加することができ、所定のバイアス条件下で、入力信号の振幅レベルを変換することができる。

【0033】

(5) 本発明の第 5 の態様に係るレベルシフト回路では、第 4 の態様において、前記第 2 の電圧生成回路は、第 1 の電極及び第 2 の電極を有し、該第 2 の電極に前記第 2 の電源電圧が供給される第 2 の電圧源と、一端に前記第 2 の電圧源の前記第 1 の電極が接続され、他端に前記第 2 のトランジスタのゲートが接続される第 2 の抵抗回路とを含む。

20

【0034】

本態様によれば、第 2 の抵抗回路により、第 2 の容量を介して入力される入力信号の交流成分を第 2 のトランジスタのゲートに確実に印加することができ、所定のバイアス条件下で、入力信号の振幅レベルを変換することができる。

【0035】

(6) 本発明の第 6 の態様に係るレベルシフト回路は、第 1 の態様乃至第 3 の態様のいずれかにおいて、電流源と、ソースに前記第 2 の電源電圧が供給される第 2 導電型の第 3 のトランジスタとを含み、前記第 1 の電圧生成回路は、ソースに前記第 1 の電源電圧が供給され、ゲート及びドレインに前記第 3 のトランジスタのドレインが接続される第 1 導電型の第 4 のトランジスタと、一端に前記第 4 のトランジスタのゲート及びドレインが接続され、他端に前記第 1 のトランジスタのゲートが接続される第 1 の抵抗回路とを含み、前記第 2 の電圧生成回路は、ソースに前記第 2 の電源電圧が供給され、ゲート及びドレインに前記第 3 のトランジスタのゲートが接続される第 2 導電型の第 5 のトランジスタと、一端に前記第 3 のトランジスタのゲートが接続され、他端に前記第 2 のトランジスタのゲートが接続される第 2 の抵抗回路とを含む。

30

【0036】

本態様によれば、電流源からの電流に基づいて、第 4 のトランジスタのゲート（ドレイン）・ソース間の電圧を第 1 のトランジスタの第 1 のバイアス電圧として生成することができるようになる。また、上記の電流源からの電流に基づいて、第 5 のトランジスタのゲート（ドレイン）・ソース間の電圧を第 2 のトランジスタの第 2 のバイアス電圧として生成することができるようになる。従って、本態様によれば、上記の効果に加えて、非常に簡素な構成で、第 1 のバイアス電圧及び第 2 のバイアス電圧を高精度に制御することができるようになる。

40

【0037】

(7) 本発明の第 7 の態様に係るレベルシフト回路では、第 5 の態様又は第 6 の態様において、前記第 1 の抵抗回路の抵抗値及び前記第 2 の抵抗回路の抵抗値が、同一となるように形成される。

【0038】

本態様によれば、上記の効果に加えて、歪みがより小さい波形の出力信号を出力するこ

50

とができるようになる。

【0039】

(8) 本発明の第8の態様に係るレベルシフト回路では、第1の態様乃至第3の態様のいずれかにおいて、前記第1の電圧生成回路は、基準電圧に基づいて前記第1のバイアス電圧を生成する第1の電圧レギュレーター回路と、一端に前記第1の電圧レギュレーター回路の出力が接続され、他端に前記第1のトランジスタのゲートが接続される第3の抵抗回路とを含み、前記第2の電圧生成回路は、前記基準電圧に基づいて前記第2のバイアス電圧を生成する第2の電圧レギュレーター回路と、一端に前記第2の電圧レギュレーター回路の出力が接続され、他端に前記第2のトランジスタのゲートが接続される第4の抵抗回路とを含む。

10

【0040】

本態様によれば、第1の電圧レギュレーター回路により第1のトランジスタの第1のバイアス電圧を生成し、第2の電圧レギュレーター回路により第2のトランジスタの第2のバイアス電圧を生成することができる。従って、本態様によれば、上記の効果に加えて、非常に簡素な構成で、高精度に、第1のバイアス電圧及び第2のバイアス電圧を制御することができるようになる。

【0041】

(9) 本発明の第9の態様に係るレベルシフト回路では、第8の態様において、前記第1の抵抗回路の抵抗値及び前記第2の抵抗回路の抵抗値が、同一となるように形成される。

20

【0042】

本態様によれば、上記の効果に加えて、歪みがより小さい波形の出力信号を出力することができるようになる。

【0043】

(10) 本発明の第10の態様に係るレベルシフト回路では、第1の態様乃至第9の態様のいずれかにおいて、前記第1の容量の容量値及び前記第2の容量の容量値が、同一となるように形成される。

【0044】

本態様によれば、上記の効果に加えて、歪みがより小さい波形の出力信号を出力することができるようになる。

30

【0045】

(11) 本発明の第11の態様は、発振回路が、共振子を駆動して発振信号を出力する共振子駆動回路と、前記発振信号が前記入力信号として入力される第1の態様乃至第10の態様のいずれか記載のレベルシフト回路とを含む。

【0046】

本態様によれば、低消費電力化と低い位相雑音とを両立しながら、広い電圧範囲で動作可能な発振回路を提供することができるようになる。

【0047】

(12) 本発明の第12の態様は、電子機器が、第1の態様乃至第10の態様のいずれか記載のレベルシフト回路を含む。

40

【0048】

本態様によれば、低消費電力化と低い位相雑音とを両立しながら、広い電圧範囲で動作可能なレベルシフト回路が適用された電子機器を提供することができる。

【0049】

(13) 本発明の第13の態様は、電子機器が、第11の態様記載の発振回路を含む。

【0050】

本態様によれば、低消費電力化と低い位相雑音とを両立しながら、広い電圧範囲で動作可能な発振回路が適用された電子機器を提供することができる。

【図面の簡単な説明】

【0051】

50

【図 1】本実施形態における発振回路の構成例のブロック図。

【図 2】図 1 のレベルシフト回路の構成の概要を示す図。

【図 3】図 2 のレベルシフト回路の構成例の回路図。

【図 4】図 4 (A)、図 4 (B)、図 4 (C)、図 4 (D) は、本実施形態におけるレベルシフト回路のシミュレーション結果の一例を示す図。

【図 5】本実施形態の第 1 の変形例におけるレベルシフト回路の構成例を示す図。

【図 6】本実施形態の第 2 の変形例におけるレベルシフト回路の構成例を示す図。

【図 7】本実施形態の第 3 の変形例における発振回路の構成例のブロック図。

【図 8】本実施形態又はその変形例における発振回路が適用された電子機器として携帯型情報端末の構成例のブロック図。

【図 9】従来の発振回路の構成を示す図。

【図 10】図 9 の増幅部に流れる電流の説明図。

【図 11】図 11 (A) は、電源電圧が 1 . 6 V のときの電流の変化を模式的に示す図。

図 11 (B) は、電源電圧が 3 . 6 V のときの電流の変化を模式的に示す図。

【発明を実施するための形態】

【0052】

以下、本発明の実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成のすべてが本発明の課題を解決するために必須の構成要件であるとは限らない。

【0053】

図 1 に、本発明に係る一実施形態における発振回路の構成例のブロック図を示す。本実施形態における発振回路 100 は、発振部 110 と、レベルシフト回路 200 とを備えている。発振部 110 は、共振子と、共振子駆動部とを備え、共振子駆動部が共振子を駆動することで発振信号をレベルシフト回路 200 に出力する。

【0054】

発振部 110 は、共振子（振動子）としての水晶振動子 112 と、共振子駆動回路としてのインバーター回路 114 と、帰還抵抗 116 と、容量 118、120 と、ドレイン抵抗 122 とを備えている。容量 118、120 の一方の電極には、それぞれ接地電圧 V_{SS} が供給される。容量 118 の他方の電極と容量 120 の他方の電極との間には、水晶振動子 112 が接続される。インバーター回路 114 の入力には、容量 118 の他方の電極及び帰還抵抗 116 の一端が接続される。インバーター回路 114 の出力には、ドレイン抵抗 122 の一端及び帰還抵抗 116 の他端が接続される。ドレイン抵抗 122 の他端には、容量 120 の他方の電極が接続される。インバーター回路 114 の電源端子には、所与の電源電圧 V_{DD} が供給され、接地電源端子には接地電圧 V_{SS} が供給される。発振部 110 における発振による発振信号は、インバーター回路 114 の入力側（ゲート側）から取り出され、レベルシフト回路 200 に入力される。

【0055】

レベルシフト回路 200 には、電源電圧 V_{DD} （第 1 の電源電圧）と、接地電圧 V_{SS} （第 2 の電源電圧）とが供給される。レベルシフト回路 200 は、発振部 110 からの発振信号の振幅レベルを変換して、発振信号に対応したパルス信号を出力信号 OUT として出力する。

【0056】

以上のような構成を有する発振回路 100 は、発振部 110 において、インバーター回路 114 に所与の電源電圧が与えられると、インバーター回路 114 が増幅した発振信号により水晶振動子 112 が駆動される。このとき、増幅された発振信号を帰還抵抗 116 によりインバーター回路 114 の入力に帰還させながら、発振ノードに接続される容量 118、120 の充電と放電を行って、所望の発振周波数で発振を継続するようになっている。レベルシフト回路 200 は、発振信号から、例えば電源電圧 V_{DD} より高い電源電圧 V_{DD} と接地電圧 V_{SS} との間の電圧に対応した振幅レベルを有するパルス信号に変換

10

20

30

40

50

する。

【 0 0 5 7 】

図 2 に、図 1 のレベルシフト回路 2 0 0 の構成の概要を示す。図 2 において、図 1 と同様の部分には同一符号を付し、適宜説明を省略する。なお、図 2 において、レベルシフト回路 2 0 0 の入力信号である発振信号が入力される入力ノードに対応した入力端子を V I N、パルス信号が出力される出力ノードに対応した出力端子を V O U T と表記している。

【 0 0 5 8 】

レベルシフト回路 2 0 0 は、P 型の M O S トランジスタ 2 0 2 と、N 型の M O S トランジスタ 2 0 4 と、容量 2 0 6、2 0 8 と、第 1 の電圧生成回路 2 1 0 と、第 2 の電圧生成回路 2 2 0 とを備えている。M O S トランジスタ 2 0 2 のソースには、電源電圧 V D D が供給され、ドレインには出力端子 V O U T が接続される。M O S トランジスタ 2 0 4 のソースには、接地電圧 V S S が供給され、ドレインには M O S トランジスタ 2 0 2 のドレイン（出力端子 V O U T）が接続される。

10

【 0 0 5 9 】

容量 2 0 6 の一方の電極には、入力端子 V I N が接続され、他方の電極には、M O S トランジスタ 2 0 2 のゲートが接続され、容量 2 0 6 は、入力端子 V I N と M O S トランジスタ 2 0 2 のゲートとを容量結合する。容量 2 0 8 の一方の電極には、入力端子 V I N が接続され、他方の電極には、M O S トランジスタ 2 0 4 のゲートが接続され、容量 2 0 8 は、入力端子 V I N と M O S トランジスタ 2 0 4 のゲートとを容量結合する。なお、容量 2 0 6 の容量値と容量 2 0 8 の容量値とは、互いに等しくなるように形成されることが望ましい。

20

【 0 0 6 0 】

第 1 の電圧生成回路 2 1 0 には、電源電圧 V D D が供給され、M O S トランジスタ 2 0 2 の第 1 のバイアス電圧を生成する。第 1 のバイアス電圧は、M O S トランジスタ 2 0 2 のゲート・ソース間電圧である。

【 0 0 6 1 】

このような第 1 の電圧生成回路 2 1 0 は、第 1 の電圧源 2 1 2 と、第 1 の抵抗回路 2 1 4 とを備えている。第 1 の電圧源 2 1 2 は、正極（第 1 の電極）及び負極（第 2 の電極）を有する直流電源であり、正極には電源電圧 V D D が供給され、負極には第 1 の抵抗回路 2 1 4 の一端が接続される。第 1 の抵抗回路 2 1 4 の他端には、M O S トランジスタ 2 0 2 のゲートが接続される。

30

【 0 0 6 2 】

第 2 の電圧生成回路 2 2 0 には、接地電圧 V S S が供給され、M O S トランジスタ 2 0 4 の第 2 のバイアス電圧を生成する。第 2 のバイアス電圧は、M O S トランジスタ 2 0 4 のゲート・ソース間電圧である。

【 0 0 6 3 】

このような第 2 の電圧生成回路 2 2 0 は、第 2 の電圧源 2 2 2 と、第 2 の抵抗回路 2 2 4 とを備えている。第 2 の電圧源 2 2 2 は、正極及び負極を有する直流電源であり、負極には接地電圧 V S S が供給され、正極には第 2 の抵抗回路 2 2 4 の一端が接続される。第 2 の抵抗回路 2 2 4 の他端には、M O S トランジスタ 2 0 4 のゲートが接続される。なお、第 1 の抵抗回路 2 1 4 の抵抗値と第 2 の抵抗回路 2 2 4 の抵抗値とは、互いに等しくなるように形成されることが望ましい。

40

【 0 0 6 4 】

図 2 において、P 型を第 1 導電型とすると、N 型は第 2 導電型とすることができる。このとき、M O S トランジスタ 2 0 2 は第 1 のトランジスタに対応し、M O S トランジスタ 2 0 4 は第 2 のトランジスタに対応し、容量 2 0 6 は第 1 の容量に対応し、容量 2 0 8 は第 2 の容量に対応する。

【 0 0 6 5 】

以上のような構成を有するレベルシフト回路 2 0 0 では、第 1 の電圧生成回路 2 1 0 によって M O S トランジスタ 2 0 2 のバイアス電圧が生成され、第 2 の電圧生成回路 2 2

50

0によってM O S トランジスタ 2 0 4 のバイアス電圧が生成される。例えば、電源電圧 V_{DD} が 1 . 6 V、第 1 の電圧源 2 1 2 及び第 2 の電圧源 2 2 2 の各々の電圧が 0 . 6 V とすると、第 1 の電圧源 2 1 2 の負極に接続される第 1 の抵抗回路 2 1 4 の一端には、1 . 0 V が印加される。また、第 2 の電圧源 2 2 2 の正極に接続される第 2 の抵抗回路 2 2 4 の一端にも、0 . 6 V が印加される。

【 0 0 6 6 】

このように、入力端子 V_{IN} は、各 M O S トランジスタのゲートノードと容量結合されるため、M O S トランジスタ 2 0 2 , 2 0 4 の各々を独立してバイアス条件を設定することができる。そのため、電源電圧 V_{DD} を変更した場合であっても、M O S トランジスタ 2 0 2 , 2 0 4 に流れる電流を一定にすることができるようになる。

10

【 0 0 6 7 】

ここで、バイアス電圧が各 M O S トランジスタのゲートに印加された状態で、入力端子 V_{IN} を介して発振部 1 1 0 から発振信号（入力信号）が入力される。すると、容量 2 0 6 , 2 0 8 の各々により、発振信号の交流成分のみが、各 M O S トランジスタのゲートに入力される。このとき、第 1 の抵抗回路 2 1 4 によって容量 2 0 6 を介して入力される交流成分に対してインピーダンスを上げている。同様に、第 2 の抵抗回路 2 2 4 によって容量 2 0 8 を介して入力される交流成分に対してインピーダンスを上げている。そのため、交流成分は各 M O S トランジスタのゲートに印加され、各 M O S トランジスタは、固有のバイアス条件下で交流成分に基づいてゲート制御される。こうして、電源電圧 V_{DD} と接地電圧 V_{SS} との間の電圧に対応した振幅レベルの出力信号 O_{UT} が出力端子 V_{OUT} に発生することになる。

20

【 0 0 6 8 】

従って、本実施形態によれば、M O S トランジスタ 2 0 2 , 2 0 4 のバイアス条件を独立して設定することができるので、電源電圧 V_{DD} にかかわらず一定の消費電流で、発振信号の振幅レベルを変換することができるようになる。

【 0 0 6 9 】

なお、第 1 の抵抗回路 2 1 4 の抵抗値と第 2 の抵抗回路 2 2 4 の抵抗値が同一になるように形成することで、抵抗値を異ならせる場合に比べて、歪みがより小さい波形の出力信号を出力することができるようになる。また、第 1 の容量 2 0 6 の容量値と第 2 の容量 2 0 8 の容量値が同一になるように形成することで、容量値を異ならせる場合に比べて、歪みがより小さい波形の出力信号を出力することができるようになる。

30

【 0 0 7 0 】

図 3 に、図 2 のレベルシフト回路 2 0 0 の構成例の回路図を示す。図 3 において、図 2 と同様の部分には同一符号を付し、適宜説明を省略する。

【 0 0 7 1 】

レベルシフト回路 2 0 0 は、M O S トランジスタ 2 0 2 , 2 0 4 と、容量 2 0 6 , 2 0 8 と、第 1 の電圧生成回路 2 1 0 と、第 2 の電圧生成回路 2 2 0 とに加えて、電流源 2 3 0 を備えている。第 1 の電圧生成回路 2 1 0 は、第 1 の電圧源 2 1 2 として機能させるための N 型の M O S トランジスタ 2 1 6 を備えている。第 2 の電圧生成回路 2 2 0 は、第 2 の電圧源 2 2 2 として機能させるための P 型の M O S トランジスタ 2 2 6 を備えている。なお、第 2 の電圧生成回路 2 2 0 は、M O S トランジスタ 2 1 6 に電流を供給するための N 型の M O S トランジスタ 2 2 8 を備えることができるが、図 3 では、第 2 の電圧生成回路 2 2 0 の外部に M O S トランジスタ 2 2 8 が設けられている。

40

【 0 0 7 2 】

M O S トランジスタ 2 1 6 のソースには、電源電圧 V_{DD} が供給され、ゲート及びドレインには、第 1 の抵抗回路 2 1 4 の一端が接続される。

【 0 0 7 3 】

電流源 2 3 0 の一端には、電源電圧 V_{DD} が供給され、他端には、M O S トランジスタ 2 2 6 のゲート及びドレインが接続される。M O S トランジスタ 2 2 6 のソースには、接地電圧 V_{SS} が供給される。

50

【 0 0 7 4 】

M O S トランジスタ 2 2 6 のゲート及びドレインには、M O S トランジスタ 2 2 8 のゲート及び第 2 の抵抗回路 2 2 4 の一端が接続される。M O S トランジスタ 2 2 8 のソースには、接地電圧 V_{SS} が供給され、ドレインには、M O S トランジスタ 2 1 6 のゲート及びドレインが接続される。

【 0 0 7 5 】

このような構成において、電流源 2 3 0 からの電流は、M O S トランジスタ 2 2 6 のゲート及びドレインに供給される。M O S トランジスタ 2 2 6 , 2 2 8 は、カレントミラー回路を構成する。そのため、電流源 2 3 0 からの電流に応じて、M O S トランジスタ 2 1 6 のソース・ドレイン間に電流が流れる。

10

【 0 0 7 6 】

このとき、ゲート及びドレインが接続された M O S トランジスタ 2 2 6 のゲート（ドレイン）・ソース間に電圧が発生し、M O S トランジスタ 2 2 6 は、第 2 の電圧源 2 2 2 として機能する。また、ゲート及びドレインが接続された M O S トランジスタ 2 1 6 のゲート（ドレイン）・ソース間にも電圧が発生し、M O S トランジスタ 2 1 6 は、第 1 の電圧源 2 1 2 として機能する。

【 0 0 7 7 】

図 3 において、M O S トランジスタ 2 2 8 が第 3 のトランジスタに対応し、M O S トランジスタ 2 1 6 が第 4 のトランジスタに対応し、M O S トランジスタ 2 2 6 が第 5 のトランジスタに対応する。

20

【 0 0 7 8 】

図 4 (A)、図 4 (B)、図 4 (C) に、電源電圧 V_{DD} が 3 . 3 V のときのレベルシフト回路 2 0 0 のシミュレーション結果の一例を示す。図 4 (A) は、入力端子 V_{IN} に接続される入力ノード ND_1 のシミュレーション波形を表す。図 4 (B) は、M O S トランジスタ 2 0 2 のゲートノード ND_2 及び M O S トランジスタ 2 0 4 のゲートノード ND_3 のシミュレーション波形を表す。図 4 (C) は、出力端子 V_{OUT} に接続される出力ノード ND_4 のシミュレーション波形を表す。図 4 (A) ~ 図 4 (C) において、横軸は時間軸とし、縦軸は電圧を表している。

【 0 0 7 9 】

図 4 (A) に示すような 1 . 2 V の振幅レベルを有する発振信号が入力ノード ND_1 に入力されると、容量 2 0 6 を介して発振信号の交流成分のみがゲートノード ND_2 に伝達される。同様に、容量 2 0 8 を介して発振信号の交流成分のみがゲートノード ND_3 に伝達される。

30

【 0 0 8 0 】

ゲートノード ND_2 は、M O S トランジスタ 2 1 6 によりバイアス電圧が印加されており、ゲートノード ND_2 には、容量 2 0 6 を介して、発振信号の交流成分が重畳される。一方、ゲートノード ND_3 は、M O S トランジスタ 2 2 6 によりバイアス電圧が印加されており、ゲートノード ND_3 には、容量 2 0 8 を介して、発振信号の交流成分が重畳される。そのため、図 4 (B) に示すように、ゲートノード ND_2 は、例えば約 2 . 5 V を中心に 0 . 6 V 振幅の信号となり、ゲートノード ND_3 は、例えば約 0 . 6 V を中心に 0 . 6 V 振幅の信号となる。

40

【 0 0 8 1 】

電源電圧 V_{DD} が 3 . 3 V であるため、図 4 (C) に示すように、M O S トランジスタ 2 0 2 , 2 0 4 のドレインである出力ノード ND_4 には、3 . 3 V 振幅のパルス信号が出力される。

【 0 0 8 2 】

以上説明したように、本実施形態では、M O S トランジスタ 2 0 2 , 2 0 4 の各々に個別のバイアス電圧を印加するようにしたため、電源電圧 V_{DD} を変化させても、各 M O S トランジスタの消費電流を一定にすることができる。従って、電源電圧 V_{DD} を変更しても、低消費電流を実現するとともに、波形のパルス整形を安定化させ、位相雑音の悪

50

化を抑えることができるようになる。これにより、低消費電力化と低い位相雑音とを両立しながら、広い電圧範囲で動作可能なレベルシフト回路と、このレベルシフト回路が適用される発振回路を提供することができるようになる。更に、図10で説明した容量結合インバーター回路と同様に、発振部110と容量結合されるため、デューティ比が50パーセントのパルス信号を生成しやすくなる。

【0083】

〔第1の変形例〕

本実施形態におけるレベルシフト回路200として、図3に示す構成を例に説明したが、本発明に係る実施形態は、これに限定されるものではない。

【0084】

図5に、本実施形態の第1の変形例におけるレベルシフト回路の構成例を示す。図5において、図3と同様の部分には同一符号を付し、適宜説明を省略する。

【0085】

第1の変形例におけるレベルシフト回路200aは、MOSトランジスタ202、204と、容量206、208と、第1の電圧生成回路210aと、第2の電圧生成回路220aと、電流源230aとを備えている。

【0086】

第1の電圧生成回路210aは、第1の抵抗回路214と、第1の電圧源212として機能させるためのP型のMOSトランジスタ216aとを備えている。第2の電圧生成回路220aは、第2の抵抗回路224と、第2の電圧源222として機能させるためのN型のMOSトランジスタ226aとを備えている。なお、第1の電圧生成回路210aは、MOSトランジスタ226aに電流を供給するためのP型のMOSトランジスタ218aを備えることができるが、図5では、第1の電圧生成回路210aの外部にMOSトランジスタ218aが設けられている。

【0087】

MOSトランジスタ216aのソースには、電源電圧VDDが供給され、ゲート及びドレインには、MOSトランジスタ218aのゲート及び電流源230aの一端が接続される。電流源230aの他端には、接地電圧VSSが供給される。

【0088】

MOSトランジスタ218aのソースには、電源電圧VDDが供給され、ドレインには、MOSトランジスタ226aのゲート及びドレインが接続される。また、MOSトランジスタ218aのゲートには、第1の抵抗回路214の一端が接続される。第1の抵抗回路214の他端には、MOSトランジスタ202のゲート及び容量206の一方の電極が接続される。

【0089】

MOSトランジスタ226aのソースには、接地電圧VSSが供給され、ゲート及びドレインには第2の抵抗回路224の一端が接続される。第2の抵抗回路224の他端には、MOSトランジスタ204のゲート及び容量208の他方の電極が接続される。

【0090】

以上のような構成を有するレベルシフト回路200aは、レベルシフト回路200に代えて図1の構成を有する発振回路100に適用することができる。

【0091】

このような構成において、MOSトランジスタ216a、218aにより構成されるカレントミラー回路によって、電流源230aが引き抜く電流に応じて、MOSトランジスタ226aのソース・ドレイン間に電流が流れる。

【0092】

このとき、ゲート及びドレインが接続されたMOSトランジスタ216aのゲート(ドレイン)・ソース間に電圧が発生し、MOSトランジスタ216aは、第1の電圧源212として機能する。また、ゲート及びドレインが接続されたMOSトランジスタ226aのゲート(ドレイン)・ソース間にも電圧が発生し、MOSトランジスタ226

10

20

30

40

50

a は、第 2 の電圧源 2 2 2 として機能する。

【 0 0 9 3 】

レベルシフト回路 2 0 0 a では、レベルシフト回路 2 0 0 と同様に、M O S トランジスタ 2 0 2 , 2 0 4 に個別にバイアス電圧が印加されている状態で、入力端子 V I N を介して発振部 1 1 0 から発振信号 (入力信号) が入力される。すると、容量 2 0 6 , 2 0 8 の各々により、発振信号の交流成分のみが、M O S トランジスタ 2 0 2 , 2 0 4 のゲートに入力される。このとき、第 1 の抵抗回路 2 1 4 によって容量 2 0 6 を介して入力される交流成分に対してインピーダンスを上げている。同様に、第 2 の抵抗回路 2 2 4 によって容量 2 0 8 を介して入力される交流成分に対してインピーダンスを上げている。そのため、交流成分は各 M O S トランジスタのゲートに印加され、各 M O S トランジスタは、固有のバイアス条件下で交流成分に基づいてゲート制御される。こうして、電源電圧 V D D と接地電圧 V S S との間の電圧に対応した振幅レベルの出力信号 O U T が出力端子 V O U T に発生することになる。

10

【 0 0 9 4 】

〔 第 2 の変形例 〕

本実施形態におけるレベルシフト回路 2 0 0 として、図 3 に示す構成を例に説明したが、本発明に係るレベルシフト回路として、電圧レギュレーター回路によって個別にバイアス電圧を与えるようにしてもよい。

【 0 0 9 5 】

図 6 に、本実施形態の第 2 の変形例におけるレベルシフト回路の構成例を示す。図 6 において、図 3 と同様の部分には同一符号を付し、適宜説明を省略する。

20

【 0 0 9 6 】

第 2 の変形例におけるレベルシフト回路 2 0 0 b は、M O S トランジスタ 2 0 2 , 2 0 4 と、容量 2 0 6 , 2 0 8 と、第 1 の電圧生成回路 2 1 0 b と、第 2 の電圧生成回路 2 2 0 b と、電圧源 2 3 0 b とを備えている。

【 0 0 9 7 】

第 1 の電圧生成回路 2 1 0 b は、第 3 の抵抗回路 2 8 4 と、第 1 の電圧レギュレーター回路 2 4 0 b とを備えている。第 1 の電圧レギュレーター回路 2 4 0 b は、第 1 のオペアンプ 2 4 2 b と、P 型の M O S トランジスタ 2 4 4 b と、抵抗回路 2 4 6 b , 2 4 8 b とを備えている。M O S トランジスタ 2 4 4 b のソースには、電源電圧 V D D が供給され、ゲートには第 1 のオペアンプ 2 4 2 b の出力が接続され、ドレインには第 3 の抵抗回路 2 8 4 の一端及び抵抗回路 2 4 6 b の一端が接続される。抵抗回路 2 4 6 b の他端には、第 1 のオペアンプ 2 4 2 b の非反転入力端子及び抵抗回路 2 4 8 b の一端が接続される。抵抗回路 2 4 8 b の他端には、接地電圧 V S S が供給される。即ち、第 3 の抵抗回路 2 8 4 の一端には、M O S トランジスタ 2 4 4 b のドレインである第 1 の電圧レギュレーター回路 2 4 0 b の出力が接続される。この第 3 の抵抗回路 2 8 4 の他端には、M O S トランジスタ 2 0 2 のゲート及び容量 2 0 6 の一方の電極が接続される。

30

【 0 0 9 8 】

第 2 の電圧生成回路 2 2 0 b は、第 4 の抵抗回路 2 9 4 と、第 2 の電圧レギュレーター回路 2 5 0 b とを備えている。第 2 の電圧レギュレーター回路 2 5 0 b は、第 2 のオペアンプ 2 5 2 b と、P 型の M O S トランジスタ 2 5 4 b と、抵抗回路 2 5 6 b , 2 5 8 b とを備えている。M O S トランジスタ 2 5 4 b のソースには、電源電圧 V D D が供給され、ゲートには第 2 のオペアンプ 2 5 2 b の出力が接続され、ドレインには第 4 の抵抗回路 2 9 4 の一端及び抵抗回路 2 5 6 b の一端が接続される。抵抗回路 2 5 6 b の他端には、第 2 のオペアンプ 2 5 2 b の非反転入力端子及び抵抗回路 2 5 8 b の一端が接続される。抵抗回路 2 5 8 b の他端には、接地電圧 V S S が供給される。即ち、第 4 の抵抗回路 2 9 4 の一端には、M O S トランジスタ 2 5 4 b のドレインである第 2 の電圧レギュレーター回路 2 5 0 b の出力が接続される。この第 4 の抵抗回路 2 9 4 の他端には、M O S トランジスタ 2 0 4 のゲート及び容量 2 0 8 の他方の電極が接続される。

40

【 0 0 9 9 】

50

電圧源 230b の負極には、接地電圧 V_{SS} が供給され、正極には、第 1 のオペアンプ 242b の反転入力端子及び第 2 のオペアンプ 252b の反転入力端子が接続される。

【0100】

なお、第 3 の抵抗回路 284 の抵抗値と第 4 の抵抗回路 294 の抵抗値が同一になるように形成することで、抵抗値を異ならせる場合に比べて、歪みがより小さい波形の出力信号を出力することができるようになる。

【0101】

以上のような構成を有するレベルシフト回路 200b は、レベルシフト回路 200 に代えて図 1 の構成を有する発振回路 100 に適用することができる。

【0102】

10

このような構成において、第 1 の電圧レギュレーター回路 240b は、電圧源 230b の基準電圧 V_{ref} に基づいて、抵抗回路 246b の抵抗値と抵抗回路 248b の抵抗値との比で決まる MOS トランジスタ 202 のバイアス電圧を生成する。第 1 の電圧レギュレーター回路 240b が生成するバイアス電圧は、第 1 のバイアス電圧としての MOS トランジスタ 202 のゲート・ソース間電圧である。第 2 の電圧レギュレーター回路 250b もまた、電圧源 230b の基準電圧 V_{ref} に基づいて、抵抗回路 256b の抵抗値と抵抗回路 258b の抵抗値との比で決まる MOS トランジスタ 204 のバイアス電圧を生成する。第 2 の電圧レギュレーター回路 250b が生成するバイアス電圧は、第 2 のバイアス電圧としての MOS トランジスタ 204 のゲート・ソース間電圧である。

【0103】

20

レベルシフト回路 200b では、レベルシフト回路 200 と同様に、MOS トランジスタ 202、204 に個別にバイアス電圧が印加されている状態で、入力端子 V_{IN} を介して発振部 110 から発振信号（入力信号）が入力される。すると、容量 206、208 の各々により、発振信号の交流成分のみが、MOS トランジスタ 202、204 のゲートに入力される。このとき、第 3 の抵抗回路 284 によって容量 206 を介して入力される交流成分に対してインピーダンスを上げている。同様に、第 4 の抵抗回路 294 によって容量 208 を介して入力される交流成分に対してインピーダンスを上げている。そのため、交流成分は各 MOS トランジスタのゲートに印加され、各 MOS トランジスタは、固有のバイアス条件下で交流成分に基づいてゲート制御される。こうして、電源電圧 V_{DD} と接地電圧 V_{SS} との間の電圧に対応した振幅レベルの出力信号 OUT が出力端子 V_{OUT} に発生することになる。

30

【0104】

〔第 3 の変形例〕

本実施形態又はその第 1 の変形例や第 2 の変形例では、発振部において電圧駆動によって発振信号を生成する発振回路を例に説明したが、本発明に係る実施形態は、これに限定されるものではない。

【0105】

図 7 に、本実施形態の第 3 の変形例における発振回路の構成例のブロック図を示す。図 7 において、図 1 と同様の部分には同一符号を付し、適宜説明を省略する。なお、図 7 では、第 3 の変形例における発振回路が、レベルシフト回路 200 を備える例を説明するが、第 3 の変形例における発振回路が、レベルシフト回路 200 に代えてレベルシフト回路 200a 又はレベルシフト回路 200b を備えるようにしてもよい。

40

【0106】

第 3 の変形例における発振回路 100c は、発振部 300 と、電流源 350 と、レベルシフト回路 200 とを備えている。発振部 300 は、共振子と、共振子駆動部とを備え、電流駆動により共振子駆動部が共振子を駆動することで発振信号をレベルシフト回路 200 に出力する。このような発振部 300 の機能は、ピアース型の発振回路の発振部によって実現される。レベルシフト回路 200 は、発振部 300 からの発振信号の振幅レベルを変換して、出力信号 OUT として出力する。

【0107】

50

発振部 300 は、共振子としての水晶振動子 302 と、共振子駆動回路としての N 型の MOS トランジスタ 304 と、帰還抵抗 306 と、容量 308, 310 と、ドレイン抵抗 312 とを備えている。容量 308, 310 の一方の電極には、それぞれ接地電圧 VSS が供給される。容量 308 の他方の電極と容量 310 の他方の電極との間には、水晶振動子 302 が接続される。

【0108】

MOS トランジスタ 304 のソースには、接地電圧 VSS が供給され、ゲートには、容量 308 の他方の電極が接続され、ドレインには、ドレイン抵抗 312 の一端が接続される。ドレイン抵抗 312 の他端には、容量 310 の他方の電極が接続される。MOS トランジスタ 304 のゲートとドレインとの間には、帰還抵抗 306 が接続される。また、MOS トランジスタ 304 のドレインには、電流源 350 の一端が接続され、電流源 350 からの電流が供給される。電流源 350 の他端には、電源電圧 VDD' が供給される。

10

【0109】

発振部 300 における発振による発振信号は、MOS トランジスタ 304 のゲートから取り出され、レベルシフト回路 200 に入力される。

【0110】

以上のような構成を有する発振回路 100c は、発振部 300 において、電流源 350 から電流が供給されると、MOS トランジスタ 304 が増幅した発振信号により水晶振動子 302 が駆動される。このとき、増幅された発振信号を帰還抵抗 306 により MOS トランジスタ 304 のゲートに帰還させながら、発振ノードに接続される容量 308, 310 の充電と放電を行って、所望の発振周波数で発振を継続するようになっている。レベルシフト回路 200 は、発振信号から、例えば電源電圧 VDD' より高い電源電圧 VDD と接地電圧 VSS との間の電圧に対応した振幅レベルを有するパルス信号に変換する。

20

【0111】

なお、電流源 350 から MOS トランジスタ 304 に供給する電流は、絶対温度に比例する PTAT (Proportional To Absolute Temperature) 電流であることが望ましい。こうすることで、低温で抵抗が大きくなる分だけ電流値が小さくなり、高温で抵抗が大きくなる分だけ電流値を大きくすることができ、MOS トランジスタ 304 の温度特性を補償することができるようになる。

30

【0112】

第 3 の変形例においても、本実施形態と同様に、MOS トランジスタ 202, 204 のバイアス条件を独立して設定することができるので、電源電圧 VDD にかかわらず一定の消費電流で、発振信号の振幅レベルを変換することができるようになる。従って、電源電圧 VDD を変更しても、低消費電流を実現するとともに、波形のパルス整形を安定化させ、位相雑音の悪化を抑えることができるようになる。これにより、低消費電力化と低い位相雑音とを両立しながら、広い電圧範囲でデューティ比が 50 パーセントのパルス信号が得やすい発振回路を提供することができるようになる。

【0113】

〔電子機器〕

40

図 8 に、本実施形態又はその変形例における発振回路が適用された電子機器として携帯型情報端末の構成例のブロック図を示す。なお、図 8 において、図 1 と同様の部分には同一符号を付し、適宜説明を省略する。また、図 8 では、本実施形態における発振回路 100 が携帯型情報端末に適用される例を示したが、本実施形態の変形例における発振回路を適用してもよい。

【0114】

携帯型情報端末 400 は、制御部 410 と、記憶部 420 と、通信回路 430 と、操作部 440 と、表示部 450 とを備えている。制御部 410 は、中央演算処理装置を備え、記憶部 420 に記憶されたプログラムを読み込んで、携帯型情報端末 400 を構成する各部の制御を行う。記憶部 420 は、制御部 410 によって実行されるプログラムやデータ

50

などを記憶し、制御部 4 1 0 により各種ワークエリアとして機能する。

【 0 1 1 5 】

通信回路 4 3 0 は、外部機器からの受信信号を受信して復調処理を行ったり、変調処理後のデータを送信信号として外部機器に送信したりする。通信回路 4 3 0 は、発振回路 1 0 0 を備えている。通信回路 4 3 0 は、発振回路 1 0 0 により生成された発振信号に基づいて、例えば送信及び受信用の基準クロックを生成し、上記の送信又は受信を行う。

【 0 1 1 6 】

操作部 4 4 0 は、ユーザーからの操作情報を受け付け、該操作情報を制御部 4 1 0 に供給する。例えば制御部 4 1 0 は、操作部 4 4 0 からの操作情報に基づいて、通信回路 4 3 0 及び記憶部 4 2 0 とデータをやりとりし、必要なデータ処理を行う。表示部 4 5 0 は、

10

制御部 4 1 0 により行われた所定の処理後のデータに対応した画像を表示する。

【 0 1 1 7 】

以上、本発明に係るレベルシフト回路、発振回路、及び電子機器等を本実施形態又はその変形例に基づいて説明したが、本発明は本実施形態又はその変形例に限定されるものではない。例えば、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、次のような変形も可能である。

【 0 1 1 8 】

(1) 本実施形態又はその変形例において、発振回路として S P X O を例に説明したが、本発明は、これに限定されるものではない。

【 0 1 1 9 】

(2) 本実施形態又はその変形例において、発振回路の外部に、水晶振動子等の共振子が設けられていてもよい。

20

【 0 1 2 0 】

(3) 本実施形態又はその変形例において、P 型を第 1 導電型、N 型を第 2 導電型として説明したが、P 型を第 2 導電型、N 型を第 1 導電型としてもよい。このとき、電源電圧 V D D を第 2 の電源電圧、接地電圧 V S S を第 1 の電源電圧とする。

【 0 1 2 1 】

(4) 本発明に係る発振回路が適用される電子機器として、携帯型情報端末を例に説明したが、本発明はこれに限定されるものではない。例えば、デジタルスチルカメラ、テレビ、ビデオカメラ、カーナビゲーション装置、ページャー、電子手帳、電子ペーパー、電

30

卓、ワードプロセッサ、ワークステーション、テレビ電話、P O S (Point of sale system) 端末、プリンター、スキャナー、複写機、ビデオプレーヤー、タッチパネルを備えた機器などが挙げられる。

【 符号の説明 】

【 0 1 2 2 】

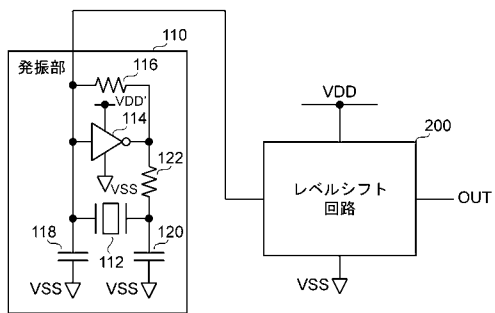
1 0 0 , 1 0 0 c ... 発振回路、 1 1 0 , 3 0 0 ... 発振部、
 1 1 2 , 3 0 2 ... 水晶振動子、 1 1 4 ... インバーター回路、
 1 1 6 , 3 0 6 ... 帰還抵抗、
 1 1 8 , 1 2 0 , 2 0 6 , 2 0 8 , 3 0 8 , 3 1 0 ... 容量、
 1 2 2 , 3 1 2 ... ドレイン抵抗、 2 0 0 , 2 0 0 a , 2 0 0 b ... レベルシフト回路、
 2 0 2 , 2 1 6 , 2 1 6 a , 2 1 8 a , 2 4 4 b , 2 5 4 b ... P 型の M O S トランジスタ、
 2 0 4 , 2 2 6 , 2 2 6 a , 2 2 8 , 3 0 4 ... N 型の M O S トランジスタ、
 2 1 0 , 2 1 0 a , 2 1 0 b ... 第 1 の電圧生成回路、 2 1 2 ... 第 1 の電圧源、
 2 1 4 ... 第 1 の抵抗回路、 2 2 0 , 2 2 0 a , 2 2 0 b ... 第 2 の電圧生成回路、
 2 2 2 ... 第 2 の電圧源、 2 2 4 ... 第 2 の抵抗回路、
 2 3 0 , 2 3 0 a , 3 5 0 ... 電流源、 2 3 0 b ... 電圧源、
 2 4 0 b ... 第 1 の電圧レギュレーター回路、 2 4 2 b ... 第 1 のオペアンプ、
 2 4 6 b , 2 4 8 b , 2 5 6 b , 2 5 8 b ... 抵抗回路、
 2 5 0 b ... 第 2 の電圧レギュレーター回路、 2 5 2 b ... 第 2 のオペアンプ、
 2 8 4 ... 第 3 の抵抗回路、 2 9 4 ... 第 4 の抵抗回路、

40

50

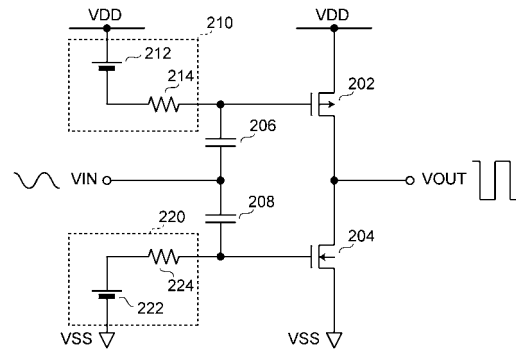
4 0 0 ... 携帯型情報端末（電子機器）、 4 1 0 ... 制御部、 4 2 0 ... 記憶部、
 4 3 0 ... 通信回路、 4 4 0 ... 操作部、 4 5 0 ... 表示部、 O U T ... 出力信号、
 V D D ... 電源電圧（第 1 の電源電圧）、 V D D ' ... 電源電圧、 V I N ... 入力端子、
 V O U T ... 出力端子、 V S S ... 接地電圧（第 2 の電源電圧）

【 図 1 】



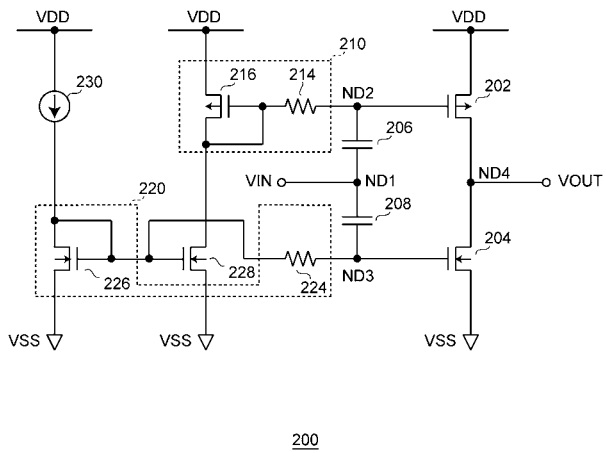
100

【 図 2 】

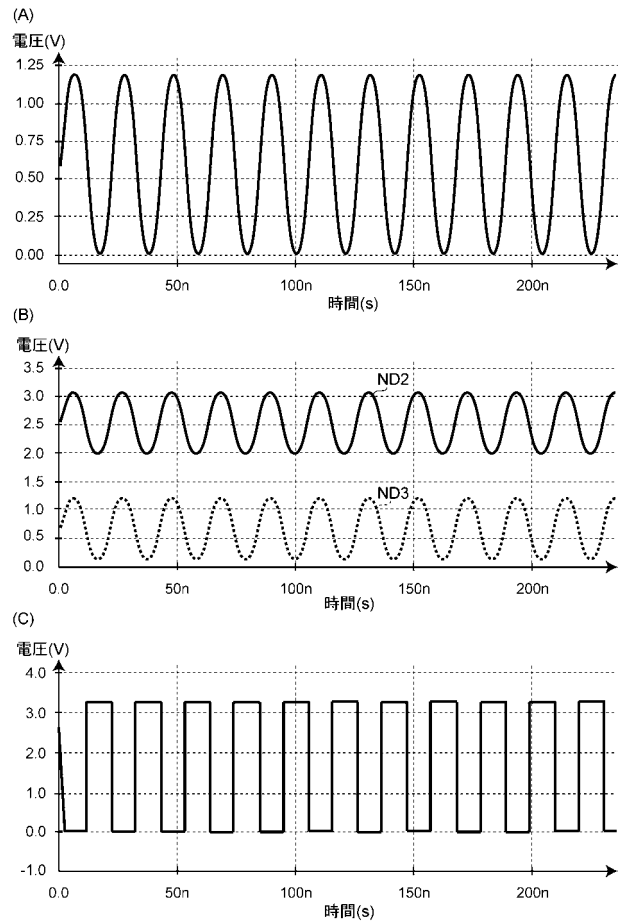


200

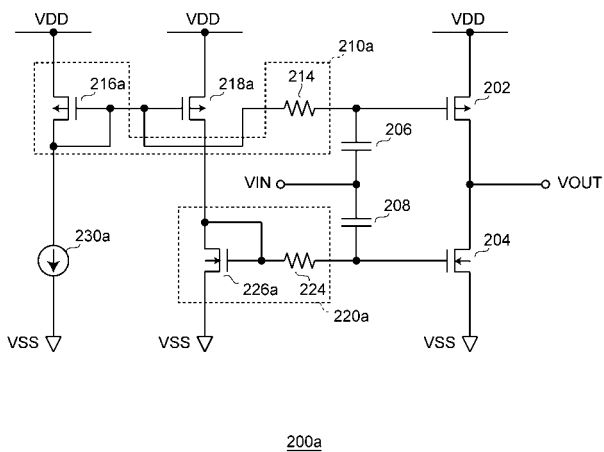
【図 3】



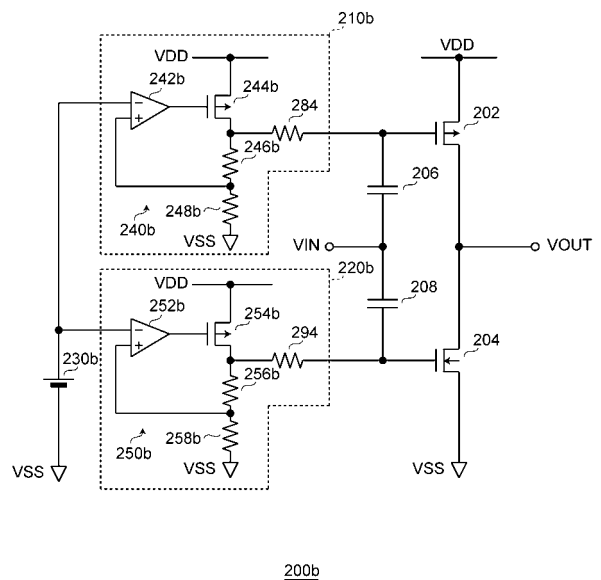
【図 4】



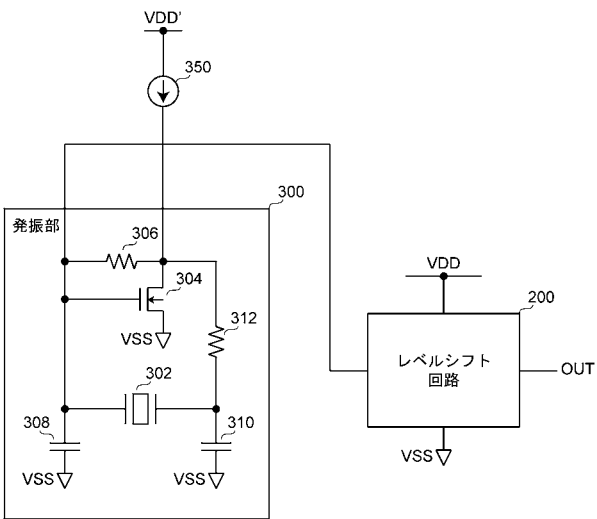
【図 5】



【図 6】

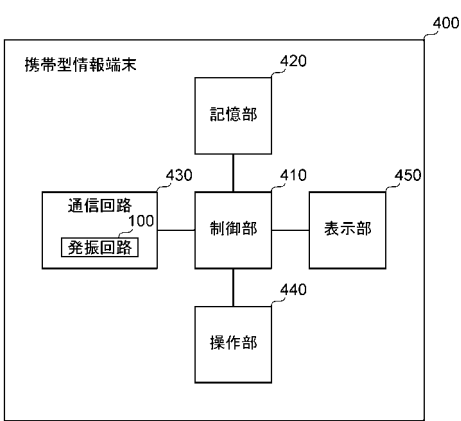


【 図 7 】

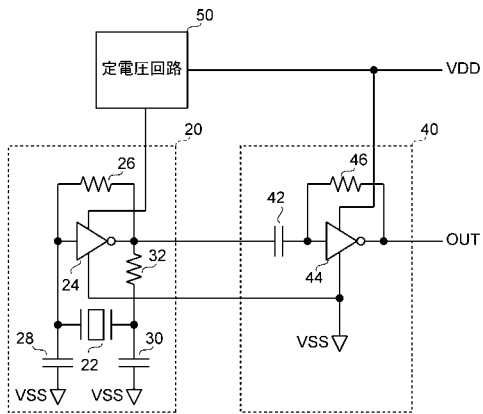


100c

【 図 8 】

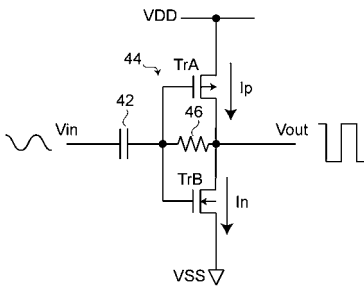


【 図 9 】



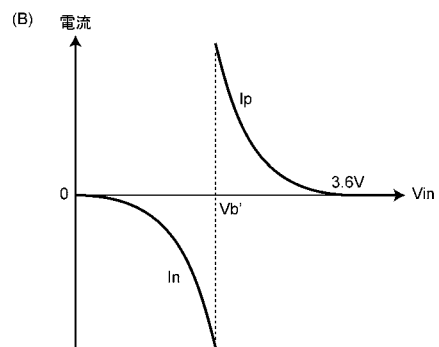
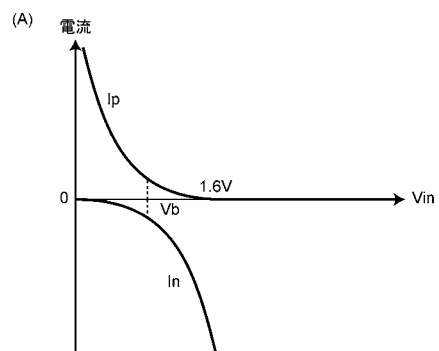
10

【 図 1 0 】



40

【図 1 1】



フロントページの続き

F ターム(参考) 5J056 AA32 BB01 BB17 BB24 CC01 CC02 CC04 CC10 CC16 DD13
DD28 DD51 FF08 KK01 KK03