



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2016년09월30일
 (11) 등록번호 10-1661705
 (24) 등록일자 2016년09월26일

- (51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01)
- (21) 출원번호 10-2010-0000892
- (22) 출원일자 2010년01월06일
 심사청구일자 2014년12월24일
- (65) 공개번호 10-2010-0085840
- (43) 공개일자 2010년07월29일
- (30) 우선권주장
 JP-P-2009-011425 2009년01월21일 일본(JP)
- (56) 선행기술조사문헌
 JP2005252244 A*
 KR1019990030065 A*
 JP2005251912 A*
 JP2009010353 A*
- *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
 가부시끼가이사 한도오따이 에네루기 켄큐쇼
 일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자
 노다 코세이
 일본국 243-0036 가나가와Ken 아쓰기시 하세 398
 가부시끼가이사 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
 황의만

전체 청구항 수 : 총 9 항

심사관 : 류정현

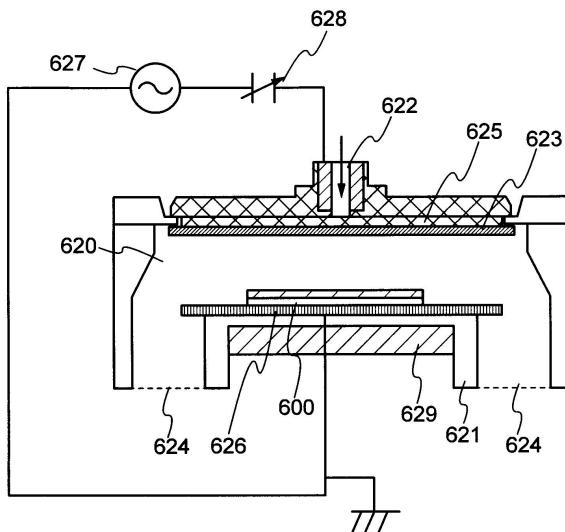
(54) 발명의 명칭 S O I 기판의 제작 방법 및 반도체 장치의 제작 방법

(57) 요약

본 발명은 유리 기판 등 내열 온도가 낮은 기판을 사용하는 경우에도, 실용에 견딜 수 있는 단결정 반도체층을 구비한 반도체 기판의 제작 방법을 제공한다.

단결정 반도체 기판 위에 산화막을 형성하고, 산화막을 사이에 두고, 반도체 기판에 가속된 이온을

(뒷면에 계속)

대 표 도 - 도3

도입함으로써, 반도체 기판 중에 취화 영역을 형성하고, 산화막을 사이에 끼워, 단결정 반도체 기판과 대향하도록 지지 기판을 접합하고, 단결정 반도체 기판을 가열함으로써, 취화 영역에 있어서 단결정 반도체층이 접합된 지지 기판과 단결정 반도체 기판의 일부로 분리하여, 지지 기판에 접합된 단결정 반도체층의 표면에 대하여, 기판 바이어스를 인가하여 제 1 에칭을 행하고, 단결정 반도체층에 대하여 레이저 빔을 조사하고, 단결정 반도체층의 적어도 표면의 일부를 용융한 후, 응고시켜 단결정 반도체층의 표면에 대하여 기판 바이어스를 인가하지 않고 제 2 에칭을 행한다.

명세서

청구범위

청구항 1

SOI 기판의 제작 방법에 있어서,

단결정 반도체 기판 위에 산화막을 형성하는 단계;

상기 단결정 반도체 기판에 취화 영역을 형성하기 위하여, 상기 산화막을 통하여 상기 단결정 반도체 기판에 가속된 이온을 도입하는 단계;

상기 산화막을 사이에 두고, 상기 단결정 반도체 기판과 서로 대향하도록 지지 기판을 접합하는 단계;

상기 단결정 반도체 기판을 가열하고 상기 취화 영역에서 분리함으로써, 상기 지지 기판에 접합된 단결정 반도체층을 형성하는 단계;

상기 지지 기판에 접합된 상기 단결정 반도체층의 표면에 기판 바이어스를 인가하여 제 1 에칭을 행하는 단계;

상기 단결정 반도체층에 레이저 빔을 조사하고, 상기 단결정 반도체층의 상기 표면의 적어도 일부를 용융시켜 응고시키는 단계; 및

상기 단결정 반도체층의 상기 표면에 기판 바이어스를 인가하지 않고 플라즈마를 이용하고 또한 불소계 가스를 사용하여 제 2 에칭을 행함으로써, 상기 제 1 에칭에 의하여 유발된 상기 단결정 반도체층의 상기 표면 상의 불순물이 제거되는 단계를 포함하는, SOI 기판의 제작 방법.

청구항 2

SOI 기판의 제작 방법에 있어서,

단결정 반도체 기판 위에 산화막을 형성하는 단계;

상기 단결정 반도체 기판에 취화 영역을 형성하기 위하여, 상기 산화막을 통하여 상기 단결정 반도체 기판에 가속된 이온을 도입하는 단계;

상기 산화막을 사이에 두고, 상기 단결정 반도체 기판과 서로 대향하도록 지지 기판을 접합하는 단계;

상기 단결정 반도체 기판을 가열하고 상기 취화 영역에서 분리함으로써, 상기 지지 기판에 접합된 단결정 반도체층을 형성하는 단계;

상기 지지 기판에 접합된 상기 단결정 반도체층의 표면에 기판 바이어스를 인가하지 않고 제 1 에칭을 행하는 단계;

상기 단결정 반도체층에 레이저 빔을 조사하고, 상기 단결정 반도체층의 상기 표면의 적어도 일부를 용융시켜 응고시키는 단계; 및

상기 단결정 반도체층의 상기 표면에 기판 바이어스를 인가하지 않고 플라즈마를 이용하고 또한 불소계 가스를 사용하여 제 2 에칭을 행함으로써, 상기 제 1 에칭에 의하여 유발된 상기 단결정 반도체층의 상기 표면 상의 불순물이 제거되는 단계를 포함하는, SOI 기판의 제작 방법.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 1 에칭은 염소계 가스를 사용하거나 불소계 가스를 사용하여 행하는, SOI 기판의 제작 방법.

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

제 1 항 또는 제 2 항에 있어서,

상기 지지 기판은 유리 기판인, SOI 기판의 제작 방법.

청구항 10

삭제

청구항 11

제 1 항 또는 제 2 항에 따른 상기 제작 방법에 의하여 제작된 상기 SOI 기판을 사용하는 반도체 장치의 제작 방법에 있어서,

상기 지지 기판 위에 상기 단결정 반도체층을 포함하는 반도체 소자를 제작하는, 반도체 장치의 제작 방법.

청구항 12

삭제

청구항 13

제 1 항 또는 제 2 항에 있어서,

상기 가속된 이온은 H^+ , H_2^+ , 및 H_3^+ 를 포함하고,

수소 가스로부터 생성되는 이온종(H^+ , H_2^+ , 및 H_3^+)의 총량에 대한 H_3^+ 의 비율은 80% 이상인, SOI 기판의 제작 방법.

청구항 14

제 1 항 또는 제 2 항에 있어서,

상기 산화막은 염소 원자를 함유하는, SOI 기판의 제작 방법.

청구항 15

제 1 항 또는 제 2 항에 있어서,

상기 제 2 예칭은 NF_3 와 N_2 의 혼합 가스를 이용하여 행하는, SOI 기판의 제작 방법.

청구항 16

제 1 항 또는 제 2 항에 있어서,

상기 지지 기판 위에 절연층이 형성되고,

상기 산화막과 상기 절연층을 사이에 두고, 상기 지지 기판과 상기 단결정 반도체 기판이 서로 접합하는, SOI 기판의 제작 방법.

발명의 설명**기술 분야**

[0001] 본 발명은 절연 표면에 단결정 반도체층이 형성된 소위 SOI(Silicon On Insulator) 구조를 갖는 SOI 기판의 제작 방법 및 SOI 구조를 갖는 반도체 장치의 제작 방법에 관한 것이다.

배경 기술

[0002] 단결정 반도체의 잉곳(ingot)을 얇게 슬라이스하여 제작되는 실리콘 웨이퍼 대신에, 절연 표면에 얇은 단결정 반도체층을 형성한 실리콘 온 인슐레이터(이하, "SOI"라고도 함)라고 불리는 반도체 기판을 사용한 집적 회로가 개발되고 있다. SOI 기판을 사용한 집적 회로는, 트랜지스터의 드레인과 기판 사이에 있어서의 기생 용량을 저감하여, 반도체 집적 회로의 성능을 향상시키는 것으로서 주목을 받고 있다.

[0003] SOI 기판을 제작하는 방법으로서는, 수소 이온 주입 박리법이 알려져 있다(예를 들어, 특허문현 1 참조). 수소 이온 주입 박리법은, 실리콘 웨이퍼에 수소 이온을 주입함으로써 표면으로부터 소정의 깊이에 취화 영역을 형성하고, 상기 취화 영역에 있어서 분리함으로써, 다른 실리콘 웨이퍼에 얇은 실리콘층을 접합한다. 또한, 실리콘 층을 박리하는 열 처리를 행하는 것에 덧붙여, 산화성 분위기 하에서의 열처리에 실리콘층에 산화막을 형성한 후에 상기 산화막을 제거하고, 다음에 1000°C 내지 1300°C로 열 처리를 행하여 접합 강도를 높일 필요가 있다고 되어 있다.

[0004] 한편, 고내열성 유리 등의 절연 기판에 실리콘층을 형성한 반도체 장치가 개시되어 있다(예를 들어, 특허문현 2 참조). 이 반도체 장치는, 변형점이 750°C 이상의 결정화 유리의 전체 면을 절연성 실리콘막으로 보호하여, 수소 이온 주입 박리법에 의하여 얻어지는 실리콘층을 상기 절연성 실리콘막 위에 접합된 구성을 갖는다.

[0005] 수소 이온 주입 박리법에 의하여 얻어지는 실리콘층의 표면에는, 취화 영역의 형성을 위한 이온 주입 공정 등에 의한 결함이 존재한다. 그래서, 결함을 제거하기 위하여, 기상(氣相) 예칭에 의하여 제거하는 기술이 개시되어 있다(예를 들어, 특허문현 3 참조).

[0006] [특허문현 1] 일본특개2000-124092호 공보

[0007] [특허문현 2] 일본특개평11-163363호 공보

[0008] [특허문현 3] 일본특개평11-102848호 공보

발명의 내용**해결하려는 과제**

[0009] 그러나, 기상 에칭에 의하여 결함을 제거할 때, 금속 오염 물질이 실리콘층에 부착, 및 확산될 우려가 있다. 또한, SOI 기판 위에 반도체 소자를 형성할 때, 금속 오염 물질이 실리콘층에 잔류되어 벼릴 우려가 있다. 금속 오염 물질은, 반도체 장치가 갖는 성능 및 신뢰성을 저하시키는 원인이 된다.

[0010] 이와 같은 문제점을 감안하여, 본 발명의 일 형태는, 금속 원소 등의 불순물에 의한 오염이 억제된 SOI 기판을 제공하는 것을 과제로 한다. 또한, 상술한 바와 같은 SOI 기판을 사용하여 형성하는 반도체 장치의 성능 및 신뢰성의 저하를 방지하는 것을 과제로 한다.

과제의 해결 수단

[0011] 본 발명의 일 형태는, 단결정 반도체 기판 위에 산화막을 형성하고, 산화막을 사이에 두고, 단결정 반도체 기판에 가속된 이온을 도입함으로써, 단결정 반도체 기판 중에 축화 영역을 형성하고, 산화막을 사이에 끼워, 단결정 반도체 기판과 대향하도록 지지 기판을 접합하고, 단결정 반도체 기판을 가열함으로써, 축화 영역에 있어서 단결정 반도체층이 접합된 지지 기판과 단결정 반도체 기판의 일부로 분리하여, 지지 기판에 접합된 단결정 반도체층의 표면에 대하여, 기판 바이어스를 인가하여 제 1 에칭을 행하고, 단결정 반도체층에 대하여 레이저 빔을 조사하고, 단결정 반도체층의 적어도 표면의 일부를 용융한 후 응고시켜, 단결정 반도체층의 표면에 대하여 기판 바이어스를 인가하지 않고 제 2 에칭을 행하는 것을 포함하는 SOI 기판의 제작 방법이다.

[0012] 또한, 본 발명의 일 형태는, 단결정 반도체 기판 위에 산화막을 형성하고, 산화막을 사이에 두고, 반도체 기판에 가속된 이온을 도입함으로써, 반도체 기판 중에 축화 영역을 형성하고, 산화막을 사이에 끼워, 단결정 반도체 기판과 대향하도록 지지 기판을 접합하고, 단결정 반도체 기판을 가열함으로써, 축화 영역에 있어서 단결정 반도체층이 접합된 지지 기판과 단결정 반도체 기판의 일부로 분리하여, 지지 기판에 접합된 단결정 반도체층의 표면에 대하여, 기판 바이어스를 인가하지 않고 제 1 에칭을 행하고, 단결정 반도체층에 대하여 레이저 빔을 조사하고, 상기 단결정 반도체층의 적어도 표면의 일부를 용융한 후 응고시켜, 단결정 반도체층의 표면에 대하여 기판 바이어스를 인가하지 않고 제 2 에칭을 행하는 것을 포함하는 SOI 기판의 제작 방법이다.

[0013] 또한, 본 발명의 일 형태에 있어서, 제 1 에칭은 염소계 가스를 사용하여 행하는 것이 바람직하다. 또한, 제 2 에칭은 불소계 가스를 사용하여 행하는 것이 바람직하다.

[0014] 또한, 본 발명의 일 형태에 있어서, 제 1 에칭 및 제 2 에칭은 불소계 가스를 사용하여 행하는 것이 바람직하다.

[0015] 본 발명의 일 형태에 있어서, 지지 기판은 유리 기판을 사용할 수 있다.

[0016] 본 명세서에 있어서, 단결정이란, 어느 결정축에 주목한 경우, 그 결정축의 방향이 시료의 어느 부분에 있어서도 같은 방향을 향하는 결정을 가리키고, 또 결정과 결정 사이에 결정립계가 존재하지 않는 결정이다. 또, 본 명세서에서는 결정 결합이나 맹글링 본드를 포함하여도, 상술한 바와 같이 결정축의 방향이 일치하고, 입계가 존재하지 않는 결정인 것은 단결정으로 한다. 또한, 단결정 반도체층의 재단결정화란, 단결정 구조의 단결정 반도체층이, 그 단결정 구조와 상이한 상태(예를 들어, 액상 상태)를 거쳐, 다시 단결정 구조가 되는 것을 말한다. 또는, 단결정 반도체층의 재단결정화란, 단결정 반도체층을 재결정화하여, 단결정 반도체층을 형성한다고 말할 수도 있다.

[0017] 또한, 본 명세서 중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 표시 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치에 포함된다.

[0018] 또한, 본 명세서 중에 있어서 표시 장치란, 발광 장치나 액정 표시 장치를 포함한다. 발광 장치는 발광 소자를 포함하고, 액정 표시 장치는 액정 소자를 포함한다. 발광 소자는 전류 또는 전압에 의하여 휘도가 제어되는 소자를 그 범주에 포함하고, 구체적으로는 무기 EL(Electro Luminescence) 소자, 또는 유기 EL 소자 등이 포함된다.

발명의 효과

[0019] 본 발명의 일 형태는, 단결정 반도체층의 금속 원소 등의 불순물로 인한 오염이 제어된 SOI 기판을 제작할 수 있다. 또한, 상술한 바와 같은 SOI 기판을 사용하여 형성하는 반도체 장치의 성능 및 신뢰성의 저하를 방지할

수 있다.

도면의 간단한 설명

[0020]

도 1(A-1), 도 1(A-2), 도 1(A-3), 도 1(B-1), 도 1(C), 도 1(D)는 본 발명의 일 형태에 따른 SOI 기판의 제작 방법을 설명하는 도면.

도 2(A) 내지 도 2(E)는 본 발명의 일 형태에 따른 SOI 기판의 제작 방법을 설명하는 도면.

도 3은 플라즈마 CVD 장치의 일례를 설명하는 도면.

도 4(A-1), 도 4(A-2), 도 4(A-3), 도 4(B-1), 도 4(B-2), 도 4(B-3), 도 4(C), 도 4(D)는 본 발명의 일 형태에 따른 SOI 기판의 제작 방법을 설명하는 도면.

도 5(A) 내지 도 5(E)는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법을 설명하는 도면.

도 6(A) 내지 도 6(D)는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법을 설명하는 도면.

도 7은 본 발명의 일 형태에 따른 SOI 기판에 의하여 얻어지는 마이크로 프로세서의 구성을 도시한 블록도.

도 8은 본 발명의 일 형태에 따른 SOI 기판에 의하여 얻어지는 마이크로 프로세서의 구성을 도시한 블록도.

도 9(A)는 액정 표시 장치의 화소의 평면도이고, 도 9(B)는 J-K 절단선에 의한 도 9(A)의 단면도.

도 10(A)는 일렉트로 르미네선스 표시 장치의 화소의 평면도이고, 도 10(B)는 J-K 절단선에 의한 도 10(A)의 단면도.

도 11(A) 내지 도 11(F)는 본 발명의 일 형태에 따른 전자 기기를 도시한 도면.

도 12(A) 내지 도 12(C)는 본 발명의 일 형태에 따른 전자 기기를 도시한 도면.

도 13(A) 내지 도 13(D)는 AFM으로 관찰한 단결정 실리콘 기판의 AFM상.

도 14(A)는 MOS 커패시터 구조이고, 도 14(B)는 게이트 내열 특성을 도시한 그래프.

도 15는 2차 이온 질량 분석 결과를 설명하는 도면.

도 16은 2차 이온 질량 분석 결과를 설명하는 도면.

도 17(A) 및 도 17(B)는 용량 TEG를 설명하는 도면.

도 18(A) 및 도 18(B)는 전류-전압(I-V)특성을 측정한 결과를 도시한 도면.

도 19(A) 및 도 19(B)는 전류-전압(I-V)특성을 측정한 결과를 도시한 도면.

도 20(A) 및 도 20(B)는 전계 효과 이동도를 측정한 결과를 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

[0021]

이하에서는, 본 발명의 실시형태에 대하여 도면을 사용하여 상세하게 설명한다. 다만, 본 발명은 이하의 설명에 한정되는 것은 아니고, 본 발명의 취지 및 그 범위로부터 벗어남이 없이 그의 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다. 또한, 이하에 설명하는 본 발명의 구성에 있어서, 같은 부분 또는 같은 기능을 갖는 부분에는 같은 부호를 다른 도면간에서 공통으로 붙이고, 그 반복 설명은 생략한다.

[0022]

(실시형태 1)

[0023]

본 실시형태에서는, 본 발명의 일 형태에 따른 SOI 기판의 제작 방법에 대하여 도면을 참조하여 설명한다.

[0024]

우선, 반도체 기판(101)을 준비한다(도 1(A-1) 참조).

[0025]

반도체 기판(101)은, 단결정 반도체 기판이나 다결정 반도체 기판을 사용할 수 있고, 예를 들어, 단결정 또는

다결정의 실리콘 기판이나 게르마늄 기판, 갈륨 비소나 인듐인 등의 화합물 반도체 기판을 들 수 있다. 시판되는 실리콘 기판으로서는, 직경 5인치(125mm), 직경 6인치(150mm), 직경 8인치(200mm), 직경 12인치(300mm), 직경 16인치(400mm) 사이즈의 원형이 대표적이다. 또, 형상은 원형에 한정되지 않고 직사각형상 등으로 가공한 실리콘 기판을 사용할 수도 있다. 이하의 설명에서는, 반도체 기판(101)으로서 단결정 실리콘 기판을 사용하는 경우에 대하여 나타낸다.

[0026] 또한, 반도체 기판(101)의 표면을 미리 황산 과산화수소수 혼합 용액(SPM), 암모니아 과산화수소수 혼합 용액(APM), 염산 과산화수소수 혼합 용액(HPM), 희불산(DHF), 오존수 등을 사용하여, 적절히 세정하는 것이 오염 제거의 관점에서 바람직하다. 또한, 희불산과 오존수를 교대로 토출하여 세정하여도 좋다.

[0027] 다음에, 반도체 기판(101)의 표면에 산화막(102)을 형성한다(도 1(A-2) 참조).

[0028] 산화막(102)은 예를 들어, 산화 실리콘막, 산화질화 실리콘막 등의 단층, 또는 이들을 적층시킨 막을 사용할 수 있다. 이를 막은, 열 산화법, CVD법 또는 스퍼터링법 등을 사용하여 형성할 수 있다. 또한, CVD법을 사용하여 산화막(102)을 형성하는 경우에는, 테트라에톡시실란(약칭; TEOS: 화학식 $\text{Si}(\text{OC}_2\text{H}_5)_4$) 등의 유기 실란을 사용하여 제작되는 산화 실리콘막을 산화막(102)에 사용하는 것이 생산성의 관점에서 바람직하다.

[0029] 본 실시형태에서는, 반도체 기판(101)에 열 산화 처리를 행함으로써, 산화막(102)(여기서는, SiO_x 막)($x > 0$)을 형성한다(도 1(A-2) 참조). 열 산화 처리는 산화성 분위기 중에 할로겐을 첨가하여 행하는 것이 바람직하다.

[0030] 예를 들어, 염소(Cl)가 첨가된 산화성 분위기 중에서 반도체 기판(101)에 열 산화 처리를 행함으로써 염소 산화된 산화막(102)을 형성한다. 따라서, 산화물(102)은 염소 원자를 함유한 막이 된다.

[0031] 산화막(102) 중에 함유된 염소 원자는, 변형을 형성한다. 결과적으로, 산화막(102)의 수분에 대한 흡수 비율이 향상되고, 확산 속도가 증대한다. 즉, 산화막(102) 표면에 수분이 존재하는 경우에, 상기 표면에 존재하는 수분을 산화막(102) 중에 신속하게 흡수하여, 확산시킬 수 있다.

[0032] 열 산화 처리의 일례로서는, 산소에 대하여 염화수소(HCl)를 0.5체적% 내지 10체적% (바람직하게는 2체적%)의 비율로 포함하는 산화성 분위기 중에서, 900°C 내지 1150°C의 온도(대표적으로는 1000°C)에서 행하면 좋다. 처리 시간은 0.1시간 내지 6시간, 바람직하게는 0.5시간 내지 1시간으로 하면 좋다. 형성되는 산화막의 막 두께로서는, 10nm 내지 1000nm(바람직하게는, 50nm 내지 300nm), 예를 들어, 100nm의 두께로 한다.

[0033] 열 산화 처리의 다른 일례로서는, 산소에 대하여 트랜스-1,2-디클로로에틸렌(DCE)을 0.25체적% 내지 5체적% (바람직하게는, 3체적%)의 비율로 포함하는 산화성 분위기 중에서, 700°C 내지 1150°C의 온도(대표적으로는 950°C)에서 행하면 좋다. 처리 시간은 0.1시간 내지 6시간, 바람직하게는 0.5시간 내지 1시간으로 하면 좋다. 형성되는 산화막의 막 두께로서는, 10nm 내지 1000nm(바람직하게는, 50nm 내지 300nm), 예를 들어, 100nm의 두께로 한다. 트랜스-1,2-디클로로에틸렌은, 열 분해하는 온도가 낮기 때문에, 열 산화 처리의 온도를 저온으로 할 수 있다. 특히, 반도체 기판을 반복하여 재활용하는 경우에는, 열 산화 처리의 온도를 낮게 함으로써, 생산성의 향상과 열 충격의 영향을 저감시킬 수 있다. 또한, 트랜스-1,2-디클로로에틸렌 대신에, 시스-1,2-디클로로에틸렌, 1,1-디클로로에틸렌이나, 이를 중에서 2종류 이상의 가스의 혼합 가스를 사용하여도 좋다.

[0034] 본 실시형태에서는, 산화막(102)에 포함되는 염소 원자의 농도를 $1 \times 10^{17} \text{ atoms/cm}^3$ 내지 $1 \times 10^{21} \text{ atoms/cm}^3$ 가 되도록 제어한다.

[0035] 또한, 산화막(102)에 염소 원자를 함유시킴으로써, 외인성 불순물인 중금속(예를 들어, 철(Fe), 크롬(Cr), 니켈(Ni), 몰리브덴(Mo) 등)을 포집하여 반도체 기판(101)이 오염되는 것을 방지하는 효과를 나타낸다.

[0036] 산화막(102)으로서, HCl 산화 등에 의하여 막 중에 염소 등의 할로겐을 포함시킴으로써, 반도체 기판에 악영향을 주는 불순물(예를 들어, 나트륨(Na) 등의 가동 이온)을 제거할 수 있다. 즉, 산화막(102)을 형성한 후에 행해지는 열 처리에 의하여, 반도체 기판에 포함되는 불순물이 산화막(102)에 석출하여, 할로겐(예를 들어, 염소)과 반응하여 포획되게 된다. 그것에 의하여 산화막(102) 중에 포집된 상기 불순물을 고정하여 반도체 기판(101)의 오염을 방지할 수 있다. 따라서, 산화물(102)은 유리 기판과 접합한 경우에, 유리에 포함되는 나트륨(Na) 등의 불순물을 중화하는 막으로서 기능할 수 있다.

[0037] 특히, 산화막(102)으로서 HCl 산화 등에 의하여 막 중에 염소 등의 할로겐을 포함시키는 것은, 반도체 기판의 세정이 충분하지 않는 경우나, 반복하여 재활용하여 사용되는 반도체 기판의 오염 제거에 유효하다.

[0038] 또한, 열 산화 처리의 가스에 수소를 함유시킴으로써, 반도체 기판(101)과 산화막(102)의 계면의 결함을 보상하

여 계면의 국재 준위 밀도를 저감하는 작용을 나타낸다. 그래서, 산화막(102) 중에 수소 원자가 1×10^{18} atoms/cm³ 이상 포함되도록 하는 것이 바람직하다.

[0039] 상술한 설명에서는, 염소 원자를 함유하는 산화막(102)의 형성 방법으로서, 염화 수소나 디클로로에틸렌을 함유 시킨 산화성 분위기 중에서 열 산화 처리를 행하는 경우를 나타내었지만, 이것에 한정되지 않는다. 예를 들어, 반도체 기판(101)에 산화성 분위기 중에서 열 산화 처리를 행하여, 반도체 기판(101) 표면에 산화막(102)(예를 들어, SiO_x)을 형성한 후, 이온 도핑 장치, 또는 이온 주입 장치를 사용하여 전계에 의하여 가속된 염소 이온을 첨가함으로써, 산화막(102) 중에 염소 원자를 함유시켜도 좋다. 이 외에도, 표면을 염화 수소(HCl) 용액으로 처리한 후에, 산화성 분위기 중에서 열 산화 처리를 행하여도 좋다.

[0040] 또한, 산화막(102)에 함유시키는 할로겐 원자로서는, 염소 원자에 한정되지 않는다. 산화막(102)에 불소 원자를 함유시켜도 좋다. 반도체 기판(101) 표면을 불소 산화하는 데에는, 반도체 기판(101) 표면에 HF 용액에 침지한 후에, 산화성 분위기 중에서 열 산화 처리를 행하거나, NF₃를 산화성 분위기에 첨가하여 열 산화 처리를 행하면 좋다.

[0041] 다음에, 가속된 이온(103)을 반도체 기판(101)에 도입함으로써, 반도체 기판(101)의 소정의 깊이에 결정 구조가 손상된 취화 영역(104)을 형성한다(도 1(A-3) 참조). 도 1(A-3)에 도시한 바와 같이, 산화막(102)을 사이에 두고, 가속된 이온(103)을 반도체 기판(101)에 도입함으로써, 반도체 기판(101) 표면으로부터 소정의 깊이의 영역에 이온(103)이 첨가되어, 취화 영역(104)을 형성할 수 있다. 이온(103)은, 소스 가스를 여기하여, 소스 가스의 플라즈마를 생성하고, 이 플라즈마에 포함되는 이온을 전계의 작용에 의하여 플라즈마로부터 인출하여 가속된 이온이다.

[0042] 취화 영역(104)이 형성되는 영역의 깊이는, 이온(103)의 운동 에너지, 이온의 질량, 이온(103)의 입사각에 따라 조절할 수 있다. 운동 에너지는 가속 전압 등에 의하여 조절할 수 있다. 이온(103)의 평균 침입 깊이와 대략 같은 깊이의 영역에 취화 영역(104)이 형성된다. 그래서, 이온(103)을 첨가하는 깊이로, 단결정 반도체 기판(101)으로부터 분리되는 단결정 반도체층의 두께가 결정된다. 이 단결정 반도체층의 두께가 110nm 이상 500nm 이하, 바람직하게는 50nm 이상 200nm 이하가 되도록, 취화 영역(104)이 형성되는 깊이를 조절한다.

[0043] 취화 영역(104)의 형성은, 이온 도핑 처리로 행할 수 있다. 이온 도핑 처리에는, 이온 도핑 장치를 사용하여 행할 수 있다. 이온 도핑 장치의 대표적인 장치는, 프로세스 가스를 플라즈마 여기하여 생성된 모든 이온종을 챔버 내에 배치된 피처리체에 조사하는 비질량 분리형 장치이다. 이 장치가 비질량 분리형 장치인 이유는, 플라즈마 중의 이온종을 질량 분리하지 않고, 모든 이온종을 피처리체에 조사하기 때문이다. 이것에 대하여, 이온 주입 장치는 질량 분리형 장치이다. 이온 주입 장치는, 플라즈마 중의 이온종을 질량 분리하여, 어느 특정의 질량의 이온종을 피처리체에 조사하는 장치이다.

[0044] 이온 도핑 장치의 주요한 구성은, 피처리물을 배치하는 챔버, 원하는 이온을 발생시키는 이온원, 및 이온을 가속하고, 조사하기 위한 가속 기구이다. 이온원은, 원하는 이온종을 생성하기 위한 소스 가스를 공급하는 가스 공급 장치, 소스 가스를 여기하고, 플라즈마를 생성시키기 위한 전극 등으로 구성된다. 플라즈마를 형성하기 위한 전극으로서, 필라멘트형의 전극이나 용량 결합 고주파 방전용 전극 등이 사용된다. 가속 기구는, 인출 전극, 가속 전극, 감속 전극, 접지 전극 등의 전극 등, 및 이들의 전극에 전력을 공급하기 위한 전원 등으로 구성된다. 가속 기구를 구성하는 전극에는 복수의 개구나 슬릿이 형성되고, 이온원에서 생성된 이온은 전극에 형성된 개구나 슬릿을 통과하여 가속된다. 또한, 이온 도핑 장치의 구성은 상술한 것에 한정되지 않고, 필요에 따른 기구가 설치된다.

[0045] 본 실시형태에서는, 이온 도핑 장치에서 수소를 반도체 기판(101)에 첨가한다. 플라즈마 소스 가스로서 수소를 포함하는 가스를 공급한다. 예를 들어, H₂를 공급한다. 수소 가스를 여기하여 플라즈마를 생성하고, 플라즈마 중에 포함되는 이온을 질량 분리하지 않고 가속하고, 가속된 이온을 반도체 기판(101)에 도입한다.

[0046] 이온 도핑 장치에 있어서, 수소 가스로 생성되는 이온종(H⁺, H₂⁺, H₃⁺)의 총량에 대하여 H₃⁺의 비율을 50% 이상으로 한다. 보다 바람직하게는, 그 H₃⁺의 비율을 80% 이상으로 한다. 이온 도핑 장치는 질량 분리를 행하지 않기 때문에, 플라즈마 중에 생성되는 복수의 이온종 중, 1개(H₃⁺)를 50% 이상으로 하는 것이 바람직하고, 80% 이상으로 하는 것이 바람직하다. 같은 질량의 이온을 첨가함으로써, 반도체 기판(101)의 같은 깊이에 집중시켜 이온

을 첨가할 수 있다.

[0047] 취화 영역(104)을 얇은 영역에 형성하기 위해서는, 이온(103)의 가속 전압을 낮게 할 필요가 있지만, 플라즈마 중의 H_3^+ 이온의 비율을 높임으로써, 취화 영역(104)을 얇은 영역에 형성할 수 있다. H_3^+ 이온은, H^+ 이온의 3배의 질량을 갖기 때문에, 가속 전압이 같은 경우, H^+ 이온과 비교하여 H_3^+ 이온이 얇은 영역에 첨가되기 때문이다.

[0048] 또한, H_3^+ 이온은 H^+ 이온의 3배의 질량을 갖기 때문에, 같은 깊이에 수소 원자를 하나 첨가하는 경우, H_3^+ 이온의 가속 전압은 H^+ 이온의 가속 전압의 3배로 하는 것이 가능하게 된다. 이온의 가속 전압을 크게 할 수 있으면, 이온의 조사 공정의 택트 타임(tact time)을 단축할 수 있으므로, 생산성이나 스루풋의 향상을 도모할 수 있다. 따라서, H_3^+ 이온의 비율을 높임으로써, 원자상(原子狀) 수소(H)를 효율 좋게 반도체 기판(101)에 첨가할 수 있다.

[0049] 이온 도핑 장치는 저렴하고, 대면적 처리가 우수하기 때문에, 이와 같은 이온 도핑 장치를 사용하여 H_3^+ 를 조사 함으로써, 반도체 특성의 향상, 대면적화, 저비용화, 생산성 향상 등의 현저한 효과를 얻을 수 있다. 또한, 이온 도핑 장치를 사용한 경우, 중금속도 동시에 도입될 우려가 있지만, 염소 원자를 함유하는 산화막(102)을 사이에 두고, 이온의 조사를 행함으로써, 상술한 바와 같이 이들의 중금속에 의한 반도체 기판(101)의 오염을 방지할 수 있다.

[0050] 또한, 가속된 이온(103)을 반도체 기판(101)에 도입하는 공정은, 이온 주입 장치로 행할 수도 있다. 이온 주입 장치는, 챔버 내에 배치된 피처리체에 소스 가스를 플라즈마 여기하여 생성된 복수의 이온종을 질량 분리하고, 특정의 이온종을 도입하는 질량 분리형의 장치이다. 따라서, 이온 주입 장치를 사용하는 경우는, 수소 가스나 PH_3 를 여기하여 생성된 H^+ 이온 및 H_2^+ 이온을 질량 분리하고, H^+ 이온 또는 H_2^+ 이온의 한쪽의 이온을 가속하여 반도체 기판(101)에 도입한다.

[0051] 다음에 지지 기판(121)을 준비한다(도 1(B-1) 참조).

[0052] 지지 기판(121)은, 절연체로 이루어지는 기판을 사용한다. 구체적으로는, 알루미노 실리케이트 유리, 알루미노 봉규산 유리, 바륨 봉규산 유리와 같은 전자 공업용으로 사용되는 각종 유리 기판, 석영 기판, 세라믹 기판, 사파이어 기판을 들 수 있다. 본 실시형태에서는, 유리 기판을 사용하는 경우에 대하여 설명한다. 지지 기판(121)으로서 대면적화가 가능하고, 저렴한 값의 유리 기판을 사용함으로써, 실리콘 웨이퍼를 사용하는 경우와 비교하여 저비용화를 도모할 수 있다.

[0053] 또한, 지지 기판(121)을 사용할 때, 지지 기판(121)의 표면을 미리 세정하는 것이 바람직하다. 구체적으로는, 지지 기판(121)을 황산 과산화수소수 혼합 용액(SPM), 암모니아 과산화수소수 혼합 용액(APM), 염산 과산화수소수 혼합 용액(HPM), 희불산(DHF), 오존수 등을 사용하여 초음파 세정을 행한다. 예를 들어, 지지 기판(121)의 표면에 염산과수를 사용하여 초음파 세정을 행하는 것이 바람직하다. 이와 같은 세정 처리를 행함으로써, 지지 기판(121) 표면의 평탄화나 잔존하는 연마 입자를 제거할 수 있다.

[0054] 또한, 반도체 기판(101) 표면과 지지 기판(121) 표면을 대향시킴으로써, 산화막(102) 표면과 지지 기판(121) 표면을 접합시킨다(도 1(C) 참조).

[0055] 여기서는, 반도체 기판(101)과 지지 기판(121)을 밀접시킨 후, 반도체 기판(101)의 1개소에 $1N/cm^2$ 내지 $50N/cm^2$, 바람직하게는 $1N/cm^2$ 내지 $20N/cm^2$ 정도의 압력을 가한다. 압력을 가한 부분으로부터 산화막(102)과 지지 기판(121)이 접합하기 시작하고, 자발적으로 접합이 형성되어 대략 전체 면에 미친다. 이 접합 공정은, 반데르발스 힘(van der Waals' force)이나 수소 결합이 작용하고, 열 처리를 동반하지 않으며, 상온에서 행할 수 있기 때문에, 지지 기판(121)으로서 유리 기판과 같이 내열 온도가 낮은 기판을 사용할 수 있다.

[0056] 또한, 반도체 기판(101)과 지지 기판(121)을 접합시키기 전에, 반도체 기판(101) 위에 형성된 산화막(102)과, 지지 기판(121) 표면 처리를 행하는 것이 바람직하다. 표면 처리로서는, 오존 처리(예를 들어, 오존수 세정), 메가소닉 세정, 2유체 세정(순수(純水)나, 수소 첨가수 등의 기능수를 질소 등의 캐리어 가스와 함께 분사하는 방법) 또는 이들을 조합하여 행할 수 있다. 또한, 오존수 세정과 불산에 의한 세정을 여러 번 반복하여 행하여

도 좋다. 특히, 상술한 바와 같이, 산화막(102), 지지 기판(121) 표면에 플라즈마 처리를 행한 후, 표면 처리를 행함으로써, 산화막(102), 지지 기판(121) 표면의 유기물 등의 먼지를 제거하여, 표면을 친수화할 수 있다. 결과적으로, 산화막(102)과 지지 기판(121)의 접합 강도를 향상시킬 수 있다.

[0057] 또한, 지지 기판(121)에 반도체 기판(101)을 접합시킨 후, 산화막(102)과 지지 기판(121)의 접합 강도를 향상시키기 위한 열 처리를 행하는 것이 바람직하다. 이 열 처리의 온도는, 취화 영역(104)에 균열을 발생시키지 않는 온도로 하고, 예를 들어, 실온 이상 400°C 미만의 온도 범위에서 처리한다. 또한, 이 온도범위에서 가열하면서, 산화막(102)과 지지 기판(121)을 접합시켜도 좋다. 열 처리에는, 확산로, 저항 가열로 등의 가열로, RTA(순간 열 어닐링, Rapid Thermal Anneal) 장치, 마이크로파 가열 장치 등을 사용할 수 있다.

[0058] 일반적으로, 산화막(102)과 지지 기판(121)을 접합하는 것과 동시에, 또는 접합시킨 후에 열 처리를 행하면, 접합 계면에 있어서 탈수 반응이 진행됨으로써 접합 계면끼리가 가까워지고, 수소 결합의 강화나 공유 결합이 형성됨으로써, 접합이 강화된다. 탈수 반응을 촉진하기 위해서는, 탈수 반응에 의하여 접합 계면에 생기는 수분을, 고온으로 열 처리를 행함으로써 제거할 필요가 있다. 즉, 접합 후의 열 처리 온도가 낮은 경우에는, 탈수 반응에 의하여 접합 계면에 생기는 수분을 효과적으로 제거할 수 없기 때문에, 탈수 반응이 진행되지 않고, 접합 강도를 충분히 향상시키기 어렵다.

[0059] 한편, 산화막(102)으로서 염소 원자 등을 함유시킨 산화막을 사용한 경우, 상기 산화막(102)이 수분을 흡수하여 확산시킬 수 있기 때문에, 접합 후의 열 처리를 저온으로 행하는 경우에도, 탈수 반응에 의하여 접합 계면에 생긴 수분을 산화막(102)에 흡수, 확산시켜 탈수 반응을 효과적으로 촉진시킬 수 있다. 이 경우, 지지 기판(121)으로서, 유리 등의 내열성이 낮은 기판을 사용한 경우에도, 산화막(102)과 지지 기판(121)을 접합 강도를 충분히 향상시키는 것이 가능하게 된다.

[0060] 다음에, 열 처리를 행하고, 취화 영역(104)에 있어서 분리(벽개)함으로써, 지지 기판(121) 위에 산화막(102)을 사이에 두고, 단결정 반도체층(123)(여기서는, 단결정 실리콘층)을 형성한다(도 1(D) 참조).

[0061] 열 처리를 행함으로써, 온도 상승에 의하여 취화 영역(104)에 형성되어 있는 미소한 구멍에는, 첨가한 원소가 석출되고, 내부의 압력이 상승한다. 압력의 상승에 의하여, 취화 영역(104)의 미소한 구멍에 체적 변화가 일어나, 취화 영역(104)에 균열이 생기기 때문에, 취화 영역(104)에 있어서 반도체 기판(101)이 벽개한다. 산화막(102)은, 지지 기판(121)에 접합하므로, 지지 기판(121) 위에는 반도체 기판(101)으로부터 분리된 단결정 반도체층(123)이 형성된다. 또한, 여기서의 열 처리의 온도는, 지지 기판(121)의 변형점을 넘지 않는 온도로 한다.

[0062] 이 열 처리에는, 확산로, 저항 가열로 등의 가열로, RTA(순간 열 어닐링, Rapid Thermal Anneal) 장치, 마이크로파 가열 장치 등을 사용할 수 있다. 예를 들어, RTA 장치를 사용하는 경우, 가열 온도 550°C 이상 730°C 이하, 처리시간 0.5분 이상 60분 이내에서 행할 수 있다.

[0063] 또한, 상술한 지지 기판(121)과 산화막(102)의 접합 강도를 향상시키기 위한 열 처리를 행하지 않고, 도 1(D)의 열 처리를 행함으로써, 산화막(102)과 지지 기판(121)의 접합 강도의 향상을 위한 열 처리 공정과, 취화 영역(104)에 있어서의 분리의 열 처리 공정을 동시에 행하여도 좋다.

[0064] 이상의 공정에 의하여 지지 기판(121) 위에 산화막(102)을 사이에 두고, 단결정 반도체층(123)이 형성된 SOI 기판을 제작할 수 있다. 본 실시형태에서 나타낸 제작 방법을 사용함으로써, 절연층(102)을 접합층으로서 사용한 경우에도, 지지 기판(121)과 단결정 반도체층(123)의 접합 강도를 향상시켜, 신뢰성을 향상시킬 수 있다. 결과적으로, 지지 기판(121) 위에 형성되는 단결정 반도체층(123)으로의 불순물의 확산을 억제하는 것과 함께, 지지 기판(121)과 단결정 반도체층(123)이 강고하게 밀착한 SOI 기판을 형성할 수 있다.

[0065] 또한, 반도체 기판 측에 염소 등의 할로겐을 갖는 산화막을 형성함으로써, 제작 공정을 간략화하는 것과 함께, 지지 기판과의 접합 전에 상기 반도체 기판에 불순물 원소가 침입하는 것을 억제할 수 있다. 또한, 반도체 기판 측에 형성되는 접합층으로서, 염소 등의 할로겐을 갖는 산화막을 형성함으로써, 접합 후의 열 처리를 저온으로 행하는 경우에도, 탈수 반응을 효율 좋게 촉진시킴으로써, 접합 강도를 향상시킬 수 있다.

[0066] 다음에, 지지 기판에 접합된 단결정 반도체층(123) 표면에 잔존하는 결정 결함을 예청에 의하여 제거한다. 도 2(A)에 도시한 단결정 반도체층(123) 표면에는, 취화 영역(104)의 형성을 위한 이온 첨가 공정이나, 분리 공정에 의한 결함이 존재하여, 단결정 반도체층 표면의 평탄성은 손상된다. 이와 같은 평탄성이 손실된 단결정 반도체층(123) 표면에 샾고, 또 절연 내압이 높은 게이트 절연층을 형성하는 것은 어렵다. 또한, 단결정 반도체층(123)에 결함이 존재하는 경우에는, 게이트 절연층과의 계면에 있어서의 국재 준위 밀도가 높아지는 등, 트랜지스터의 성능 및 신뢰성에 악영향을 줄 우려가 있다. 그래서, 단결정 반도체층(123)의 결함을 제거하는 처리

를 행한다. 또한, 도 2(A)에 있어서, 단결정 반도체층(123)의 표면의 요철 형상은, 표면이 거칠고, 평탄성이 나쁜 것을 특징적으로 나타내고 있을 뿐이며, 실제적으로 형상은 이것에 한정되지 않는다. 또한, 분리 공정에 의하여 얻어지는 단결정 반도체층(123)의 막 두께는, 130nm 내지 140nm 정도이다.

[0067] 그래서, 단결정 반도체층(123) 표면에 존재하는 결함을 제거하기 위하여, 단결정 반도체층(123) 표면에 제 1 에칭을 행한다(도 2(B) 참조). 본 실시형태에서는, 예를 들어, 반응성 이온 에칭(RIE: Reactive Ion Etching)법, ICP(Inductively Coupled Plasma) 에칭법, ECR(Electron Cyclotron Resonance) 에칭법, 평행평판형(용량 결합형) 에칭법, 마그네트론 플라즈마 에칭법, 2주파 플라즈마 에칭법 또는 헬리콘파 플라즈마 에칭법 등의 드라이 에칭법을 사용한다.

[0068] 단결정 반도체층(123)에 대하여 에칭을 행하여, 단결정 반도체층 표면을 제거함으로써, 단결정 반도체층 표면에 형성된 결함의 제거를 행할 수 있고, 단결정 반도체층의 표면 거칠기를 저감할 수 있다. 예를 들어, ICP 에칭 법을 사용하는 경우, 에칭 가스인 염소의 유량 40sccm 내지 100sccm, 코일형의 전극에 투입하는 전력 100W 내지 200W, 하부 전극(바이어스 측)에 투입하는 전력 40W 내지 100W, 반응 압력 0.5Pa 내지 1.0Pa로 하면 좋다. 에칭 가스에는, 염소, 염화 봉소, 염화 실리콘 또는 사염화 탄소 등의 염소계 가스, 사불화 탄소, 불화 유황 또는 불화 질소 등의 불소계 가스, 산소 등을 적절히 사용할 수 있다. 단결정 반도체층에 존재하는 결함의 크기나 깊이는, 이온을 첨가하는 에너지의 크기나 도즈량에 기인한다. 따라서, 제 1 에칭에 의하여 제거하는 막 두께는, 제 1 에칭 전의 단결정 반도체층(123)의 막 두께와 그 표면 거칠기의 정도에 따라 적절하게 설정하면 좋다.

[0069] 도 2(B)의 제 1 에칭 처리는, 다음과 같이 행할 수 있다. 에칭 가스인 염소의 유량 100sccm, 코일형의 전극에 투입하는 전력 150W, 하부 전극에 투입하는 전력 40W, 반응압력 1.0Pa로 함으로써, 단결정 반도체층(123)을 120nm 정도까지 제거한다.

[0070] 단결정 반도체 기판을 분리함으로써 지지 기판에 접합된 단결정 반도체층 표면에 제 1 에칭을 행함으로써, 이온 첨가 공정이나 분리 공정에 의한 결함을 제거할 수 있고, 단결정 반도체층의 표면 거칠기를 저감할 수 있다.

[0071] 또한, 지지 기판(121)에 접합된 단결정 반도체층(123) 중에는, 취화 영역(104)의 형성, 및 취화 영역(104)에 있어서의 분리에 의하여, 결정 결함이 형성되어 있다. 단결정 반도체층(123) 중의 결정 결함을 저감, 및 단결정 반도체층(123) 중의 결정성의 회복을 위하여, 도 2(C)에 도시한 바와 같이, 단결정 반도체층(123)에 레이저 빔(107)을 조사한다.

[0072] 화살표시(108)로 도시한 바와 같이, 지지 기판(121)을 이동시켜, 레이저 빔(107)을 단결정 반도체층(123)에 대하여 주사하면서, 레이저 빔(107)을 단결정 반도체층(123) 표면에 대하여 조사한다. 레이저 빔(107)의 조사에 의하여, 단결정 반도체층(123)의 일부 또는 깊이 방향의 층 전체를 용융시킨다. 단결정 반도체층을 용융시킴으로써 표면 장력의 작용에 의하여, 평탄성이 향상된다. 도 2(C)에서는 모식적으로 단결정 반도체층의 일부가 용융한 모양을 도시하고 있고, 점선으로 둘러싸인 부분(109)의 적어도 일부는 실리콘의 융점 1410°C를 넘어 액상으로 되어 있는 것을 도시한다.

[0073] 레이저 빔(107)을 단결정 반도체층의 상면 측으로부터 조사함으로써, 단결정 반도체층의 상면을 용융시킬 수 있다. 용융시킨 후, 단결정 반도체층이 냉각, 고화됨으로써, 그 상면의 평탄성이 향상된 단결정 반도체층이 얻어진다. 레이저 빔(107)을 사용함으로써, 지지 기판(121)이 직접 가열되지 않기 때문에, 상기 지지 기판(121)의 온도 상승을 억제할 수 있다. 그래서, 유리 기판과 같은 내열성이 낮은 기판을 지지 기판(121)에 사용할 수 있다.

[0074] 레이저 빔(107)의 조사에 의한 단결정 반도체층(123)의 용융은 완전 용융과 부분 용융의 어느 쪽이라도 좋다. 여기서, 완전 용융이란, 단결정 반도체층이 하부 계면 부근까지 용융되어 액체 상태가 되는 것을 가리킨다. 한편, 부분 용융이란, 이 경우, 단결정 반도체층의 상부는 용융되어 액상이 되지만, 하부는 용융되지 않고 그대로 고상인 것을 가리킨다. 바람직하게는, 상층(표층 측)이 용융하여 액상이 되고, 하층(지지 기판 측)이 용융되지 않고 고상이 되는 부분 용융으로 함으로써, 고상 부분으로부터 결정 성장을 진행시킬 수 있다. 이로써, 단결정 반도체층 중의 결함을 감소시킬 수 있다.

[0075] 상기 레이저 빔의 조사에는, 펄스 발진 레이저를 사용하는 것이 바람직하다. 이것은, 순간적으로 고에너지의 펄스 레이저 빔을 발진할 수 있고, 용융 상태를 만들어 내는 것이 용이하게 되기 때문이다. 발진 주파수는, 1Hz 이상 10MHz 이하 정도로 하는 것이 바람직하다.

[0076] 이렇게 하여, 단결정 반도체층(123)에 레이저 빔을 조사함으로써, 단결정 반도체층의 일부 또는 전부를 용융시켜, 재단결정화시켜 더욱 좋은 단결정 반도체층을 얻을 수 있다(도 2(D) 참조). 이것에 의하여, 이온의 첨가에

기인하는 결함을 저감하여, 단결정 반도체층의 결정성이 회복된 단결정 반도체층으로 할 수 있다. 또한, 레이저 빔을 조사하기 전에 에칭 처리를 행함으로써, 단결정 반도체층의 용융시에, 결함이나 데미지를 단결정 반도체층 중에 받는 것을 막을 수 있다.

[0077] 이와 같이, 레이저 빔을 조사함으로써, 지지 기판 표면을 단시간에 가열하여, 단시간에 냉각할 수 있기 때문에, 지지 기판의 온도 상승이 억제되고, 유리 기판과 같은 내열성이 낮은 기판을 지지 기판에 사용하는 것이 가능하게 된다. 따라서, 이온 첨가 공정에 의한 단결정 반도체층 중의 데미지를 충분히 회복시킬 수 있다.

[0078] 다음에, 후에 형성되는 반도체 소자에 있어서 최적이 되는 막 두께까지 단결정 반도체층(123)을 박막화하기 위한 처리를 행한다(도 2(E) 참조). 박막화 공정은, 기판 바이어스를 인가하지 않는 에칭(제 2 에칭이라고 기재함)으로 행하는 것이 바람직하다.

[0079] 도 3은, 실시형태에서 사용되는 장치의 일례로서, 평행평판형(용량 결합형) 플라즈마 CVD 장치의 구성의 일례를 도시한다. 도 3에 도시한 플라즈마 CVD 장치는, 처리실(620)과, 스테이지(621)와, 가스 공급부(622)와, 샤워 플레이트(623)와, 배기구(624)와, 상부 전극(625)과, 하부 전극(626)과, 교류 전원(627)과, 매칭 컨트롤러(628), 온도 제어부(629)를 갖는다. 상부 전극(625)과 하부 전극(626)의 간격은 대략 10mm 내지 70mm이다.

[0080] 도 3에 도시한 플라즈마 CVD 장치에 의하여 처리를 행할 때에는, 소정의 가스를 가스 공급부(622)로부터 공급한다. 가스는, 샤워 플레이트(623)를 통하여 처리실(620)에 도입된다. 상부 전극(625)과 하부 전극(626)에 접속된 교류 전원(627)에 의하여 고주파 전력이 인가되고, 처리실(620) 내의 가스가 여기되어, 플라즈마가 생성된다. 또한, 진공 펌프에 접속된 배기구(624)에 의하여, 처리실(620) 내의 가스가 배기된다. 또한, 온도 제어부(629)를 사용함으로써 피처리물을 가열하면서 에칭하는 것이 가능하게 된다. 또한, 하부 전극(626)은 접지되어 있다.

[0081] 도 3에 도시한 플라즈마 CVD 장치에서 행하는 경우, 단결정 반도체층(123)의 에칭 처리는, NF₃와 N₂의 혼합 가스 중에서 행한다. 이때, 처리실(620)에 도입되는 NF₃의 유량에 대하여 N₂의 유량을 대략 40배로 하면 좋고, 예를 들어, N₂의 유량을 400sccm로 하고, NF₃의 유량을 10sccm로 하면 좋다.

[0082] 또한, 제 2 에칭의 조건은, RF 파워를 15W 내지 50W(전원 주파수: 13.56MHz로 하고, 제 2 에칭시의 처리실(620)의 압력을 65Pa 내지 100Pa, 기판간 거리를 21mm 내지 30mm, 지지 기판(121)의 온도를 200°C로 할 수 있고, 구체적으로는 RF 파워를 50W(13.56MHz)로 하고, 제 2 에칭시의 처리실(620)의 압력을 65Pa, 기판간 거리를 30mm, 기판 온도를 200°C로 할 수 있다.

[0083] 제 2 에칭에 의하여, 단결정 반도체층의 막 두께는 5nm 이상 100nm 이하로 하는 것이 바람직하고, 5nm 이상 60nm 이하가 더욱 바람직하다. 이와 같이, 제 2 에칭을 행함으로써, 후에 형성되는 반도체 소자에 있어서 최적이 되는 막 두께까지 단결정 반도체층(123)을 박막화할 수 있다.

[0084] 단결정 반도체층(123)을 에칭할 때, 기판 바이어스를 인가함으로써, 단결정 반도체층(123)에 플라즈마 데미지가 주어질 우려가 있다. 또한, 불순물이 단결정 반도체층 중에 도입될 우려가 있다. 그러나, 본 발명의 일 형태에서는, 기판 바이어스를 인가하지 않고, 단결정 반도체층(123)을 에칭하기 때문에, 플라즈마 데미지를 받지 않도록 단결정 반도체층(123)을 에칭할 수 있다. 또한, 단결정 반도체층 표면에 존재하는 불순물이, 단결정 반도체층 중에 도입되는 것을 억제할 수 있다. 또한, 불순물이 단결정 반도체층 중에 도입됨으로써, 발생되는 반도체 장치의 성능 및 신뢰성의 저하를 방지할 수 있다.

[0085] 또한, NF₃ 가스를 사용하여 행하는 에칭 처리를 적용함으로써, 단결정 반도체층에 형성되는 댱글링 본드가 불소에 의하여 종단되어, 전기적 특성을 향상시킬 수 있다. 또한, 단결정 반도체층(123) 표면의 평탄성을 향상시킬 수 있다.

[0086] 박막화 공정 후, 단결정 반도체층(123)에 500°C 이상 700°C 이하의 열 처리를 행하는 것이 바람직하다. 이 열 처리에 의하여, 레이저 빔(107)의 조사로 회복되지 않은 단결정 반도체층(123)의 결함 소멸, 단결정 반도체층(123)의 변형을 완화할 수 있다. 또한, 이 열 처리에는 RTA장치로서는, 고온의 가스를 이용하여 열 처리를 행하는 GRTA(Gas Rapid Thermal Anneal) 장치, 또는 램프 광에 의하여 열 처리를 행하는 LRTA(Lamp Rapid Thermal Anneal) 장치를 사용할 수 있다. 예를 들어, 저항 가열로를 사용한 경우는, 600°C에서 4시간 가열하면 좋다.

[0087] 이상의 공정에 의하여, 도 2(E)에 도시한 SOI 기판을 제작할 수 있다.

- [0088] 본 실시형태에서는, 제 1 예칭은 기판 바이어스를 인가하여 행하는 경우에 대하여 설명하였지만, 본 발명의 일 형태는 이것에 한정되지 않는다. 제 1 예칭에 있어서도, 기판 바이어스를 인가하지 않고, 예칭을 행할 수 있다.
- [0089] 제 1 예칭에 있어서도, 기판 바이어스를 인가하지 않고, 예칭을 행함으로써, 플라즈마 데미지를 받지 않도록 단결정 반도체층(123)을 예칭할 수 있다. 또한, 단결정 반도체층 표면에 존재하는 불순물이 단결정 반도체층에 도입되는 것을 억제할 수 있다. 또한, 불순물이 단결정 반도체층 중에 도입됨으로써 발생되는 반도체 장치의 성능 및 신뢰성의 저하를 방지할 수 있다.
- [0090] 본 발명의 일 형태에 의하여, 단결정 반도체층의 금속 원소 등의 불순물로 인한 오염을 억제된 SOI 기판을 제작할 수 있다. 또한, 이와 같은 SOI 기판을 사용하여 형성되는 반도체 장치의 성능 및 신뢰성의 저하를 방지할 수 있다.
- [0091] 또한, 본 실시형태에서 나타낸 SOI 기판의 제작 방법은, 본 명세서의 다른 실시형태에서 나타내는 제작 방법과 적절히 조합하여 행할 수 있다.
- [0092] (실시형태 2)
- [0093] 본 실시형태에서는, 상기 실시형태와 다른 SOI 기판의 제작 방법에 관하여 도면을 참조하여 설명한다.
- [0094] 우선, 표면에 산화막(102)이 형성되고, 소정의 깊이에 취화 영역(104)이 형성된 반도체 기판(101)을 준비한다(도 4(A-1) 내지 도 4(A-3) 참조). 또한, 도 4(A-1) 내지 도 4(A-3)은 상기 도 1(A-1) 내지 도 1(A-3)과 마찬가지로 행할 수 있다.
- [0095] 다음에, 지지 기판(121)을 준비한다(도 4(B-1) 참조). 또한, 도 4(B-1)은 상기 도 1(B-1)과 마찬가지로 행할 수 있다.
- [0096] 다음에, 지지 기판(121) 표면에 절연층(122)을 형성한다(도 4(B-2) 참조). 절연층(122)은 예를 들어, 질화 실리콘막(SiN_x) 또는 질화산화 실리콘막(SiN_xO_y) ($x>y$) 등의 질소를 함유하는 절연층으로 형성하는 것이 바람직하다.
- [0097] 본 실시형태에 있어서, 절연층(122)은 반도체 기판(101) 위에 형성된 산화막(102)과 접합되는 층(접합층)이 된다. 또한, 절연층(122)은, 후에 지지 기판 위에 단결정 구조를 갖는 단결정 반도체층(이하, "단결정 반도체 층"이라고 기재함)을 형성하였을 때, 지지 기판에 포함되는 나트륨(Na) 등의 불순물이 단결정 반도체층으로 확산되는 것을 막기 위한 배리어층으로서도 가능한다.
- [0098] 다음에, 반도체 기판(101) 위에 형성된 산화막(102) 또는 지지 기판(121) 위에 형성된 절연층(122)의 적어도 한 쪽의 표면에 플라즈마 처리를 행하는 것이 바람직하다. 본 실시형태에서는, 지지 기판(121) 위에 형성된 절연층(122) 표면에 대하여 플라즈마 처리를 행하는 경우에 대하여 설명한다(도 4(B-3) 참조).
- [0099] 플라즈마 처리는, 진공 상태의 챔버에 불활성 가스(예를 들어, 아르곤(Ar) 가스) 및/또는 반응성 가스(예를 들어, 산소(O_2) 가스, 질소(N_2) 가스)를 도입하고, 피처리면에 바이어스 전압을 인가하여 플라즈마 상태로 하여 행한다.
- [0100] 예를 들어, 산소 플라즈마 처리를 행하는 경우, 진공 상태의 챔버에 가스를 도입하여, 피처리면에 바이어스 전압을 인가하여 플라즈마 상태로서 행한다. 플라즈마 중에는, 산소의 양 이온이 존재하고, 음극 방향(반도체 기판(101) 측)에 산소의 양 이온이 가속된다. 가속된 산소의 양 이온이 피처리면에 충돌함으로써, 피처리면의 유기물 등의 불순물을 제거하여, 피처리면을 활성화할 수 있다.
- [0101] 또한, 지지 기판(121) 위의 절연층(122)에 플라즈마 처리를 행한 경우, 질소를 함유하는 절연층(122) 표면의 소수성을 갖는 SiN , SiH_3 을 감소시켜, 친수성을 갖는 SiO_x 를 증가시킬 수 있기 때문에, 질소를 함유하는 절연층(122)을 접합층으로 한 경우에도, 접합 강도를 향상시킬 수 있다.
- [0102] 그 후, 반도체 기판(101) 표면과 지지 기판(121) 표면을 대향시켜, 산화막(102) 표면과 절연층(122) 표면을 접합시킨 후(도 4(C) 참조), 열 처리를 행하여 취화 영역(104)에서 분리(벽개)함으로써, 지지 기판(121) 위에 산화막(102), 절연층(122)을 사이에 두고, 단결정 반도체층(123)을 형성한다(도 4(D) 참조).

- [0103] 그 후, 도 2(A) 내지 도 2(E)와 마찬가지로, 제 1 예칭, 레이저 빔의 조사, 제 2 예칭을 행함으로써, 본 발명의 일 형태에 따른 SOI 기판을 제작할 수 있다.
- [0104] 지지 기판 위에 형성되는 단결정 반도체층으로의 불순물의 확산을 억제하는 것과 함께, 단결정 반도체층과 지지 기판의 접합 강도를 향상시킬 수 있다. 또한, 반도체 기판과 지지 기판의 접합에 있어서, 질소를 함유하는 절연막을 접합층으로서 사용하는 경우에도, 신뢰성을 향상시킬 수 있다.
- [0105] 본 발명의 일 형태는, 단결정 반도체층의 금속 원소 등의 불순물로 인한 오염을 억제된 SOI 기판을 제작할 수 있다. 또한, 상술한 바와 같은 SOI 기판을 사용하여 반도체 장치의 성능 및 신뢰성의 저하를 방지할 수 있다.
- [0106] 또한, 본 실시형태에서 나타낸 SOI 기판의 제작 방법은, 본 명세서의 다른 실시형태에서 나타내는 제작 방법과 적절히 조합하여 행할 수 있다.
- [0107] (실시형태 3)
- [0108] 본 실시형태에서는, 상기 실시형태에서 제작한 SOI기판을 사용하여, 반도체장치를 제작하는 방법을 설명한다.
- [0109] 우선, 도 5(A) 내지 도 6(D)를 참조하여, n채널형 박막 트랜지스터, 및 p채널형 박막 트랜지스터를 제작하는 방법을 설명한다. 복수의 박막 트랜지스터(TFT)를 조합함으로써, 각종 반도체 장치를 형성할 수 있다. 또한, 실시형태 1 및 실시형태 2와 동일 부분 또는 같은 기능을 갖는 부분의 반복 설명은 생략한다.
- [0110] 도 5(A)는, 지지 기판(121) 위에 산화막(102), 단결정 반도체층(123)이 형성되어 있다. 또한, 여기서는 도 5(A)에 도시한 구성의 SOI 기판(실시형태 1 참조)을 적용하는 예를 도시하였지만, 본 명세서에서 제시하는 그 외의 구성의 SOI 기판도 적용할 수 있다.
- [0111] 단결정 반도체층(123)을 에칭하고, 반도체 소자의 배치에 맞추어 섬 형상으로 분리한 단결정 반도체층(205, 206)을 형성한다(도 5(B) 참조).
- [0112] 단결정 반도체층 위의 산화막을 제거하여, 단결정 반도체층(205, 206)을 덮는 게이트 절연층(207)을 형성한다. 본 실시형태에 있어서의 단결정 반도체층(205, 206)은 평탄성이 높기 때문에, 단결정 반도체층(205, 206) 위에 형성되는 게이트 절연층이 박막의 게이트 절연층이어도 피복성 좋게 덮을 수 있다. 따라서 게이트 절연층의 피복 불량에 의한 특성 불량을 방지할 수 있고, 고신뢰성의 반도체 장치를 수율 좋게 제작할 수 있다. 게이트 절연층(207)의 박막화는, 박막 트랜지스터를 저전압으로 고속 동작시키는 효과가 있다.
- [0113] 게이트 절연층(207)은 산화 실리콘, 또는 산화 실리콘과 질화 실리콘의 적층 구조로 형성하면 좋다. 게이트 절연층(207)은, 플라즈마 CVD법이나 감압 CVD법에 의하여 절연막을 퇴적함으로써 형성하여도 좋고, 플라즈마 처리에 의한 고상 산화 또는 고상 질화로 형성하여도 좋다. 단결정 반도체층을, 플라즈마 처리에 의하여 산화 또는 질화함으로써 형성하는 게이트 절연층은, 치밀하고 절연 내압이 높아 신뢰성이 우수하기 때문이다.
- [0114] 또한, 게이트 절연층(207)으로서, 이산화 지르코늄, 산화 하프늄, 이산화 티타늄, 오산화 탄탈 등의 고유전율 재료를 사용하여도 좋다. 게이트 절연층(207)에 고유전율 재료를 사용함으로써, 게이트 누설 전류를 저감할 수 있다.
- [0115] 게이트 절연층(207) 위에 게이트 전극층(208) 및 게이트 전극층(209)을 형성한다(도 5(C) 참조). 게이트 전극층(208, 209)은, 스퍼터링법, 증착법, CVD법 등의 수법에 의하여 형성할 수 있다. 게이트 전극층(208, 209)은 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr), 네오듐(Nd)으로부터 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금 재료 또는 화합물 재료로 형성하면 좋다. 또한, 게이트 전극층(208, 209)으로서 인 등의 불순물 원소를 도핑한 다결정 실리콘층으로 대표되는 반도체층이나, AgPdCu 합금을 사용하여도 좋다.
- [0116] 단결정 반도체층(206)을 덮는 마스크(211)를 형성한다. 마스크(211) 및 게이트 전극층(208)을 마스크로 하여, n형을 부여하는 불순물 원소(210)를 첨가함으로써, 제 1 n형 불순물 영역(212a, 212b)을 형성한다(도 5(D) 참조). 본 실시형태에서는, 불순물 원소를 포함하는 도핑 가스로서 포스핀(PH_3)을 사용한다. 여기서는, 제 1 n형 불순물 영역(212a, 212b)에, n형을 부여하는 불순물 원소가 $1 \times 10^{17}/\text{cm}^3$ 내지 $5 \times 10^{18}/\text{cm}^3$ 정도의 농도로 포함되도록 첨가한다. 이 실시형태에서는, n형을 부여하는 불순물 원소로서 인(P)을 사용한다.
- [0117] 다음에, 단결정 반도체층(205)을 덮는 마스크(214)를 형성한다. 마스크(214), 게이트 전극층(209)을 마스크로

하여 p형을 부여하는 불순물 원소(213)를 첨가함으로써, 제 1 p형 불순물 영역(215a, 215b)을 형성한다(도 5(E) 참조). 본 실시형태에서는, 불순물 원소로서 봉소(B)를 사용하기 때문에, 불순물 원소를 포함하는 도핑 가스로서는 디보란(B_2H_6) 등을 사용한다.

[0118] 마스크(214)를 제거하고, 게이트 전극층(208, 209) 측면에 사이드 월 구조의 측벽 절연층(216a 내지 216d), 게이트 절연층(233a, 233b)을 형성한다(도 6(A) 참조). 측벽 절연층(216a 내지 216d)은, 게이트 전극층(208, 209)을 덮는 절연층을 형성한 후, 이것을 RIE(Reactive Ion Etching: 반응성 이온 에칭)법을 사용한 이방성 에칭에 의하여 가공함으로써, 게이트 전극층(208, 209)의 측벽에 자기 정합적으로 사이드 월 구조의 측벽 절연층(216a 내지 216d)을 형성하면 좋다. 여기서, 절연층에 대해서는 특별히 한정되지 않고, TEOS(TEtraethyl-Ortho Silicate) 또는 실란 등과, 산소 또는 아산화 질소 등을 반응시켜 형성한 단자 피복성이 좋은 산화 실리콘인 것이 바람직하다. 절연층은 열 CVD, 플라즈마 CVD, 상압 CVD, 바이어스 ECRCVD, 스퍼터링 등의 방법에 의하여 형성할 수 있다. 게이트 절연층(233a, 233b)은 게이트 전극층(208, 209) 및 측벽 절연층(216a 내지 216d)을 마스크로 하여 게이트 절연층(207)을 에칭하여 형성할 수 있다.

[0119] 또한, 본 실시형태에서는, 절연층을 에칭할 때, 게이트 전극층 위의 절연층을 제거함으로써, 게이트 전극층을 노출시키지만, 절연층을 게이트 전극층 위에 남게 하는 형상으로 측벽 절연층(216a 내지 216d)을 형성하여도 좋다. 또한, 뒤의 공정에서 게이트 전극층 위에 보호막을 형성하여도 좋다. 상술한 바와 같이, 게이트 전극층을 보호함으로써, 에칭 가공할 때, 게이트 전극층의 막이 감소되는 것을 방지할 수 있다. 또한, 소스 영역 및 드레인 영역에 실리사이드를 형성하는 경우, 실리사이드 형성시에 형성하는 금속막과 게이트 전극층이 접하지 않기 때문에, 금속막의 재료와 게이트 전극층의 재료가 반응하기 쉬운 재료라도, 화학 반응이나 확산 등의 불량을 방지할 수 있다. 에칭 방법은 드라이 에칭법과 웨트 에칭법의 어느 쪽이라도 좋고, 여러 가지 에칭 방법을 사용할 수 있다. 본 실시형태에서는 드라이 에칭법을 사용한다. 에칭용 가스로서는, Cl_2 , BCl_3 , $SiCl_4$, 또는 CCl_4 등으로 대표되는 염소계 가스, CF_4 , SF_6 , 또는 NF_3 등으로 대표되는 불소계 가스, 또는 O_2 를 적절히 사용할 수 있다.

[0120] 다음에 단결정 반도체층(206)을 덮는 마스크(218)를 형성한다. 마스크(218), 게이트 전극층(208), 측벽 절연층(216a, 216b)을 마스크로 하여 n형을 부여하는 불순물 원소(217)를 첨가함으로써, 제 2 n형 불순물 영역(219a, 219b), 제 3 n형 불순물 영역(220a, 220b)이 형성된다. 본 실시형태에서는, 불순물 원소를 포함하는 도핑 가스로서 PH_3 를 사용한다. 여기서는, 제 2 n형 불순물 영역(219a, 219b)에 n형을 부여하는 불순물 원소가 $5 \times 10^{19}/cm^3$ 내지 $5 \times 10^{20}/cm^3$ 정도의 농도로 포함되도록 첨가한다. 또한, 단결정 반도체층(205)에 채널 형성 영역(221)이 형성된다(도 6(B) 참조).

[0121] 제 2 n형 불순물 영역(219a), 제 2 n형 불순물 영역(219b)은 고농도 n형 불순물 영역이며, 소스, 드레인으로서 기능한다. 한편, 제 3 n형 불순물 영역(220a, 220b)은 저농도 불순물 영역이며, LDD(Lightly Doped Drain) 영역이 된다. 제 3 n형 불순물 영역(220a, 220b)은 게이트 전극층(208)에 덮이지 않는 Loff 영역에 형성되기 때문에, 오프(off) 전류를 저감하는 효과가 있다. 결과적으로, 보다 신뢰성이 높고, 저소비 전력의 반도체 장치를 제작할 수 있다.

[0122] 마스크(218)를 제거하고, 단결정 반도체층(205)을 덮는 마스크(223)를 형성한다. 마스크(223), 게이트 전극층(209), 측벽 절연층(216c, 216d)을 마스크로 하여, p형을 부여하는 불순물 원소(222)를 첨가함으로써, 제 2 p형 불순물 영역(224a, 224b), 제 3 p형 불순물 영역(225a, 225b)을 형성한다.

[0123] 제 2 p형 불순물 영역(224a, 224b)에 p형을 부여하는 불순물 원소가 $1 \times 10^{20}/cm^3$ 내지 $5 \times 10^{21}/cm^3$ 정도의 농도로 포함되도록 첨가한다. 본 실시형태에서는, 제 3 p형 불순물 영역(225a, 225b)은, 측벽 절연층(216c, 216d)에 의하여, 자기 정합적으로 제 2 p형 불순물 영역(224a, 224b)보다 저농도가 되도록 형성한다. 또한, 단결정 반도체층(206)에 채널 형성 영역(226)이 형성된다(도 6(C) 참조).

[0124] 제 2 p형 불순물 영역(224a, 224b)은 고농도 p형 불순물 영역이며, 소스, 드레인으로서 기능한다. 한편, 제 3 p형 불순물 영역(225a, 225b)은 저농도 불순물 영역이며, LDD(Lightly Doped Drain) 영역이 된다. 제 3 p형 불순물 영역(225a, 225b)은 게이트 전극층(209)에 덮이지 않는 Loff 영역에 형성되기 때문에, 오프 전류를 저감하는 효과가 있다. 결과적으로, 보다 신뢰성이 높고, 저소비 전력의 반도체 장치를 제작할 수 있다.

[0125] 마스크(223)를 제거하고, 불순물 원소를 활성화하기 위하여 열 처리, 강광(强光)의 조사, 또는 레이저 범의 조사를 행하여도 좋다. 활성화와 동시에 게이트 절연층에 대한 플라즈마 테미지나 게이트 절연층과 단결정 반도

체층의 계면에 대한 플라즈마 데미지를 회복할 수 있다.

[0126] 다음에, 게이트 전극층, 게이트 절연층을 덮는 층간 절연층을 형성한다. 본 실시형태에서는, 보호막이 되는 수소를 포함하는 절연층(227), 절연층(228)의 적층 구조로 한다. 절연층(227)과 절연층(228)은, 스퍼터링법, 또는 플라즈마 CVD를 사용한 질화 실리콘막, 질화산화 실리콘막, 산화질화 실리콘막, 산화 실리콘막이라도 좋고, 다른 실리콘을 포함하는 절연막을 단층 또는 3층 이상의 적층 구조로 하여 사용하여도 좋다.

[0127] 또한, 질소 분위기 중에서, 300°C 내지 550°C로 1시간 내지 12시간의 열 처리를 행하여, 단결정 반도체층을 수소화하는 공정을 행한다. 바람직하게는, 이 단계는 400°C 내지 500°C에서 행한다. 이 공정은 층간 절연층인 절연막(227)에 포함되는 수소에 의하여 단결정 반도체층의 맹글링 본드를 종단하는 공정이다. 본 실시형태에서는 450°C에서 1시간 열 처리를 행한다.

[0128] 절연막(227), 절연층(228)으로서는 그 외에, 질화 알루미늄(AlN), 산화질화 알루미늄(AlON), 질소함유량이 산소 함유량보다 많은 질화산화 알루미늄(AlNO) 또는 산화 알루미늄, 다이아몬드 라이크 카본(DLC), 질소 함유 탄소(CN), 이 외의 무기 절연성 재료를 포함하는 물질 중으로부터 선택된 재료로 형성할 수 있다. 또한, 실록산 수지를 사용하여도 좋다. 또한, 실록산 수지란, Si-O-Si 결합을 포함하는 수지에 상당한다. 실록산은 실리콘(Si) 및 산소(O)의 결합으로 골격 구조가 구성된다. 치환기로서, 적어도 수소를 포함하는 유기기(예를 들어, 알킬기, 알릴기)가 사용된다. 유기기는, 폴루오르기를 포함되어도 좋다. 또한, 유기 절연성 재료를 사용하여도 좋고, 유기 재료로서는 폴리아미드, 아크릴, 폴리아미드 아미드, 레지스트 또는 벤조시클로부텐, 폴리실라잔을 사용할 수 있다. 평탄성이 좋은 도포법에 의하여 되는 도포막을 사용하여도 좋다.

[0129] 절연막(227), 절연층(228)은, 딥, 스프레이 도포, 닉터 나이프, 롤 코터, 커튼 코터, 나이프 코터, CVD법, 증착법 등을 채용할 수 있다. 액적 토출법에 의하여 절연막(227), 절연층(228)을 형성하여도 좋다. 액적 토출법을 사용하는 경우에는, 재료액을 절약할 수 있다. 또한, 액적 토출법과 같은 패턴을 전사하거나 그리는 방법, 예를 들어, 인쇄법(스크린 인쇄 또는 오프셋 인쇄 등 패턴을 형성하는 방법) 등도 사용할 수 있다.

[0130] 이어서, 레지스트로 이루어진 마스크를 사용하여 절연막(227), 절연층(228)에 단결정 반도체층에 도달하는 콘택트 훌(개구)을 형성한다. 에칭은 사용하는 재료의 선택 비율에 따라 한번 또는 다수 번 수행하여도 좋다. 에칭에 의하여, 절연층(227), 절연층(228)을 제거하고, 소스 영역 또는 드레인 영역인 제 2 n형 불순물 영역(219a, 219b), 제 2 p형 불순물 영역(224a, 224b)에 도달하는 개구를 형성한다. 에칭은 웨트 에칭과 드라이 에칭의 어느 쪽이라도 좋고, 양쪽을 사용하여도 좋다. 웨트 에칭의 에칠툴드는, 불소 수소 암모늄 및 불화 암모늄을 포함한 혼합 용액과 같은 불산계의 용액을 사용하면 좋다. 에칭 가스로서는, Cl₂, BC_l₃, SiCl₄, 또는 CCl₄ 등으로 대표되는 염소계 가스, CF₄, SF₆, 또는 NF₃ 등으로 대표되는 불소계 가스, 또는 O₂를 적절히 사용할 수 있다. 또한, 사용하는 에칭용 가스에 불활성 기체를 첨가하여도 좋다. 첨가하는 불활성 원소로서는, He, Ne, Ar, Kr 및 Xe로부터 선택된 하나 또는 복수의 원소를 사용할 수 있다.

[0131] 개구를 덮도록 도전막을 형성하고, 도전막을 에칭하여 각 소스 영역 또는 드레인 영역의 일부와 각각 전기적으로 접속하는 소스 전극층 또는 드레인 전극층으로서 기능하는 배선층(229a, 229b, 230a, 230b)을 형성한다. 배선층은, PVD법, CVD법, 증착법 등에 의하여 도전막을 형성한 후, 원하는 형상으로 에칭하여 형성할 수 있다. 또한, 액적 토출법, 인쇄법, 전해 도금법 등에 의하여, 소정의 장소에 선택적으로 도전층을 형성할 수 있다. 또한, 리플로법 또는 다마신법을 이용하여도 좋다. 배선층의 재료는, Ag, Au, Cu, Ni, Pt, Pd, Ir, Rh, W, Al, Ta, Mo, Cd, Zn, Fe, Ti, Zr, Ba 등의 금속, 및 Si, Ge, 또는 그 합금, 또는 그 질화물을 사용하여 형성한다. 또한, 이들의 적층 구조로 하여도 좋다.

[0132] 상술한 공정에서 CMOS 구조의 n채널형 박막 트랜지스터인 박막 트랜지스터(231) 및 p채널형 박막 트랜지스터인 박막 트랜지스터(232)를 포함하는 반도체 장치를 제작할 수 있다(도 6(D) 참조). 도시하지는 않았지만, 본 실시형태는 CMOS 구조이므로, 박막 트랜지스터(231)와 박막 트랜지스터(232)는 전기적으로 접속된다.

[0133] 본 실시형태에 한정되지 않고, 박막 트랜지스터는 채널 형성 영역이 하나 형성되는 싱글 게이트 구조, 채널 형성 영역이 2개 형성되는 더블 게이트 구조, 그리고 채널 형성 영역이 3개 형성되는 트리플 게이트 구조의 어느 것이라도 좋다.

[0134] 상술한 바와 같이, 단결정 반도체층의 금속 원소 등의 불순물에 의한 오염이 억제된 SOI 기판을 사용함으로써, 고성능 및 고신뢰성의 반도체 장치를 수율 좋게 제작할 수 있다.

- [0135] 이와 같이, SOI 기판을 사용하여 박막 트랜지스터를 제작할 수 있다. SOI 기판의 단결정 반도체층은, 결정 결합이 저감되고, 게이트 절연층(207)과의 계면 준위 밀도가 저감된 단결정 반도체층이고, 그 표면이 평탄화되고, 또 그 두께를 60nm 이하로 박막화되어 있다. 이로써, 지지 기판(121)에, 낮은 구동 전압, 높은 전계 효과 이동도, 작은 임계 값 이하의 값 등, 우수한 특성을 구비한 박막 트랜지스터를 형성할 수 있다. 또한, 동일 기판 위에 특성의 격차가 적고, 고성능의 트랜지스터를 복수 기판 위에 형성하는 것이 가능하다. 즉, 본 발명에 따른 SOI 기판을 사용함으로써, 임계 값 전압이나 이동도 등 트랜지스터 특성으로서 중요한 특성 값의 불균일성이 억제되고, 또한 고전계 이동도 등의 고성능화가 가능하게 된다.
- [0136] 도 5(A) 내지 도 6(D)를 참조하여 TFT의 제작 방법을 설명하였지만, TFT 외에, 용량, 저항 등 TFT와 함께 각종의 반도체 소자를 형성함으로써, 고부가 가치의 반도체 장치를 제작할 수 있다. 이하, 도면을 참조하면서 반도체 장치의 구체적인 형태를 설명한다.
- [0137] 우선, 반도체 장치의 일례로서, 마이크로 프로세서에 대하여 설명한다. 도 7은 마이크로 프로세서(500)의 구성 예를 도시한 블록도이다.
- [0138] 마이크로 프로세서(500)는, 연산 회로(501)(Arithmetic logic unit, ALU라고도 함), 연산 회로 제어부(502)(ALU Controller), 명령 해석부(503)(Instruction Decoder), 인터럽트 제어부(504)(Interrupt Controller), 타이밍 제어부(505)(Timing Controller), 레지스터(506)(Register), 레지스터 제어부(507)(Register Controller), 버스 인터페이스(508)(Bus I/F), 판독 전용 메모리(509), 및 메모리 인터페이스(510)를 갖는다.
- [0139] 버스 인터페이스(508)를 통하여 마이크로 프로세서(500)에 입력된 명령은, 명령 해석부(503)에 입력되고, 디코드된 후, 연산 회로 제어부(502), 인터럽트 제어부(504), 레지스터 제어부(507), 타이밍 제어부(505)에 입력된다. 연산 회로 제어부(502), 인터럽트 제어부(504), 레지스터 제어부(507), 타이밍 제어부(505)는, 디코드된 명령에 의거하여 다양한 제어를 행한다.
- [0140] 연산 회로 제어부(502)는, 연산 회로(501)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 제어부(504)는, 마이크로 프로세서(500)의 프로그램 실행 중에, 외부의 입출력 장치나 주변 회로로부터의 인터럽트 요구를 처리하는 회로이며, 인터럽트 제어부(504)는 인터럽트 요구의 우선도나 마스크 상태를 판단하여 인터럽트 요구를 처리한다. 레지스터 제어부(507)는 레지스터(506)의 어드레스를 생성하고, 마이크로 프로세서(500)의 상태에 따라 레지스터(506)의 판독이나 기록을 행한다. 타이밍 제어부(505)는, 연산 회로(501), 연산 회로 제어부(502), 명령 해석부(503), 인터럽트 제어부(504), 및 레지스터 제어부(507)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어, 타이밍 제어부(505)는 기준 클록 신호 CLK1을 기초로 하여, 내부 클록 신호 CLK2를 생성하는 내부 클록 생성부를 구비한다. 도 7에 도시한 바와 같이, 내부 클록 신호 CLK2는 다른 회로에 입력된다.
- [0141] 다음에, 비접촉으로 데이터의 송수신을 행하는 기능, 및 연산 기능을 구비한 반도체 장치의 일례를 설명한다. 도 8은 이와 같은 반도체 장치의 구성 예를 도시한 블록도이다. 도 8에 도시한 반도체 장치는, 무선 통신에 의하여 외부 장치와 신호의 송수신을 행하여 동작하는 컴퓨터(이하, "RFCPU"라고 함)라고 부를 수 있다.
- [0142] 도 8에 도시한 바와 같이, RFCPU(511)는 아날로그 회로부(512)와 디지털 회로부(513)를 갖는다. 아날로그 회로부(512)로서, 공진 용량을 갖는 공진 회로(514), 정류 회로(515), 정전압 회로(516), 리셋 회로(517), 발진 회로(518), 복조 회로(519), 변조 회로(520)를 갖는다. 디지털 회로부(513)는, RF 인터페이스(521), 제어 레지스터(522), 클록 컨트롤러(523), CPU 인터페이스(524), 중앙 처리 유닛(525), 랜덤 액세스 메모리(526), 판독 전용 메모리(527)를 갖는다.
- [0143] RFCPU(511)의 동작의 개요는 이하와 같다. 안테나(528)가 수신한 신호는 공진 회로(514)에 의하여 유도 기전력이 생긴다. 유도 기전력은 정류 회로(515)를 거쳐 용량부(529)에 충전된다. 이 용량부(529)는 세라믹 콘덴서나 전기 이중층 콘덴서 등의 커패시터로 형성되어 있는 것이 바람직하다. 용량부(529)는 RFCPU(511)를 구성하는 기판에 접적될 필요는 없고, 다른 부품으로서 RFCPU(511)에 내장할 수도 있다.
- [0144] 리셋 회로(517)는, 디지털 회로부(513)를 리셋하여 초기화하는 신호를 생성한다. 예를 들어, 전원 전압의 상승에 지연(遲延)되어 상승하는 신호를 리셋 신호로서 생성한다. 발진 회로(518)는, 정전압 회로(516)에 의하여 생성되는 제어 신호에 따라 클록 신호의 주파수와 드티비를 변경한다. 복조 회로(519)는, 수신 신호를 복조하는 회로이고, 변조 회로(520)는, 송신하는 데이터를 변조하는 회로이다.

- [0145] 예를 들어, 복조 회로(519)는 로우 패스 필터(low-pass filter)로 형성되고, 진폭 변조(ASK) 방식의 수신 신호를, 그 진폭의 변동을 기초로 하여, 이치화(二值化)한다. 또한, 송신 데이터를 진폭 변조(ASK) 방식의 송신 신호의 진폭을 변동시켜 송신하기 때문에, 변조 회로(520)는, 공진 회로(514)의 공진점을 변화시킴으로써 통신 신호의 진폭을 변화시킨다.
- [0146] 클록 컨트롤러(523)는, 전원 전압 또는 중앙 처리 유닛(525)에 있어서의 소비 전류에 따라 클록 신호의 주파수와 듀티비를 변경하기 위한 제어 신호를 생성한다. 전원 전압의 감시는 전원 관리 회로(530)가 행한다.
- [0147] 안테나(528)로부터 RFCPU(511)에 입력된 신호는 복조 회로(519)에서 복조된 후, RF 인터페이스(521)에서 제어 커맨드나 데이터 등으로 분해된다. 제어 커맨드는 제어 레지스터(522)에 저장된다. 제어 커맨드에는, 판독 전용 메모리(527)에 기억되어 있는 데이터의 판독, 랜덤 액세스 메모리(526)에 대한 데이터의 기록, 중앙 처리 유닛(525)에 대한 연산 명령 등이 포함된다.
- [0148] 중앙 처리 유닛(525)은 인터페이스(524)를 통하여 판독 전용 메모리(527), 랜덤 액세스 메모리(526), 제어 레지스터(522)에 액세스한다. 인터페이스(524)는, 중앙 처리 유닛(525)이 요구하는 어드레스로부터, 판독 전용 메모리(527), 랜덤 액세스 메모리(526), 제어 레지스터(522) 중 어느 것에 대한 액세스 신호를 생성하는 기능을 갖는다.
- [0149] 중앙 처리 유닛(525)의 연산 방식은, 판독 전용 메모리(527)에 OS(Operating System)를 기억시켜 두고, 기동과 함께 프로그램을 판독하여 실행하는 방식을 채용할 수 있다. 또한, 전용 회로에서 연산 회로를 구성하여, 연산 처리를 하드웨어적으로 처리하는 방식을 채용할 수도 있다. 하드웨어와 소프트웨어를 병용하는 방식에서는, 전용의 연산 회로에서 일부의 연산 처리를 행하고, 프로그램을 사용하여, 나머지의 연산을 중앙 처리 유닛(525)이 처리하는 방식을 적용할 수 있다.
- [0150] 다음에, 도 9(A) 내지 도 10(B)를 사용하여, 표시 장치에 대하여 설명한다.
- [0151] 도 9(A) 및 도 9(B)는 액정 표시 장치를 설명하기 위한 도면이다. 도 9(A)는 액정 표시 장치의 화소의 평면도이고, 도 9(B)는 J-K 절단선에 의한 도 9(A)의 단면도이다.
- [0152] 도 9(A)에 도시한 바와 같이, 화소는 단결정 반도체층(320), 단결정 반도체층(320)과 교차하는 주사선(322), 주사선(322)과 교차하는 신호선(323), 화소 전극(324), 화소 전극(324)과 단결정 반도체층(320)을 전기적으로 접속하는 전극(328)을 갖는다. 단결정 반도체층(320)은, 지지 기판(121) 위에 형성된 단결정 반도체층으로 형성된 층이며, 화소의 TFT(325)를 구성한다.
- [0153] SOI 기판에는 상기 실시형태에서 나타낸 SOI 기판이 사용된다. 도 9(B)에 도시한 바와 같이, 지지 기판(121) 위에 산화막(102) 및 절연층(122)을 사이에 두고 단결정 반도체층(320)이 적층된다. 지지 기판(121)으로서는, 유리 기판을 사용할 수 있다. TFT(325)의 단결정 반도체층(320)은, SOI 기판의 단결정 반도체층을 에칭에 의하여 소자 분리하여 형성된 막이다. 단결정 반도체층(320)에는 채널 형성 영역(340), 불순물 원소가 첨가된 n형의 고농도 불순물 영역(341)이 형성된다. TFT(325)의 게이트 전극은 주사선(322)에 포함되고, 소스 전극과 드레인 전극 중의 한쪽은 신호선(323)에 포함되어 있다.
- [0154] 층간 절연막(327) 위에는, 신호선(323), 화소 전극(324), 및 전극(328)이 제공되어 있다. 층간 절연막(327) 위에는, 기동형 스페이서(329)가 형성되어 있다. 신호선(323), 화소 전극(324), 전극(328) 및 기동형 스페이서(329)를 덮어 배향막(330)이 형성되어 있다. 대향 기판(332)에는, 대향 전극(333), 대향 전극을 덮는 배향막(334)이 형성되어 있다. 기동형 스페이서(329)는, 지지 기판(121)과 대향 기판(332)의 간극을 유지하기 위하여 형성된다. 기동형 스페이서(329)에 의하여 형성되는 간극에 액정층(335)이 형성되어 있다. 신호선(323) 및 전극(328)과 고농도 불순물 영역(341)의 접속부는 콘택트 홀의 형성에 의하여 층간 절연막(327)에 단차가 생기기 때문에, 이 접속부에서는 액정층(335)의 액정의 배향이 흐트러지기 쉽다. 그 때문에, 이 단차부에 기동형 스페이서(329)를 형성하고, 액정의 배향의 흐트러짐을 방지한다.
- [0155] 다음에, 일렉트로 루미네센스 표시 장치(이하, EL 표시 장치라고 함)에 대하여 도 10(A) 및 도 10(B)를 참조하여 설명한다. 도 10(A)는 액정 표시 장치의 화소의 평면도이고, 도 10(B)는, J-K 절단선에 의한 도 10(A)의 단면도이다.
- [0156] 도 10(A)에 도시한 바와 같이, 화소는, TFT로 이루어지는 선택용 트랜ジ스터(401), 표시 제어용 트랜ジ스터(402), 주사선(405), 신호선(406), 및 전류 공급선(407), 화소 전극(408)을 포함한다. 일렉트로 루미네센스 재료를 포함하여 형성되는 층(EL층)이 한 쌍의 전극 사이에 끼워진 구조의 발광 소자가 각 화소에 형성된다. 발

광 소자의 한쪽의 전극이 화소 전극(408)이다. 또한, 단결정 반도체층(403)은, 선택용 트랜지스터(401)의 채널 형성 영역, 소스 영역 및 드레인 영역이 형성되어 있다. 단결정 반도체층(404)에는, 표시 제어용 트랜지스터(402)의 채널 형성 영역, 소스 영역 및 드레인 영역이 형성되어 있다. 반도체 막(403, 404)은, 지지 기판 위에 형성된 단결정 반도체층으로 형성된 층이다.

[0157] 선택용 트랜지스터(401)에 있어서, 게이트 전극은 주사선(405)에 포함되고, 소스 전극 또는 드레인 전극의 한쪽은 신호선(406)에 포함되고, 다른 쪽은 전극(410)으로서 형성된다. 표시 제어용 트랜지스터(402)는, 게이트 전극(412)이 전극(411)과 전기적으로 접속되고, 소스 전극 또는 드레인 전극의 한쪽은, 화소 전극(408)에 전기적으로 접속되는 전극(413)으로서 형성되고, 다른 쪽은 전류 공급선(407)에 포함되어 있다.

[0158] 표시 제어용 트랜지스터(402)는 p채널형 TFT이다. 도 10(B)에 도시한 바와 같이, 단결정 반도체층(404)에는, 채널 형성 영역(451)과, p형의 고농도 불순물 영역(452)이 형성되어 있다. 또한, SOI 기판은, 실시형태에서 제작한 SOI 기판이 사용된다.

[0159] 표시 제어용 트랜지스터(402)의 게이트 전극(412)을 덮어, 층간 절연막(427)이 형성된다. 층간 절연막(427) 위에, 신호선(406), 전류 공급선(407), 전극(411, 413) 등이 형성된다. 또한, 층간 절연막(427) 위에는 전극(413)에 전기적으로 접속되어 있는 화소 전극(408)이 형성된다. 화소 전극(408)은 주변부가 절연성의 격벽층(428)으로 둘러싸여 있다. 화소 전극(408) 위에는 EL 층(429)이 형성되고, EL 층(429) 위에는 대향 전극(430)이 형성되어 있다. 보강판으로서 대향 기판(431)이 형성되어 있고, 대향 기판(431)은 수지층(432)에 의하여 지지 기판(121)에 고정되어 있다.

[0160] EL 표시 장치의 제어는, 발광 소자의 휘도를 전류로 제어하는 전류 구동 방식과, 전압으로 그 휘도를 제어하는 전압 구동 방식이 있지만, 전류 구동 방식은, 화소마다 트랜지스터의 특성 값의 차이가 큰 경우, 채용하는 것은 어렵고, 이 때문에 특성의 편차를 보정하는 보정 회로가 필요하게 된다. SOI 기판의 제작 공정을 포함하는 제작 방법으로 EL 표시 장치를 제작함으로써, 선택용 트랜지스터(401) 및 표시 제어용 트랜지스터(402)는 화소마다 특성의 편차가 없어지기 때문에, 전류 구동 방식을 채용할 수 있다.

[0161] 즉, SOI 기판을 사용함으로써, 다양한 전기 기기를 제작할 수 있다. 전기 기기로서는, 비디오 카메라, 디지털 카메라 등의 카메라, 네비게이션 시스템, 음향 재생 장치(카 오디오, 오디오 콤포넌트 등), 컴퓨터, 게임 기기, 휴대 정보 단말(모바일 컴퓨터, 휴대 전화, 휴대형 게임기 혹은 전자 서적 등), 기록 매체를 구비한 화상 재생 장치(구체적으로는 DVD(Digital Versatile Disc) 등의 기록 매체에 기억된 음성 데이터를 재생하고, 또 기억된 화상 데이터를 표시할 수 있는 표시 장치를 구비한 장치) 등이 포함된다. 이들의 일례를 도 11(A) 내지 도 12(C)에 도시한다.

[0162] 도 11(A)는 표시 장치이며, 케이스(901), 지지대(902), 표시부(903), 스퍼커부(904), 비디오 입력 단자(905) 등을 포함한다. 이 표시 장치는, 다른 실시형태에서 나타낸 제작 방법에 의하여 형성한 트랜지스터 구동 IC나 표시부(903) 등에 사용함으로써, 제작된다. 또한, 표시 장치에는 액정 표시 장치, 발광 표시 장치 등이 있고, 용도별(用途別)로는, 컴퓨터용, 텔레비전 수신용, 광고 표시용 등의 모든 정보 표시용 표시 장치가 포함된다. 구체적으로는, 디스플레이, 헤드 마운트형 디스플레이, 반사형 프로젝터 등을 들 수 있다.

[0163] 도 11(B)는 컴퓨터이며, 케이스(911), 표시부(912), 키 보드(913), 외부 접속 포트(914), 포인팅 디바이스(915) 등을 포함한다. 본 발명을 사용하여 제작된 트랜지스터는, 표시부(912)의 화소부뿐만 아니라, 표시용의 구동 IC, 본체 내부의 CPU, 메모리 등의 반도체 장치에도 적용할 수 있다.

[0164] 또한, 도 11(C)는 휴대 전화이며, 휴대용의 정보 처리 단말의 1개의 대표예이다. 이 휴대 전화는 케이스(921), 표시부(922), 조작키(923) 등을 포함한다. 본 발명에 따른 SOI 기판을 사용하여 제작된 트랜지스터는 표시부(922)의 화소부나 센서부(924)뿐만 아니라, 표시용의 구동 IC, 메모리, 음성 처리 회로 등에 사용할 수 있다. 센서부(924)는 광 센서 소자를 갖고, 센서부(924)에서 얻어지는 조도(照度)에 맞추어 표시부(922)의 휘도 컨트롤을 행하는 것이나, 센서부(924)에서 얻어지는 조도에 맞추어 조작키(923)의 조명을 억제함으로써, 휴대 전화의 소비 전력을 억제할 수 있다.

[0165] 상기 휴대 전화를 비롯하여, PDA(Personal Digital Assistants, 정보 휴대 단말), 디지털 카메라, 소형 게임기, 휴대형 음향 재생 장치 등의 전자 기기에 본 발명을 사용하여 형성한 반도체 재료를 사용할 수도 있다. 예를 들어, CPU, 메모리, 센서 등의 기능 회로를 형성하는 것이나, 이들의 전자 기기의 화소부나 표시용의 구동 IC에도 적용할 수 있다.

[0166] 또한, 도 11(D) 및 도 11(E)는, 디지털 카메라이다. 또한, 도 11(E)는 도 11(D)의 뒤쪽을 도시한 도면이다.

이 디지털 카메라는, 케이스(931), 표시부(932), 렌즈(933), 조작키(934), 릴리스 버튼(935) 등을 갖는다. 본 발명을 사용하여 제작된 트랜지스터는, 표시부(932)의 화소부, 표시부(932)를 구동하는 구동 IC, 메모리 등에 사용할 수 있다.

[0167] 도 11(F)는 디지털 비디오 카메라이다. 이 디지털 비디오 카메라는, 본체(941), 표시부(942), 케이스(943), 외부 접속 포트(944), 리모트 컨트롤러 수신부(945), 수상부(946), 배터리(947), 음성 입력부(948), 조작키(949), 접안부(950) 등을 갖는다. 본 발명을 사용하여 제작된 트랜지스터는, 표시부(942)의 화소부, 표시부(942)를 제어하는 구동 IC, 메모리, 디지털 입력 처리 장치 등에 사용할 수 있다.

[0168] 이 외에도, 네비게이션 시스템, 음향 재생 장치, 기록 매체를 구비한 화상 재생 장치 등에 사용할 수 있다. 이들의 표시부의 화소부나 표시부를 제어하는 구동 IC, 메모리, 디지털 입력 처리 장치, 센서부 등의 용도에, 본 발명을 사용하여 제작된 트랜지스터를 사용할 수 있다.

[0169] 도 12(A) 내지 도 12(C)는, 본 발명을 적용한 휴대 전화기의 일례이며, 도 12(A)가 정면도, 도 12(B)가 배면도, 도 12(C)가 두 개의 케이스를 슬라이드시켰을 때의 정면도이다. 휴대 전화기(700)는 두 개의 케이스(701 및 702)로 구성되어 있다. 휴대 전화기(700)는 휴대 전화기와 휴대 정보 단말의 쌍방 기능을 구비하고, 컴퓨터를 내장하고 있고, 음성 통화 이외에도 다양한 데이터 처리가 가능한 소위 스마트폰이다.

[0170] 휴대 전화기(700)는 두 개의 케이스(701 및 702)로 구성되어 있다. 케이스(701)에 있어서는, 표시부(703), 스피커(704), 마이크로 폰(705), 조작 키(706), 포인팅 디바이스(707), 표면 카메라용 렌즈(708), 외부 접속 단자잭(jack)(709) 및 이어폰 단자(710) 등을 구비하고, 케이스(702)에 있어서는, 키 보드(711), 외부 메모리 슬롯(712), 이면 카메라(713), 라이트(714) 등에 의하여 구성된다. 또한, 안테나는 케이스(701)에 내장되어 있다.

[0171] 또한, 휴대 전화(700)에는 상술한 구성 이외에 비접촉형 IC 칩, 소형 기록장치 등을 내장하여도 좋다.

[0172] 서로 중첩한 두 개의 케이스(701 및 702)(도 12(A)에 도시함)는, 슬라이드시킬 수 있고, 슬라이드시킴으로써 도 12(C)와 같이 전개된다. 표시부(703)에는 실시형태 2 및 실시형태 3에서 설명한 표시 장치의 제작 방법을 적용한 표시 패널 또는 표시장치를 조합할 수 있다. 표시부(703)와 표면 카메라용 렌즈(708)를 동일 면에 구비하기 때문에, 텔레비전 전화로 사용할 수 있다. 또한, 표시부(703)를 파인더(viewfinder)로 사용함으로써, 뒷면 카메라(713) 및 라이트(714)로 정지 화상 및 동영상의 촬영이 가능하다.

[0173] 스피커(704) 및 마이크로폰(705)을 사용함으로써, 휴대 전화(700)는 음성 기록 장치(녹음 장치) 또는 음성 재생 장치로서 사용할 수 있다. 또한, 조작키(706)에 의하여 전화의 발신 및 차신 조작, 전자 메일 등의 간단한 정보 입력 조작, 표시부에 표시하는 화면의 스크롤 조작, 표시부에 표시하는 정보의 선택 등을 행하는 커서의 이동 조작 등이 가능하다.

[0174] 또한, 서류의 작성, 휴대용 정보 단말로서의 사용 등, 취급하는 정보가 많은 경우에는 키 보드(711)를 사용하면 편리하다. 또한, 서로 중첩한 두 개의 케이스(701 및 702)(도 12(A) 참조)를 슬라이드시킴으로써, 도 12(C)와 같이 전개시킬 수 있다. 휴대 정보 단말로서 사용하는 경우에는, 키 보드(711) 및 포인팅 디바이스(707)를 사용하여 원활한 조작으로 커서(cursor)의 조작을 행할 수 있다. 외부 접속 단자 잭(709)은 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속할 수 있고, 충전 및 퍼스널 컴퓨터 등과의 데이터 통신을 할 수 있다. 또한, 외부 메모리 슬롯(712)에 기록 매체를 삽입하여, 보다 대량의 데이터 보존 및 이동이 가능하게 된다.

[0175] 케이스(702)의 뒷면(도 12(B) 참조)에는 뒷면 카메라(713) 및 라이트(714)가 구비되고, 표시부(703)를 파인더로서 정지 화상 및 동영상을 촬영할 수 있다.

[0176] 또한, 상술한 기능 구성 이외에, 적외선 통신 기능, USB 포트, 원 세그먼트텔레비전 브로드캐스트(one segment television broadcast) 수신 기능, 비접촉 IC 칩 또는 이어폰 잭 등을 구비한 것이라도 좋다.

[0177] 도 11(A) 및 도 11(F)에 있어서 설명한 각종 전자 기기는, 상술한 트랜지스터 및 표시 장치의 제작 방법을 적용하여 제작할 수 있다.

[0178] [실시예 1]

[0179] 이하에 있어서, 본 발명에 관하여 실시예에 기초하여 더욱 상세하게 설명한다. 본 발명은 이 실시예에 의하여 전혀 한정되는 것은 아니고, 특히 청구범위에 의하여 특정되는 것은 물론이다. 본 실시예에서는, 반도체 기판의 표면 거칠기에 대하여 설명한다.

[0180] 반도체 기판으로서, 단결정 실리콘 기판을 준비한다. 단결정 실리콘 기판은, 5인치의 p형 실리콘 기판이고, 그 면 방위는 (100)이고, 그 측면 방위는 <100>이다.

[0181] 단결정 실리콘 기판의 표면에 대하여 에칭을 행하였다. 단결정 실리콘 기판의 에칭 조건은, 다음에 나타낸 바와 같다. 평행평판형 플라즈마 CVD 장치를 사용하여, 플라즈마 CVD 장치에 있어서, RF 파워; 50W(13.56MHz), 처리실내 압력; 65Pa, 전극간 거리; 30mm, 기판 온도; 200°C, 반응 가스의 유량 비율 NF₃:N₂=10:400(sccm), 처리 시간 30sec(30nm 에칭할 수 있는 정도)로 하여 행하였다.

[0182] 다음에, 에칭을 행한 후의 단결정 실리콘 기판의 표면 거칠기에 대하여 측정을 행하였다.

[0183] 단결정 실리콘 기판의 표면 거칠기 및 그 결정성의 분석에는, 예를 들어, 광학 현미경, 원자간 힘 현미경(AFM: Atomic Force Microscope), 주사 전자 현미경(SEM: Scanning Electron Microscope)에 의한 관찰, 전자 후방 산란 회절상(像)(EBSP: Electron Back Scatter Diffraction Pattern)에 의한 관찰, 및 라만 분광 측정 등을 사용할 수 있다.

[0184] 본 실시예에 있어서는, 단결정 실리콘 기판의 표면 거칠기의 측정에는, 원자간 힘 현미경(AFM(Atomic Force Microscope))을 사용하여, 단결정 실리콘 기판의 평균 면 거칠기(Ra), 자승 평균 면 거칠기(RMS), 및 산곡(山谷)의 최대 고저차(P-V)를 측정하였다.

[0185] 여기서, 평균 면 거칠기(Ra)란, JISB0601:2001(ISO4287:1997)로 정의되어 있는 중심선 평균 거칠기(Ra)를 측정 면에 대하여 적용할 수 있도록 삼차원으로 확장한 것이다. 기준 면으로부터 지정 면까지의 편차의 절대 값을 평균한 값으로 표현할 수 있고, 다음의 수식으로 주어진다.

[0186] [수식 1]

$$R_a = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} |F(X, Y) - Z_0| dX dY \quad (1)$$

[0187]

[0188] 또한, 측정 면이란, 전체 측정 데이터가 나타내는 면이고, 하기의 수식으로 나타낸다.

[0189] [수식 2]

$$Z = F(X, Y) \quad (2)$$

[0190]

[0191] 또한, 지정 면이란, 거칠기 계측의 대상이 되는 면이고, 좌표(X₁, Y₁)(X₁, Y₂)(X₂, Y₁)(X₂, Y₂)로 나타내어지는 4 점에 의하여 둘러싸인 직사각형의 영역으로 하고, 지정 면이 이상적으로 플랫(flat)이라고 했을 때의 면적을 S₀로 한다. 또한, S₀는 하기의 수식으로 구해진다

[0192] [수식 3]

$$S_0 = (X_2 - X_1)(Y_2 - Y_1) \quad (3)$$

[0193] [0194] 또한, 기준면이란, 지정 면의 높이의 평균 값을 Z₀이라 할 때, Z = Z₀으로 나타내어지는 평면이다. 기준면은 XY 평면과 평행하게 된다. 또, Z₀은 하기의 수식으로 구해진다.

[0195] [수식 4]

$$Z_0 = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} F(X, Y) dX dY \quad (4)$$

[0196]

[0197] 자승 평균 면 거칠기(RMS)란, 단면 곡선에 대한 RMS를, 측정 면에 대하여 적용할 수 있도록, Ra와 마찬가지로 3 차원으로 확장한 것이다. 기준면에서 지정 면까지의 편차의 제곱을 평균한 값의 평방근으로 표현할 수 있고, 다음 수식으로 주어진다.

[0198] [수식 5]

$$R_{ms} = \sqrt{\frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} \{F(X, Y) - Z_0\}^2 dXdY} \quad (5)$$

[0199] [0200] 산곡의 최대 고저차(P-V)란, 지정 면에 있어서, 가장 높은 산정(山頂)의 표고 Z_{max} 와 가장 낮은 곡저(谷底)의 표고 Z_{min} 의 차이로 표현할 수 있고, 다음 수식으로 구해진다.

[0201] [수식 6]

$$P - V = Z_{max} - Z_{min} \quad (6)$$

[0202] [0203] 여기서 말하는 산정과 곡저란, JISB0601: 2001(ISO4287: 1997)로 정의되어 있는 "산정", "곡저"를 3차원으로 확장한 것이며, 산정이란 지정 면의 산에서 표고가 가장 높은 곳, 곡저란 지정 면에서 표고가 가장 낮은 곳으로 표현된다.

[0204] 본 실시예에 있어서의 평균 면 거칠기(Ra), 제곱 평균 면 거칠기(RMS), 산곡의 최대 고저차(P-V)의 측정 조건을 이하에 나타낸다.

[0205] · 원자간 힘 현미경(AFM): 주사형 프로브 현미경 SPI3800N/SPA500(Seiko Instruments Inc.제)

[0206] · 측정 모드: 다이나믹 포스 모드(DFM 모드)

[0207] · 캔틸레버(cantilever): SI-DF40(실리콘 제, 스프링 정수 42N/m, 공진 주파수 250 kHz 내지 390 kHz, 탐침(探針)의 선단의 곡률 $R \leq 10 \text{ nm}$)

[0208] · 주사 속도: 1.0Hz

[0209] · 측정 면적: $1 \mu \text{m} \times 1 \mu \text{m}$ [0210] · 측정점 수: 256점 \times 256점

[0211] 또한, DFM 모드란, 어느 주파수(캔틸레버에 고유의 주파수)로 캔틸레버를 공진시킨 상태에서 캔틸레버의 진동 진폭이 일정하게 되도록 탐침과 시료의 거리를 제어하면서, 표면 형상을 측정하는 측정 모드를 의미한다. 이 DFM 모드는, 시료의 표면에 비접촉으로 측정하기 때문에, 시료의 표면이 손상되지 않고 원래의 형상을 유지한 채 측정할 수 있다.

[0212] 본 실시예에 있어서는, 단결정 실리콘 기판의 표면 거칠기의 측정은, 기판 면내 3개소(도 13(A) 참조)에 대하여 상기 조건으로 행하고, 3차원 표면 형상의상을 얻었다. 이 얻어진 측정 화상의 기판 단면의 곡률을 고려하여, 부속의 소프트웨어를 사용하여, 화상의 모든 데이터로부터 최소 제곱법에 의하여 1차 평면을 구하여 피팅하고, 면내의 경사를 보정하는 1차 경사 보정을 행하고, 이어서 마찬가지로 2차 곡선을 보정하는 2차 경사 보정을 행한 후, 부속의 소프트웨어를 사용하여, 표면 거칠기 해석을 행함으로써, 평균 면 거칠기(Ra), 자승 평균 면 거칠기(RMS), 산곡의 최대 고저차(P-V)를 각각 산출하였다.

[0213] 도 13(A) 내지 도 13(D)는 AFM에 의한 측정 결과를 도시한다. 도 13(B)는 도 13(A)에 있어서의 포인트 1의 관찰상이고, 도 13(C)는 도 13(A)에 있어서의 포인트 2의 관찰상이고, 도 13(D)는 도 13(A)에 있어서의 포인트 3의 관찰상이다.

[0214] 도 13(B) 내지 도 13(D)는 관찰상을 바탕으로 하여 계산된 표면 거칠기를 표 1에 나타낸다.

[0215]

[표 1]

	Ra[nm]	P-V[nm]	RMS[nm]
포인트 1	0.1101	2.839	0.1452
포인트 2	0.1204	4.011	0.1701
포인트 3	0.143	8.807	0.2797
3 개소의 평균	0.125	5.219	0.198

[0216]

[0217]

비교하기 위하여 에칭을 행하지 않은 단결정 실리콘 기판의 표면 거칠기를 표 2에 나타낸다. 또한, 에칭을 행하지 않은 단결정 실리콘 기판의 표면 거칠기의 측정은, 에칭을 행한 단결정 실리콘 기판과 마찬가지인 3개소(도 13(A) 참조)에서 행하였다.

[0218]

[표 2]

	Ra[nm]	P-V[nm]	RMS[nm]
포인트1	0.139	1.482	0.174
포인트2	0.135	1.490	0.170
포인트3	0.137	1.554	0.172
3 개소의 평균	0.137	1.509	0.172

[0219]

[0220]

상술한 바와 같이, 단결정 실리콘 기판에 에칭을 행한 경우에도, Ra, RMS에 대해서는, 에칭을 행하지 않은 단결정 실리콘 기판과 손색이 없는 결과가 얻어진 것이다.

[0221]

다음에, MOS 커패시터 구조를 사용하여 게이트 내압에 대하여 비교한 결과에 대하여 설명한다.

[0222]

도 14(A)에, 본 실시예에서 MOS 커패시터 구조를 도시한다. MOS 커패시터 구조는, 단결정 실리콘 기판(301) 위에 산화질화 실리콘막으로 형성된 절연막(302)이 형성되고, 절연막(302) 위에 알루미늄으로 형성된 게이트 전극(303)이 형성되어 있다.

[0223]

MOS 커패시터 구조는, 이하의 3개의 조건에 의하여 제작하였다. 조건 1은, 단결정 실리콘 기판 위에 산화질화 실리콘막을 20nm 형성한 후, 알루미늄으로 게이트 전극을 400nm(전극 면적: 0.785mm^2) 형성하였다.

[0224]

조건 2는, 단결정 실리콘 기판에 ICP 에칭 장치를 사용하여, 염소 가스의 유량 100sccm, 반응 압력 1.2Pa, 하부 전극의 온도 70°C, 코일형의 전극에 투입하는 RF(13.56MHz) 파워 150W, 하부 전극(바이어스 측)에 투입하는 전력 40W로 하고, 기판 바이어스를 인가하여 에칭을 행한 후, 단결정 실리콘 기판 위에 산화질화 실리콘막으로 게이트 절연막을 20nm 형성한 후, 알루미늄으로 게이트 전극을 400nm(전극 면적: 0.785mm^2) 형성하였다.

[0225]

조건 3은, 단결정 실리콘 기판에 플라즈마 CVD 장치를 사용하여, 반응 가스의 유량 비율 $\text{NF}_3:\text{N}_2=10:400$ (sccm), 처리실내 압력 65Pa, 전극간 거리 30mm, 기판 온도 200°C, RF(13.56MHz) 파워 50W로 하고, 기판 바이어스를 인가하지 않고 에칭을 행한 후, 단결정 실리콘 기판 위에 산화질화 실리콘막으로 게이트 절연막을 20nm 형성한 후, 알루미늄으로 게이트 전극을 400nm(전극 면적: 0.785mm^2) 형성하였다.

[0226]

조건 1로 제작한 시료를 시료 A, 조건 2로 제작한 시료를 시료 B, 조건 3으로 제작한 시료를 시료 C로 하였다.

[0227]

도 14(B)에 시료 A 내지 시료 C의 전류-전압(I-V) 특성을 측정한 결과를 도시한다. 도 14(B)에 있어서, 가로축은 전압 $V_g(V)$ 을 도시하고, 세로축은 전류 $I_g(A)$ 를 도시한다. 여기서는, 시료 A 내지 시료 C의 기판 면내 1포

인트씩 I-V 특성을 측정한 결과를 나타낸다.

[0228] 도 14(B)의 결과에 의하여, 에칭을 기판 바이어스를 인가하여 행한 시료 B는, 에칭을 행하지 않은 시료 A보다 전류의 상승이 빠르고, 내압이 나쁜 것을 확인되었다. 이에 대하여, 에칭을 기판 바이어스를 인가하지 않고 행한 시료 C는, 에칭을 행하지 않은 시료 A와 같은 정도의 내압이 되었다.

[0229] 다음에, 단결정 실리콘 기판 중의 불순물(여기서는, Al)을 조사하기 위하여, 2차 이온 질량 분석법(SIMS)을 사용하여 분석을 행하였다.

[0230] SIMS 분석으로 사용한 시료에 대하여 설명한다. 조건 1로서 단결정 실리콘 기판을 준비하였다. 조건 2로서 단결정 실리콘 기판에 플라즈마 CVD 장치를 사용하여, 반응 가스의 유량 비율 $\text{NF}_3:\text{N}_2=10:400$ (sccm), 처리실내 압력 65Pa, 전극간 거리 30mm, 기판 온도 200°C, RF(13.56MHz) 파워 50W로 하고, 기판 바이어스를 인가하지 않고 에칭을 행하였다. 조건 3으로서 단결정 실리콘 기판에 ICP 에칭 장치를 사용하여, 염소 가스의 유량 100sccm, 반응 압력 1.5Pa, 하부 전극의 온도 40°C, 코일형 전극에 투입하는 RF(13.56MHz) 파워 1000W, 하부 전극(바이어스 측)에 투입하는 전력 50W로 하고, 기판 바이어스를 인가하여 에칭을 행하였다. 조건 4로서 단결정 실리콘 기판에, 조건 3과 마찬가지로 기판 바이어스를 인가하여 에칭을 행한 후, 오존수와 불산을 교대로 사용한 사이클 세정을 행하였다. 조건 1로 제작한 시료를 시료 D, 조건 2로 제작한 시료를 시료 E, 조건 3으로 제작한 시료를 시료 F, 조건 4로 제작한 시료를 시료 G로 하였다. 또한, SIMS 분석에 있어서, 시료의 최표면에 있어서, 외기로부터의 흡착 불순물이 검출되어 버린다. 그래서, 시료 D 내지 시료 G의 표면을 보호하기 위하여 산화질화 실리콘막을 각각 20nm 형성하였다.

[0231] 다음에, 도 15에 시료 D 내지 시료 G에 대하여, SIMS로 분석한 결과를 도시한다. 도 15에 있어서, 가로축은 시료의 깊이 방향(nm)을 도시하고, 세로축은 Al의 농도(atoms/cm³)를 도시한다. 또한, 약 20nm의 깊이까지는, 산화질화 실리콘막이다.

[0232] 도 15에 있어서, 단결정 실리콘 기판 중(깊이 약 30nm)의 Al 농도에 주목하면, 시료 F로는 Al 농도가 약 1×10^{18} atoms/cm³인 것에 대하여, 시료 E로는 Al 농도가 약 1×10^{14} atoms/cm³(SIMS의 측정 한계 이하)이고, 시료 D와 같은 정도의 농도였다. 또한, 시료 F와 시료 E로는 Al 농도가 3자릿수 이상 상이한 것을 알았다.

[0233] 도 15에 의하여, 기판 바이어스를 인가하여 에칭을 행한 시료 F의 최표면으로부터는, 2×10^{18} atoms/cm³의 Al가 검출되었다. 다만, SIMS 측정에 있어서는, 이온의 충돌에 의하여 Al가 침입하게 되므로, 프로파일은 실제 분포보다 깊이 방향을 향하여 끄트머리가 연장되어 있다고 생각된다. 그러나, 기판 바이어스를 인가하여 에칭을 행한 시료 F에서는, 에칭을 행하지 않은 시료 D와 비교하여 많은 Al가 검출되었다. 또한, 시료 G의 결과를 보면, 기판 바이어스를 인가하여 에칭을 행한 후에 사이클 세정을 행함으로써, 최표면의 Al가 다소 제거되어 있다고 생각되지만, Si 표면으로부터의 20nm 내지 80nm에 있어서는, 사이클 세정의 유무에 관계없이 같은 정도의 농도였다. 이로써, 기판 바이어스를 인가하여 에칭을 행함으로써, 불순물(Al)은 사이클 세정으로는 제거할 수 없는 깊이까지 주입되어 있다고 생각된다.

[0234] 상술한 결과에 의거하여, 기판 바이어스를 인가하지 않고 에칭을 행함으로써, 단결정 실리콘층 중까지 불순물로 인하여 오염되는 것을 억제할 수 있다는 것을 알았다. 이와 같은 단결정 실리콘층을 사용함으로써, 불순물 오염에 의한 내압 불량 등의 디바이스 특성의 악화를 방지하여, 양호한 반도체 장치를 제작할 수 있다.

[0235] [실시예 2]

[0236] 본 실시예에서는, 단결정 실리콘 기판 중의 불순물(여기서는, Al)을 정보를 정확하게 얻기 위하여, 시료의 기판 측으로부터 2차 이온 질량 분석법(SIMS)을 사용하여 분석을 행한 결과에 대하여 설명한다.

[0237] 본 실시예에서 사용한 시료에 대하여 설명한다. 시료 H로서, 단결정 실리콘 기판에, ICP 에칭 장치를 사용하여 염소 가스의 유량 100sccm, 반응 압력 1.5Pa, 하부 전극의 온도 70°C, 코일형의 전극에 투입하는 RF(13.56MHz) 파워 1000W, 하부 전극(바이어스 측)에 투입하는 전력 50W로 하여, 기판 바이어스를 인가하여 에칭을 행한 것을 준비하였다.

[0238] 다음에, 시료 I로서 단결정 실리콘 기판에 ICP 에칭 장치를 사용하여, 염소 가스의 유량 100sccm, 반응 압력 2.0Pa, 하부 전극의 온도 70°C, 코일형의 전극에 투입하는 RF(13.56MHz) 파워 2000W, 하부 전극(바이어스 측)에

투입하는 전력 0W로 하고, 기판 바이어스를 인가하지 않고 에칭을 행한 것을 준비하였다.

[0239] 다음에, 시료 J로서 단결정 실리콘 기판에 ICP 에칭 장치를 사용하여, 반응 가스의 유량 비율 $\text{NF}_3:\text{N}_2=20:80(\text{sccm})$, 반응 압력 0.67Pa, 하부 전극의 온도 40°C , 코일형의 전극에 투입하는 RF(13.56MHz) 파워 2000W, 하부 전극에 투입하는 전력 0W로 하고, 기판 바이어스를 인가하지 않고 에칭을 행한 것을 준비하였다.

[0240] 다음에, 시료 K로서 어떤 처리도 행하지 않은 단결정 실리콘 기판을 준비하였다.

[0241] 또한, SIMS 분석에 있어서, 시료의 최표면에 있어서, 외기로부터의 흡착 불순물이 검출되어 버린다. 그래서, 시료 H 내지 시료 K의 표면을 보호하기 위하여 산화질화 실리콘막을 각각 20nm 형성하였다.

[0242] 다음에, 도 16에 시료 H 내지 시료 K에 대하여, SIMS로 측정한 결과를 도시한다. 도 16에 있어서, 가로축은 시료의 깊이 방향(nm)을 도시하고, 세로축은 Al의 농도(atoms/cm³)를 도시한다. 또한, 약 20nm의 깊이까지는, 산화질화 실리콘막이다. 여기서, 주의하여야 할 것은, 단결정 실리콘 기판 위의 산화질화 실리콘막의 성분 검출의 영향을 가능한 한 피하기 위하여, 단결정 실리콘 기판의 뒷면으로부터 측정을 행한 점이다. 단결정 실리콘 기판을 소정의 두께까지 연마한 후, 단결정 실리콘 기판의 뒷면 측으로부터 측정을 행하였다.

[0243] 도 16에 도시한 바와 같이, 기판 바이어스를 인가하지 않고 에칭을 행한 시료 I 및 시료 J에 대해서는, 기판 바이어스를 인가하여 에칭을 행한 시료 H와 비교하여, Al의 농도가 낮고, 단결정 실리콘 기판 중에서는, Al가 거의 검출되지 않았다.

[실시예 3]

[0245] 본 실시예에서는, 기판 바이어스의 인가의 유무에 의한 SOI 기판의 제작 중에 발생하는 단결정 반도체층의 오염의 영향에 대하여, 조사한 결과에 대하여 설명한다.

[0246] 이하, 본 실시예의 SOI 기판의 제작 방법에 대하여 설명한다.

[0247] 우선, 단결정 반도체 기판을 준비하고, 상기 단결정 반도체 기판을 열 산화 처리하여 절연층으로서 기능하는 산화 실리콘막을 형성하였다. 열 산화 처리의 온도는, 950°C 로 하고, 절연층의 막 두께는 100nm로 하였다. 또한, 열 산화 처리의 분위기는, 산소에 대하여 HCl를 3체적%의 비율로 포함하는 분위기로 하였다.

[0248] 본 실시예에 있어서는, 단결정 반도체 기판으로서 단결정 실리콘 웨이퍼를 사용하여, 베이스 기판 위에 단결정 실리콘층을 형성하였다. 단결정 실리콘 웨이퍼는 5인치의 네모난 기판이다. 또한, 그 결정 방위는 주표면이 (100)이고, 측면이 <100>이고, 도전형은 p형이다.

[0249] 단결정 반도체 기판을 열 산화 처리한 후, 단결정 반도체 기판에 취화 영역을 형성하기 위하여, 이온 도핑 장치를 사용하여 수소 이온을 조사하였다. 소스 가스에는 100% 수소 가스를 50sccm 사용하고, 수소 가스를 여기하여 생성된 플라즈마 중의 이온을 질량 분리하지 않고, 전계에 의하여 가속하여 단결정 반도체 기판에 조사하여, 취화 영역을 형성하였다. 또한, 이온 도핑 장치를 사용하여 수소 가스를 여기함으로써, 3종류의 이온종(H^+ , H_2^+ , H_3^+)을 생성하고, 이들 중 70% 정도를 H_3^+ 로 하였다. 수소 이온 도핑의 조건은, 가속 전압 50kV, 빔 전류 밀도 $5 \mu\text{A}/\text{cm}^2$, 도즈량 $2.0 \times 10^{16} \text{ ions}/\text{cm}^2$ 로 하였다.

[0250] 다음에, 베이스 기판 및 단결정 반도체 기판을 메가소닉(megasonic) 세정한 후, 오존을 포함하는 순수 중에서 세정하고, 베이스 기판 표면과 단결정 반도체 기판 위에 형성된 절연층을 밀착시켜 접합하였다. 본 실시예에 있어서는, 베이스 기판으로서 무알칼리 유리 기판(상품명 AN100)을 사용하였다. AN100은 비중 $2.51\text{g}/\text{cm}^3$, 푸아송 비율(Poisson's ratio) 0.22, 영률 77GPa, 2축 탄성계수 98.7GPa, 열 팽창률 $38 \times 10^{-7}/^\circ\text{C}$ 의 물성 값을 갖는 유리 기판이다.

[0251] 다음에, 가열로에 있어서 200°C , 2시간의 열 처리를 행하고, 베이스 기판과 산화 실리콘막의 결합 강도를 향상 시켰다. 이어서, 가열로에 있어서 600°C , 2시간의 열 처리를 행함으로써, 취화 영역을 경계로 하여 단결정 반도체 기판을 분리하여, 베이스 기판 위에 절연층을 통하여 단결정 반도체층을 형성하였다. 단결정 반도체층의 막 두께는 140nm 정도로 하였다.

[0252] 다음에, 단결정 반도체층에 대하여 제 1 에칭 처리, 레이저 광 조사 처리를 행하였다. 이하에 구체적인 조건을

나타낸다.

[0253] 조건 1로서 제 1 에칭 처리 및 제 2 에칭 처리를 기판 바이어스를 인가하지 않고 행한 경우에 대하여 설명한다. 단결정 반도체층에 플라즈마 CVD 장치를 사용하여, 반응 가스의 유량 비율 $\text{NF}_3:\text{N}_2=5:300(\text{sccm})$, 처리실내 압력 50Pa, 전극간 거리 30mm, 기판 온도 200°C, RF(13.56MHz) 파워 50W로 하여, 제 1 에칭 처리를 행함으로써, 단결정 반도체층의 막 두께를 120nm 정도로 하였다. 다음에, 단결정 반도체층에 레이저 광을 조사한 후, 제 1 에칭 처리를 같은 조건으로 제 2 에칭 처리를 행함으로써, 단결정 반도체층의 막 두께를 60nm 정도로 하였다.

[0254] 조건 2로서, 제 1 에칭 처리는 기판 바이어스를 인가하고, 제 2 에칭 처리는 기판 바이어스를 인가하지 않고 행한 경우에 대하여 설명한다. 단결정 반도체층에 ICP 에칭 장치를 사용하여 염소 가스의 유량 100sccm, 반응 압력 1.5Pa, 하부 전극의 온도 40°C, 코일형의 전극에 투입하는 RF(13.56MHz) 파워 1000W, 하부 전극(바이어스 층)에 투입하는 전력 50W로 하여, 제 1 에칭 처리를 행함으로써, 단결정 반도체층의 막 두께를 120nm 정도로 하였다. 다음에, 단결정 반도체층에 레이저 광을 조사한 후, 조건 1의 제 1 에칭 처리와 같은 조건으로 제 2 에칭 처리를 행함으로써, 단결정 반도체층의 막 두께를 60nm 정도로 하였다.

[0255] 조건 3으로서, 제 1 에칭 처리는 기판 바이어스를 인가하지 않고, 제 2 에칭 처리는 기판 바이어스를 인가하여 행한 경우에 대하여 설명한다. 단결정 반도체층에 조건 1의 제 1 에칭 처리와 같은 조건으로 제 1 에칭 처리를 행함으로써, 단결정 반도체층의 막 두께를 120nm 정도로 하였다. 다음에, 단결정 반도체층에 레이저 광을 조사한 후, 조건 2의 제 1 에칭 처리와 같은 조건으로 제 2 에칭 처리를 행함으로써, 단결정 반도체층의 막 두께를 60nm 정도로 하였다.

[0256] 조건 4로서, 제 1 에칭 처리 및 제 2 에칭 처리를 기판 바이어스를 인가하여 행한 경우에 대하여 설명한다. 단결정 반도체층에 조건 2의 제 1 에칭 처리와 같은 조건으로 제 1 에칭 처리를 행함으로써, 단결정 반도체층의 막 두께를 120nm 정도로 하였다. 다음에, 단결정 반도체층에 레이저 광을 조사한 후, 조건 2의 제 1 에칭 처리와 같은 조건으로 제 2 에칭 처리를 행함으로써, 단결정 반도체층의 막 두께를 60nm 정도로 하였다.

[0257] 또한, 조건 1 내지 조건 4에 있어서, 레이저 광의 조사 조건은, 레이저 발진기에 파장 308nm의 빔을 발진하는 XeCl 액시머 레이저를 사용하여, 광학계에 의하여 피조사 면에서의 빔 형상이 대략 $390\mu\text{m} \times 140\text{mm}$ 의 선형이 되도록 집광하였다. 레이저 광의 폴스 폭은 20nsec이고, 반복 주파수는 30Hz이다. 또한, 레이저 광의 조사는, 실온에서 질소 가스를 조사 영역에 분무하면서 행하였다.

[0258] 상술한 바와 같이, 조건 1 내지 조건 4에 의하여 제작한 SOI 기판을 사용하여 용량 TEG를 제작하였다. 도 17(A) 및 도 17(B)에 본 실시예에서 제작한 박막 트랜지스터의 구조를 도시한다. 도 17(A)는, 용량 TEG의 상면도이고, 도 17(B)는 도 17(A)의 A-B의 절단면이다.

[0259] 유리 기판(800) 위에, 산화 처리에 의하여 형성된 산화 실리콘막(801)(막 두께 100nm)이 형성되어 있다. 또한, 산화 실리콘막(801) 위에 게이트 절연층(804)(막 두께 20nm), 게이트 절연층 위에 게이트 전극층(805)(막 두께 30nm의 질화 탄탈층과 막 두께 370nm의 텅스텐층의 적층)이 형성되어 있다. 산화 실리콘막(801)에는, 소스 영역 및 드레인 영역(803)(n형을 부여하는 불순물 원소로서 인을 포함하는 불순물 영역)에 접속하는 소스 전극층 및 드레인 전극층(막 두께 60nm의 티타늄층, 막 두께 40nm의 질화 티타늄층, 막 두께 300nm의 알루미늄층, 막 두께 100nm의 티타늄층의 순차로 적층)이 형성되어 있다. 또한, 산화 실리콘막(801)의 소스 영역 및 드레인 영역(p형을 부여하는 불순물 원소로서 붕소를 포함하는 불순물 영역)에 접속하는 소스 전극층 및 드레인 전극층(807)(막 두께 60nm의 티타늄층, 막 두께 40nm의 질화 티타늄층, 막 두께 300nm의 알루미늄층, 막 두께 100nm의 티타늄층의 순차로 적층)이 형성되어 있다. 또한, 트랜지스터 위는 층간 절연층(806)(막 두께 50nm의 산화 실리콘막, 막 두께 300nm의 질화산화 실리콘막, 막 두께 450nm의 산화질화 실리콘막의 순서로 적층)이 형성된다. 본 실시예에 따른 용량 TEG는, 게이트 전극의 면적이 0.66mm^2 가 되도록 형성되어 있다.

[0260] 도 18(A) 내지 도 19(B)에 시료 L 내지 시료 0의 전류-전압(I-V)특성을 측정한 결과를 도시한다. 도 18(A) 내지 도 19(B)에 있어서, 가로축은 전압 $V_g(\text{V})$ 를 도시하고, 세로축은 게이트 전류 $I_g(\text{A})$ 를 도시한다. 여기서는, 시료 L 내지 시료 0의 기판 면내 25포인트씩, I-V 특성을 측정한 결과를 도시한다.

[0261] 도 18(A) 내지 도 19의 결과를 보면, 제 1 에칭 처리 및 제 2 에칭 처리를 기판 바이어스를 인가하지 않고 행한 시료 L는, 전류 값의 상승이 둔해지고, 편차도 적고, 내압도 좋다는 것을 알았다. 또한, 제 1 에칭 처리는 기판 바이어스를 인가하고, 제 2 에칭 처리는 기판 바이어스를 인가하지 않고 행한 시료 M도 전류 값의 상승에 편차가 발생되지만, 상승이 둔해지고 양호한 특성이 얻어졌다. 이에 대하여, 제 1 에칭 처리는 기판 바이어스를

인가하지 않고, 제 2 에칭 처리는 기판 바이어스를 인가한 시료 N, 및 제 1 에칭 처리 및 제 2 에칭 처리를 기판 바이어스를 인가하여 행한 시료 O는, 상승이 급하고 내압이 나쁘다는 것을 알았다.

[0262] 도 20(A) 및 도 20(B)에 상기 시료 L 내지 시료 0의 전계 효과 이동도의 결과를 도시한다. 전계 효과 이동도의 결과를 보아도, 제 1 에칭 처리 및 제 2 에칭 처리를 기판 바이어스를 인가하지 않고 행한 시료 L, 및 제 1 에칭 처리는 기판 바이어스를 인가하고, 제 2 에칭 처리는 기판 바이어스를 인가하지 않고 행한 시료 M은, 다른 시료와 비교하여 편차가 적고 높은 전계 효과 이동도가 얻어지는 것을 알았다.

[0263] 상술한 결과에 의거하여, 적어도 제 2 에칭 처리를, 기판 바이어스를 인가하지 않고 행한 시료 L, 및 시료 M은 에칭 처리에 있어서 오염이 적고, 또 단결정 실리콘층의 표면 거칠기가 저감되기 때문에, 양호한 내압 및 높은 전계 효과 이동도가 얻어진 것으로 생각된다. 그러나, 적어도 제 2 에칭 처리를 기판 바이어스를 인가하여 행한 시료 N, 및 시료 O는 에칭 처리에 있어서 오염이 발생되고, 또 단결정 실리콘층의 표면이 거칠어졌기 때문에, 내압이 낮고, 전계 효과 이동도도 저하되었다고 생각된다.

[0264] 상술한 결과에 의거하여, 본 발명의 일 형태를 적용함으로써 SOI 기판의 제작 중에 발생하는 단결정 실리콘 기판의 오염이 저감되는 것을 알았다. 또한, 이와 같은 SOI 기판을 사용한 반도체 장치는, 고성능화 및 신뢰성을 향상시키는 것을 알았다.

부호의 설명

620: 처리실	621: 스테이지
622: 가스 공급부	623: 샤큐 플레이트
624: 배기구	625: 상부 전극
626: 하부 전극	627: 교류 전원
628: 매칭 컨트롤러	629: 온도 제어부

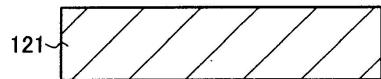
도면

도면1

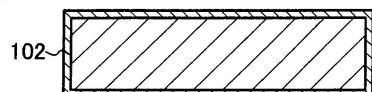
(A-1) (B-1)



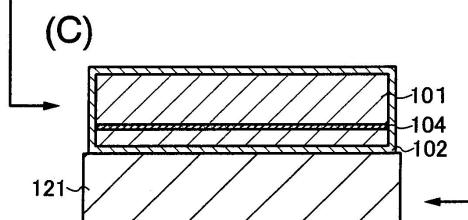
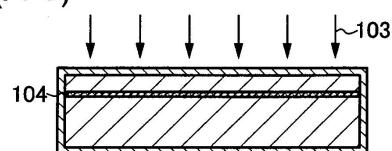
(B-1)



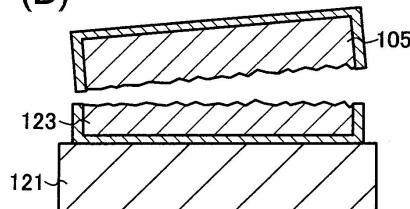
(A-2)



(A-3)

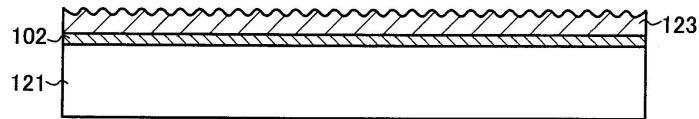


(D)

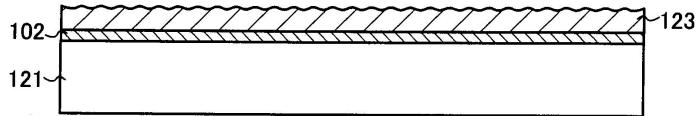


도면2

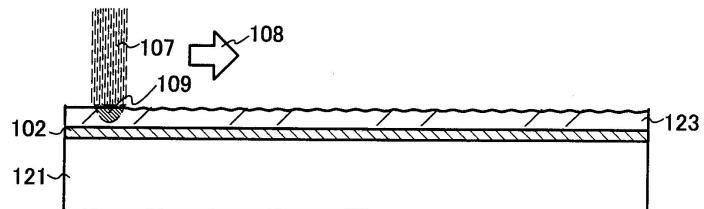
(A)



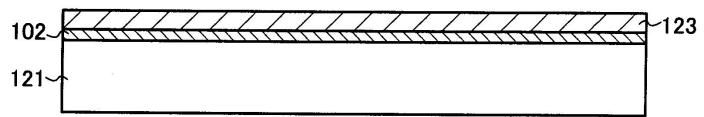
(B)



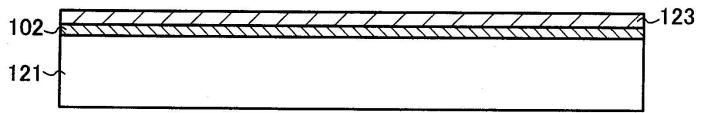
(C)



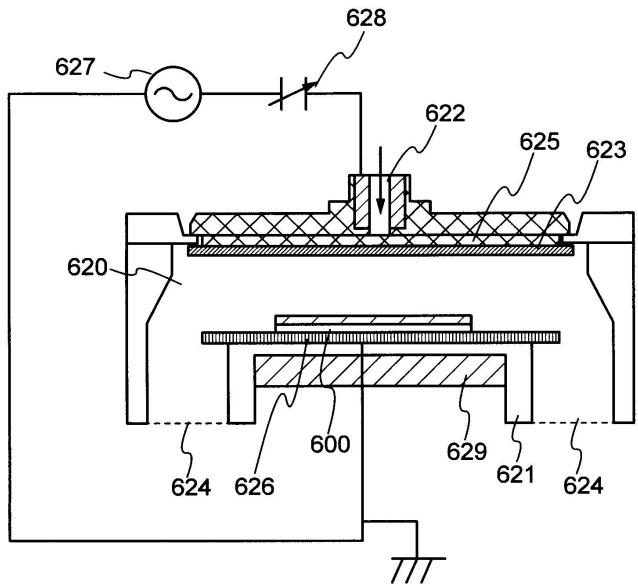
(D)



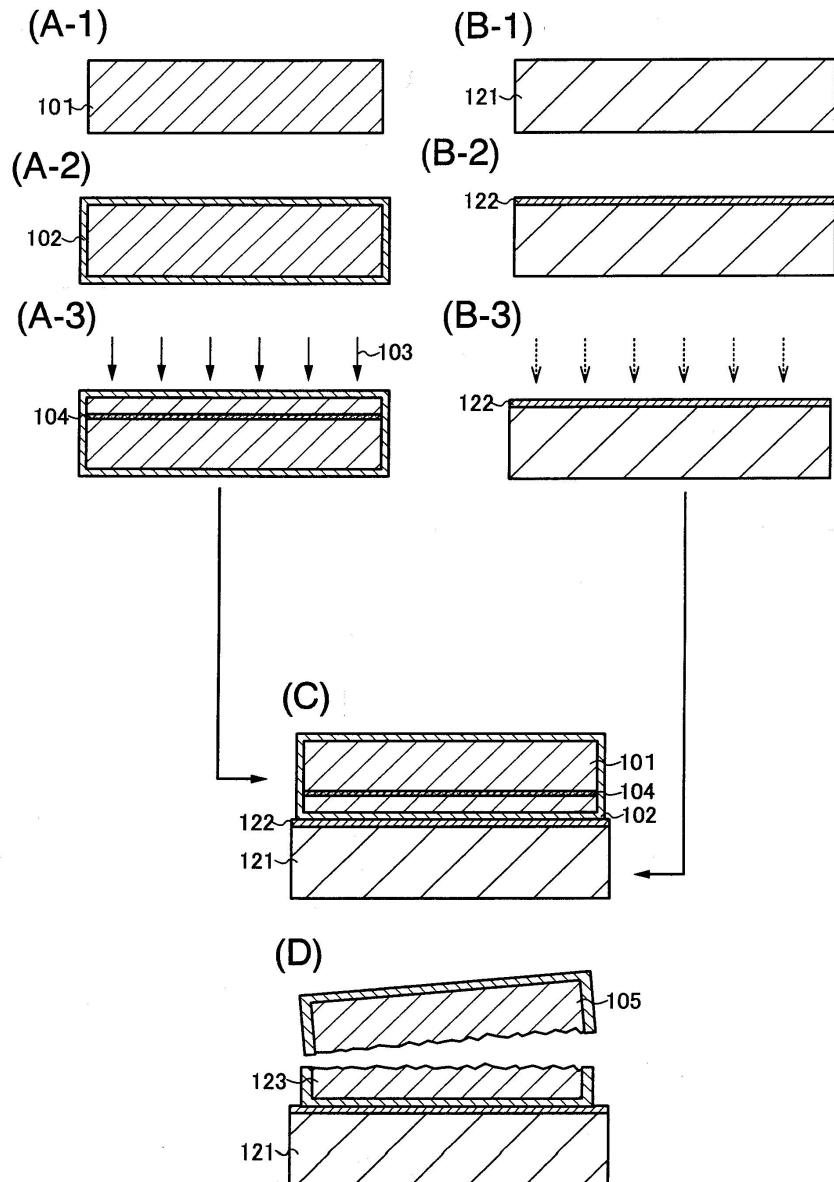
(E)



도면3

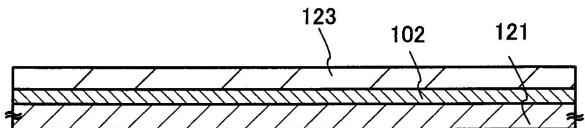


도면4

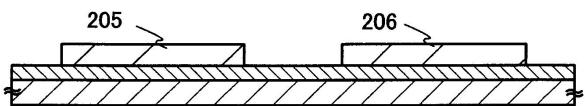


도면5

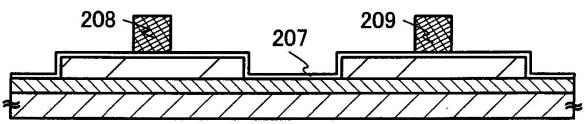
(A)



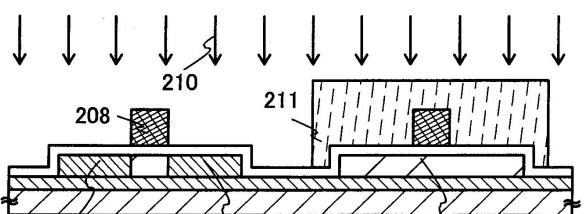
(B)



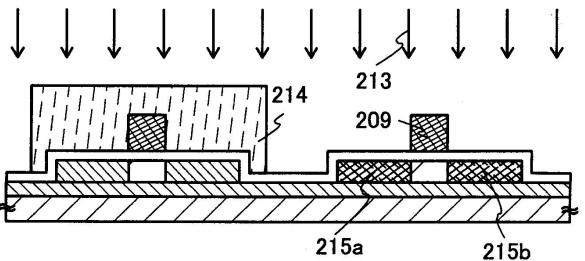
(C)



(D)

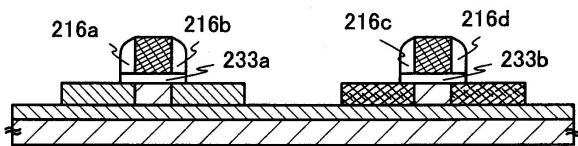


(E)

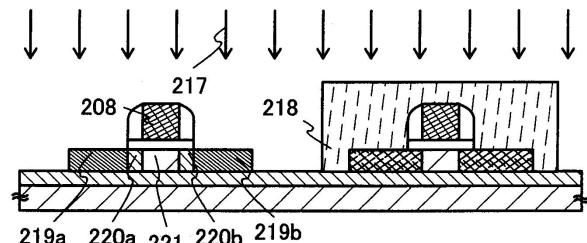


도면6

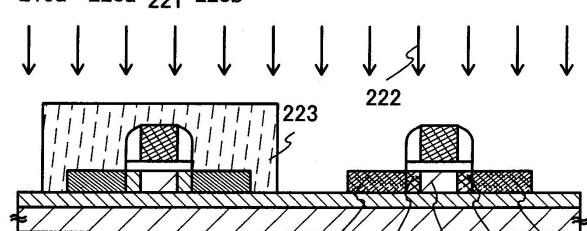
(A)



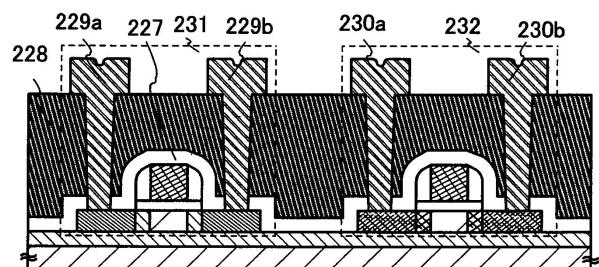
(B)



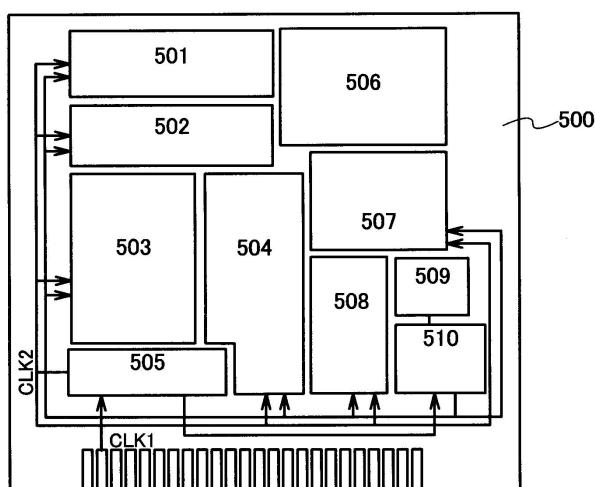
(C)



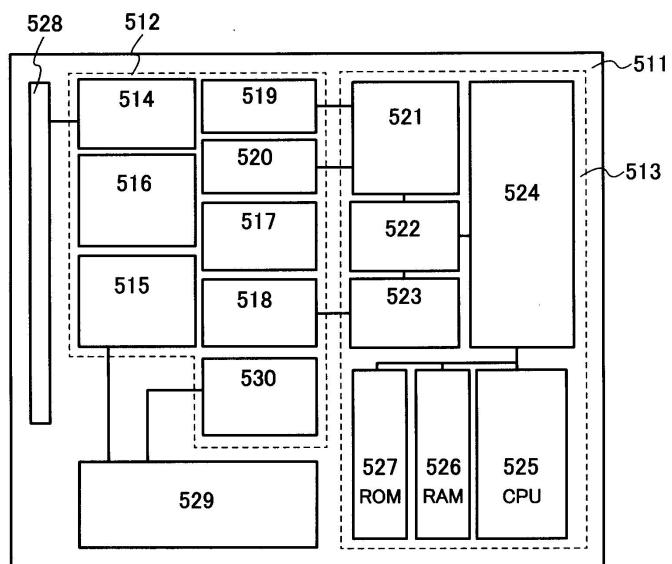
(D)



도면7

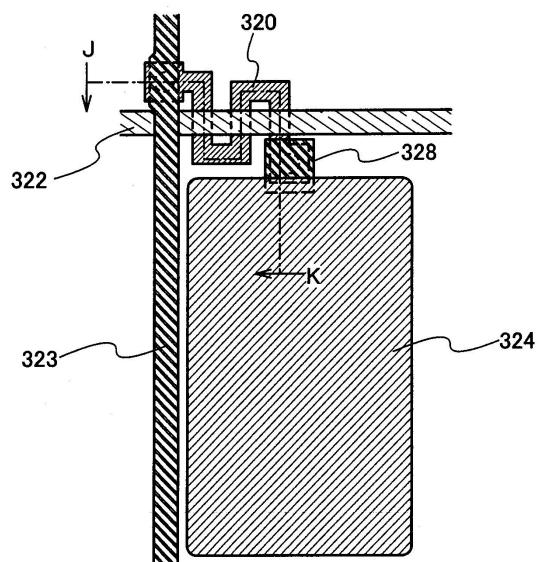


도면8

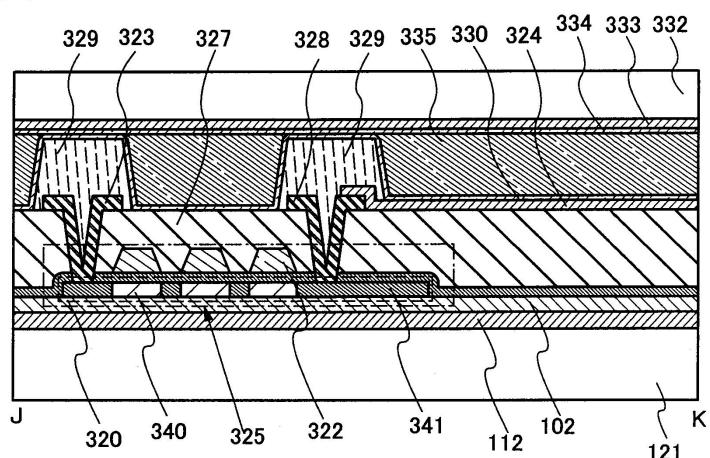


도면9

(A)

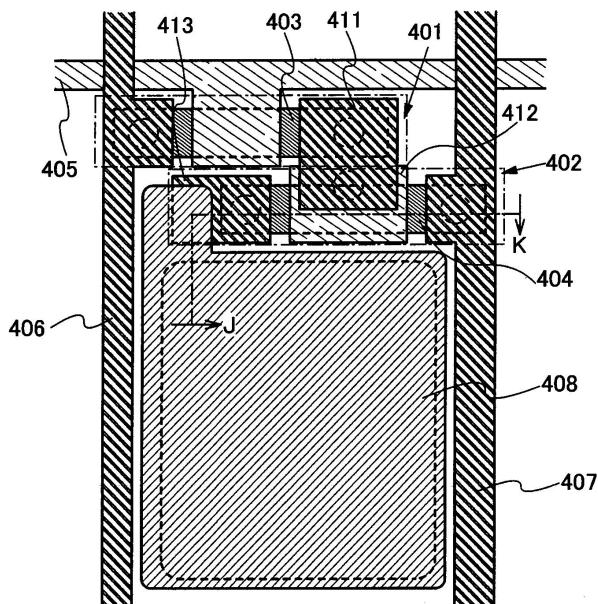


(B)

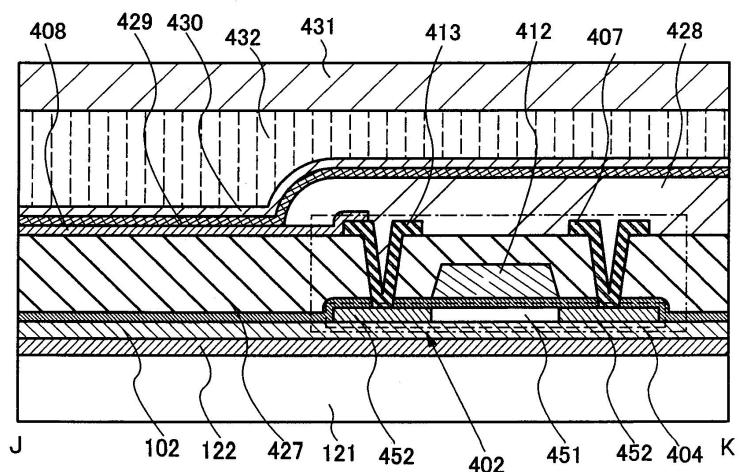


도면10

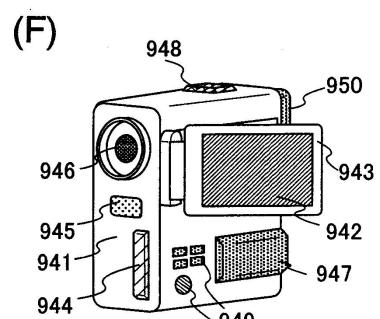
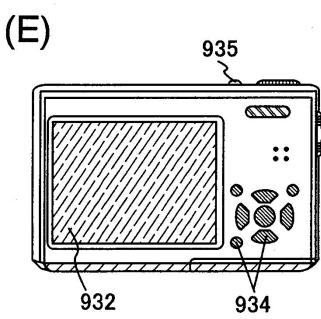
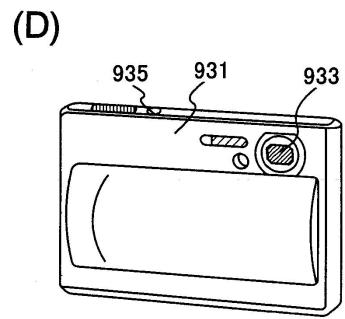
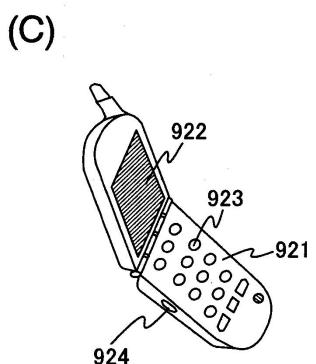
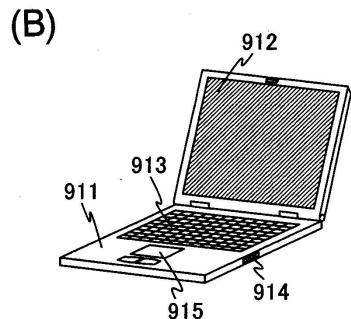
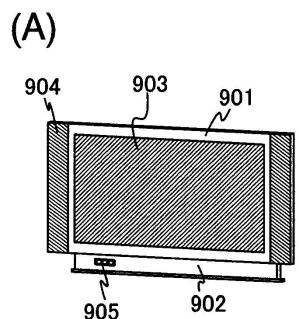
(A)



(B)

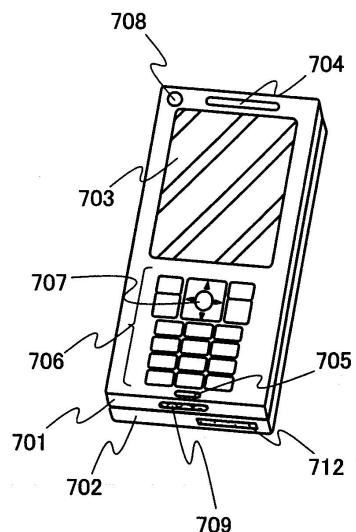


도면11

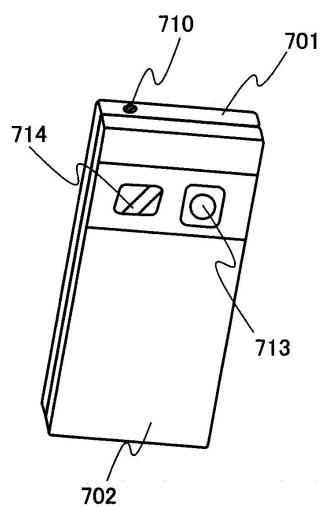


도면12

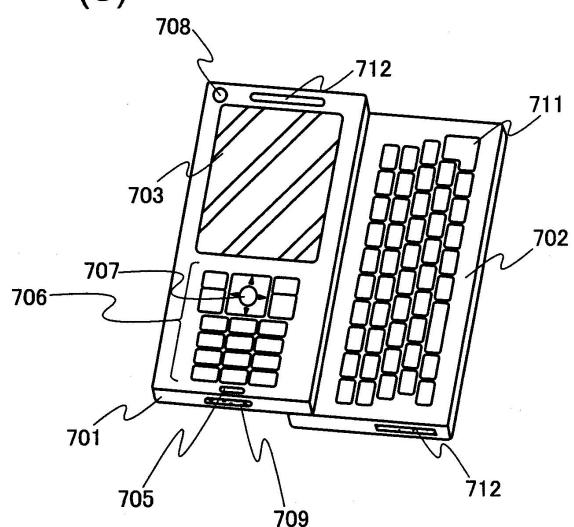
(A)



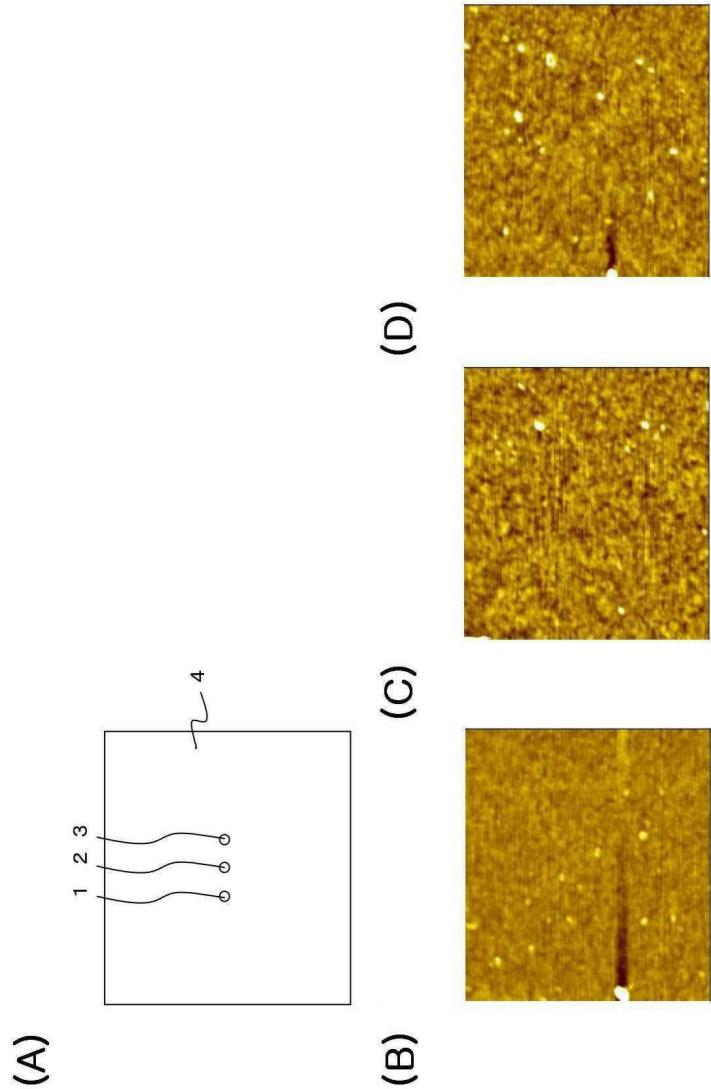
(B)



(C)

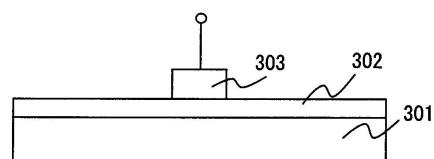


도면13

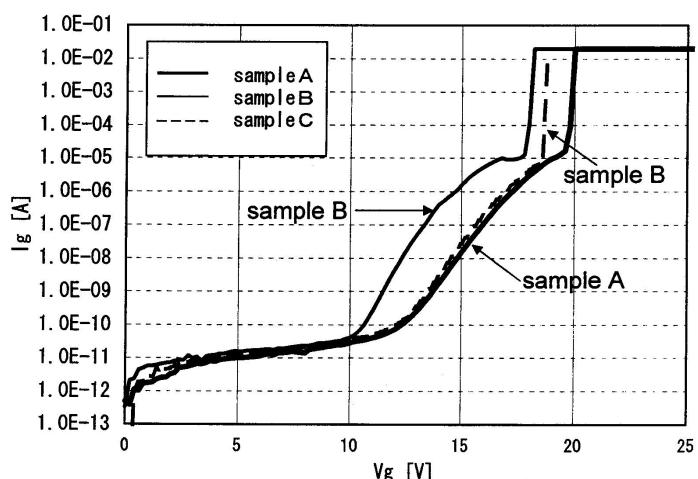


도면14

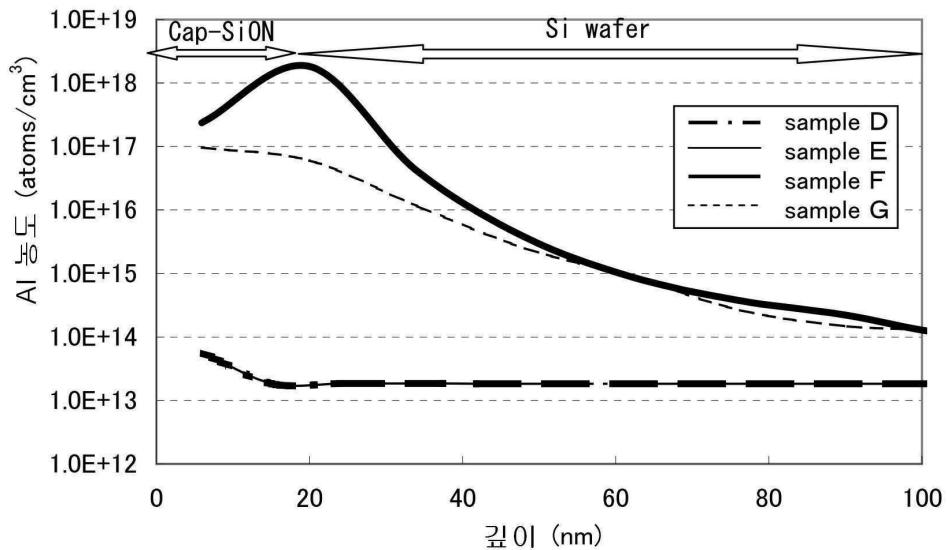
(A)



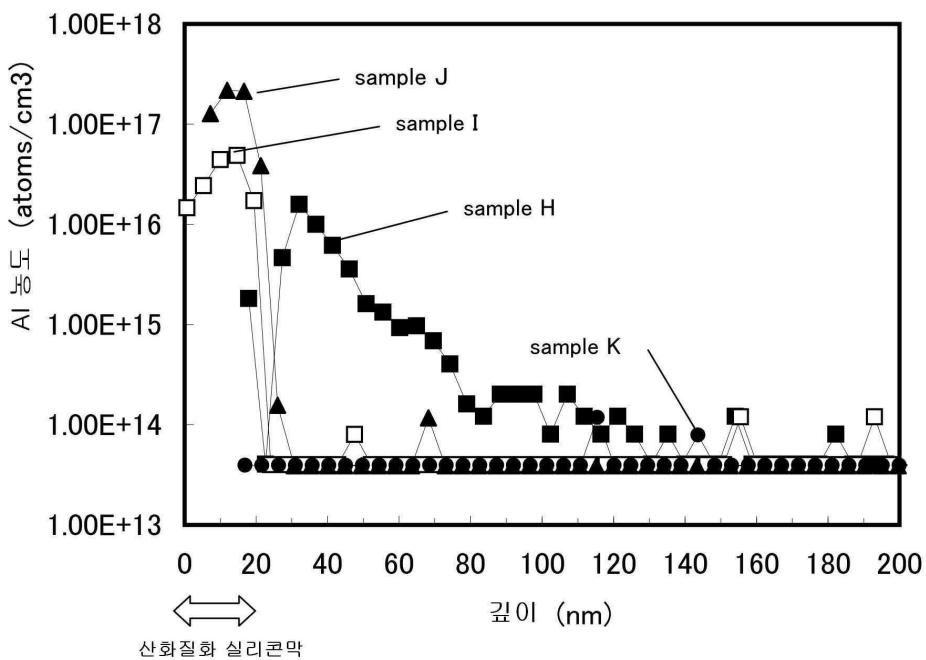
(B)



도면15

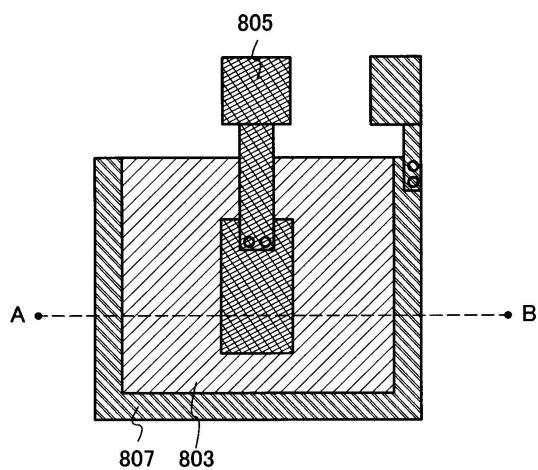


도면16

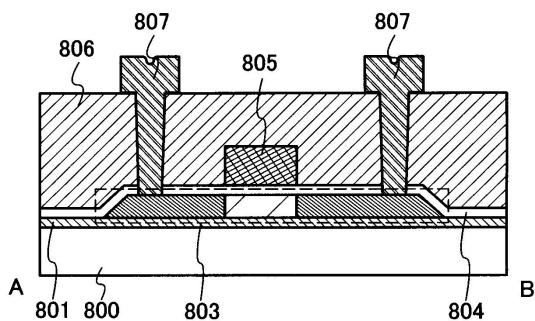


도면17

(A)



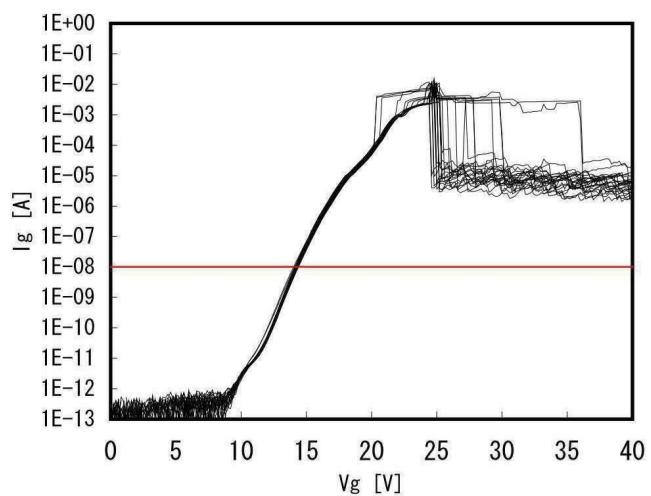
(B)



도면18

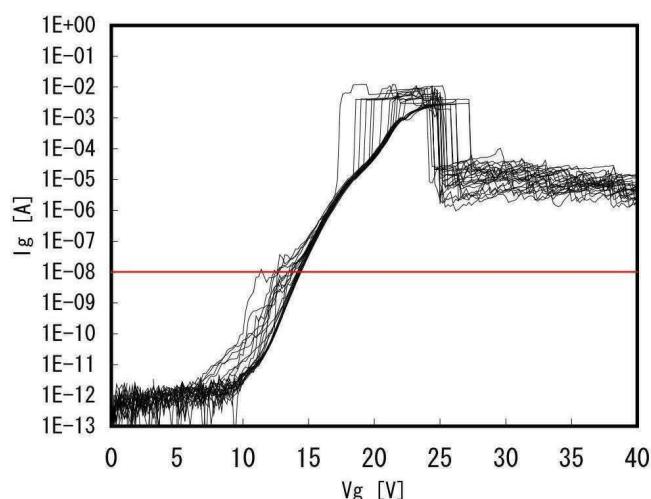
(A)

CVD-CVD



(B)

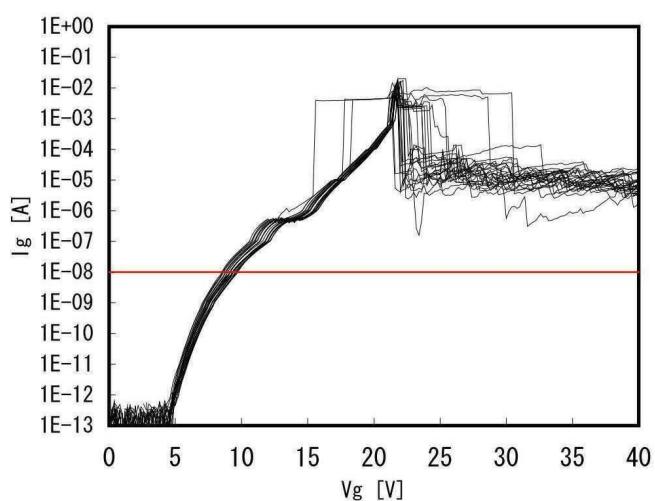
Dry-CVD



도면19

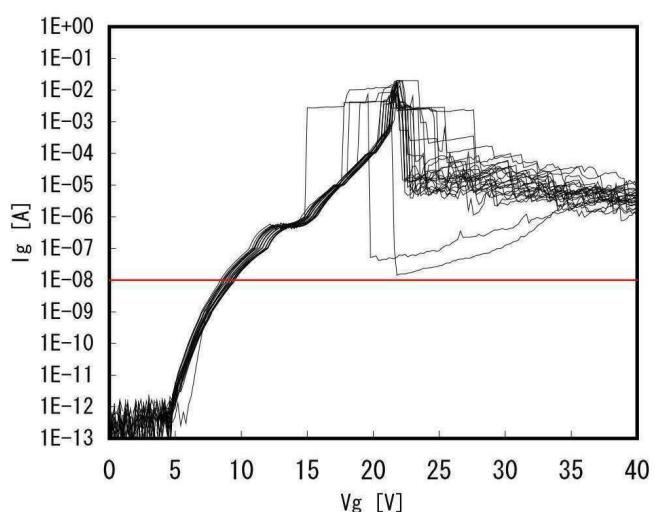
(A)

CVD-Dry



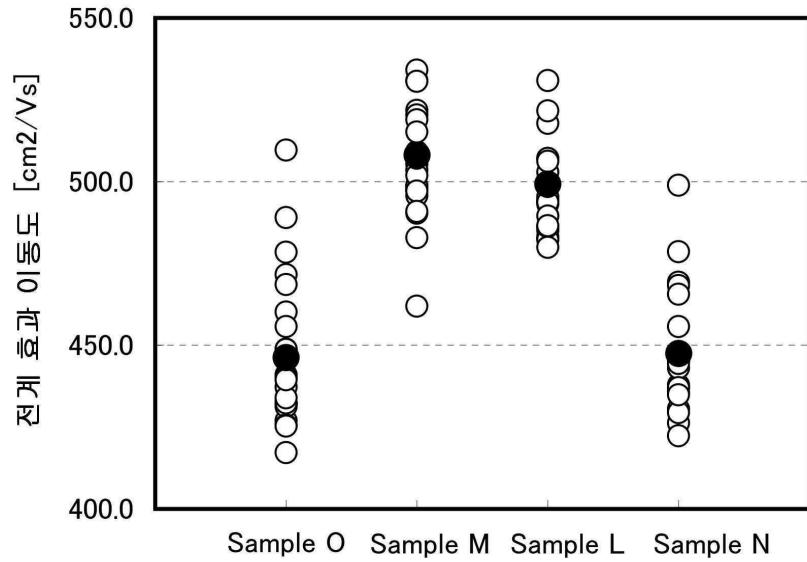
(B)

Dry-Dry



도면20

(A)



(B)

	sample O [cm ² /Vs]	Sample N [cm ² /Vs]	Sample L [cm ² /Vs]	Sample M [cm ² /Vs]
최대	509.6	498.9	565.0	577.0
최소	417.2	422.4	479.9	462.0
평균	446.2	447.5	499.2	508.1