

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 5 月 8 日 (08.05.2014)



(10) 国际公布号
WO 2014/067200 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
H01L 21/8234 (2006.01) H01L 29/06 (2006.01)
- (21) 国际申请号: PCT/CN2012/085359
- (22) 国际申请日: 2012 年 11 月 27 日 (27.11.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210432008.6 2012 年 11 月 2 日 (02.11.2012) CN
- (71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3#, Beijing 100029 (CN)。
- (72) 发明人: 朱慧珑 (ZHU, Huilong); 美国纽约州波基普西市奥特姆路 93#, New York 12603 (US)。 骆志炯 (LUO, Zhijiong); 美国纽约州波基普西市洛克科劳斯特街 11#, New York 12603 (US)。 尹海洲 (YIN, Haizhou); 美国纽约州波基普西市洛克科劳斯特街 11#, New York 12603 (US)。

- (74) 代理人: 北京汉昊知识产权代理事务所 (普通合伙) (HANHOW INTELLECTUAL PROPERTY PARTNERS); 中国北京市东城区东长安街 1 号东方广场西 1 区 11 层 1111 室朱海波, Beijing 100738 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREOF

(54) 发明名称: 半导体结构及其制造方法

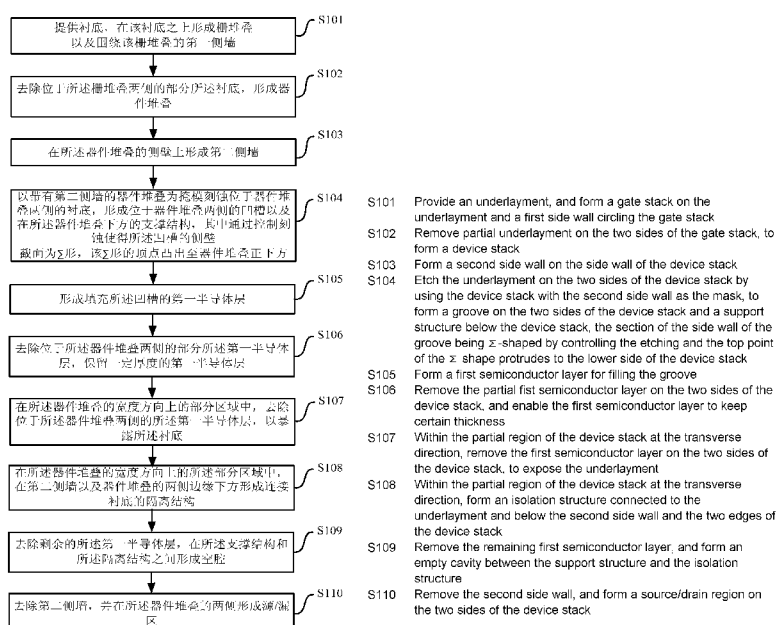


图 1 / FIG.1

(57) Abstract: A semiconductor structure is provided, comprising an underlayer (130), a support structure (131), a substrate region (100), a gate stack, a side wall (240), and a source/drain region. The gate stack is provided on the substrate region (100), and the substrate region (100) is supported on the underlayer (130) by the support structure (131), the section of the side wall of the support structure (131) being Σ -shaped, an isolation structure (123) being provided below two edges of the substrate region (100), the isolation structure (123) being partially connected to the underlayer (130), an empty cavity (112) being provided between the isolation structure (123) and the support structure (131), and the source/drain region being at least provided on the two sides of the substrate region (100) and the isolation structure (123). Correspondingly, also provided is a semiconductor manufacturing method.

(57) 摘要: 提供了一种半导体结构, 包括衬底 (130)、支撑结构 (131)、基底区 (100)、栅堆叠、侧墙 (240) 以及源/漏区, 其中, 所述栅堆叠位于所述基底区 (100) 之上, 所述基底区 (100)

由支撑结构 (131) 支撑于所述衬底 (130) 之上, 其中: 所述支撑结构 (131) 的侧壁截面为 Σ 形; 在所述基底区 (100) 两侧边缘下方存在隔离结构 (123), 其中, 部分所述隔离结构 (123) 与所述衬底 (130) 相连接; 在所述隔离结构 (123) 和所述支撑结构 (131) 之间存在空腔 (112); 以及至少在所述基底区 (100) 和隔离结构 (123) 的两侧存在源/漏区。相应地, 还提供了该半导体结构的制造方法。

WO 2014/067200 A1

RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**

CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

— 包括国际检索报告(条约第 21 条(3))。

半导体结构及其制造方法

[0001] 本申请要求了 2012 年 11 月 2 日提交的、申请号为 201210432008.6、发明名称为“半导体结构及其制造方法”的中国专利申请的优先权，其全部
5 内容通过引用结合在本申请中。

技术领域

[0002] 本发明涉及半导体技术领域，尤其涉及一种半导体结构及其制造方法。

10

背景技术

[0003] 工业需求要求 IC 电路具有更高的密度并由此减小 MOS 晶体管的尺寸。然而，MOS 晶体管的缩小导致了两个众所周知的寄生效应的出现，即，随着栅极长度的减小而出现的短沟道效应和漏致势垒降低效应，易于
15 恶化器件的电学性能，如造成栅极阈值电压下降、功耗增加以及信噪比下降等问题。从物理上，上述效应可以解释为：当晶体管关断时(栅极电压为零)，非常小的器件中的源/漏区的静电影响或在沟道区上向漏极施加的电压降低了沟道中电子或空穴的能量势垒，并且导致较高的关断电流。

20

[0004] 为了控制短沟道效应，人们不得不向沟道中掺杂更多的磷、硼等杂质元素，但此举易导致器件沟道中载流子迁移率下降；而且用来向沟道中掺杂杂质的分布也存在很难控制陡度的问题，容易造成严重的短沟道效应；栅极氧化物介质的厚度方面也将出现发展瓶颈问题，栅极氧化物厚度减薄的速度已经很难再跟上栅极宽度缩小的步伐，栅介质漏电越来越
25 大；关键尺寸不断缩小，易于导致源漏区电阻的不断增大和器件的功耗越来越大。

[0005] 应变硅技术可以有效地控制短沟道效应，已有使用应变硅作为衬底的 MOS 晶体管，其利用硅锗的晶格常数与单晶硅不同的特性，使硅锗外延层产生结构上应变而形成应变硅。由于硅锗层的晶格常数比硅大，这

使得沟道区中产生机械应力，而造成载流子移动性改变。在 FET 中，拉应力能够提高电子迁移率，降低空穴迁移率，可以有利地提高 NMOS 的性能；而压应力可以提高空穴迁移率，降低电子迁移率，可以有利地提高 PMOS 的性能。

- 5 [0006] 但是，传统的硅锗应变硅技术也开始面临瓶颈，很难再为沟道提供更强的应变，无法有效提升半导体器件的工作性能。

发明内容

- 10 [0007] 为了解决上述问题，本发明提供了一种半导体结构及其制造方法，利于向沟道提供良好的应力效果，以及利于增强源/漏区的陡直性以此抑制短沟道效应。

[0008] 根据本发明的一个方面，提供了一种半导体结构的制造方法，该制造方法包括以下步骤：

- a) 提供衬底，在该衬底之上形成栅堆叠以及围绕该栅堆叠的第一侧墙；
- 15 b) 去除位于所述栅堆叠两侧的部分所述衬底，形成器件堆叠；
- c) 在所述器件堆叠的侧壁上形成第二侧墙；
- d) 以带有第二侧墙的器件堆叠为掩模刻蚀位于所述器件堆叠两侧的衬底，形成位于器件堆叠两侧的凹槽以及在所述器件堆叠下方的支撑结构，其中通过控制刻蚀使得所述凹槽的侧壁截面为 Σ 形，该 Σ 形的顶点凸出至
- 20 器件堆叠正下方；
- e) 形成填充所述凹槽的第一半导体层；
- f) 去除位于所述器件堆叠两侧的部分所述第一半导体层，保留一定厚度的第一半导体层；
- g) 在所述器件堆叠的宽度方向上的部分区域中，去除位于所述器件堆叠
- 25 两侧的所述第一半导体层，以暴露所述衬底；
- h) 在所述器件堆叠的宽度方向上的所述部分区域中，在第二侧墙以及器件堆叠的两侧边缘下方形成连接衬底的隔离结构；
- i) 去除剩余的所述第一半导体层，在所述支撑结构和所述隔离结构之间形成空腔；

j) 去除第二侧墙，并在所述器件堆叠的两侧形成源/漏区。

[0009] 根据本发明的另一个方面，还提供了一种半导体结构，包括衬底、支撑结构、基底区、栅堆叠、侧墙以及源/漏区，其中：

5 [0010] 所述栅堆叠位于所述基底区之上，所述基底区由支撑结构支撑于所述衬底之上；

[0011] 所述支撑结构的侧壁截面为 Σ 形；

[0012] 在所述基底区两侧边缘下方存在隔离结构，其中，部分所述隔离结构与所述衬底相连接；

10 [0013] 在所述隔离结构和所述支撑结构之间存在空腔；以及

[0014] 至少在所述基底区和隔离结构的两侧存在源/漏区。

[0015] 与现有技术相比，采用本发明提供的技术方案具有如下优点：由于沟道下方存在空腔，所以位于沟道两侧的应力材料层的应力可以更为集中地作用于沟道，从而有效地提升了应力对沟道载流子迁移率的影响，
15 增强对沟道性能的控制作用；此外，沟道下方空腔的存在还有利于增强源/漏区的陡直性，从而抑制短沟道效应，提高半导体器件的性能。

附图说明

[0016] 通过阅读参照以下附图所作的对非限制性实施例所作的详细描述，
20 本发明的其它特征、目的和优点将会变得更明显。

[0017] 图 1 为根据本发明的半导体结构制造方法的流程图；

[0018] 图 2 为衬底的剖面示意图；

[0019] 图 3 为形成栅堆叠后的剖面示意图；

[0020] 图 4 为形成器件堆叠后的剖面示意图；

25 [0021] 图 5 为在器件堆叠的侧面形成刻蚀停止层以及第二侧墙后的剖面示意图；

[0022] 图 6 为在器件堆叠的两侧形成凹槽后的剖面示意图；

[0023] 图 7 为继续刻蚀形成侧壁为顶点凸出至器件堆叠正下方的 Sigma 形凹槽后的剖面示意图；

[0024] 图 8 为填充凹槽形成半导体层后的剖面示意图；

[0025] 图 9 为刻蚀部分半导体层后的剖面示意图；

[0026] 图 10 为覆盖光刻掩模后的俯视示意图；

[0027] 图 11 为刻蚀半导体层以暴露部分衬底并去除光刻掩模后的俯视示意图；

[0028] 图 11a 和图 11b 分别为图 11 所示结构沿剖线 AA'和沿剖线 BB'的剖视示意图；

[0029] 图 12 为对半导体层进行横向选择性腐蚀后的俯视示意图；

[0030] 图 12a 和图 12b 分别为图 12 所示结构沿剖线 AA'和沿剖线 BB'的剖视示意图；

[0031] 图 13 为形成隔离结构后的俯视示意图；

[0032] 图 13a 和图 13b 分别为图 13 所示结构沿剖线 AA'和沿剖线 BB'的剖视示意图；

[0033] 图 14 为去除半导体层在所述栅堆叠下方形成空腔后的俯视示意图；

[0034] 图 14a 和图 14b 分别为图 14 所示结构沿剖线 AA'和沿剖线 BB'的剖视示意图；

[0035] 图 15 为在栅堆叠的两侧填充应力材料后的俯视示意图；以及

[0036] 图 15a 和图 15b 分别为图 15 所示结构沿剖线 AA'和沿剖线 BB'的剖视示意图。

具体实施方式

[0037] 下面详细描述本发明的实施例。

[0038] 所述实施例的示例在附图中示出，其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的，仅用于解释本发明，而不能解释为对本发明的限制。下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开，下文中对特定例子的部件和设置进行描述。当然，它们仅仅为示例，并且目的不在于限制本发明。此外，

本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的，其本身不指示所讨论各种实施例和/或设置之间的关系。此外，本发明提供了的各种特定的工艺和材料的例子，但是本领域普通技术人员可以意识到其他工艺的可应用于性和/或其他材料的使用。另外，

5 以下描述的第一特征在第二特征之“上”的结构可以包括第一和第二特征形成直接接触的实施例，也可以包括另外的特征形成在第一和第二特征之间的实施例，这样第一和第二特征可能不是直接接触。

[0039] 根据本发明的一个方面，提供了一种半导体结构，请参考图 15、图 15a 和图 15b，其中，图 15 为该半导体结构的俯视示意图，图 15a 和图 15b 分别为图 15 的沿剖线 AA' 和沿剖线 BB' 的剖视示意图。如图所示，所述半导体结构包括衬底 130、支撑结构 131、基底区 100、栅堆叠、侧墙 240 以及源/漏区 113，其中，所述栅堆叠位于所述基底区 100 之上，所述基底区 100 由支撑结构 131 支撑于所述衬底 130 之上；所述支撑结构 131 的侧壁截面为 Sigma (Σ) 形状；在所述基底区 100 两侧边缘下方存在隔离结构 123，其中，部分所述隔离结构 123 与所述衬底 130 相连接；

10 在所述隔离结构 123 和所述支撑结构 131 之间存在空腔 112；以及至少在所述基底区 100 和隔离结构 123 的两侧存在源/漏区 113。

[0040] 具体地，在本实施例中，所述衬底 130 的材料为单晶 Si，在其他实施例中，所述衬底 130 的材料还可以是其他单晶半导体材料。所述衬底 130 的厚度范围为 0.1nm-2mm。在本实施例中，衬底 130 的晶向为 $\langle 100 \rangle$ 。

20

[0041] 基底区 100 由支撑结构 131 支撑于衬底 130 上方。半导体结构的沟道形成于所述基底区 100 中。在本实施例中，所述基底区 100 的材料为单晶硅，在其他实施例中，所述基底区 100 的材料还可以是其他合适半导体材料。所述基底区 100 的厚度范围为 10nm-30nm。从图 15a 和图 15b 可以看出，基底区 100 和支撑结构 131 突出于所述衬底 130 上并与衬底 130 是一体的，是通过刻蚀所述衬底 130 形成的。

25

[0042] 部分隔离结构 123 与所述衬底 130 连接，即，存在部分所述隔离结构 123 和所述衬底 130 之间具有一定的距离，并非直接接触。由于支撑

结构 131 的侧壁截面为 Sigma (Σ) 形状, 隔离结构 123 与位于基底区 100 和衬底 130 之间的支撑结构 131 围成空腔 112。在本实施例中, 所述隔离结构 123 的材料与所述衬底 130 和所述基底区 100 的材料相同, 为单晶 Si, 在其他实施例中, 所述隔离结构 123 的材料还可以是其他合适半导体材料。

[0043] 所述栅堆叠包括栅介质层 102、栅极 200、以及帽层 220。其中, 所述栅介质层 102 位于基底区 100 之上, 所述栅极 200 位于所述栅介质层 102 之上, 所述帽层 220 位于所述栅极 200 的上方, 用以保护栅极 200 在后续的步骤中不受到破坏。所述栅极 200 的材料可以选用 Poly-Si、Ti、Co、Ni、Al、W、合金、金属硅化物及其组合。所述栅介质层 102 其可以是热氧化层, 包括氧化硅、氮氧化硅, 也可高 K 介质, 例如 HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 、 HfZrO 、 Al_2O_3 、 La_2O_3 、 ZrO_2 、 LaAlO 中的一种或其组合, 栅介质层 102 的厚度可以为 2nm-10nm, 例如 5nm 或 8nm。所述帽层 220 可以选用硅的氮化物, 厚度范围为 10nm-40nm, 例如 10nm 或 20nm。侧墙 240 (文中也称为“第一侧墙”) 环绕在所述栅介质层 102、栅极 200 和帽层 220 的侧壁上。第一侧墙 240 的材料包括氮化硅、氧化硅、氮氧化硅、碳化硅中的一种及其组合, 和/或其他合适的材料形成。第一侧墙 240 可以是单层结构, 也可以具有多层结构。所述第一侧墙 240 的厚度范围为 10nm-100nm, 如 30nm、50nm 或 80nm。

[0044] 源/漏区 113 位于带有侧墙 240 的栅堆叠、基底区 100 和隔离结构 123 的两侧。源/漏区 113 的上表面优选高于所述栅堆叠的底部或者与所述栅堆叠的底部齐平。其中, 对于 PFET 器件, 所述源/漏区 113 的材料为掺杂硼的 $\text{Si}_{1-x}\text{Ge}_x$, X 的取值范围为 0.1~0.7, 如 0.2、0.3、0.4、0.5 或 0.6; 对于 NFET 器件, 所述源/漏区 113 的材料为掺杂磷或砷的 Si:C, C 的原子数百分比的取值范围为 0.2%~2%, 如 0.5%、1% 或 1.5%。应力材料硅锆或硅碳的存在利于进一步调节沟道区内的应力, 以提高沟道区内载流子的迁移率。此外, 由于应力材料硅锆或硅碳的存在, 所以, 对于 PFET 器件来说, 使其具有 N 型超陡后退阱结构, 对于 NFET 器件来说, 使其具有 P 型超陡后退阱结构。

[0045] 优选地，本发明所提供的半导体结构还包括源/漏延伸区 150，位于所述基底区 100 中靠近所述源/漏区的部分。

[0046] 本发明提供的半导体结构具有以下优点：由于沟道下方存在空腔，所以位于沟道两侧的硅锗或硅碳的应力可以更为集中地作用于沟道，从而有效地提升了应力对沟道载流子迁移率的影响，增强对沟道性能的控制作用；此外，沟道下方空腔的存在还有利于增强源/漏区的陡直性，从而抑制短沟道效应，提高半导体器件的性能。

[0047] 根据本发明的另一个方面，还提供了一种半导体结构的制造方法。下面，将结合图 2 至图 15b 通过本发明的一个实施例对图 1 形成半导体结构的方法进行具体描述。如图 1 所示，本发明所提供的制造方法包括以下步骤：

[0048] 在步骤 S101 中，提供衬底 130，在该衬底 130 上形成栅堆叠以及围绕该栅堆叠的第一侧墙 240。

[0049] 具体地，如图 2 所示，首先，提供衬底 130，在本实施例中，所述衬底 130 的材料为单晶 Si。在其他实施例中，所述衬底 130 的材料还可以是其他单晶半导体材料。在本实施例中，衬底 130 的晶向为<100>。如下文所述，这将便于对其进行各向异性刻蚀。所述衬底 130 的厚度范围为 0.1nm-2mm。典型地，在所述衬底 130 中形成隔离区，例如浅沟槽隔离(STI)结构 120，以便电隔离连续的半导体器件。

[0050] 接着，如图 3 所示，在所述衬底 130 之上形成由栅介质层 102、栅极 200 以及帽层 220 所构成的栅堆叠。其中，所述栅介质层 102 位于衬底 130 上，所述栅极 200 位于所述栅介质层 102 之上，所述帽层 220 位于所述栅极 200 的上方，用以保护栅极 200 在后续的步骤中不受到破坏。其中，所述栅极 200 的材料可以选用 Poly-Si、Ti、Co、Ni、Al、W、合金、金属硅化物及其组合。所述栅介质层 102 其可以是热氧化层，包括氧化硅、氮氧化硅，也可为高 K 介质，例如 HfO₂、HfSiO、HfSiON、HfTaO、HfTiO、HfZrO、Al₂O₃、La₂O₃、ZrO₂、LaAlO 中的一种或其组合，栅介质层 102 的厚度可以为 2nm-10nm，例如 5nm 或 8nm。所述帽层 220 可以选用硅的氮化物，厚度范围为 10nm-40nm，例如 10nm 或 20nm。形成栅

堆叠后，对位于栅堆叠两侧的所述衬底 130 的表面进行轻掺杂，用以形成源/漏延伸区 150。对于 PFET 器件，向所述衬底 130 中掺杂 P 型杂质，例如硼和铟，对于 NFET 器件，向所述衬底 130 中掺杂 N 型杂质，例如砷和磷。源/漏延伸区 150 形成后，形成环绕在所述栅介质层 102、栅极 200 和帽层 220 的侧壁上的第一侧墙 240。第一侧墙 240 的材料包括氮化硅、氧化硅、氮氧化硅、碳化硅中的一种及其组合，和/或其他合适的材料形成。第一侧墙 240 可以是单层结构，也可以具有多层结构。第一侧墙 240 的厚度范围为 10nm-100nm，如 30nm、50nm 或 80nm。

[0051] 在步骤 S102 中，去除位于所述栅堆叠两侧的部分所述衬底 130，形成器件堆叠。

[0052] 具体地，如图 4 所示，以带有第一侧墙 240 的栅堆叠为掩模刻蚀去除所述栅堆叠两侧的部分衬底 130，在栅堆叠下方形成基底区 100。基底区 100 和其上的栅堆叠以及第一侧墙 240 一同构成器件堆叠。在本实施例中，刻蚀深度的范围为 10nm-30nm。刻蚀优选为干法刻蚀，所述干法刻蚀的方法包括等离子体刻蚀、离子铣、反溅射、反应离子刻蚀，在本实施例中，采用反应离子刻蚀。

[0053] 在步骤 S103 中，在所述器件堆叠的侧壁上形成第二侧墙 260。

[0054] 具体地，如图 5 所示，首先，在整个半导体结构上沉积第一绝缘层(未示出)，然后在所述第一绝缘层上沉积第二绝缘层(未示出)。接着，对第二绝缘层和第一绝缘层进行刻蚀，以形成环绕器件堆叠的刻蚀停止层 250、以及环绕该刻蚀停止层 250 的侧墙 260(下文中以第二侧墙 260 表示)。其中，所述第二侧墙 260 的材料包括氮化硅、氧化硅、氮氧化硅、碳化硅中的一种及其组合，和/或其他合适的材料，其厚度范围在 5nm-10nm，所述刻蚀停止层 250 的材料优选为不同于所述第一侧墙 240 和第二侧墙 260 的绝缘材料，例如，所述第一侧墙 240 和第二侧墙 260 的材料为氮化硅，而所述刻蚀停止层 250 的材料为氧化硅。所述刻蚀停止层 250 的厚度范围为 1nm-3nm。

[0055] 在步骤 S104 中，以带有第二侧墙 260 的器件堆叠为掩模刻蚀位于所述器件堆叠两侧的衬底 130，形成位于器件堆叠两侧的凹槽 160 以及在

所述器件堆叠下方的支撑结构 131, 其中通过控制刻蚀使得凹槽 160 的侧壁截面为 Σ 形, 该 Σ 形的顶点凸出至器件堆叠正下方。

[0056] 具体地, 首先, 如图 6 所示, 以带有第二侧墙 260 的器件堆叠为掩模, 利用各向异性的方式对位于所述器件堆叠两侧的部分所述衬底 130 进行刻蚀, 形成位于器件堆叠两侧的凹槽 160, 以及在基底区 100 下方的支撑结构 131。在本实施例中, 刻蚀方式优选为干法刻蚀 RIE, 通过调整和控制 RIE 设备的气体流量、组分、功耗等, 可以获得具有近乎陡直侧壁的凹槽 160 和支撑结构 131。

[0057] 接着, 如图 7 所示, 利用对晶向具有选择性的各向异性湿法刻蚀, 继续对凹槽 160 的底面以及凹槽 160 和支撑结构 131 的侧壁进行刻蚀, 使得凹槽 160 的侧壁截面为 Σ 形, 该 Σ 形的顶点凸出至器件堆叠正下方。在本实施例中, 所述衬底 130 的晶向为 $\langle 100 \rangle$, 湿法刻蚀的腐蚀溶液可以是氢氧化钾(KOH)、四甲基氢氧化铵(TMAH)或乙二胺-邻苯二酚(EDP)等, 或其组合, 腐蚀液的浓度为 5~40%质量百分比, 反应温度为 40℃~90℃。由于 KOH、TMAH 等腐蚀液对单晶 Si 腐蚀具有各向异性, 对 $\{111\}$ 晶面的腐蚀速率与其他晶面的腐蚀速率之比约为 1:100, 因此对 $\{111\}$ 晶面基本不腐蚀。如图 7 所示, 所述凹槽 160 的侧壁皆为腐蚀停止面, 晶面为 $\{111\}$ 。因此, 利用各向异性腐蚀, 使得凹槽的侧壁截面为 Σ 形, 该 Σ 形的顶点凸出至器件堆叠正下方, 相应地, 所述支撑结构 131 的侧壁截面为内凹的 Sigma 形。另外, 由于凹槽的底面晶向为 $\langle 100 \rangle$, 湿法刻蚀会使得凹槽 160 变深。

[0058] 在步骤 S105 中, 形成填充所述凹槽的第一半导体层 110。

[0059] 具体地, 如图 8 所示, 通过选择性外延生长的方式对位于带有第二侧墙 260 的器件堆叠两侧的凹槽进行填充, 以形成半导体层 110 (下文中以第一半导体层 110 表示)。在本实施例中, 第一半导体层 110 的材料为 SiGe, 其中, Ge 元素比例在 10%-20%之间。需要说明的是, 第一半导体层 110 的上表面不低于刻蚀停止层 250 的下表面。另外, 如图 8 所示, 由于凹槽 160 的侧壁截面为 Σ 形, 该 Σ 形的顶点凸出至器件堆叠正下方, 选择性外延生长的第一半导体层 110 凸出至器件堆叠正下方。

[0060] 在步骤 S106 中，去除位于所述器件堆叠两侧的部分所述第一半导体层 110，保留一定厚度的第一半导体层 110。

[0061] 具体地，如图 9 所示，以带有第二侧墙 260 的器件堆叠为掩模，采用例如干法刻蚀等方式对位于所述第二侧墙 260 两侧的第一半导体层 110 进行刻蚀。在刻蚀过程中，并不完全去除所述第一半导体层 110，而是在所述第二侧墙 260 的两侧仍保留了一定厚度的第一半导体层 110。另外，由于所选用的刻蚀基本是各向异性的（基本只在垂直方向刻蚀），第一半导体层 110 凸出至器件堆叠正下方的部分得以保留。

[0062] 在步骤 S107 中，在所述器件堆叠的宽度方向上的部分区域中，去除位于所述器件堆叠两侧的所述第一半导体层 110，以暴露所述衬底 130。上述的宽度，是以将要形成半导体器件的沟道为基准进行定义的，沟道中电流方向为长度方向，与之垂直的方向为宽度方向。即：图 10 中左右方向为长度方向，纸面上与之垂直的方向为宽度方向。

[0063] 具体地，在本实施例中，如图 10 所示，在半导体结构上形成光刻掩模 300，覆盖中间部分而露出半导体结构宽度方向上的末端区域，使得在后续步骤中，位于所述光刻掩模 300 下的第一半导体层 110 不被刻蚀掉。所述光刻掩模 300 的材料可以是光刻胶、有机聚合物、氧化硅、氮化硅、硼硅玻璃、硼磷硅玻璃及其组合。其中，形成光刻掩模 300 的方法为本领域技术人员所熟悉的工艺。为了简明起见，在此不再赘述。光刻掩模 300 的作用是对在半导体结构的宽度方向上位于中间部分的，栅堆叠两侧的部分第一半导体层 110 进行保护。即，在后续步骤中刻蚀光刻掩模 300 未覆盖的第一半导体层 110 之后，使在半导体结构的宽度方向上位于中间部分的栅堆叠两侧还存在部分第一半导体层 110。如下面将说明的，本发明中的光刻掩模 300 的位置不仅限于图 10 中所示的位置，凡是可以在半导体结构宽度方向上的部分区域中覆盖位于所述器件堆叠两侧的所述第一半导体层 110 的光刻掩模 300 均适用于本发明所提供的制造方法，在此不再一一列举说明。

[0064] 接着，以光刻掩模 300 和带有第二侧墙 260 的器件堆叠为掩模，以及以所述衬底 130 为刻蚀停止层，对在所述器件堆叠的宽度方向上的两

个末端区域中(在其他实施例中,为在所述器件堆叠的宽度方向上未被光刻掩模 300 所覆盖的区域中),位于栅堆叠和第二侧墙 260 以外的第一半导体层 110 进行刻蚀,直至暴露衬底 130。然后,去除所述光刻掩模 300。请参考图 11、图 11a 和图 11b,其中,图 11 为刻蚀第一半导体层 110 以暴露部分衬底并去除光刻掩模 300 后的俯视示意图,图 11a 和图 11b 分别为图 11 的沿剖线 AA'和沿剖线 BB'的剖视示意图。如图 11a 所示,在半导体结构的宽度方向上的中间部分,位于第二侧墙 260 两侧的、且被光刻掩模 300 所覆盖的第一半导体层 110 得以保留,而在半导体结构的宽度方向上的两个末端区域中,位于第二侧墙 260 两侧的、且未被光刻掩模 300 所覆盖的第一半导体层 110 被去除,并暴露出位于其下方的衬底 130,如图 11b 所示。由于所选用的刻蚀基本是各向异性的(基本只在垂直方向刻蚀),第一半导体层 110 凸出至器件堆叠正下方的部分得以保留。

[0065] 在步骤 S108 中,在所述器件堆叠的宽度方向上的所述部分区域中,在第二侧墙 260 以及器件堆叠的两侧边缘下方形成连接衬底的隔离结构 123。

[0066] 具体地,请参考图 12、图 12a 和图 12b 所示,其中,图 12 为对第一半导体层 110 进行横向选择性腐蚀后的俯视示意图,图 12a 和图 12b 分别为图 12 的沿剖线 AA'和沿剖线 BB'的剖视示意图。如图所示,对位于栅堆叠和第二侧墙 260 下方的第一半导体层 110 进行回刻蚀,通过控制刻蚀时间使横向腐蚀深度略大于第二侧墙 260 和刻蚀停止层 250 的厚度之和。

[0067] 接着,请参考图 13、图 13a 和图 13b 所示,其中,图 13 为形成隔离结构后的俯视示意图,图 13a 和图 13b 分别为图 13 的沿剖线 AA'和沿剖线 BB'的剖视示意图。如图所示,利用例如外延生长的方法在暴露的衬底 130 的上表面以及的第一半导体层 110 的上表面和侧壁上形成第二半导体层(未示出),并通过各向异性的刻蚀方式(例如 RIE,基本上仅在垂直方向上刻蚀)去除位于暴露的衬底 130 的上表面以及位于第一半导体层 110 上表面上第二半导体层,而保留带有第二侧墙 260 的器件堆叠下

方（主要在第二侧墙 260 下方）的第二半导体层，以形成隔离结构 123。在横向上隔离结构 123 大致位于第二侧墙 260 以及器件堆叠的两侧边缘下方。在本实施例中，所述隔离结构 123 的材料为单晶硅，在其他实施例中，所述隔离结构 123 的材料还可以是其他不同于所述第一半导体层 110 的半导体材料。如图 13a 所示，由于在半导体结构的宽度方向上的中间部分，所述第一半导体层 110 在所述光刻掩模 300(请参考图 10)的保护下没有刻蚀完全，所以，在先前被所述光刻掩模 300 所覆盖的第一半导体层 110 的侧壁上形成隔离结构 123 的时候，该隔离结构 123 是形成在所述第一半导体层 110 之上的，即，所述隔离结构 123 与衬底 130 之间存在第一半导体层 110；而如图 13b 所示，在没有所述光刻掩模 300 保护的在半导体结构的宽度方向上的两个末端区域中，刻蚀停止在所述衬底 130 的表面，所以在形成所述隔离结构 123 时，其下方没有第一半导体层 110，即，所述隔离结构 123 直接形成在所述衬底 130 之上，与所述衬底 130 相连接。尽管本实施例中以在半导体结构的宽度方向上的两个末端区域形成隔离结构 123 为例进行了说明，但是本领域的技术人员应该可以理解，所述隔离结构 123 的具体位置不限于此。例如，本领域技术人员可以理解，只要是与衬底相连接、且后续可以达到形成空腔的目的，隔离结构 123 可以位于半导体结构的宽度方向上的任何位置，为简明起见，在此不再赘述。如图所示，隔离结构 123 和支撑结构 131 之间存在未被刻蚀掉的、第一半导体层 110 凸出至器件堆叠正下方的部分。

[0068] 在步骤 S109 中，去除剩余的所述第一半导体层 110，在所述支撑结构 131 和所述隔离结构 123 之间形成空腔 112。

[0069] 具体地，如图 14、图 14a 和图 14b，其中，图 14 为去除第一半导体层 110 在所述栅堆叠下方形成空腔 112 后的俯视示意图，图 14a 和图 14b 分别为图 14 的沿剖面 AA'和沿剖面 BB'的剖视示意图。如图所示，利用湿法刻蚀的方式，选择性去除剩余的所述第一半导体层 110，在所述栅堆叠的下方形成在所述支撑结构 131 和所述隔离结构 123 之间的空腔 112，该空腔 112 中原来填充了第一半导体层 110 凸出至器件堆叠正下方的部分。由于所述第一半导体层 110 的材料不同于衬底 130、支撑结构

131、基底区 100 和隔离结构 123 的材料，所以通过选择相应的腐蚀溶液，可以仅仅将剩余的第一半导体层 110 去除。腐蚀溶液首先对位于隔离结构 123 之外的第一半导体层 110 进行腐蚀，然后将位于半导体结构的宽度方向上的中间部分的隔离结构 123 和衬底 130 之间的第一半导体层 110 去除，这时，在半导体结构的宽度方向上的中间部分，在所述隔离结构 123 和衬底 130 之间形成间隙，腐蚀溶液通过该间隙对位于栅堆叠下方的第一半导体层 110 继续进行腐蚀，直至将所有第一半导体层 110 完全被去除，从而在栅堆叠下方的支撑结构 131 和隔离结构 123 之间形成空腔 112。此时，如图 14a 所示，对于之前隔离结构 123 和衬底 130 之间存在第一半导体层 110 的区域，在所述第一半导体层 110 被去除后，所述隔离结构 123 和衬底 130 之间形成间隙，而如图 14b 所示，对于之前隔离结构 123 和衬底 130 之间不存在第一半导体层 110 的区域，所述隔离结构 123 和衬底 130 相连接。

[0070] 在步骤 S110 中，去除第二侧墙 260，并在所述器件堆叠的两侧形成源/漏区。

[0071] 具体地，请参考图 15、图 15a 和图 15b 所示，其中，图 15 为在栅堆叠的两侧填充应力材料后的俯视示意图，图 15a 和图 15b 分别为图 15 的沿剖线 AA' 和沿剖线 BB' 的剖视示意图。如图所示，首先，以刻蚀停止层 250 为刻蚀停止层，利用干法刻蚀的方式去除第二侧墙 260；接着，以第一侧墙 240 为刻蚀停止层，继续利用干法刻蚀的方式去除所述刻蚀停止层 250，暴露出器件堆叠；然后，向所述器件堆叠两侧充应力材料，以形成源/漏区 113，其中，所述源/漏区 113 的上表面优选高于所述栅堆叠的底部或者与所述栅堆叠的底部齐平。由于隔离结构 123 的存在，所以应力材料基本存在于隔离结构 123 之外，进而保证空腔 112 不被填充。

如图 15a 所示，在所述隔离结构 123 没有直接接触衬底 130 的区域，由于所述隔离结构 123 和衬底 130 之间存在一定的间隙，所以会有少量应力材料从该间隙内进入所述空腔 112，但该少量应力材料进入缝隙后堆积形成屏障，致使只有该部分应力材料进入了所述空腔 112，而大部分应力材料被隔离在外；如图 15b 所示，在所述隔离结构 123 和衬底 130 相连接

的区域，所述应力材料完全被所述隔离结构 123 阻挡在所述空腔 112 之外。

[0072] 形成所述源/漏区 113 的方法优选为外延生长。对于 PFET 器件，所述源/漏区 113 的材料为掺杂硼的 $\text{Si}_{1-x}\text{Ge}_x$ ，X 的取值范围为 0.1 ~ 0.7，如 0.2、0.3、0.4、0.5 或 0.6；对于 NFET 器件，所述源/漏区 113 的材料为掺杂磷或砷的 Si:C ，C 的原子数百分比的取值范围为 0.2% ~ 2%，如 0.5%、1% 或 1.5%。应力材料硅锗或硅碳的存在利于进一步调节沟道区内的应力，以提高沟道区内载流子的迁移率。对于 PFET 器件来说，填充含掺杂的应力材料后，形成了 N 型超陡后退阱；对于 NFET 器件来说，填充含掺杂的应力材料后，形成了 P 型超陡后退阱。

[0073] 与现有技术相比，本发明具有以下优点：由于沟道下方存在空腔，所以位于沟道两侧的应力材料层的应力可以更为集中地作用于沟道，从而有效地提升了应力对沟道载流子迁移率的影响，增强对沟道性能的控制作用；此外，沟道下方空腔的存在还有利于增强源/漏区的陡直性，从而抑制短沟道效应，提高半导体器件的性能。

[0074] 虽然关于示例实施例及其优点已经详细说明，应当理解在不脱离本发明的精神和所附权利要求限定的保护范围的情况下，可以对这些实施例进行各种变化、替换和修改。对于其他例子，本领域的普通技术人员应当容易理解在保持本发明保护范围内的同时，工艺步骤的次序可以变化。

[0075] 此外，本发明的应用范围不局限于说明书中描述的特定实施例的工艺、机构、制造、物质组成、手段、方法及步骤。从本发明的公开内容，作为本领域的普通技术人员将容易地理解，对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、方法或步骤，其中它们执行与本发明描述的对应实施例大体相同的功能或者获得大体相同的结果，依照本发明可以对它们进行应用。因此，本发明所附权利要求旨在将这些工艺、机构、制造、物质组成、手段、方法或步骤包含在其保护范围内。

权 利 要 求

1. 一种半导体结构的制造方法，该方法包括以下步骤：

a) 提供衬底(130)，在该衬底(130)之上形成栅堆叠以及围绕该栅堆叠的第一侧墙(240)；

b) 去除位于所述栅堆叠两侧的部分所述衬底(130)，形成器件堆叠；

c) 在所述器件堆叠的侧壁上形成第二侧墙(260)；

d) 以带有第二侧墙(260)的器件堆叠为掩模刻蚀位于所述器件堆叠两侧的衬底(130)，形成位于器件堆叠两侧的凹槽(160)以及在所述器件堆叠下方的支撑结构(131)，其中通过控制刻蚀使得所述凹槽(160)的侧壁截面为 Σ 形，该 Σ 形的顶点凸出至器件堆叠正下方；

e) 形成填充所述凹槽的第一半导体层(110)；

f) 去除位于所述器件堆叠两侧的部分所述第一半导体层(110)，保留一定厚度的第一半导体层(110)；

g) 在所述器件堆叠的宽度方向上的部分区域中，去除位于所述器件堆叠两侧的所述第一半导体层(110)，以暴露所述衬底(130)；

h) 在所述器件堆叠的宽度方向上的所述部分区域中，在第二侧墙(260)以及器件堆叠的两侧边缘下方形成连接衬底的隔离结构(123)；

i) 去除剩余的所述第一半导体层(110)，在所述支撑结构(131)和所述隔离结构(123)之间形成空腔(112)；

j) 去除第二侧墙(260)，并在所述器件堆叠的两侧形成源/漏区。

2. 根据权利要求1所述的方法，其中所述源/漏区包含应力材料。

3. 根据权利要求1所述的制造方法，其中，通过外延生长的方式形成源/漏区。

4. 根据权利要求1所述的方法，其中所述器件堆叠的宽度方向上的所述部分区域为所述器件堆叠的宽度方向上的两个末端区域。

5. 根据权利要求1所述的制造方法，其中：

所述第一半导体层(110)的材料不同于所述衬底(130)的材料。

6. 根据权利要求1所述的制造方法，其中，所述步骤b)包括：

以所述栅堆叠为掩模对所述衬底(130)进行刻蚀, 在所述栅堆叠下方形成基底区(100), 该基底区(100)与所述栅堆叠构成器件堆叠。

7. 根据权利要求 6 所述的制造方法, 其中, 所述步骤 d)包括:

刻蚀位于所述器件堆叠两侧的部分所述衬底(130), 在所述器件堆叠两侧形成凹槽(160);

对所述凹槽(160)的侧壁进行刻蚀, 在所述器件堆叠下方形成侧壁截面呈 Σ 形状的支撑结构(131)。

8. 根据权利要求 7 所述的制造方法, 其中, 所述步骤 g)包括:

在所述半导体结构上形成光刻掩模(300), 覆盖所述器件堆叠的宽度方向上的部分区域;

以所述光刻掩模(300)和带有所述第二侧墙(260)的器件堆叠为掩模, 刻蚀部分所述第一半导体层(110); 以及

去除所述光刻掩模(300)。

9. 根据权利要求 8 所述的制造方法, 其中, 所述步骤 h)包括:

对位于所述栅堆叠下方的第一半导体层(110)进行回刻蚀;

通过外延生长在暴露的衬底(130)的上表面以及所述第一半导体层(110)的上表面和侧壁上形成第二半导体层; 以及

利用各向异性的刻蚀方式去除位于暴露的衬底(130)的上表面以及所述第一半导体层(110)上表面上的第二半导体层, 形成隔离结构(123)。

10. 根据权利要求 1 所述的制造方法, 其中:

所述源/漏区的上表面高于所述栅堆叠的底部或者与所述栅堆叠的底部齐平。

11. 根据权利要求 1 所述的制造方法, 其中所述衬底(130)的材料包括硅, 所述第一半导体层的材料包括硅锗, 所述第二半导体层的材料包括硅, 所述源/漏区的材料包括硅锗或硅碳。

12. 一种半导体结构, 包括衬底(130)、支撑结构(131)、基底区(100)、栅堆叠、侧墙(240)以及源/漏区, 其中, 所述栅堆叠位于所述基底区(100)之上, 所述基底区(100)由支撑结构(131)支撑于所述衬底(130)之上, 其中:

所述支撑结构(131)的侧壁截面为 Σ 形;

在所述基底区(100)两侧边缘下方存在隔离结构(123), 其中, 部分所述隔离结构(123)与所述衬底(130)相连接;

在所述隔离结构(123)和所述支撑结构(131)之间存在空腔(112); 以及至少在所述基底区(100)和隔离结构(123)的两侧存在源/漏区。

13. 根据权利要求 12 所述的半导体结构, 其中, 进一步包括源/漏延伸区, 位于所述基底区中。

14. 根据权利要求 12 所述的半导体结构, 其中, 所述隔离结构(123)的材料包括硅。

15. 根据权利要求 12 所述的半导体结构, 其中, 所述隔离结构(123)除了与所述衬底(130)直接接触的部分, 其他部分与衬底(130)之间夹有硅锗或硅碳。

16. 根据权利要求 12 所述的半导体结构, 其中, 所述衬底(130)的材料包括硅。

17. 根据权利要求 12 所述的半导体结构, 其中, 所述源/漏区的材料包括硅锗或硅碳。

附 图

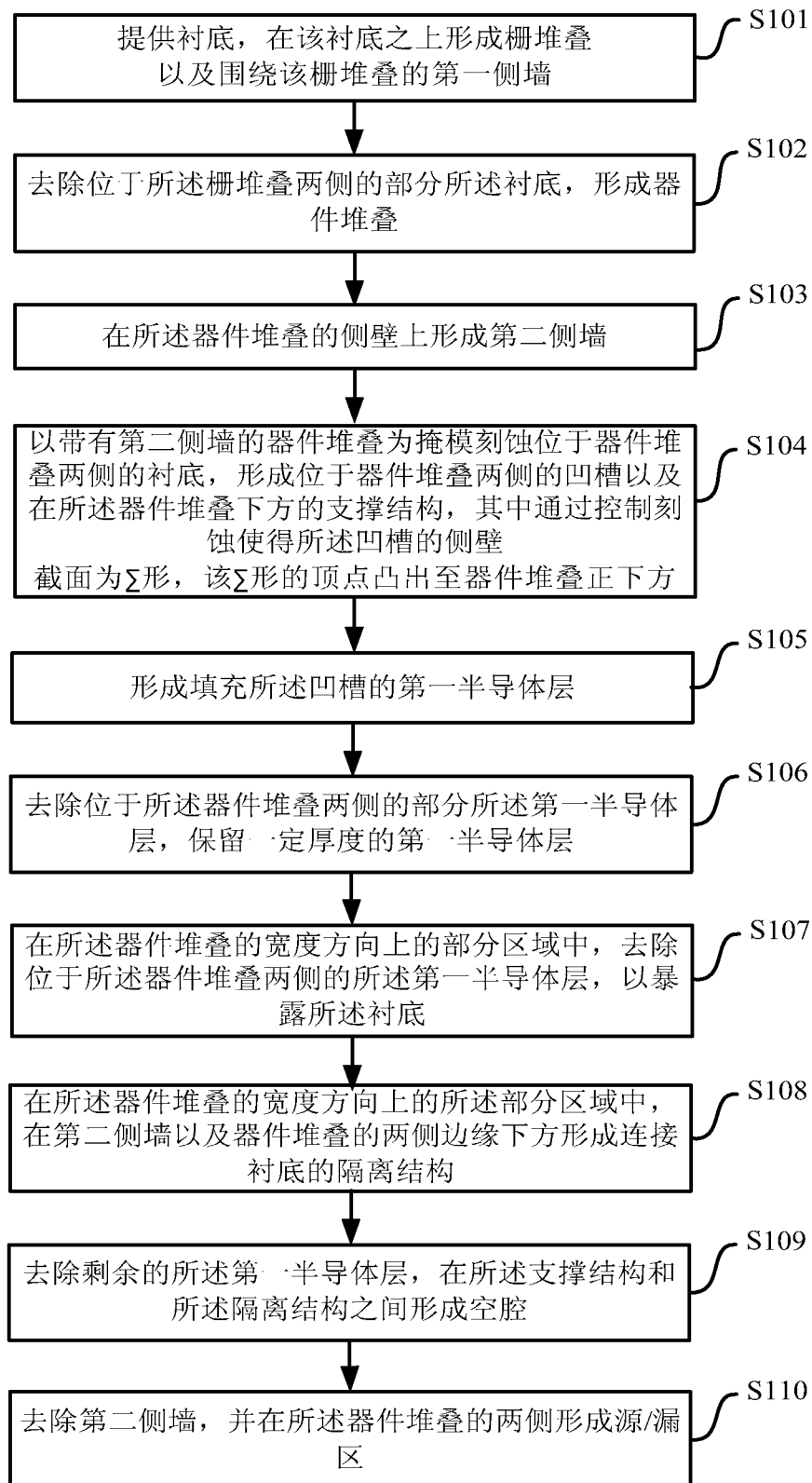


图 1

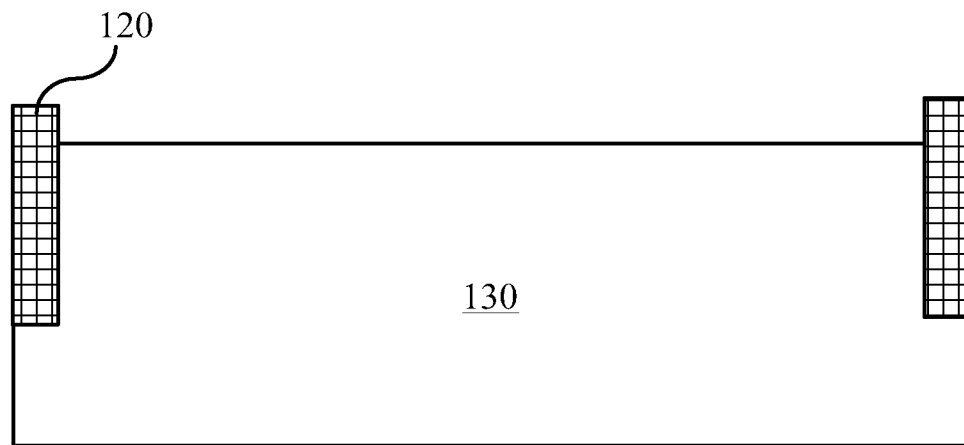


图 2

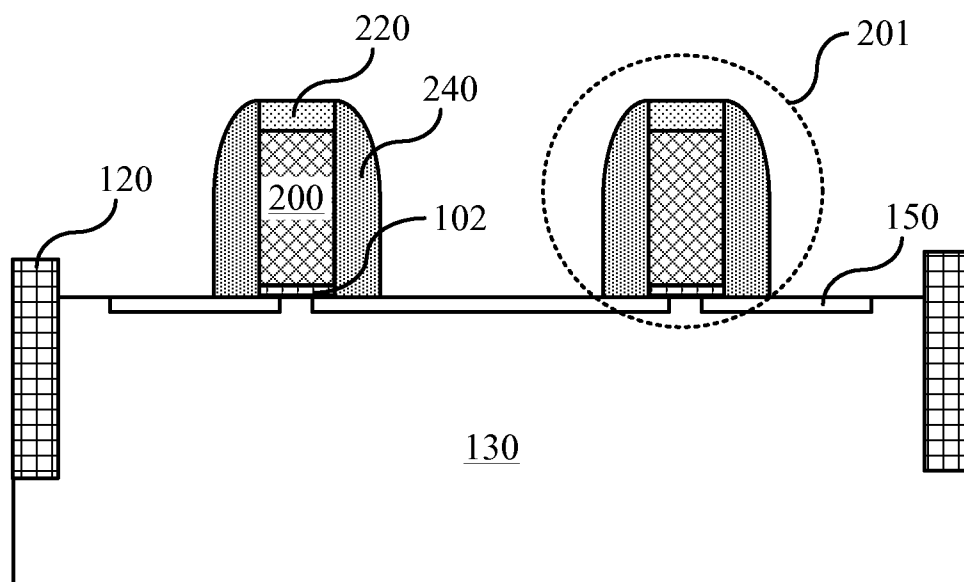


图 3

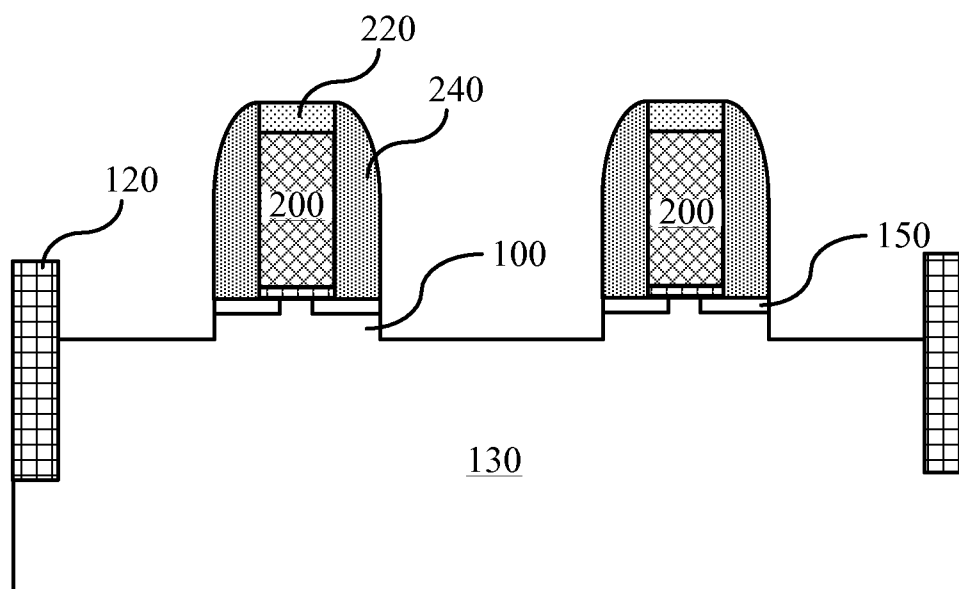


图 4

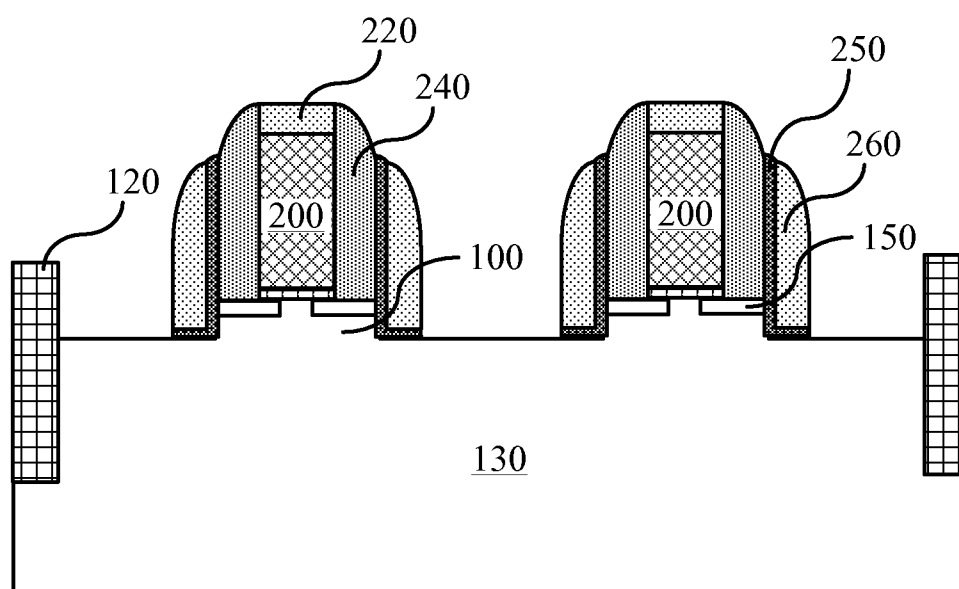


图 5

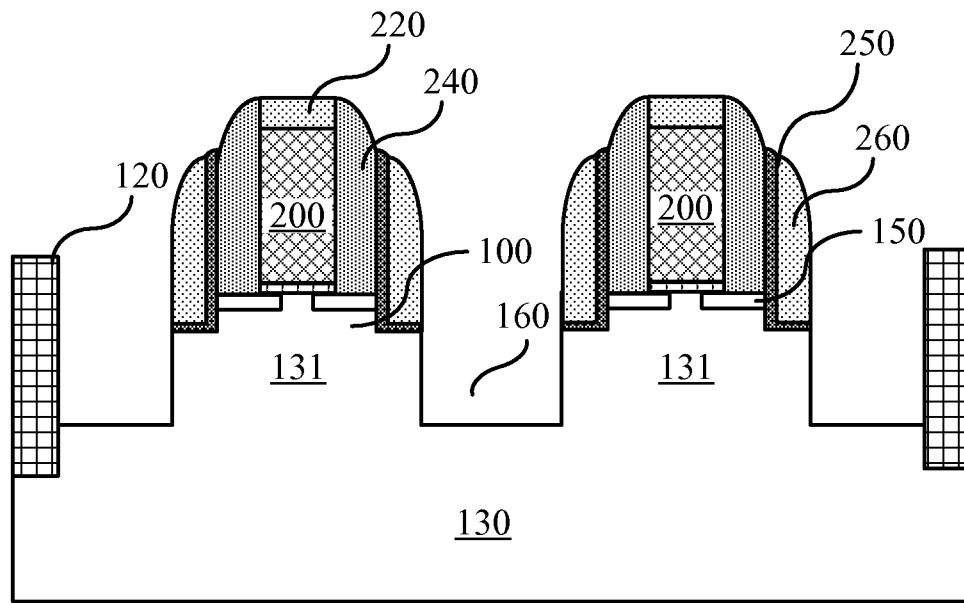


图 6

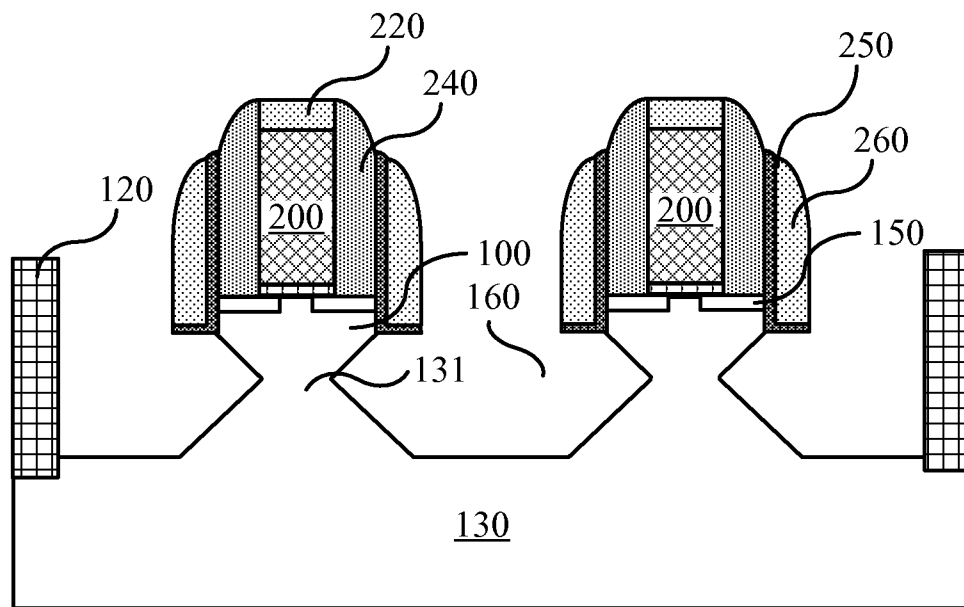


图 7

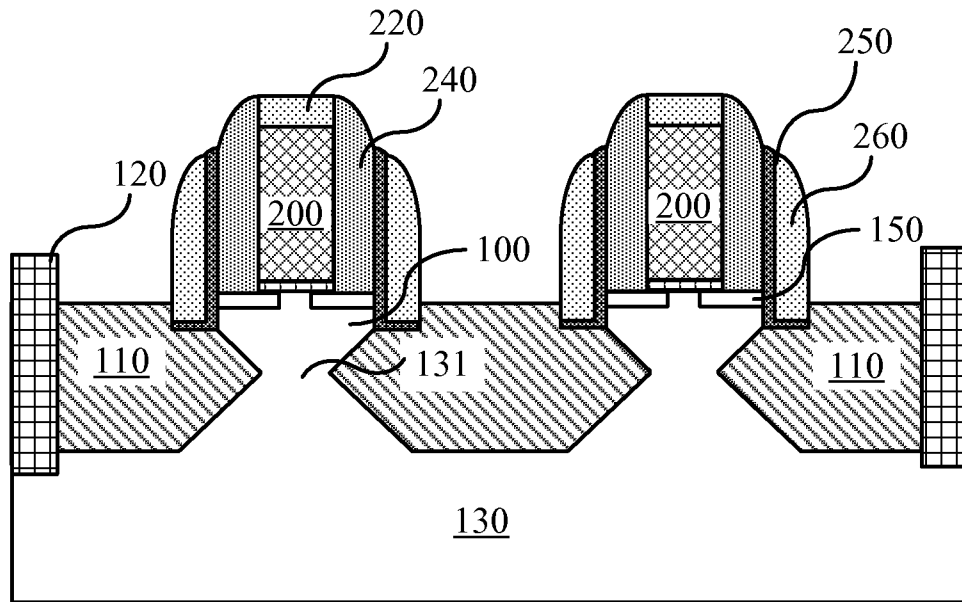


图 8

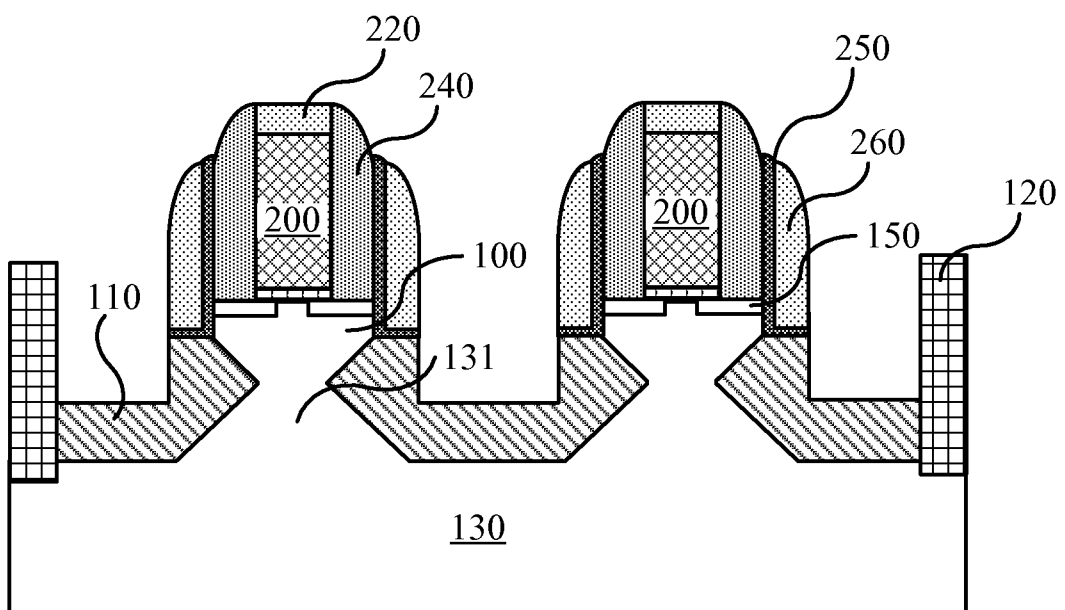


图 9

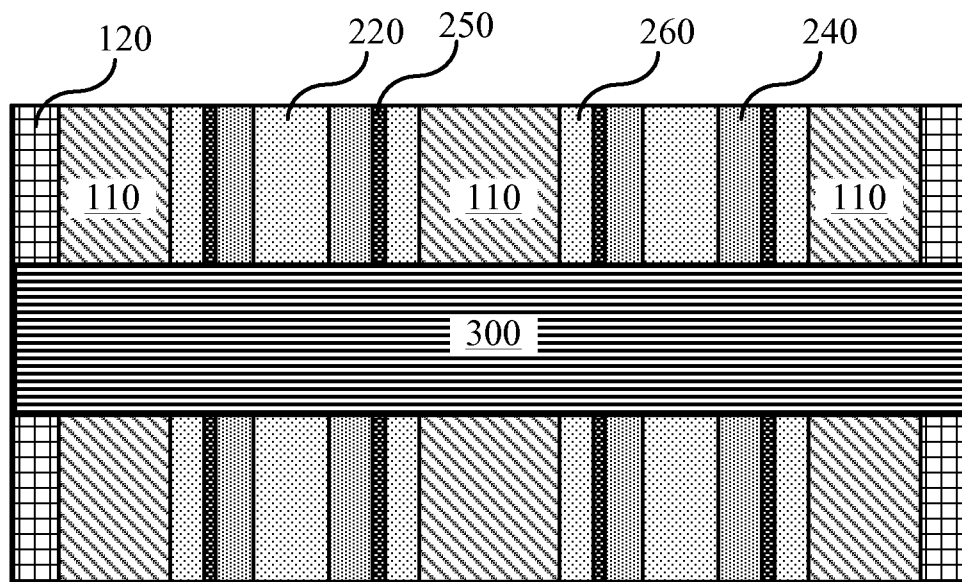


图 10

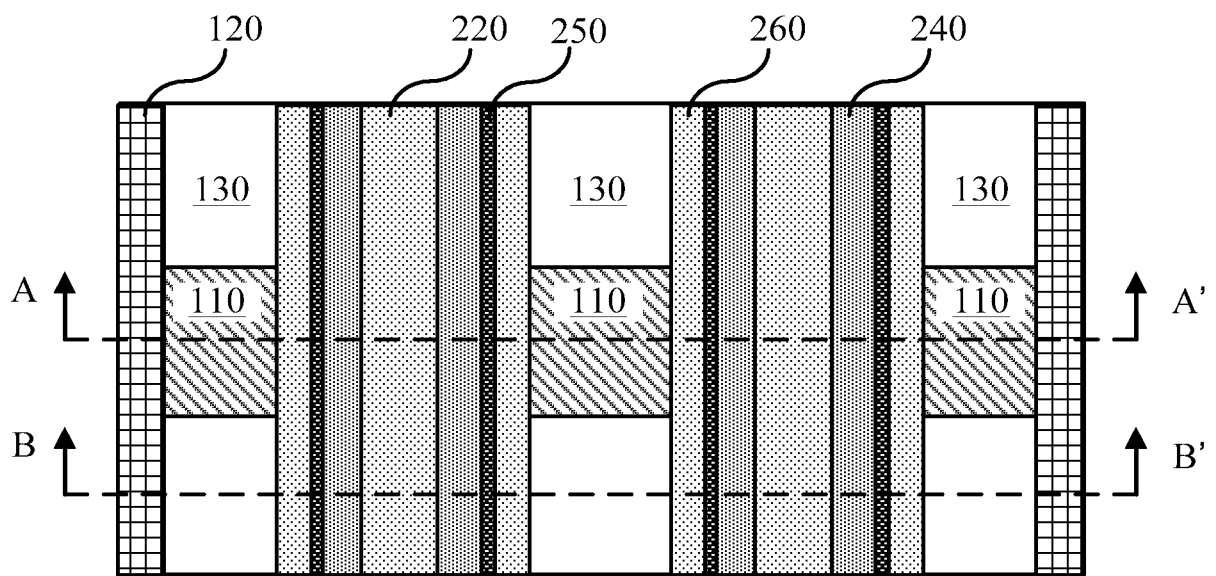


图 11

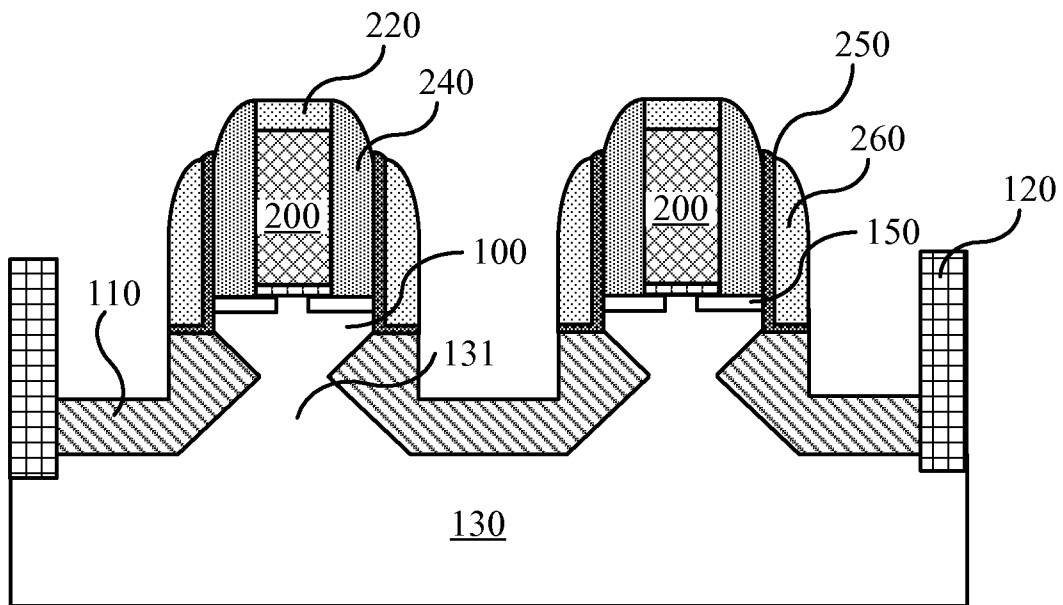


图 11a

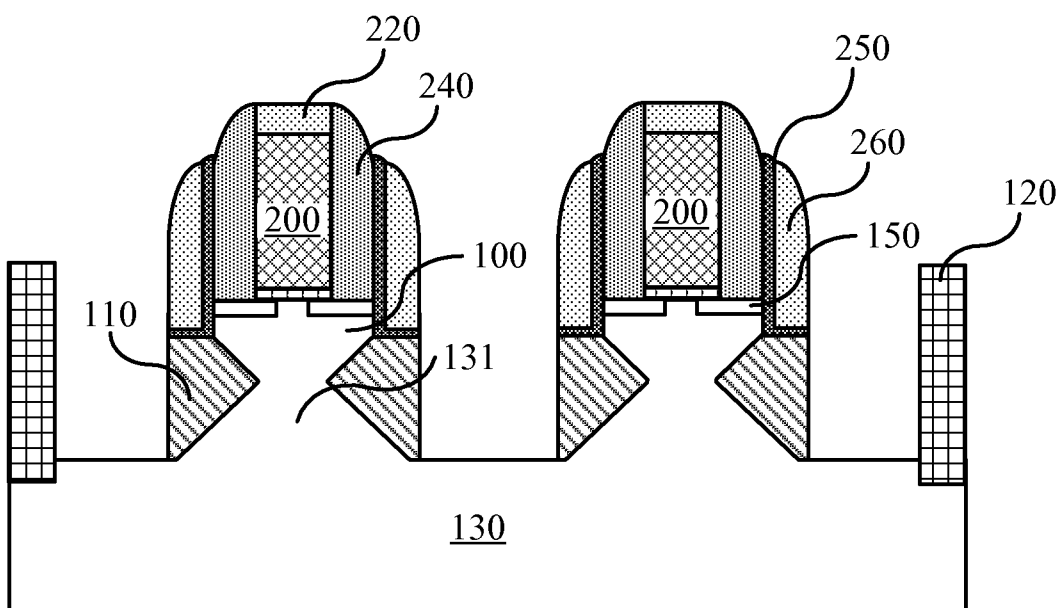
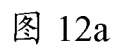
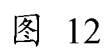


图 11b



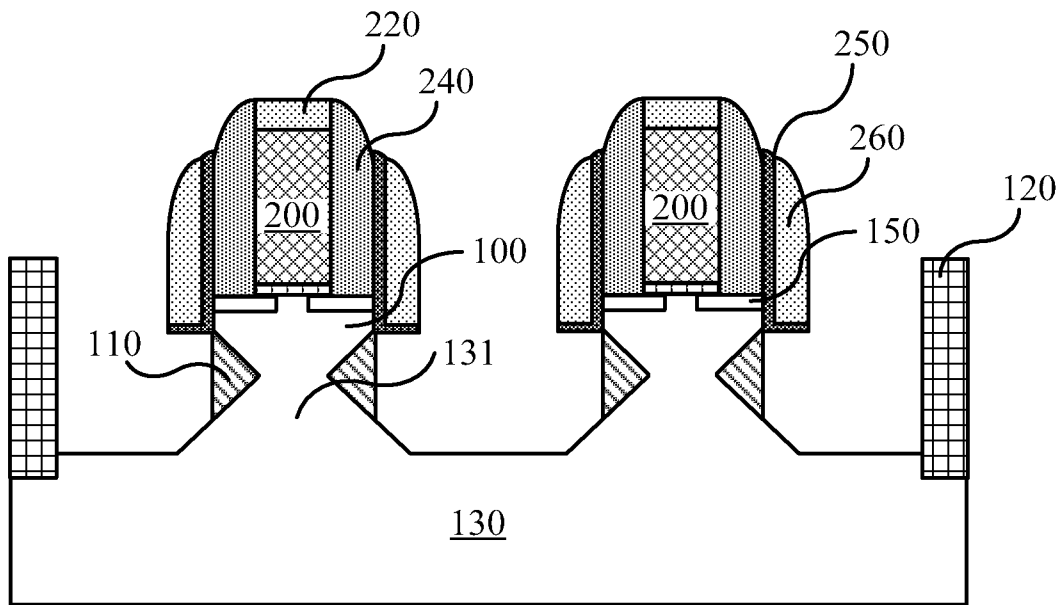


图 12b

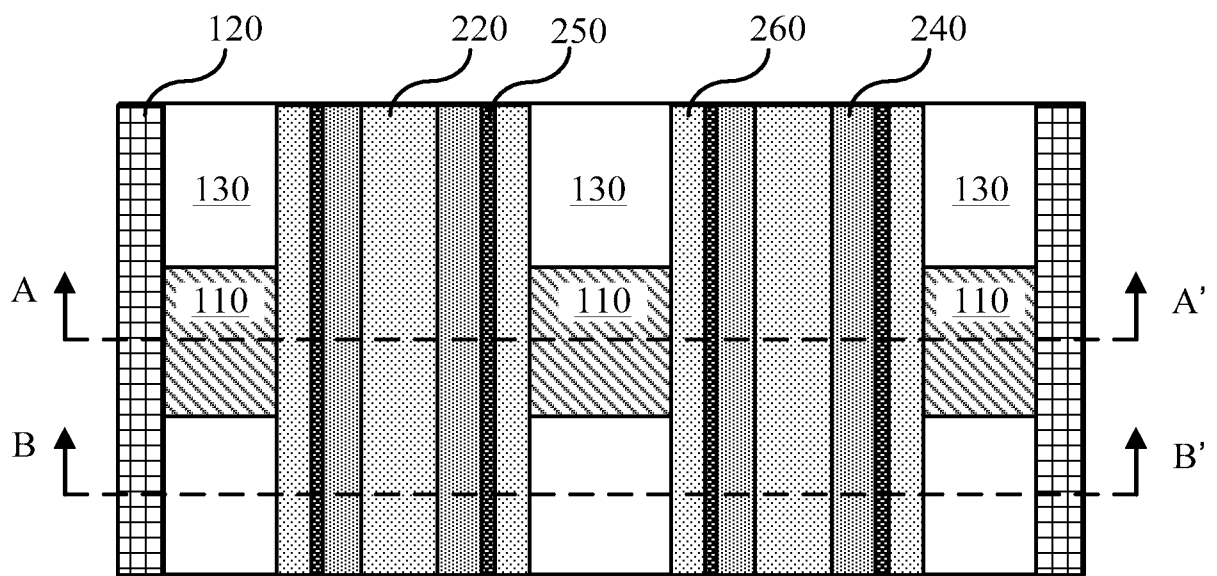


图 13

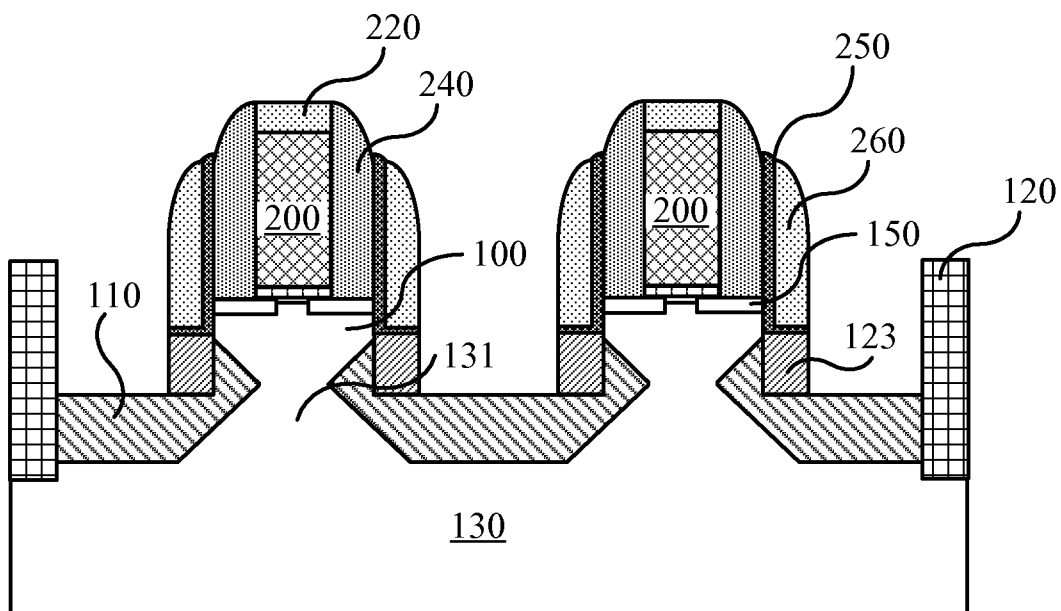


图 13a

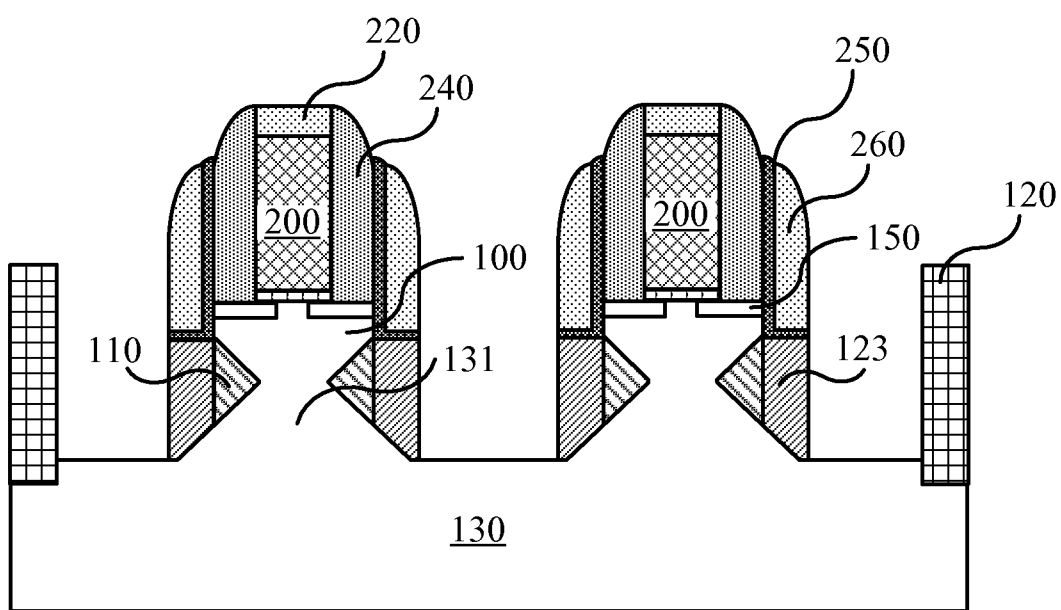


图 13b

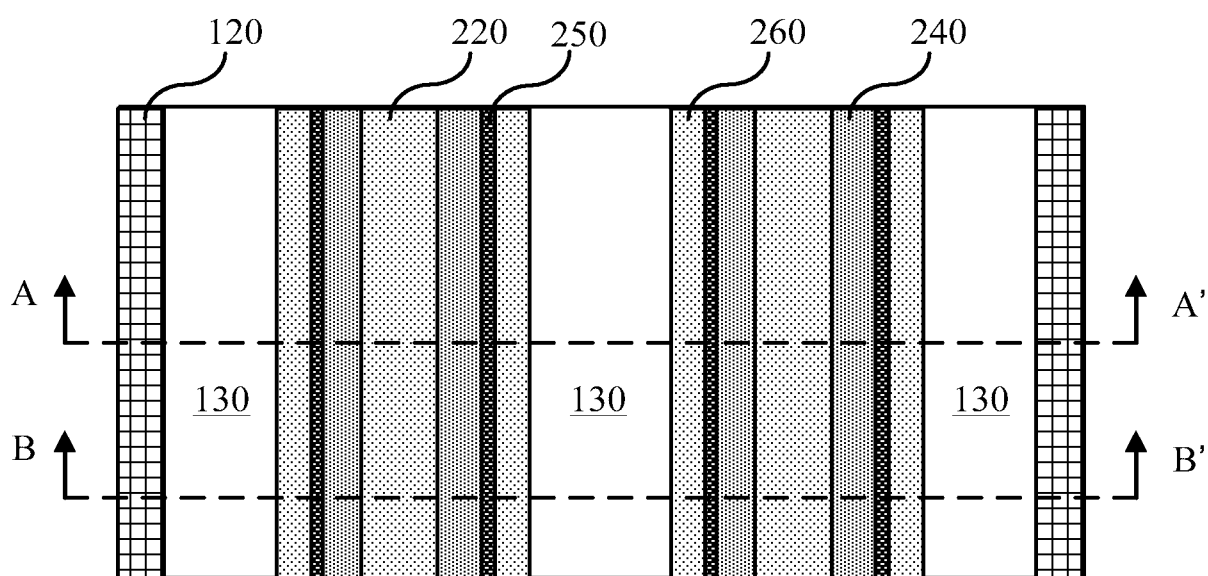


图 14

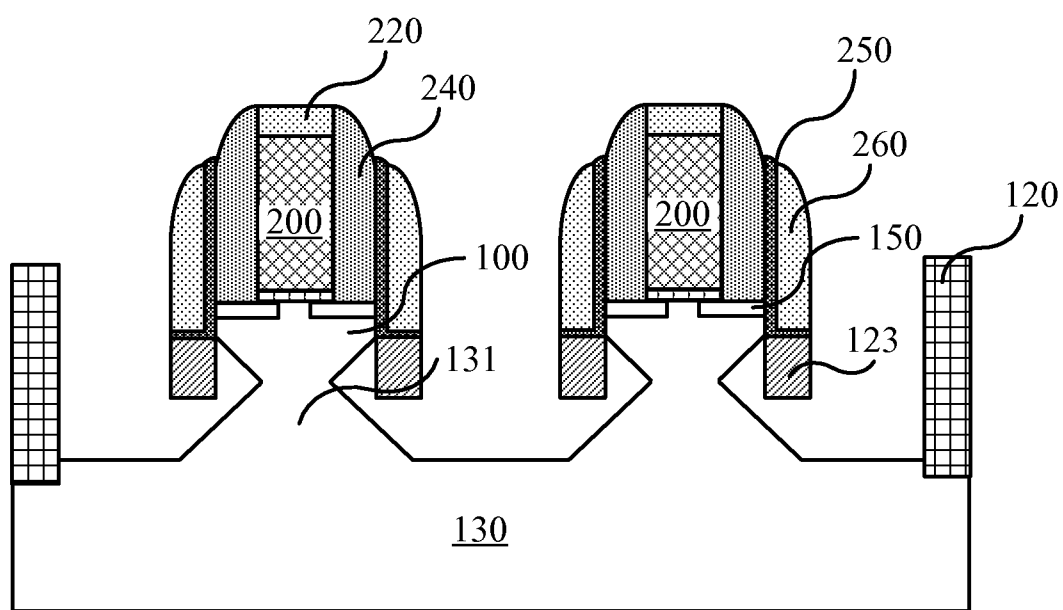


图 14a

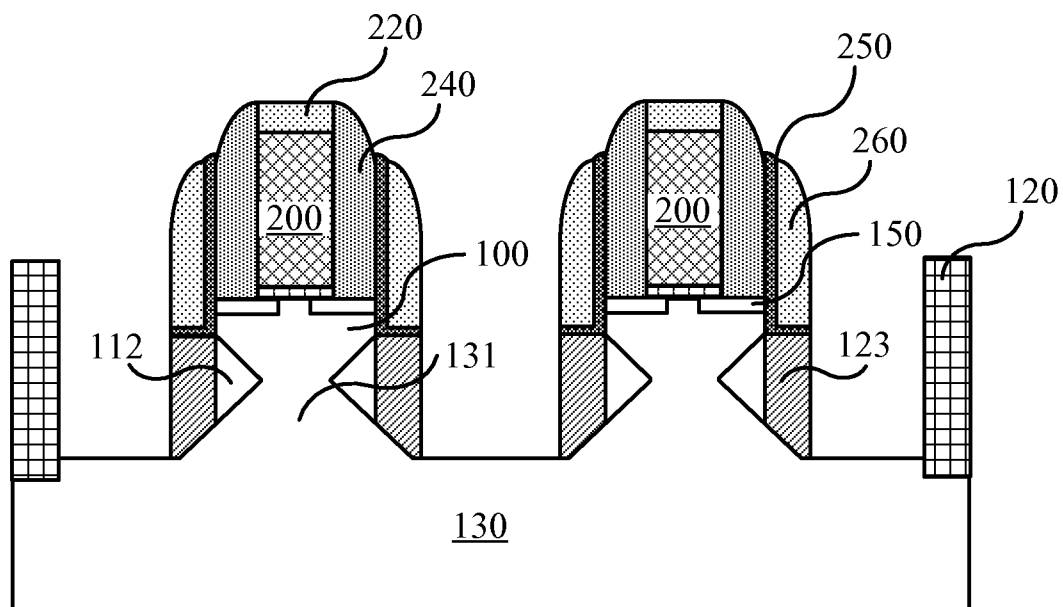


图 14b

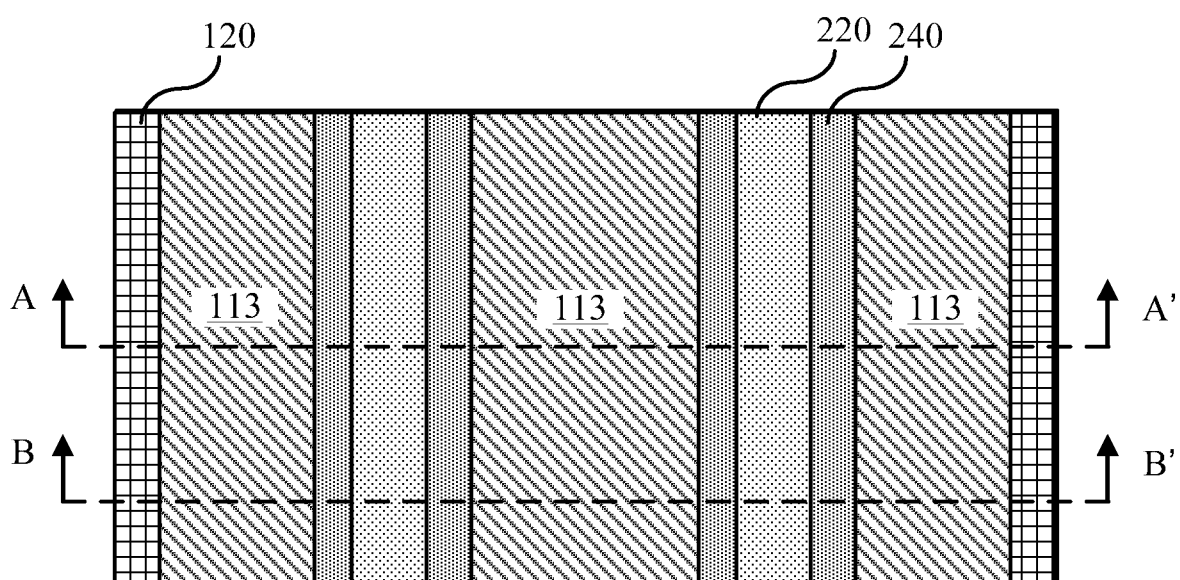


图 15

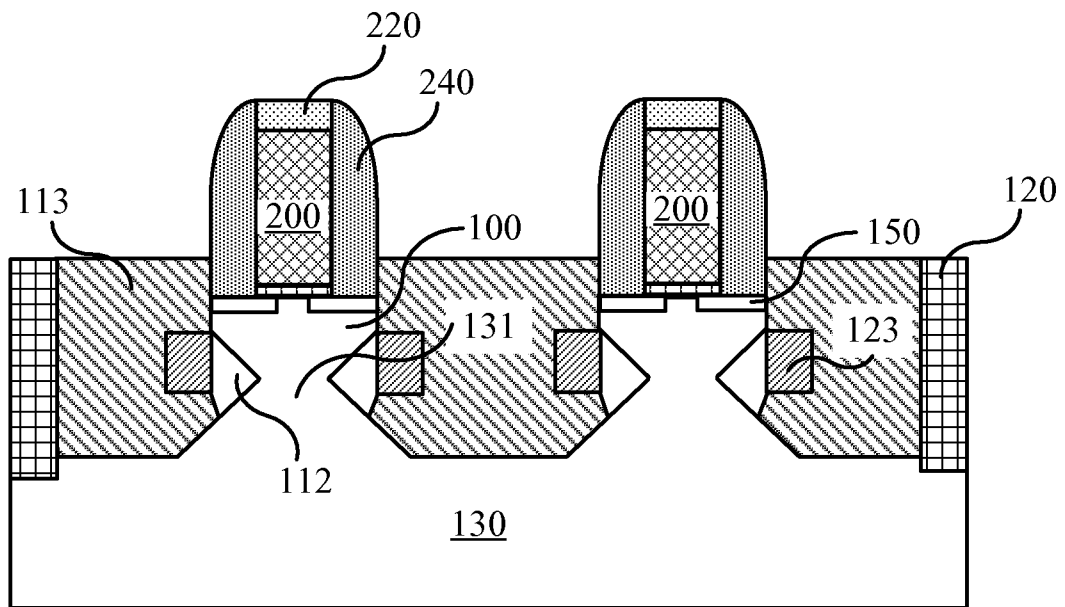


图 15a

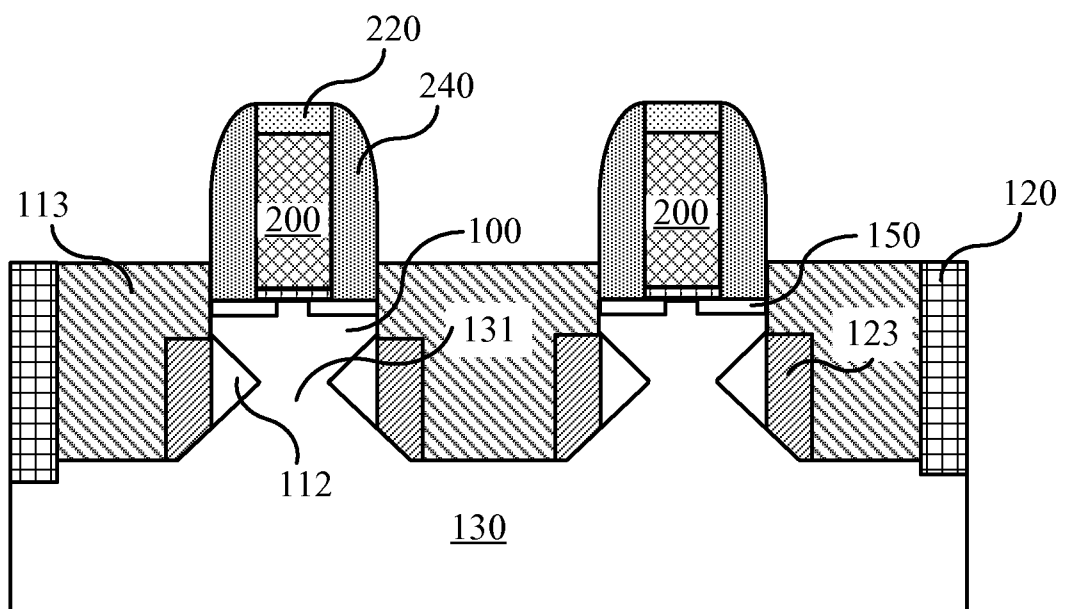


图 15b

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/085359

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-, H01L 29/-, H01L 23/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CPRS, CNTXT, CNTKI: substrate, cavity, side wall, gate, stack, stress, silicon on nothing, cave, insulate, isolate, support, contraposed, hole, concave, groove, source, drain

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101208786 A (INTEL CORP.), 25 June 2008 (25.06.2008), description, page 2, paragraph 5 to page 7, paragraph 2, and figures 2-9	1-17
A	CN 102292811 A (GLOBALFOUNDRIES INC.), 21 December 2011 (21.12.2011), figures 5-7	1-17
A	CN 102222694 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.), 19 October 2011 (19.10.2011), figures 5-6	1-17
A	US 7358551 B2 (CHIDAMBARRAO, D. et al.), 15 April 2008 (15.04.2008), the whole document	1-17
A	CN 101872725 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.), 27 October 2010 (27.10.2010), the whole document	1-17

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 01 August 2013 (01.08.2013)	Date of mailing of the international search report 15 August 2013 (15.08.2013)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer PENG, Lijuan Telephone No.: (86-10) 62411580

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2012/085359

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101208786 A	25.06.2008	US 2007004123 A1	04.01.2007
		US 7494858 B2	24.02.2009
		CN 101208786 B	01.12.2010
		DE 602006013456 D1	20.05.2010
		KR 100994857 B1	16.11.2010
		EP 1897130 B1	07.04.2010
		EP 1897130 A1	12.03.2008
		KR 20080015891 A	20.02.2008
		WO 2007005817 A1	11.01.2007
CN 102292811 A	21.12.2011	DE 112010000721 T5	21.06.2012
		KR 20110123733 A	15.11.2011
		US 7670934 B1	02.03.2010
		WO 2010085757 A1	29.07.2010
CN 102222694 A	19.10.2011	US 2011254105 A1	20.10.2011
		US 8368147 B2	05.02.2013
US 7358551 B2	15.04.2008	US 2007018205 A1	25.01.2007
CN 101872725 A	27.10.2010	US 2010270598 A1	28.10.2010
		US 8071481 B2	06.12.2011
		CN 101872725 B	02.01.2013

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/085359

CONTINUATION: A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i

H01L 21/8234 (2006.01) i

H01L 29/78 (2006.01) i

H01L 29/06 (2006.01) i

国际检索报告

国际申请号

PCT/CN2012/085359

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L21/-; H01L29/-; H01L23/-;

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI,EPODOC,CPRS,CNXTX,CNKI: substrate, cavity, side wall, gate, stack, stress, silicon on nothing, cave, insulate, isolate, support, 衬底, 栅, 堆叠, 堆栈, 叠置, 空腔, 孔, 隔离, 侧墙, 侧壁, 支撑, 凹, 槽, 洞, 应力, 源, 漏

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN101208786 A (英特尔公司) 25.6 月 2008 (25.06.2008) 说明书第 2 页第 5 段-第 7 页第 2 段;附图 2-9	1-17
A	CN102292811 A (格罗方德半导体公司) 21.12 月 2011 (21.12.2011) 附图 5-7	1-17
A	CN102222694 A (台湾积体电路制造股份有限公司) 19.10 月 2011(19.10.2011) 附图 5-6	1-17
A	US7358551 B2 (DURESETI CHIDAMBARRAO 等) 15.4 月 2008 (15.04.2008) 全文	1-17
A	CN101872725 A (中国台湾积体电路制造股份有限公司) 27.10 月 2010 (27.10.2010) 全文	1-17



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

01.08 月 2013 (01.08.2013)

国际检索报告邮寄日期

15.8 月 2013 (15.08.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

彭丽娟

电话号码: (86-10) 62411580

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/085359

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101208786 A	25.06.2008	US2007004123 A1	04.01.2007
		US7494858 B2	24.02.2009
		CN101208786 B	01.12.2010
		DE602006013456 D1	20.05.2010
		KR100994857 B1	16.11.2010
		EP1897130 B1	07.04.2010
		EP1897130 A1	12.03.2008
		KR20080015891 A	20.02.2008
		WO2007005817 A1	11.01.2007
CN102292811 A	21.12.2011	DE112010000721 T5	21.06.2012
		KR20110123733 A	15.11.2011
		US7670934 B1	02.03.2010
		WO2010085757 A1	29.07.2010
CN102222694 A	19.10.2011	US2011254105 A1	20.10.2011
		US8368147 B2	05.02.2013
US7358551 B2	15.04.2008	US2007018205 A1	25.01.2007
CN101872725 A	27.10.2010	US2010270598 A1	28.10.2010
		US8071481 B2	06.12.2011
		CN101872725 B	02.01.2013

续: A. 主题的分类

H01L 21/336 (2006.01) i

H01L 21/8234 (2006.01) i

H01L 29/78 (2006.01) i

H01L 29/06 (2006.01) i