



(12) 发明专利

(10) 授权公告号 CN 101785103 B

(45) 授权公告日 2011. 12. 28

(21) 申请号 200880104019. 3

H01L 21/768 (2006. 01)

(22) 申请日 2008. 06. 27

H01L 23/52 (2006. 01)

(30) 优先权数据

H05K 3/40 (2006. 01)

0701657-9 2007. 07. 05 SE

H05K 3/42 (2006. 01)

0702047-2 2007. 09. 12 SE

0702403-7 2007. 10. 26 SE

(85) PCT申请进入国家阶段日

2010. 02. 23

(86) PCT申请的申请数据

PCT/SE2008/050794 2008. 06. 27

(87) PCT申请的公布数据

W02009/005462 EN 2009. 01. 08

(73) 专利权人 AAC 微技术有限公司

地址 瑞典乌普萨拉

(72) 发明人 彼得·尼尔森

(74) 专利代理机构 北京林达刘知识产权代理事

务所(普通合伙) 11277

代理人 刘新宇 张会华

(56) 对比文件

CN 1447403 A, 2003. 10. 08,

US 20030137056 A1, 2003. 07. 24,

US 20020190015 A1, 2002. 12. 05,

US 20070052067 A1, 2007. 03. 08,

审查员 刘博

(51) Int. Cl.

H01L 23/48 (2006. 01)

B81B 7/00 (2006. 01)

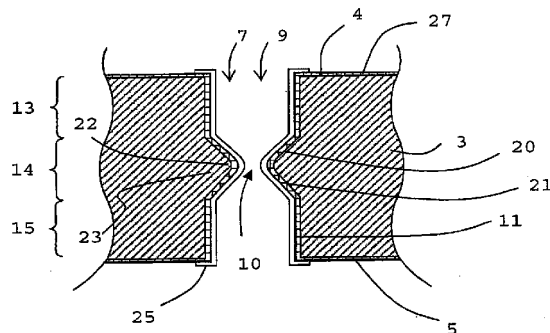
权利要求书 2 页 说明书 14 页 附图 13 页

(54) 发明名称

低阻抗晶圆穿孔

(57) 摘要

本发明提供一种晶圆(3), 该晶圆(3) 包括由晶圆通路孔(9) 和至少第一导电涂层(25) 形成的贯通晶圆(3) 的晶圆穿孔(7)。晶圆通路孔(9) 的除缩颈(23) 之外的大致竖直的侧壁(11) 提供在晶圆上占据小面积的可靠的晶圆穿孔(7)。晶圆(3) 优选是由如硅等半导体材料或玻璃陶瓷制成的。本发明还说明了这种晶圆(3) 的制造方法。



1. 一种晶圆 (3), 其包括从所述晶圆 (3) 的上侧 (4) 延伸到下侧 (5) 的晶圆穿孔 (7), 其中, 所述晶圆穿孔 (7) 包括晶圆通路孔 (9), 所述晶圆通路孔 (9) 的侧壁 (11) 至少部分地覆盖有第一导电涂层 (25), 所述晶圆 (3) 的特征在于, 所述晶圆通路孔 (9) 至少包括具有大致竖直的侧壁 (16) 的第一部分 (13) 和形成缩颈 (23) 的第二部分 (14), 该缩颈 (23) 至少具有在所述晶圆通路孔 (9) 中朝向所述上侧变宽的上倾斜侧壁 (20)。

2. 根据权利要求 1 所述的晶圆 (3), 其特征在于, 所述第二部分 (14) 被配置在所述侧壁 (11) 的所述第一部分 (13) 和第三部分 (15) 之间, 所述第三部分 (15) 具有大致竖直的侧壁 (17)。

3. 根据权利要求 1 或 2 所述的晶圆 (3), 其特征在于, 所述缩颈 (23) 还包括朝向所述下侧 (5) 变宽的下倾斜侧壁 (21)。

4. 根据权利要求 3 所述的晶圆 (3), 其特征在于, 所述缩颈 (23) 的所述上倾斜侧壁 (20) 和所述下倾斜侧壁 (21) 的相交部位 (22) 为圆滑化的。

5. 根据权利要求 1 所述的晶圆 (3), 其特征在于, 所述晶圆 (3) 包括晶体半导体材料。

6. 根据权利要求 1 所述的晶圆 (3), 其特征在于, 所述晶圆 (3) 是由玻璃陶瓷制成的。

7. 根据权利要求 1 所述的晶圆 (3), 其特征在于, 第二导电涂层 (26) 至少部分地覆盖所述第一导电涂层 (25)。

8. 根据权利要求 1 所述的晶圆 (3), 其特征在于, 所述晶圆 (3) 包括多个晶圆穿孔 (7), 其中的至少一个晶圆穿孔 (7) 被封堵, 且至少一个晶圆穿孔 (7) 是通的。

9. 根据权利要求 1 所述的晶圆 (3), 其特征在于, 所述晶圆 (3) 包括沿着线 (46) 顺次配置的至少两组晶圆穿孔 (47, 48), 每一组中的每个晶圆穿孔相对于前一个晶圆穿孔以阶梯的方式远离所述线移位。

10. 一种电子器件, 其包括根据权利要求 1 所述的晶圆 (3)。

11. 根据权利要求 10 所述的电子器件 (1), 其特征在于, 所述电子器件包括一摞晶圆 (3), 每个晶圆 (3) 均包括连接至相邻晶圆 (3) 的晶圆穿孔的晶圆穿孔 (7)。

12. 一种晶圆 (3) 的制造方法, 所述晶圆 (3) 包括从所述晶圆 (3) 的上侧 (4) 延伸到下侧 (5) 的晶圆穿孔 (7), 其中, 所述晶圆穿孔 (7) 包括具有侧壁 (11) 的晶圆通路孔 (9), 所述晶圆通路孔 (9) 的至少第一部分 (13) 具有大致竖直的侧壁 (16), 所述晶圆通路孔 (9) 的第二部分 (14) 在所述晶圆通路孔 (9) 中限定缩颈 (23), 所述方法的特征在于, 所述方法包括以下步骤:

- 限定步骤, 即在所述晶圆 (3) 中限定第一倾斜侧壁 (18);
- 形成步骤, 即形成所述晶圆通路孔 (9), 从而, 由所述第一倾斜壁 (18) 形成所述缩颈 (23) 的上倾斜侧壁 (20); 以及
- 沉积步骤, 即在所述晶圆通路孔 (9) 的所述侧壁 (11) 上沉积至少第一导电涂层 (25)。

13. 根据权利要求 12 所述的方法, 其特征在于, 所述方法还包括在所述晶圆 (3) 中限定第二倾斜侧壁 (19) 的步骤, 从而, 在所述形成步骤中, 由所述第二倾斜侧壁 (19) 形成所述缩颈 (23) 的下倾斜侧壁 (21)。

14. 根据权利要求 12 所述的方法, 其特征在于, 形成所述晶圆通路孔 (9) 的步骤包括各向异性蚀刻步骤。

15. 根据权利要求 12 所述的方法,其特征在于,所述限定步骤包括通过蚀刻形成第一凹部 (28) 的步骤,该第一凹部 (28) 包括位于所述晶圆 (3) 的所述上侧 (4) 的所述第一倾斜侧壁 (18)。

16. 根据权利要求 13 所述的方法,其特征在于,所述在所述晶圆 (3) 中限定第二倾斜侧壁 (19) 的步骤包括通过蚀刻形成第二凹部 (29) 的步骤,该第二凹部 (29) 包括位于所述晶圆 (3) 的所述下侧 (5) 的所述第二倾斜侧壁 (19)。

17. 根据权利要求 12 所述的方法,其特征在于,所述形成所述晶圆通路孔 (9) 的步骤包括从所述上侧 (4) 和所述下侧 (5) 进行两向蚀刻的步骤,以形成所述晶圆通路孔 (9) 的具有大致竖直的侧壁 (17) 的第三部分 (15)。

18. 根据权利要求 12 所述的方法,其特征在于,所述限定步骤包括限定所述晶圆 (3) 中的第二倾斜侧壁 (19) 的步骤,从而,在所述形成步骤中,由所述第二倾斜侧壁 (19) 形成所述缩颈 (23) 的下倾斜侧壁 (21)。

19. 根据权利要求 12 所述的方法,其特征在于,所述限定步骤包括将所述晶圆 (3) 的对应于所述晶圆通路孔 (9) 的区域曝光的步骤,所述形成步骤包括蚀刻曝光后的区域的步骤。

20. 根据权利要求 12 所述的方法,其特征在于,所述方法还包括在所述第一导电涂层 (25) 上沉积第二导电涂层 (26) 的步骤。

低阻抗晶圆穿孔

技术领域

[0001] 本发明涉及一种穿过晶圆的导电连接,该晶圆用于如硅晶圆或玻璃晶圆等电子器件。

背景技术

[0002] 在微电子集成电路中,器件密度(device density)正高速增长。在1965年,摩尔定律预测每个晶片(chip)的晶体管的数量每两年翻一倍,微电子的发展的确大致与该预测匹配。然而,进一步实现集成电路的微型化的成本很高,不断复杂的电路需要更多数量的I/O引线(lead),这使器件的接触和封装变复杂。因此,需要用于获得更高器件密度的其它手段。新兴的可选方案是通过在器件的顶部相互堆叠器件来增大单位面积的器件密度。当前,堆叠器件主要通过引线接合法(wire bonding)来互连,引线接合法是在器件上需要大量空间和不必要的长连接引线的复杂工艺。此外,引线接合法通常赋予相当高的阻抗且可能不可靠。

[0003] 微电子学的革新在于微电子机械系统(MEMS),其中,能够增强微电子系统或技术的功能性。在MEMS中,集成电路集成有例如机械、化学、生物功能等,或者基于微电子工艺的广泛知识,制造如加速计、传感器或生物芯片等微电子机械系统。很多这些微电子机械系统在全部三维延伸,以获得期望的功能性。

[0004] 如在微电子中, MEMS 结构主要是使用硅晶圆作为基底来制造的,但是正广泛地使用例如其它半导体材料、聚合物、陶瓷和玻璃。伴随着制造 3D 微电子和 MEMS 结构的兴趣的不断增长,对使 3D 结构的基底或晶圆的前侧和后侧之间进行电性互连,即所谓的“晶圆穿孔”(through-wafer via)的兴趣正不断增大。使用此,避免了不可靠且昂贵的引线接合法,且能够增大互连密度。晶圆穿孔应当在晶圆上占据尽可能小的空间,并且电性互连的阻抗应当小。此外,晶圆穿孔的工艺应当与该领域的传统工艺技术兼容。

[0005] 已经公开了不同的晶圆穿孔设计,用于制作穿孔的策略可以分成两类。在第一类中,由晶圆材料来形成晶圆穿孔,例如掺杂半导体穿孔。在第二类中,例如利用激光烧蚀(ablation)、钻孔、湿蚀刻或干蚀刻等来形成晶圆通路孔。然后,例如利用物理气相沉积(PVD)工艺至少在晶圆通路孔的侧壁上沉积导电材料。为了增大导电晶圆穿孔的横截面积(以减小电阻抗),金属或金属合金通常被镀到导电涂层上。由于金属或金属合金的高导电性,因此与第二类的晶圆穿孔相比,第一类的晶圆穿孔一般具有较高阻抗。

[0006] 用于形成通路孔的技术主要依赖于晶圆材料。然而,一般地,通路孔以具有竖直的侧壁的方式延伸贯通晶圆。由于通路孔的边缘存在阴影效应(shadowing effect),因此使用例如PVD等瞄准线工艺(line-of-sight process)在侧壁上沉积导电材料是挑战性的操作,特别是对于具有大的高宽比(aspect ratio)的孔而言。

[0007] 传统的硅中的低阻抗晶圆穿孔典型地是通过使用湿蚀刻工艺或干蚀刻工艺形成通路孔来形成的。通常使用如KOH蚀刻或深反应离子蚀刻(DRIE)等各向异性蚀刻工艺,其中,KOH蚀刻为湿蚀刻工艺,DRIE为干蚀刻工艺。使用各向异性湿蚀刻,通路孔的几何形状

受晶圆材料的晶面 (crystal plane) 的限制, 通路孔因此占据较大面积。通过从晶圆的两侧蚀刻能够一定程度减小该面积, 其中蚀刻的凹部在两侧的中间会合。然而, 当蚀刻的凹部在通路孔的开口处会合时, 形成其它的晶面。然后, 蚀刻这些晶面, 并且可能在通路孔的中间部分产生在从通路孔的开口起的瞄准线之外的区域, 即这些区域被遮蔽并且不能使用物理气相沉积工艺来进行涂层。物理气相沉积是瞄准线工艺, 只能对蒸发源 / 溅射源的瞄准线内的表面进行涂层。由于通路孔具有竖直壁, 因此 DRIE 是有利的, 由此能够占据较小的面积。具有竖直侧壁的这些通路孔不会遭受如上所述的阴影效应的影响, 但是仍存在归因于竖直壁的阴影效应, 特别对于窄且深的通路孔而言。

[0008] 因此, 传统的低阻抗晶圆穿孔是遭受导电材料不完全覆盖通路孔的晶圆通路孔形成的。这限制了 DRIE 蚀刻晶圆穿孔的可靠性, 特别对于在厚基底中制成的窄穿而言。

发明内容

[0009] 特别是由于在形成具有适当几何条件的晶圆通路孔中的缺陷, 现有技术具有不能够提供可靠的、低阻抗晶圆穿孔方面的缺点。

[0010] 本发明的目的是克服现有技术的缺点。本发明的该目的通过独立权利要求限定的晶圆和方法来实现。

[0011] 在第一方面, 本发明提供一种晶圆, 其具有上侧和下侧并且包括具有侧壁的至少一个晶圆通路孔。晶圆通路孔的侧壁涂布有第一导电涂层, 形成从上侧到下侧的晶圆穿孔。此外, 侧壁至少包括具有大致竖直的侧壁的第一部分和形成晶圆通路孔中的缩颈 (constriction) 的第二部分。该缩颈至少包括朝向上侧的开口变宽的上倾斜侧壁。

[0012] 在本发明的一个实施方式中, 晶圆通路孔包括具有大致竖直的侧壁的第二部分, 第二部分位于第一部分和第三部分之间。缩颈可以还包括朝向下侧变宽的下倾斜侧壁。

[0013] 在一个实施方式中, 晶圆包括多个晶圆穿孔, 其中的至少一个晶圆穿孔是被封堵的, 且至少一个晶圆穿孔是通的。本发明的另一个实施方式包括如下电子器件: 该电子器件包括多个晶圆穿孔, 所有的晶圆穿孔都是被封堵的。本发明的另一个实施方式包括如下晶圆: 该晶圆包括多个晶圆穿孔, 所有的晶圆穿孔都是通的。

[0014] 本发明的一个实施方式包括如下电子器件: 该电子器件包括根据本发明的具有晶圆穿孔的晶圆

[0015] 在第二方面, 本发明提供一种根据本发明的晶圆的制造方法。该方法包括以下步骤: 限定步骤, 即在晶圆中限定至少一个第一倾斜侧壁, 该第一倾斜侧壁确定缩颈的上倾斜侧壁的形状; 通过各向异性蚀刻形成晶圆通路孔, 其中, 由第一倾斜侧壁形成缩颈的上倾斜侧壁; 以及在晶圆通路孔的侧壁上沉积第一导电涂层。

[0016] 在根据本发明的方法的一个实施方式中, 所述限定步骤包括通过蚀刻形成至少一个第一凹部的步骤, 该第一凹部具有位于晶圆的上侧的第一倾斜侧壁, 以及可选地通过蚀刻形成至少一个第二凹部的步骤, 该第二凹部具有位于晶圆的下侧的第二倾斜侧壁, 该第二倾斜侧壁确定朝向下侧变宽的下倾斜侧壁的形状。

[0017] 由于本发明, 能够使用在微电子、MEMS 和纳米技术领域中与传统的工艺技术兼容的工艺提供高生产率的、可靠的晶圆穿孔。此外, 该方法简单, 且需要最少的掩膜步骤。

[0018] 由于本发明, 能够在预先制造的电子器件中提供晶圆穿孔, 该预先制造的电子器

件例如包括：如微电子部件、集成电路、MEMS 结构和纳米结构等集成部件；如 CMOS 电路等集成在晶圆表面中的部件；或者如存储部件、处理器、FPGA、ASIC、致动器、传感器、微结构或纳米结构等配置在晶圆表面上部件。

[0019] 本发明的另一个优点在于，提供可以选择为通的或封堵的镀层晶圆穿孔，即，能够形成气密封的晶圆穿孔。

[0020] 本发明的再一个优点在于，晶圆穿孔的缩颈提供增强的导电材料附着性，并且对导电材料给予机械支撑，提高了装置的坚固性和可靠性。

[0021] 此外，缩颈提供了改进的热特性。导电材料到晶圆穿孔的侧壁的附着性的增强提高了横向导热性，由此改进了晶圆穿孔的横向冷却。此外，由于增大了缩颈处的流率，因此改进了使用流过贯通的晶圆穿孔的冷却流体的流体冷却效果。

[0022] 本发明的实施方式在从属权利要求中限定。在结合附图和权利要求考虑时，从本发明的下面的详细说明，本发明的其它目的、优点和新颖特征将变得明显。

附图说明

[0023] 现在将参照附图对本发明的优选实施方式进行说明，其中：

[0024] 图 1 是根据本发明的晶圆穿孔的一个实施方式的示意图；

[0025] 图 2 是根据本发明的晶圆穿孔的另一个实施方式的示意图；

[0026] 图 3 是根据本发明的具有圆化的缩颈的晶圆穿孔的一个实施方式的示意图；

[0027] 图 4a-4f 是根据本发明的晶圆穿孔的不同实施方式；

[0028] 图 5 是根据本发明的包括绝缘层的晶圆穿孔的一个实施方式的示意图；

[0029] 图 6 是根据本发明的封堵的晶圆穿孔的一个实施方式的示意图；

[0030] 图 7a 和图 7b 分别是根据本发明的均具有第二导电涂层的封堵的和通的晶圆穿孔的图；

[0031] 图 7c 是具有填充通路孔并且突出到通路孔的外侧的导电涂层的晶圆穿孔的示意图，图 7d 是图 7c 的穿孔在抛光之后的示意图；

[0032] 图 7e 是具有形成封堵晶圆通路孔的塞的第二导电涂层的晶圆通路孔的示意图；

[0033] I 图 8 是根据本发明的包括晶圆穿孔的 SOI 晶圆的示意图；

[0034] 图 9a 是根据本发明的包括集成电路和晶圆穿孔的电子器件的示意图；

[0035] 图 9b 是根据本发明的包括集成在晶圆表面中的集成电路、配置在晶圆表面上的微电子部件和晶圆穿孔的电子器件的示意图；

[0036] 图 10 是根据本发明的包括封堵的低阻抗晶圆穿孔的玻璃陶瓷晶圆的示意图；

[0037] 图 11a 和图 11b 是根据本发明的包括两个堆叠的晶圆的电子器件的示意图，每个晶圆均包括晶圆穿孔，其中晶圆被穿孔连接；

[0038] 图 12a 是根据本发明的包括第一组晶圆穿孔的穿孔阵列的示意图，图 12b 是根据本发明的包括两组晶圆穿孔的穿孔阵列的示意图；

[0039] 图 13a 和图 13b 是根据本发明的在晶圆穿孔内包括冷却介质的晶圆的示意图，其中，在图 13a 中晶圆通路孔没有导电涂层，而在图 13b 中具有晶圆通路孔导电涂层；

[0040] 图 14 是根据本发明的晶圆的制造方法的一个实施方式的示意图；

[0041] 图 15 是根据本发明的晶圆的制造方法的另一个实施方式的示意图；

- [0042] 图 16 是根据本发明的晶圆的制造方法的再一个实施方式的示意图；
- [0043] 图 17a 和图 17b 是根据本发明的制造半导体晶圆的的一个示例的示意图；
- [0044] 图 18 示意性示出使用图案化的抗蚀层作为掩膜形成的晶圆穿孔；
- [0045] 图 19 是根据本发明的玻璃陶瓷晶圆的制造方法的一个实施方式的示意图；以及
- [0046] 图 20 是根据本发明的玻璃陶瓷晶圆的制造方法的另一个实施方式的示意图。
- [0047] 为了本申请的目的，术语“电子器件”是指微电子器件、电子 MEMS 器件、电子纳米技术器件以及简易电子器件。微电子器件可以包括如集成于晶圆表面或配置于晶圆表面的集成电路等微电子部件。MEMS 器件可以通过例如对半导体晶圆的微机械加工或在晶圆上进行表面微机械加工来形成。简易电子器件可以是用作电子部件用载体的基底 (substrate) 或其它电子器件之间的中间层。术语“晶圆”源自于如集成电路等电子器件和大多数 MEMS 结构也是由硅晶圆制成的事实。然而，术语“晶圆”不限于硅晶圆或作为硅晶圆的典型形状的圆形基底，而且指适用于电子器件的所有基底。
- [0048] 附图中的晶圆的尺寸不必按比例。一般地，为了清楚起见，横向尺寸被放大。
- [0049] 本发明的基础是限定阶梯的形状和随后的各向异性蚀刻处理的组合，以在晶圆通路孔 (through-wafer via hole) 中形成缩颈，这能够实现包括根据本发明的具有晶圆穿孔的晶圆的电子器件的更可靠的制造和操作。
- [0050] 图 1 示意性示出根据本发明的晶圆的的一个实施方式。晶圆 3 具有上侧 4 和下侧 5，并且晶圆 3 包括具有侧壁 11 的至少一个晶圆通路孔 9。晶圆通路孔 9 的侧壁 11 涂布有第一导电涂层 25，形成从上侧 4 到下侧 5 的晶圆穿孔 7。此外，晶圆通路孔 9 包括具有大致竖直的 (vertical) 侧壁 16 的第一部分 13 和形成缩颈 23 的第二部分 14，该缩颈 23 鼓出到晶圆通路孔 9。如从图 1 中可以看到的那样，缩颈 23 包括向上朝向上侧 4 变宽的上倾斜侧壁 20 和向下朝向下侧 5 变宽的下倾斜侧壁 21。
- [0051] 图 2 示意性示出根据本发明的晶圆 3 的一个实施方式。晶圆 3 具有上侧 4 和下侧 5，以及至少一个晶圆通路孔 9，该至少一个晶圆通路孔 9 具有侧壁 11，该侧壁 11 涂布有第一导电涂层 25，形成从上侧 4 到下侧 5 的晶圆穿孔 7。此外，晶圆通路孔 9 包括具有大致竖直的侧壁 16 的第一部分 13、形成鼓出到晶圆通路孔 9 的缩颈 23 的第二部分 14、以及具有大致竖直的侧壁 17 的第三部分 15。如从图 2 中可以看到的那样，缩颈 23 包括朝向上侧变宽的上倾斜侧壁 20 和朝向下侧 5 变宽的下倾斜侧壁 21。
- [0052] 在本发明的一个实施方式中，参考图 1 和图 2 描述的上述实施方式的晶圆 3 是由半导体材料制成的。优选地，半导体材料是单晶硅。一种可替换的材料是所谓的“绝缘硅 (SOI) 晶圆”，其包括在本征层 (bulk layer) 和元件层 (device layer) 之间的氧化硅层。可以使用其它半导体材料，例如 SiC 和 GaAs，然而，本发明不限于这些材料。对于半导体材料，图 1 和图 2 中示出的倾斜侧壁 20、21 是倾斜平坦面，典型地是跟随半导体晶圆的晶面。
- [0053] 图 7c 是具有填充通路孔并且突出到通路孔的外侧的导电涂层的晶圆穿孔的示意图，图 7d 是图 7c 的穿孔在抛光之后的示意图；
- [0054] 图 8 是根据本发明的包括晶圆穿孔的 SOI 晶圆的示意图；
- [0055] 图 9a 是根据本发明的包括集成电路和晶圆穿孔的电子器件的示意图；
- [0056] 图 9b 是根据本发明的包括集成在晶圆表面中的集成电路、配置在晶圆表面上的微电子部件和晶圆穿孔的电子器件的示意图；

- [0057] 图 10 是根据本发明的包括封堵的低阻抗晶圆穿孔的玻璃陶瓷晶圆的示意图；
- [0058] 图 11a 和图 11b 是根据本发明的包括两个堆叠的晶圆的电子器件的示意图，每个晶圆均包括晶圆穿孔，其中晶圆被穿孔连接；
- [0059] 图 12a 是根据本发明的包括第一组晶圆穿孔的穿孔阵列的示意图，图 12b 是根据本发明的包括两组晶圆穿孔的穿孔阵列的示意图；
- [0060] 图 13a 和图 13b 是根据本发明的在晶圆穿孔内包括冷却介质的晶圆的示意图，其中，在图 13a 中晶圆通路孔没有导电涂层，而在图 13b 中具有晶圆通路孔导电涂层；
- [0061] 图 14 是根据本发明的晶圆的制造方法的一个实施方式的示意图；
- [0062] 图 15 是根据本发明的晶圆的制造方法的另一个实施方式的示意图；
- [0063] 图 16 是根据本发明的晶圆的制造方法的再一个实施方式的示意图；
- [0064] 图 17a 和图 17b 是根据本发明的制造半导体晶圆的一个示例的示意图；
- [0065] 图 18 示意性示出使用图案化的抗蚀层作为掩膜形成的晶圆穿孔；
- [0066] 图 19 是根据本发明的玻璃陶瓷晶圆的制造方法的一个实施方式的示意图；以及
- [0067] 图 20 是根据本发明的玻璃陶瓷晶圆的制造方法的另一个实施方式的示意图。

具体实施方式

[0068] 为了本申请的目的，术语“电子器件”是指微电子器件、电子 MEMS 器件、电子纳米技术器件以及简易电子器件。微电子器件可以包括如集成于晶圆表面或配置于晶圆表面的集成电路等微电子部件。MEMS 器件可以通过例如对半导体晶圆的微机械加工或在晶圆上进行表面微机械加工来形成。简易电子器件可以是用作电子部件用载体的基底 (substrate) 或其它电子器件之间的中间层。术语“晶圆”源自于如集成电路等电子器件和大多数 MEMS 结构也是由硅晶圆制成的事实。然而，术语“晶圆”不限于硅晶圆或作为硅晶圆的典型形状的圆形基底，而且指适用于电子器件的所有基底。

[0069] 附图中的晶圆的尺寸不必按比例。一般地，为了清楚起见，横向尺寸被放大。

[0070] 本发明的基础是限定阶梯的形状和随后的各向异性蚀刻处理的组合，以在晶圆通路孔 (through-wafer via hole) 中形成缩颈，这能够实现包括根据本发明的具有晶圆穿孔的晶圆的电子器件的更可靠的制造和操作。

[0071] 图 1 示意性示出根据本发明的晶圆的实施方式。晶圆 3 具有上侧 4 和下侧 5，并且晶圆 3 包括具有侧壁 11 的至少一个晶圆通路孔 9。晶圆通路孔 9 的侧壁 11 涂布有第一导电涂层 25，形成从上侧 4 到下侧 5 的晶圆穿孔 7。此外，晶圆通路孔 9 包括具有大致竖直的 (vertical) 侧壁 16 的第一部分 13 和形成缩颈 23 的第二部分 14，该缩颈 23 鼓出到晶圆通路孔 9。如从图 1 中可以看到的那样，缩颈 23 包括向上朝向上侧 4 变宽的上倾斜侧壁 20 和向下朝向下侧 5 变宽的下倾斜侧壁 21。

[0072] 图 2 示意性示出根据本发明的晶圆 3 的一个实施方式。晶圆 3 具有上侧 4 和下侧 5，以及至少一个晶圆通路孔 9，该至少一个晶圆通路孔 9 具有侧壁 11，该侧壁 11 涂布有第一导电涂层 25，形成从上侧 4 到下侧 5 的晶圆穿孔 7。此外，晶圆通路孔 9 包括具有大致竖直的侧壁 16 的第一部分 13、形成鼓出到晶圆通路孔 9 的缩颈 23 的第二部分 14、以及具有大致竖直的侧壁 17 的第三部分 15。如从图 2 中可以看到的那样，缩颈 23 包括朝向上侧变宽的上倾斜侧壁 20 和朝向下侧 5 变宽的下倾斜侧壁 21。

[0073] 在本发明的一个实施方式中,参考图 1 和图 2 描述的上述实施方式的晶圆 3 是由半导体材料制成的。优选地,半导体材料是单晶硅。一种可替换的材料是所谓的“绝缘硅(SOI)晶圆”,其包括在本征层(bulk layer)和元件层(device layer)之间的氧化硅层。可以使用其它半导体材料,例如 SiC 和 GaAs,然而,本发明不限于这些材料。对于半导体材料,图 1 和图 2 中示出的倾斜侧壁 20、21 是倾斜平坦面,典型地是跟随半导体晶圆的晶面。

[0074] 本发明不限于硅或其它半导体材料。在本发明的另一个实施方式中,晶圆 3 是由如光敏玻璃或玻璃陶瓷等光敏原材料或光敏聚合物制成的。如 **Foturan®** (由 Schott 制造) 等光敏玻璃或玻璃陶瓷是由如下方法构造成的:将晶圆的将被去除的部分暴露至一定波长的光,对晶圆进行热处理,然后蚀刻掉将被去除的部分。最终材料组合了玻璃的独特特性(透明性、硬度、耐化学性和耐热性等)和获得具有紧密度公差(tight tolerance)和大的高宽比的微结构的可能性。如果使用激光束等聚焦光束,则能够实现三维结构。能够以与处理玻璃陶瓷类似的方式处理光敏聚合物。被去除的部分不被暴露至一定波长的光,而使晶圆的其它部分暴露至一定波长的光。由此,暴露的部分被聚合,并且可以使用溶剂来溶解将被去除的部分。

[0075] 在本发明的另一个实施方式中,晶圆 3 是由印刷电路板(PCB)、柔性印刷电路板(FPC)等制成的。在这些情况下,典型地通过钻孔、激光烧蚀、干蚀刻或冲压(stamping)来形成根据本发明的晶圆通路孔 9。

[0076] 图 3 示意性示出包括晶圆穿孔的晶圆的实施方式,该实施方式是图 2 所示的晶圆穿孔的变型。缩颈 23 具有朝向上侧变宽的上倾斜侧壁 20 和朝向下侧变宽的下倾斜侧壁 21,并且缩颈 23 在倾斜侧壁 20、21 的相交部位 22 处被圆滑化(smoothlyrounded)。

[0077] 根据本发明的晶圆通路孔 9 的设计在涂布侧壁 11 时是有利的。在具有延伸贯通整个晶圆的竖直侧壁的传统通路孔(viahole)中,当使用如物理气相沉积等瞄准线工艺来沉积侧壁涂层时,通路孔的中间的覆盖可能不够。缩颈 23 的倾斜侧壁 20、21 分别位于被置于上侧 4 和下侧 5 的沉积源的瞄准线内。因此,以可靠的方式涂布倾斜侧壁 20、21。此外,如图 3 所示意性示出的被圆滑化的缩颈 23 防止贯通晶圆穿孔 7 的导电路径的急剧转变。因此,与现有技术的穿孔相比,根据本发明的晶圆穿孔提供了电性和机械的优点,这可以通过工艺生产率的提高和电性特性的改进来体现,特别在 RF 应用方面。

[0078] 图 4a-4f 通过示例的方式示意性示出本发明的可替换的实施方式,然而,本发明不限于这些可替换的实施方式。这些可替换实施方式大体示出有位于缩颈 23 的上倾斜侧壁 20 和下倾斜侧壁 21 之间的点状相交部位 22。然而,点状相交部位不是必须的,相交部位可以是任意角度的圆角。

[0079] 参考图 4a,本发明的一个实施方式的晶圆 3 具有上侧 4 和下侧 5,并且晶圆 3 包括具有侧壁 11 的至少一个晶圆通路孔 9。晶圆通路孔 9 的侧壁 11 涂布有第一导电涂层 25,形成从上侧 4 到下侧 5 晶圆穿孔 7。此外,晶圆通路孔 9 包括具有大致竖直的侧壁 16 的第一部分 13,和邻近上侧 4 形成鼓出到晶圆通路孔 9 的缩颈 23 的第二部分 14。缩颈 23 包括朝向上侧变宽的上倾斜侧壁 20 和位于下侧的下侧壁 21,该下侧壁 21 是水平的或者以小角度倾斜(10° 以下或 5° 以下)。

[0080] 参考图 4b,本发明的一个实施方式包括晶圆通路孔 9,其中,第一部分 13 邻近上侧 4,且缩颈 23 邻近下侧 5。缩颈 23 包括朝向上侧变宽的上倾斜侧壁 20 和位于下侧的下侧壁

21, 该下侧壁 21 是水平的或者以小角度倾斜 (10° 以下或 5° 以下)。

[0081] 参考图 4c, 本发明的一个实施方式包括晶圆通路孔 9, 其中, 包括缩颈 23 的第二部分 14 被置于晶圆通路孔 9 的位于第一部分 13 和第三部分 15 之间的中间位置, 第一部分 13 具有大致竖直的侧壁 16, 第二部分 15 具有大致竖直的侧壁 17。缩颈 23 包括朝向上侧变宽的上倾斜侧壁 20 和基本水平的下侧壁 21。尽管在图 1- 图 3 中示出的实施方式中具有竖直侧壁的第一部分 13 和第三部分 15 在上侧 4 和下侧 5 具有相同的尺寸, 但是尺寸可以不同。图 4d 示出如下实施方式: 第一部分 13 和第三部分 15 具有不同的宽度, 形成不对称的缩颈 23, 其中, 下倾斜侧壁 21 的表面比上倾斜侧壁 20 的表面大。此外, 所述竖直侧壁 16、17 可以略倾斜或为锥状。然而, 侧壁的任何倾斜增大了通路孔的覆盖区 (footprint)。可以通过使用用于形成晶圆通路孔的不同方法来实现倾斜。例如, 干蚀刻工艺能够提供晶圆通路孔中的倾斜或锥状侧壁。

[0082] 图 4e- 图 4f 示出本发明的实施方式, 其中, 缩颈 23 的上下倾斜侧壁 20、21 均为凹陷弯曲。在图 4e 示出的实施方式中, 缩颈 23 的上下倾斜侧壁 20、21 的相交部位 22 形成点。与图 3 中的圆化的缩颈 23 的说明类似, 图 4f 示出的实施方式在缩颈 23 的上下倾斜侧壁 20、21 之间具有圆化的相交部位 22, 即凸起弯曲的圆化相交部位 22。

[0083] 图 5 示意性示出本发明的一个实施方式, 其中, 晶圆 3 的上下侧 4、5 的至少一部分及侧壁 11 覆盖有连续的绝缘层 27, 以提供第一导电涂层 25 和晶圆 3 之间的电绝缘。例如, 可以将由硅制成的半导体晶圆 3 处理成, 使得半导体晶圆 3 变成导电的, 由于半导体晶圆 3 变得导电而需要与穿孔 7 绝缘, 从而避免器件 1 的不同部件之间的串扰和短路。在该实施方式中, 在晶圆通路孔 9 的中间留有开口通路 10。

[0084] 图 6 示意性示出本发明的另一个实施方式, 其中, 晶圆通路孔 9 如此窄, 使得第一导电涂层 25 桥接缩颈 23 的开口, 由此封堵晶圆通路孔。

[0085] 优选地, 根据本发明的晶圆通路孔 9 的横向尺寸在 $50\ \mu\text{m}$ - $500\ \mu\text{m}$ 的范围内, 更优选地在 $100\ \mu\text{m}$ - $200\ \mu\text{m}$ 的范围内。晶圆通路孔的实际尺寸取决于晶圆 3 的厚度、晶圆材料和工艺方法。 $100\ \mu\text{m}$ - $150\ \mu\text{m}$ 宽的穿孔典型地适于 $300\ \mu\text{m}$ 厚的硅晶圆, $150\ \mu\text{m}$ - $200\ \mu\text{m}$ 宽的穿孔典型地适于 $500\ \mu\text{m}$ 厚的硅晶圆, 即, 根据本发明的硅晶圆中的晶圆通路孔 9 的宽度优选是硅晶圆 3 的厚度的 $1/3$ 到 $1/2$ 。

[0086] 图 7a 示意性示出根据本发明的硅晶圆 3 的一个示例。硅晶圆 3 具有上侧 4 和下侧 5, 并且硅晶圆 3 包括具有侧壁 11 的至少一个晶圆通路孔 9。晶圆 3 的上下侧 4、5 的至少一部分和侧壁 11 可以被氧化硅制成的连续绝缘层 27 覆盖。晶圆通路孔 9 的侧壁 11 优选地涂布有如 Ti/Cu 等制成的第一导电涂层 25, 形成从上侧 4 到下侧 5 的晶圆穿孔 7。晶圆通路孔 9 包括具有大致竖直的侧壁 16 的第一部分 13、形成鼓出到晶圆通路孔 9 的缩颈 23 的第二部分 14 和具有大致竖直的侧壁 17 的第三部分 15。如从图 7a 中可以所看到的那样, 缩颈 23 包括朝向上侧变宽的上倾斜侧壁 20 和朝向下侧变宽的下倾斜侧壁 21。此外, 具有朝向上侧变宽的上倾斜侧壁 20 和朝向下侧变宽的下倾斜侧壁 21 的缩颈 23 在倾斜侧壁 20、21 的相交部位 22 处被圆滑化。由例如 Cu 等制成的第二导电涂层 26 覆盖第一导电涂层 25。在该实施方式中, 第二导电涂层 26 的厚度比第一导电涂层的厚度厚, 但这不是必须的, 并且晶圆通路孔 9 保持贯通。

[0087] 在图 7b 中, 示意性示出本发明的另一个实施方式, 其中, 第一导电涂层和第二导

电涂层 26 足够厚,以闭合晶圆通路孔 9。

[0088] 在图 7c 中,示意性示出另一个实施方式。例如被镀层到第一导电涂层的第二导电涂层 26 充填于晶圆通路孔 9,并且在晶圆 3 的至少上侧 4 突出。

[0089] 图 7d 示出本发明的晶圆穿孔 7 的一个实施方式,该晶圆穿孔 7 例如根据图 7c 被充满,然后接着利用例如研磨、抛光等平坦化。

[0090] 参考图 7e- 图 7f,根据本发明的晶圆 3 的一个实施方式包括覆盖晶圆通路孔 9 的侧壁 11 的仅一部分的第一和 / 或第二导电涂层 25、26。这例如可以通过图案化抗蚀层来实现,在沉积导电涂层 25、26 之前在侧壁 11 上沉积该抗蚀层。图 7e 示意性示出包括缩颈 23 的低阻抗晶圆穿孔的晶圆通路孔 9。第一导电涂层 25 覆盖缩颈的上下倾斜侧壁 20、21 的至少一部分,第二导电涂层 26 覆盖第一导电涂层 25,并且形成封堵晶圆通路孔 9 且在晶圆 3 的上下侧 4、5 之间提供电连接的塞。这种布置可以通过例如首先在侧壁 11 上沉积第一导电涂层 25,然后沉积覆盖第一导电涂层 25 的抗蚀层,图案化该抗蚀层,以在上下倾斜侧壁 20、21 的所述部分露出第一导电涂层 25,然后在第一导电涂层 25 的露出部分上沉积第二导电涂层。图 7f 示意性示出根据本发明的电子器件的一个实施方式,其中,缩颈 23 位于邻近晶圆 3 的上侧 4 的位置。为了接触安装至或集成至晶圆 3 的上侧 4 的部件 52,第一和 / 或第二导电涂层 25、26 通过由缩颈 23 形成的窄通路延伸到所述部件。窄通路例如可以通过如下方法形成:首先从下侧 5 形成晶圆通路孔 9 的较宽部分,在晶圆通路孔的侧壁 11 上沉积抗蚀层,图案化该抗蚀层,以在该抗蚀层开出孔,然后通过蚀刻形成窄通路。沉积第一和 / 或第二导电涂层 25、26,以形成从上侧 4 上的部件到下侧 5 的电连接。与镀直通路孔的现有技术相比,这种类型的部件接触防止了空隙 (void) 的不利影响。

[0091] 在上述实施方式的说明中给出的晶圆材料和导电涂层仅是示例性的。如本领域的普通技术人员所理解的那样,可以使用如 Cu、Ni、Au、Al 等其它金属或金属合金,可选的绝缘层 27 的材料是如 BCB、聚对二甲苯 (Parylene)、 Si_3N_4 等。然而,导电材料和绝缘材料不限于这些材料,还可能是不同材料的组合。此外,存在于晶圆穿孔 7 的第一导电涂层 25 可以被用作电镀第二导电涂层 26 的晶种层 (seed layer)。如本领域的普通技术人员所理解的那样,可以使用多种晶种层材料,Ti/Cu、Ti/Ni、Al 等就是晶种层材料的示例。

[0092] 从图 7b 中清楚的是,缩颈 23 起到晶圆穿孔 7 的导电涂层的锚点 (anchorage) 作用。由此,与例如具有延伸贯通整个穿孔的竖直侧壁的穿孔相比,提高了器件操作和处理期间的可靠性。在具有延伸贯通整个穿孔的竖直侧壁的穿孔中,处理或使用期间出现的机械力可能使导电涂层从穿孔分离或者被推出,这是个问题。

[0093] 在本发明的一个实施方式中,晶圆 3 包括多个晶圆通路孔,其中,至少一个晶圆通路孔 9 是封堵的,且至少一个晶圆通路孔 9 是通的。在同一晶圆中可能同时需要用于气体传输和电连接的穿孔的很多 MEMS 系统中,该特征是期望的。

[0094] 图 8 示出本发明的一个实施方式,其中,晶圆 3 是 SOI 晶圆,该 SOI 晶圆具有邻近晶圆 3 的上侧 4 的元件层 38 和位于元件层 38 下方的绝缘层 39。晶圆穿孔 7 从晶圆 3 的上侧 4 延伸到下侧 5。元件层 38 可以用于形成例如包括 MEMS 结构或微电子部件等的电子器件。

[0095] 参考图 9a,本发明的一个实施方式至少在晶圆 3 的上侧 4 的顶层中包括如 CMOS 电路等集成部件 50。根据本发明的包括绝缘层 27 和至少一个第一导电涂层 25 的晶圆穿孔

7 从晶圆 3 的上侧 4 延伸到下侧 5。钝化层 53 优选地覆盖集成部件 50 和晶圆表面。晶圆穿孔 7 可以电连接至集成部件 50。钝化层不是必须的,但是通常需要某种钝化层。如下文所述,根据本发明的电子器件可以从包括预先制造的集成部件 50 的传统电子器件开始制造。于是,早已存在于电子器件上的钝化层 53 可以用于在随后的工艺中保护集成部件 50。钝化层还可以在开始处理之前添加或者在完成电子器件之前添加。

[0096] 参考图 9b,根据本发明的晶圆 3 的一个实施方式包括:集成在晶圆 3 的表面中集成部件 50,如集成电路等;和配置在晶圆 3 的表面上的部件 52,如钝化部件、集成微电子部件、MEMS 结构、纳米结构、传感器、致动器等。包括绝缘层 27、至少一个第一导电层 25 和可选的第二导电层 26 的晶圆穿孔 7 从晶圆 3 的上侧 4 延伸到下侧 5。如图 9b 所示,钝化层 53 覆盖集成部件 50 和晶圆表面。晶圆穿孔 7 可以电连接至集成部件 50。

[0097] 本发明能够在包括如微电子部件、MEMS 结构、纳米结构、传感器、致动器等预先制造的集成部件 50 的晶圆 3 中形成晶圆穿孔 7。通过仅示例的方式,可以在制造晶圆穿孔 7 之前制造或安装被配置在晶圆 3 的表面上的如存储电路、处理器、FPGA 和 AISIC 等集成电路或微电子部件。使用传统的技术,不容易制造可靠的晶圆穿孔 7,至少在晶圆 3 厚的器件中不容易制造。为了能够使用传统的技术制造可靠的穿孔,在厚晶圆中,必须使穿孔具有大直径,或者必须使窄穿孔处理到有限深度,然后使晶圆变薄以露出穿孔。对于首先穿孔(via-first)的方法,形成裂缝发起源,降低了这种器件的制造期间的总生产率。

[0098] 图 10 示出本发明的包括玻璃陶瓷晶圆 3 的一个实施方式。玻璃陶瓷优选是 **Foturan®** 或类似的玻璃陶瓷材料。由于这种材料与硅相比的工艺不同,因此能够实现晶圆通路孔 9 的其它几何形状。晶圆通路孔 9 的第一部分 13 和第二部分 14 略微凹陷,并且上下倾斜侧壁 20、21 是弯曲的。此外,上下倾斜侧壁 20、21 之间的相交部位 22 被圆滑化。使用玻璃陶瓷晶圆,相交部位 22 的最大半径可以比硅晶圆的相交部位的在大半径大。

[0099] 图 11a 示意性示出本发明的包括至少两个堆叠的晶圆 3 的一个实施方式。每个晶圆 3 均具有上侧 4 和下侧 5,以及至少一个晶圆通路孔 9。下晶圆 3a 的上侧 4 邻近且面朝上晶圆 3b 的下侧。晶圆 3a、3b 的上下侧 4、5 的至少一部分和晶圆通路孔 9 的侧壁 11 被连续的绝缘层 27 覆盖。晶圆通路孔 9 的侧壁 11 涂布有第一导电涂层 25,以及可选的第二导电涂层 26,该第一导电涂层 25 例如是通过如物理气相沉积完成的金属或金属合金膜等,第二导电涂层 26 例如为镀层金属或金属合金层等,形成从上侧 4 到下侧 5 的晶圆穿孔 7。此外,晶圆通路孔 9 包括具有大致竖直的侧壁 16 的第一部分 13、形成朝向晶圆通路孔 9 的中心线鼓出的缩颈 23 的第二部分 14,和具有侧壁 17 的第三部分 15,该侧壁 17 可以基本竖直但是不限于此。第一晶圆 3a 中的至少一个晶圆穿孔 7 与第二晶圆 3b 中的晶圆穿孔 7 对齐,并且通过接头(joint)61 连接至第二晶圆 3b 中的晶圆穿孔 7。如图 11a 所示,接头 61 被安装至晶圆穿孔 7 的第二导电层 26,并且延伸进晶圆通路孔 9。这赋予了可靠的连接,在横向和上下方向上均被锚定。晶圆穿孔 7 还可以通的或完全填满。如图 11b 所示,对于通的晶圆穿孔 7,允许接头 61 延伸越过晶圆穿孔 7 的缩颈 23。因此,增强了接头 61 的上下方向的锚定。可以通过焊接(soldering)、熔接(welding)、镀、例如利用导电胶等粘结等来形成接头 61。

[0100] 图 12a 示意性示出根据本发明的一个实施方式,该实施方式包括根据本发明的晶圆穿孔 7 的阵列(array)。至少第一组 47 的接续的晶圆穿孔 7 沿着线 46 延伸。晶圆穿孔

7 沿着线 46 分布,以形成阵列。每个接续的晶圆穿孔 7 在从线 46 垂直向外的方向上以阶梯的方式 (in a stepwise manner) 相对于前一晶圆穿孔 7 移位。

[0101] 图 12b 示意性示出本发明的包括晶圆穿孔 7 的阵列的一个实施方式。接续的晶圆穿孔 7 的至少第一组 47 和第二组 48 被顺次配置,并且沿着线 46 延伸,以形成阵列。第一组 47 和第二组 48 中的每个接续的晶圆穿孔 7 在从线 46 垂直向外的方向上以阶梯的方式相对于前一晶圆穿孔 7 移位。优选地,第一组 47 的最后一个晶圆穿孔 7 和第二组 48 的第一个晶圆穿孔 7 之间的距离比第一组 47 和第二组 48 内的两个接续的晶圆穿孔 7 之间的垂直距离大。

[0102] 上面参考图 12a 和 12b 所述的实施方式提高了具有晶圆穿孔 7 的阵列的电子器件的可靠性。所述实施方式不仅对于根据本发明的晶圆穿孔有用,而且对其它穿孔也有用。通常,晶圆穿孔 7 被布置为直线行。如果由于例如在施加于一个晶圆穿孔的负荷的作用而形成裂纹,则该裂纹很有可能从一个晶圆穿孔 7 传播到另一个晶圆穿孔 7。特别地,如果使用如硅晶圆等单晶晶圆且晶圆穿孔 7 以与晶圆的任意晶面平行的方式沿直线行被布置,则很有可能发生这种情形。为了使该问题最小化,晶圆穿孔 7 的阵列可以指向不位于沿晶面的方向的另一个方向上。然而,如本领域的普通技术人员所理解的那样,将晶圆穿孔 7 大致沿晶面布置通常是必须的或者至少是有好处的。通过如上参考图 12a 和图 12b 所述地布置晶圆穿孔 7,由于裂纹必须在不沿晶面的方向上扩展,这需要更多的能量,因此阻止裂纹扩展。此外,由于在第一组 47 的最后一个晶圆穿孔 7 和第二组 48 的第一个晶圆穿孔 7 之间存在长距离,因此图 12b 的配置减小了裂纹沿着整个阵列扩展的风险。

[0103] 参考图 13a,本发明的一个实施方式的晶圆 3 具有上侧 4、下侧 5,并且包括从上侧 4 延伸到下侧 5 的至少一个晶圆通路孔 9。通过示例的方式,晶圆通路孔 9 包括具有大致竖直的侧壁 16 的第一部分 13、形成鼓出到晶圆通路孔 9 的缩颈 23 的第二部分 14 和具有大致竖直的侧壁 17 的第三部分 15。缩颈 23 包括朝向上侧变宽的上倾斜侧壁 20 和朝向下侧变宽的下倾斜侧壁 21。通过这种方式,晶圆、包括该晶圆的电子器件或该晶圆的至少一部分可以适于由通过晶圆通路孔 9 的冷却介质 60 流来来冷却。

[0104] 参考图 13b,本发明的一个实施方式的晶圆 3 具有上侧 4、下侧 5,并且包括根据本发明的至少一个晶圆通路孔 9,该晶圆通路孔 9 包括缩颈 23。晶圆通路孔 9 的侧壁 11 涂布有至少第一导电涂层 25,以形成从上侧 4 到下侧 5 的晶圆穿孔 7。通过示例的方式,晶圆通路孔 9 包括具有大致竖直的侧壁 16 的第一部分 13、形成朝向晶圆通路孔 9 的中心线鼓出的缩颈 23 的第二部分 14 和具有大致竖直的侧壁 17 的第三部分 15。缩颈 23 包括朝向上侧变宽的上倾斜侧壁 20 和朝向下侧变宽的下倾斜侧壁 21。通过这种方式,晶圆、包括该晶圆的电子器件或该晶圆的至少一部分可以适于由晶圆通路孔 9 内的冷却介质 60 冷却。优选地,冷却介质 60 流过晶圆通路孔 9。

[0105] 在操作期间,电子器件通常被加热或变暖。特别地,对于例如 RF 部件等高频部件是这种情况。集成在晶圆、集成在晶圆表面或安装在晶圆表面上的电子部件产生的热应当散掉。此外,晶圆穿孔可能产生大量的热,特别是在晶圆穿孔传导高频信号时。通过对电子器件进行冷却,可以提高电子器件的性能。一般地,电子器件的晶圆 3 被用作散热器 (heat sink)。对于从晶圆 3 向晶圆穿孔导热或者从晶圆穿孔向晶圆 3 导热的能力而言,侧壁 11 处的导热特性是重要的。由于第一导电层 25 和晶圆 3 之间的接触改善,因此根据本

发明的晶圆穿孔 7 提高了侧壁处的导热性能。由于缩颈 23 具有倾斜面,因此有利的沉积条件实现接触的改善。

[0106] 可以通过使冷却介质流过晶圆通路孔 9,来增强对包括晶圆通路孔 9 的晶圆或电子器件的冷却效果。然后,冷却介质吸热并且将热传走。从晶圆 3 到冷却介质的热传导受侧壁 11 处形成于流动的冷却介质的交界层限制。侧壁 11 处的流率远小于晶圆通路孔 9 的中间处的流率。然而,由于根据本发明的晶圆通路孔 9 的缩颈 23 的存在,增大了缩颈处的冷却介质的流率。由此,可以扰乱交界层,并且增大导热率。这种现象可以用于在具有和不具有导电层 25、26 的晶圆通路孔 9 中冷却。后者的一个示例用于根据本发明的晶圆穿孔 7,其中,如 RF 信号等高频信号通过晶圆穿孔 7 来传导。

[0107] 尽管参考图 13a 和图 13b 的实施方式已经对晶圆通路孔 9 的中间具有缩颈 23 的通路孔 9 进行了说明,但是通路孔 9 的几何尺寸不限于此。上述实施方式的任意通的晶圆通路孔及其变形也均能提高热传导。

[0108] 参考图 14,一晶圆 3 具有上侧 4 和下侧 5,并且该晶圆 3 包括具有侧壁 11 的至少一个晶圆通路孔 9,其中,晶圆通路孔 9 的侧壁 11 涂布有第一导电涂层 25,形成从上侧 4 到下侧 5 的晶圆穿孔 7;以及晶圆通路孔 9 包括具有大致竖直的壁 16 的第一部分 13 和限定缩颈 23 的第二部分 14,缩颈 23 包括至少一朝向上侧变宽的上倾斜侧壁 20,该晶圆 3 的制造方法包括以下步骤:

[0109] - 限定步骤 101,在晶圆 3 中限定至少一个第一倾斜壁 18,第一倾斜壁 18 确定缩颈 23 的上倾斜侧壁 20 的形状;

[0110] - 通过各向异性蚀刻形成的步骤 102,通过各向异性蚀刻形成晶圆通路孔 9,其中,第一倾斜壁 18 成为缩颈 23 的上倾斜侧壁 20;以及

[0111] - 沉积步骤 103,在晶圆通路孔 9 的侧壁 11 上沉积第一导电涂层 25。

[0112] 在本发明的方法的一个实施方式中,限定步骤包括通过蚀刻形成步骤,即在晶圆 3 的上侧 4 形成具有第一倾斜壁 18 的至少一个第一凹部 28 的步骤。

[0113] 参考图 15,在本发明的方法的一个实施方式中,限定步骤包括通过蚀刻形成步骤 104,即在晶圆 3 的上侧 4 形成具有第一倾斜壁 18 的至少一个第一凹部 28 的步骤。优选地,通过各向异性蚀刻形成的步骤包括干蚀刻。

[0114] 参考图 16,本发明的方法的一个实施方式还包括通过蚀刻形成步骤 105,即在晶圆 3 的下侧 5 形成具有第二倾斜侧壁 19 的至少一个第二凹部 29 的步骤,第二倾斜侧壁 19 限定缩颈 23 的朝向下侧变宽的下倾斜侧壁 21 的形状。通过示例的方式,通过各向异性蚀刻形成的步骤包括干蚀刻。

[0115] 图 1 所示的晶圆穿孔 7 可以通过如下方法在硅晶圆 (100) 中制造:通过例如在 KOH 溶液中的各向异性湿蚀刻,在上侧 4 形成与下侧的第二凹部 29 对齐且具有大致相同尺寸的第一凹部 28。由此,由平坦面 (111) 来限定第一凹部 28 的第一倾斜侧壁 18 和第二凹部 29 的第二倾斜侧壁 19。在湿蚀刻之后,例如利用 DRIE 工艺在第二凹部 29 内对半导体晶圆进行干蚀刻,以形成竖直的侧壁。在干蚀刻处理期间,在孔扩展贯通晶圆 3 时,大致保持第二倾斜侧壁 19 的形状。最后,孔到达第一凹部 28 的底部,形成晶圆通路孔 9。大致由第二倾斜侧壁 19 (的形状) 形成缩颈 23 的下倾斜侧壁 21。

[0116] 在本发明的一个实施方式中,各向异性蚀刻包括从晶圆 3 的上侧 4 进行的干蚀刻。

通过示例的方式,图3所示的晶圆穿孔7可以通过如下方式在硅晶圆100中实现:通过例如在KOH溶液中的各向异性湿蚀刻,在上侧4形成与下侧的第二凹部29对齐且具有大致相同尺寸的第一凹部28。在湿蚀刻之后,例如利用DRIE工艺在第一和第二凹部28、29内对半导体晶圆3进行干蚀刻。大致由第一和第二倾斜壁18、19分别形成缩颈23的上倾斜侧壁20和下倾斜侧壁21。可以同时从晶圆的两侧4、5或一次从4、5中的一侧执行干蚀刻。

[0117] 在干蚀刻步骤之后,缩颈23的上下倾斜侧壁20、21的相交部位22变得较锐利。此外,干蚀刻处理可能在倾斜侧壁20、21的表面上留下某些缺陷,例如所谓的“草”(grass)。在本发明的方法的一个实施方式中,该方法还包括在晶圆穿孔7的侧壁11的至少一个表面上形成例如氧化硅的临时层36的步骤。氧化硅的形成消耗一定深度的晶圆3的硅。典型地消耗1-3 μm 的硅。通过使用氢氟酸溶液的湿蚀刻处理来去除氧化硅,由于形成的氧化层36基本上消耗掉所有的有缺陷的硅,因此去除了缺陷,并且由此使缩颈23圆滑。

[0118] 还可以利用各向异性干蚀刻处理来形成第一和第二凹部,其中,该处理被调谐,以赋予倾斜侧壁20、21特定倾斜度。

[0119] 在本发明的一个实施方式中,湿蚀刻步骤包括各向同性蚀刻的步骤。可以使用例如各向同性湿蚀刻或各向同性干蚀刻来形成第一和第二凹部28、29。通过使用各向同性蚀刻,第一和第二倾斜壁18、19变得凹陷地弯曲,由此上下倾斜侧壁20、21在随后的干蚀刻处理中复制成相同的形状。

[0120] 可以使用例如溅射或蒸发(evaporation)等物理气相沉积(PVD)工艺来沉积第一导电涂层25。由于控制了本发明的缩颈23的形状,尽管使用瞄准线工艺,但是导电涂层25、26的覆盖也是完全的。

[0121] 在本发明的方法的一个实施方式中,沉积步骤还包括在第一导电涂层25上沉积第二导电涂层26的步骤。以第一导电涂层25作为晶种层,利用Cu、Al、Ni、Au、Ag等金属或金属合金的电镀或无电电镀等镀来沉积第二导电涂层26。在这种情况下,优选地使用湿化学处理或无电电镀来沉积第一导电涂层25。可以将镀层26的厚度选择到达到如图7b所示的由镀层金属或金属合金26闭合晶圆通路孔9时的厚度。第一导电涂层25可以从Ti/Cu、Ti/Au、Ti/Ni、Cr/Cu、Cr/Au、Cr/Ni、Pd/Ni、Pd/Ag、Ti/Ag的组中选择,但是不限于这些材料。

[0122] 本发明的方法的一个实施方式还包括在沉积第一导电涂层25之前在晶圆通路孔9的至少侧壁11上沉积绝缘层36的步骤。取代沉积绝缘层,可以通过热处理来形成绝缘层,在该热处理中,表面的硅被部分地转化成例如 SiO_2 或 Si_3N_4 。

[0123] 在根据本发明制造晶圆的方法的一个实施方式中,原始晶圆(starting wafer)包括如集成微电子部件、MEMS结构或纳米结构等预先制造的部件,即原始晶圆实际上是电子器件。如上所述,集成微电子部件50可以例如是至少部分埋设在晶圆3的表面内的CMOS电路,或者沉积微电子部件的薄膜,如晶圆表面上的存储电路等。在传统技术中,在制造电子器件的部件之前或之后,制作晶圆穿孔。当在制造部件之前制作晶圆穿孔时,晶圆穿孔必须承受制造部件的典型的高温处理,这排除在晶圆穿孔中使用如金属等高导电性材料。因此,这种晶圆穿孔具有较高阻抗。另一方面,当在包括预先制造的部件的晶圆上制作晶圆穿孔时,晶圆穿孔工艺的可靠性和生产率是至关重要的。传统工艺形成的穿孔使导电涂层25在晶圆穿孔中的覆盖不令人满意、穿孔过大、易于裂开、或需要晶圆薄化处理。本发明允许

在包括预先制造的部件上的晶圆穿孔的高生产率加工。此外,避免了晶圆薄化。

[0124] 在本发明的方法的一个实施方式中,晶圆穿孔 7 形成在如下的晶圆 3 中:该晶圆 3 包括位于晶圆 3 的下侧 5 的如 CMOS 电路 50 等预先制造的部件。首先通过干蚀刻,在下侧 5 形成第一凹部 28,以限定第一倾斜壁 18。接着,使用各向异性干蚀刻形成晶圆通路孔 9。由此,形成缩颈 23,并且由第一倾斜壁 18 形成缩颈 23 的上倾斜侧壁 20。晶圆通路孔 9 的侧壁 11 优选地涂布有绝缘层,以提供电绝缘。接着,晶圆通路孔 9 涂布至少第一导电涂层 25。在另一个实施方式中,在各向异性干蚀刻晶圆通路孔 9 之前,使用如各向异性 KOH 蚀刻等湿蚀刻来形成第一凹部 28。这在部件上需要钝化层 53,以保护它们免受侵蚀性的蚀刻剂的影响。通常地,包括预先制造的部件的晶圆用钝化层来保护,这适于晶圆通路孔的处理。否则,应当在进一步处理之前沉积钝化层。尽管这些实施方式仅说明了从上侧 4 蚀刻,应该理解的是,可以在包括预先制造的部件的晶圆中形成根据本发明的任意晶圆穿孔 7。

[0125] 本发明的方法的一个示例在图 17a 和图 17b 中示出。525 μm 厚的硅 100 晶圆 3 被用作原材料。如本领域的普通技术人员所理解的那样,在该步骤之前可以对晶圆进行处理,以在晶圆中形成结构或部件。该方法包括以下步骤:

[0126] - 形成覆盖晶圆 3 的至少上下侧 4、5 的氧化硅层 41,

[0127] - 通过传统的光刻法沉积并且图案化抗蚀层 42,以形成在将来的晶圆通路孔 9 的位置具有开口的掩膜层;

[0128] - 使用标准湿蚀刻处理去除未掩膜的氧化硅 41,例如通过使用 BHF 溶液;

[0129] - 用标准方法剥去抗蚀层 42;

[0130] - 使用 KOH(各向异性晶面依赖湿蚀刻)分别在上下侧 4、5 形成第一和第二凹部 28、29;

[0131] - 通过 DRIE 蚀刻形成晶圆通路孔 9 的第一部分 13 和部分的第三部分 15;

[0132] - 使用溅射在晶圆的上侧 4 沉积 A1 层 43;

[0133] - 通过 DRIE 蚀刻形成晶圆通路孔 9 的第三部分 15 的剩余部分,A1 层 43 用作蚀刻停止层;

[0134] - 通过标准的处理,剥去上侧的 A1 层 43;

[0135] - 去除氧化硅 41,并且形成覆盖晶圆 3 的至少上下侧 4、5 和晶圆通路孔 9 的侧壁 11 的新氧化硅层 27;

[0136] - 沉积第一导电层 25,即由 Ti/Cu 制成的晶种层,以覆盖氧化硅层;

[0137] - 沉积抗蚀层 44,该抗蚀层被图案化,以在晶圆通路孔 9 周围的抗蚀层 44 中留有开口;

[0138] - 通过电镀,沉积由 Cu 制成的第二导电涂层 26;

[0139] - 由标准处理来去除抗蚀层 44;以及

[0140] - 使用标准处理去除露出的晶种层 25。

[0141] 参考图 18,根据本发明的方法的一个实施方式包括以下步骤:

[0142] - 在晶圆 3 中限定至少一个第一倾斜壁 18,第一倾斜壁 18 确定缩颈 23 的上倾斜侧壁 20 的形状;

[0143] - 通过各向异性蚀刻部分地形成晶圆通路孔 9,其中,由第一倾斜壁 18 形成缩颈 23 的上倾斜侧壁 20;

[0144] - 在晶圆通路孔 9 的侧壁 11 上沉积抗蚀层 32；

[0145] - 通过光刻法和图案化抗蚀层 32，显影以去除抗蚀层 32 的位于晶圆通路孔 9 中心的部分；以及

[0146] - 以抗蚀层为掩膜，蚀刻晶圆通路孔 9 的剩余部分。

[0147] 当部件位于晶圆 3 的下侧 5 时，也可以使用这种工序。这可能需要对晶圆的下侧应用某种保护。可以高精度地对抗蚀层 32 进行图案化，因此能够高精度地实现从上侧到部件的电连接。

[0148] 图案化抗蚀层还可以用于限定涂布导电涂层 25、26 的位置。此外，图案化抗蚀层还可以用于图案化沉积在晶圆通路孔 9 的侧壁上的其它层。这些层可以包括 PECVD（等离子增强化学气相沉积） SiO_2 、BCB 或聚对二甲苯。如本领域的普通技术人员所理解的那样，可以使用不同的方法来沉积抗蚀层，即可以使用旋涂抗蚀层、溅射抗蚀层和电沉积抗蚀层等。图 19 是本发明的方法的一个实施方式的示意图，其中，该方法包括以下步骤：

[0149] - 在晶圆 3 中限定至少一个第一倾斜侧壁 18，该第一倾斜侧壁 18 确定缩颈 23 的上倾斜侧壁 20 的形状；

[0150] - 限定晶圆通路孔 9 的侧壁 11 的剩余部分；

[0151] - 通过各向异性蚀刻，形成晶圆通路孔 9，其中，由第一倾斜壁 18 形成缩颈 23 的上倾斜侧壁 20；以及

[0152] - 在晶圆通路孔 9 的侧壁 11 上沉积第一导电涂层 25。

[0153] 在本发明的一个实施方式中，该方法还包括在晶圆 3 中限定至少一个第二倾斜侧壁 19 的步骤，该第二倾斜侧壁 19 确定缩颈 23 的下倾斜侧壁 21 的形状。

[0154] 参考图 20，使用例如 **Foturan®** 或其它所谓的玻璃陶瓷等光敏原材料，制造具有根据图 3 的形状的晶圆 3。根据本发明，具有一定波长的光束对材料进行扫描，例如对于 **Foturan®** 为大约 290–330nm 的波长，以限定上下倾斜侧壁 20、21、上下倾斜侧壁 20、21 之间的圆滑的相交部位 22 以及侧壁 11 的剩余部分，即，限定晶圆通路孔 9 的几何形状。露出的材料的特性改变，从而随后的热处理使得晶圆材料在露出的区域内结晶。在 **Foturan®** 中，在露出的区域内形成银原子，在 500°C 到 600°C 之间的热处理期间，玻璃在这些银原子周围结晶。然后通过使用氢氟酸溶液的各向异性蚀刻去除露出区域内的材料，即晶圆通路孔内的材料，。当用 10% 的氢氟酸溶液在室温下蚀刻时，结晶的区域的蚀刻率比玻璃质区域的蚀刻率高达 20 倍。

[0155] 尽管结合当前被认为最实用且优选的实施方式对本发明进行了说明，但是应该理解的是，本发明不限于所公开的实施方式，相反地，本发明想要覆盖随附权利要求书的范围内的各种变形和等同配置。

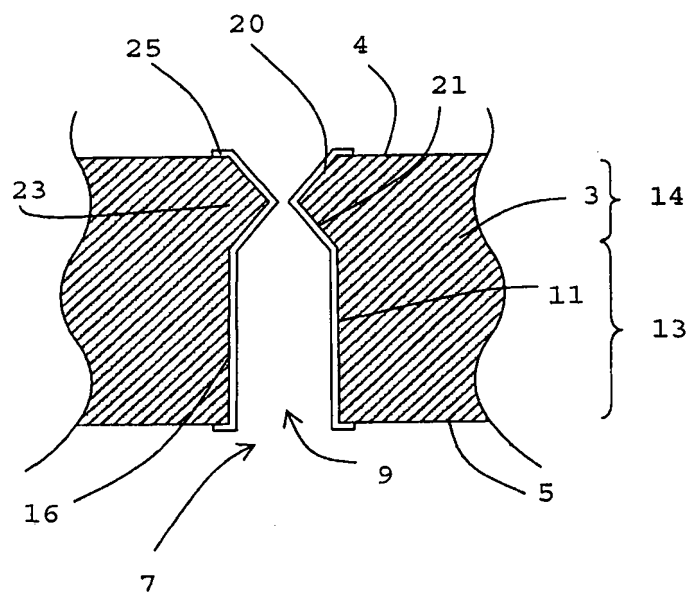


图 1

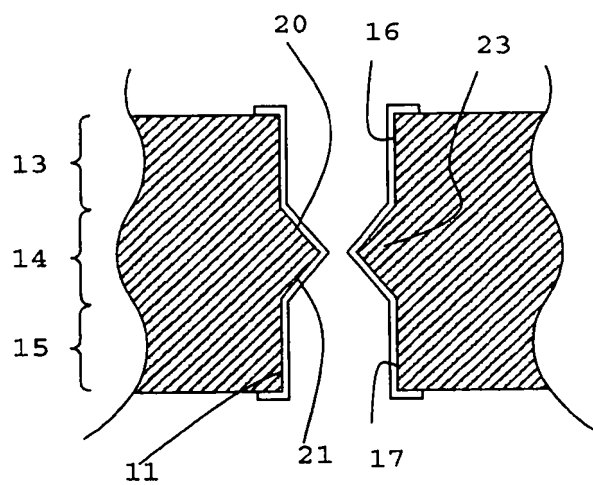


图 2

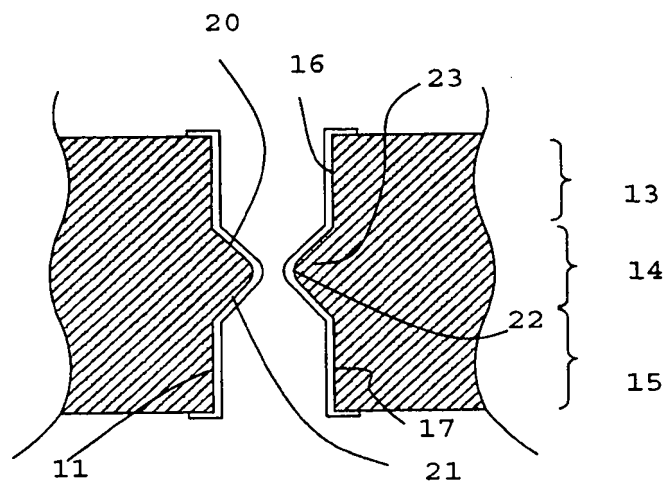


图 3

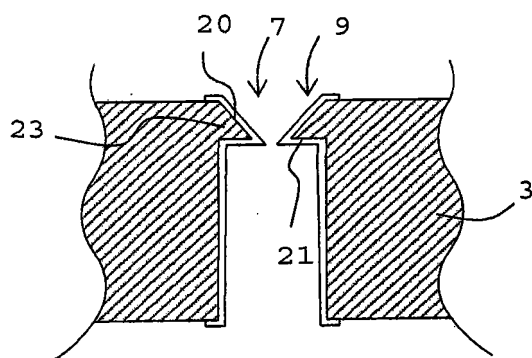


图 4a

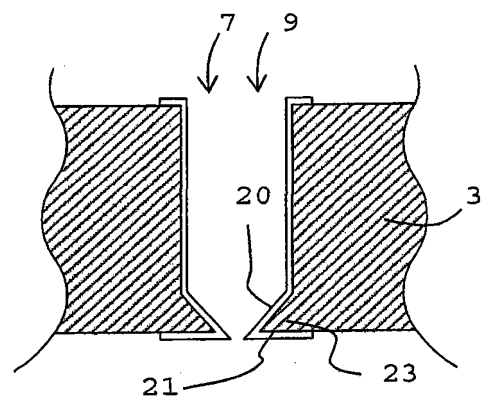


图 4b

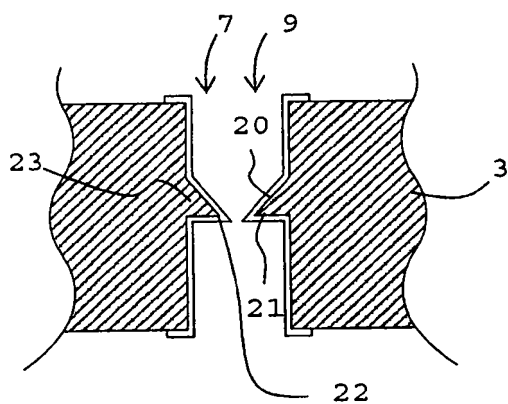


图 4c

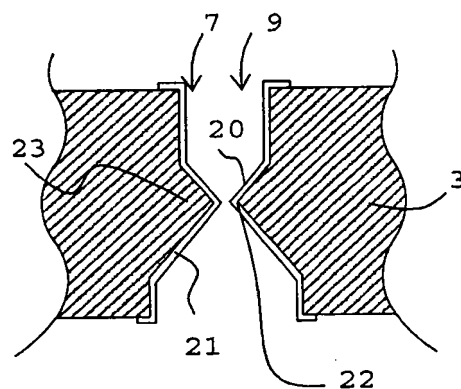


图 4d

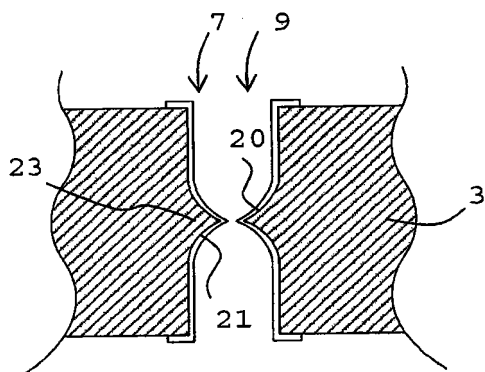


图 4e

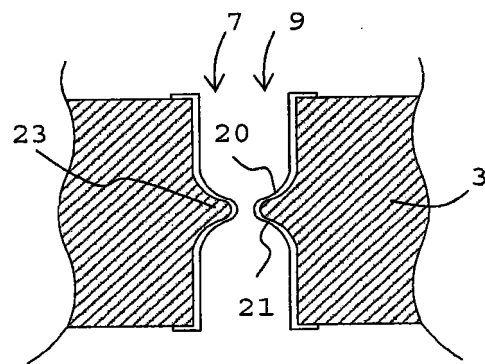


图 4f

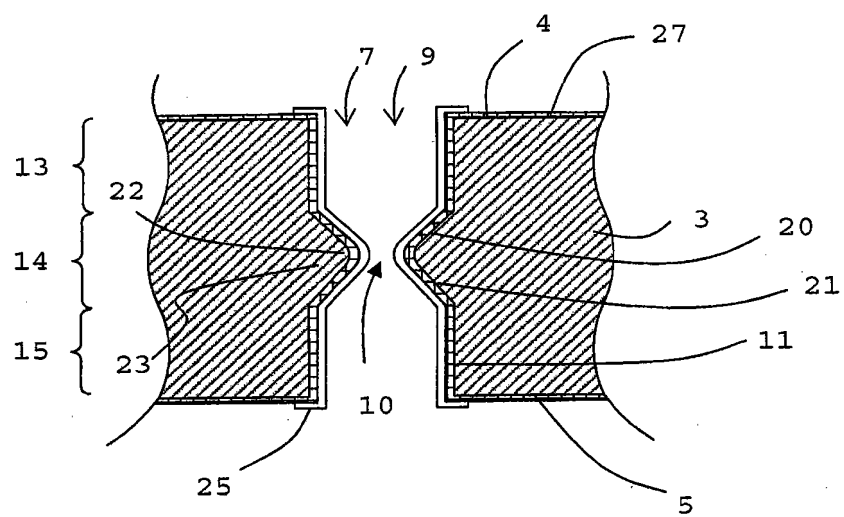


图 5

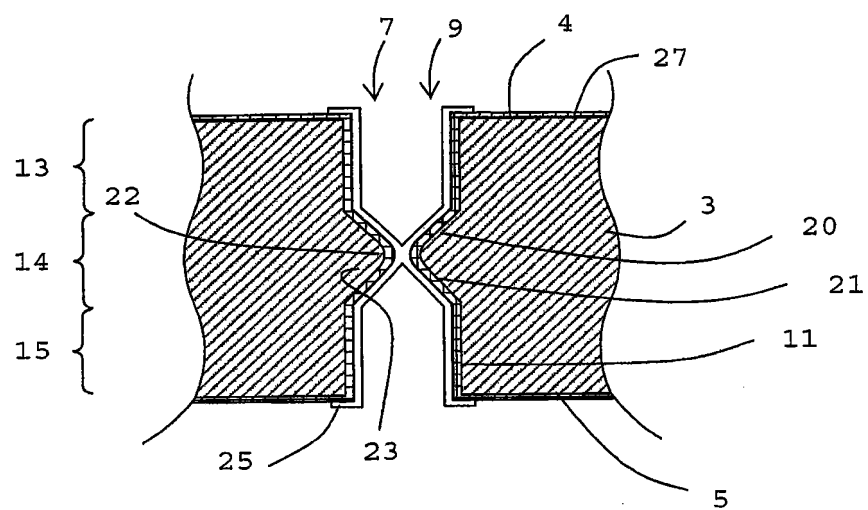


图 6

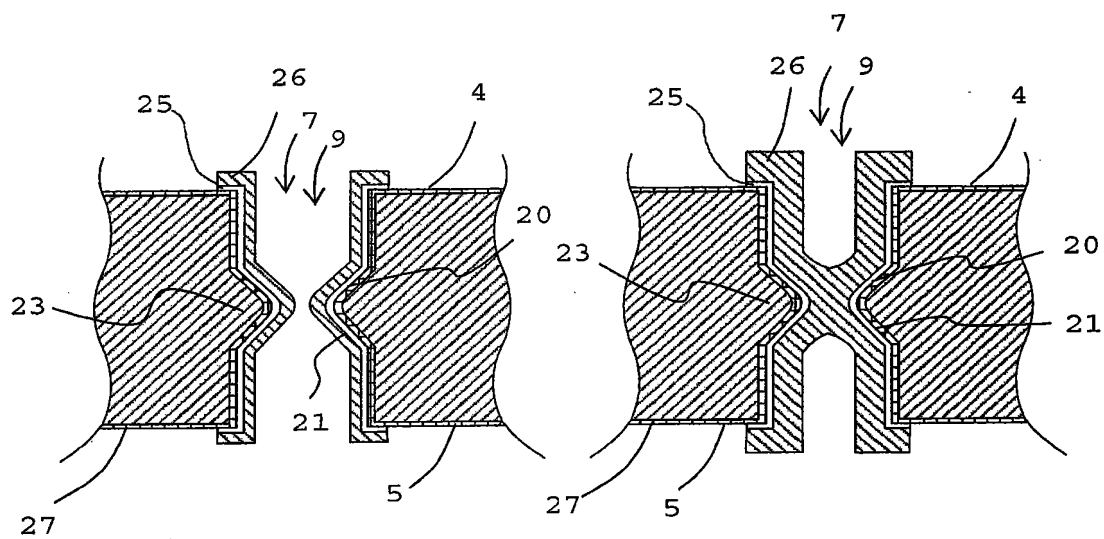


图 7a

图 7b

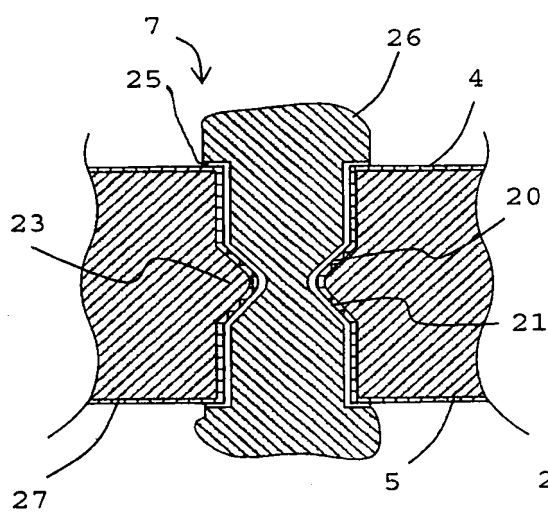


图 7c

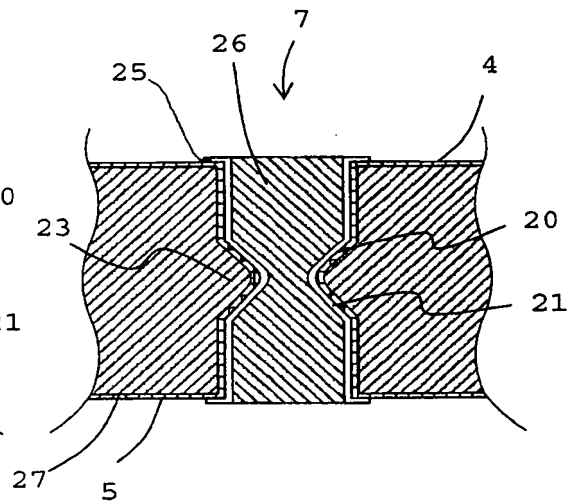


图 7d

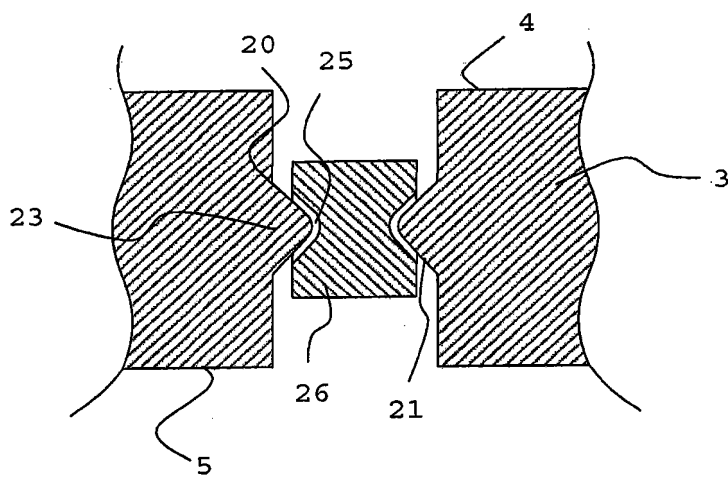


图 7e

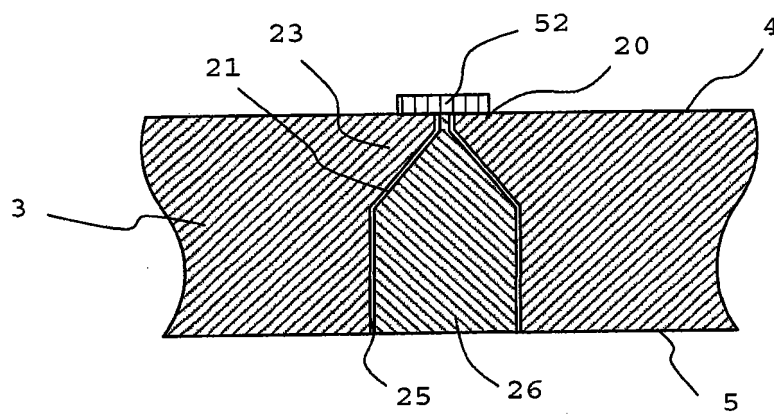


图 7f

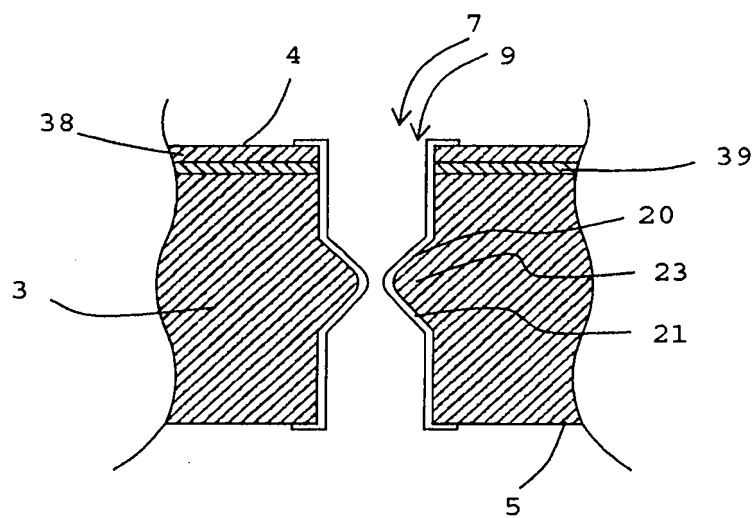


图 8

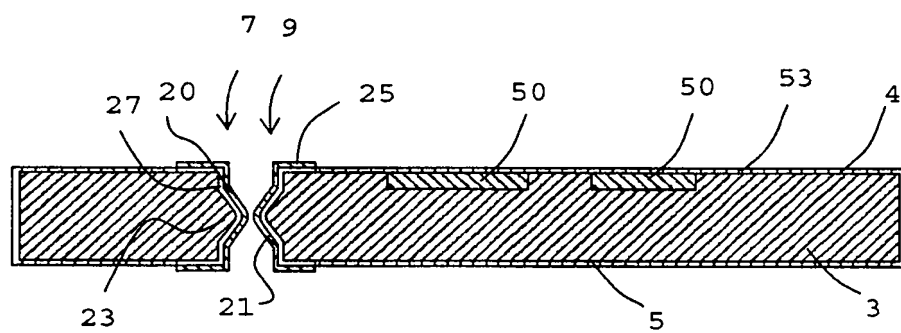


图 9a

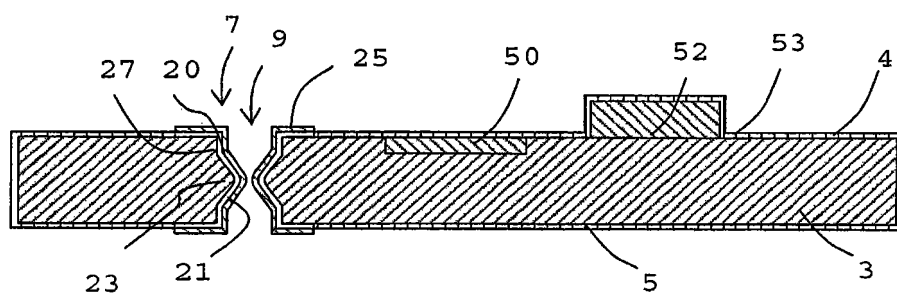


图 9b

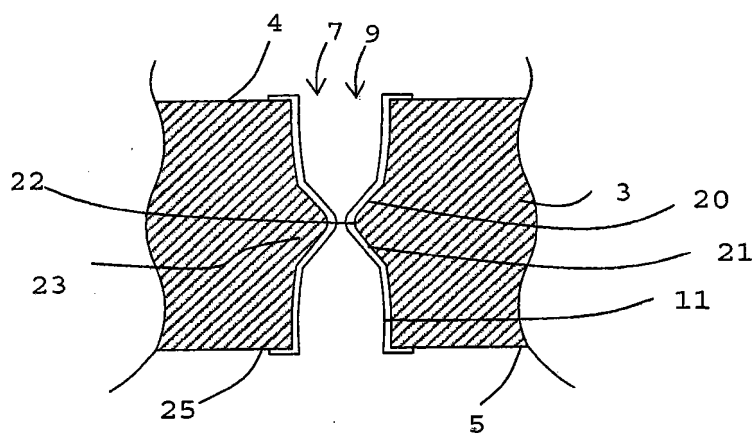


图 10

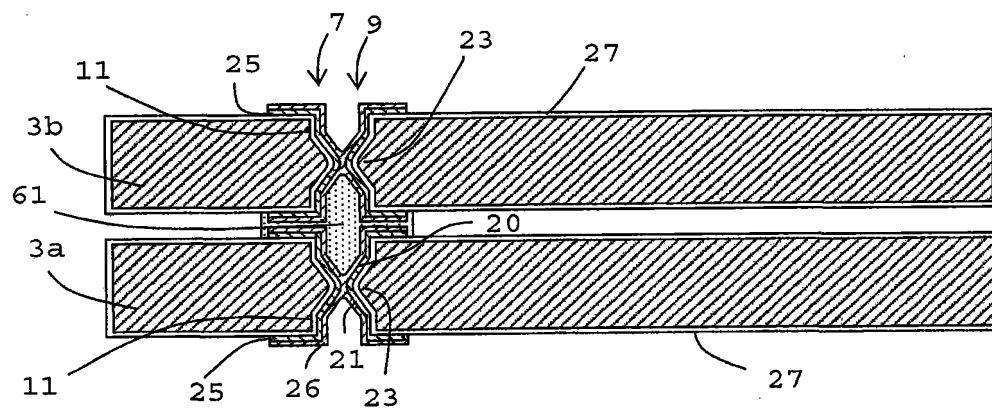


图 11a

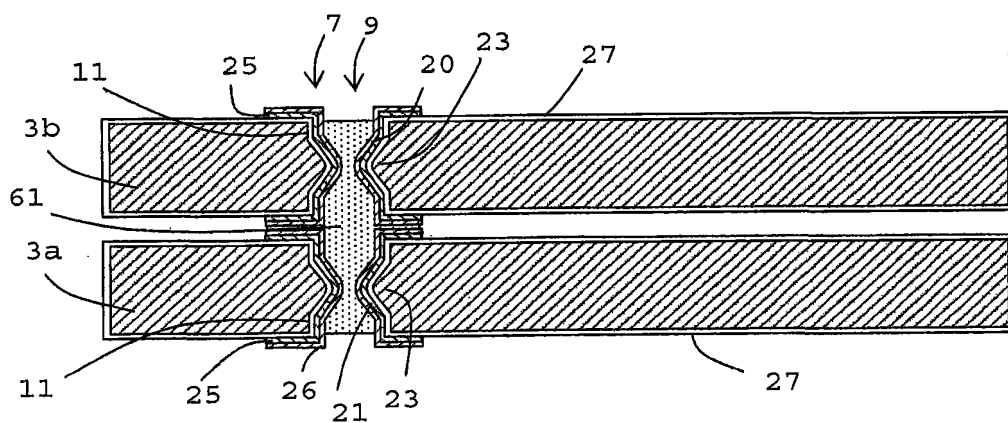


图 11b

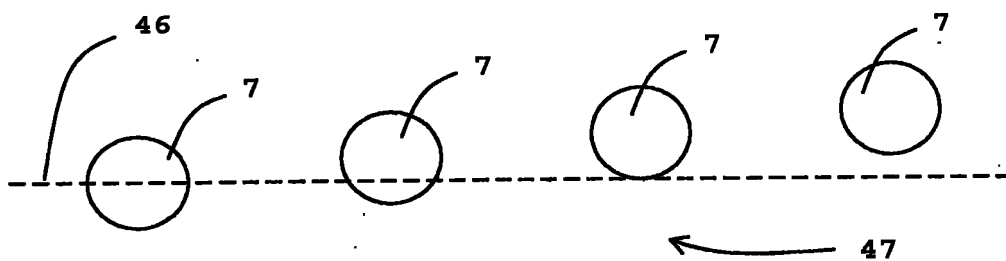


图 12a

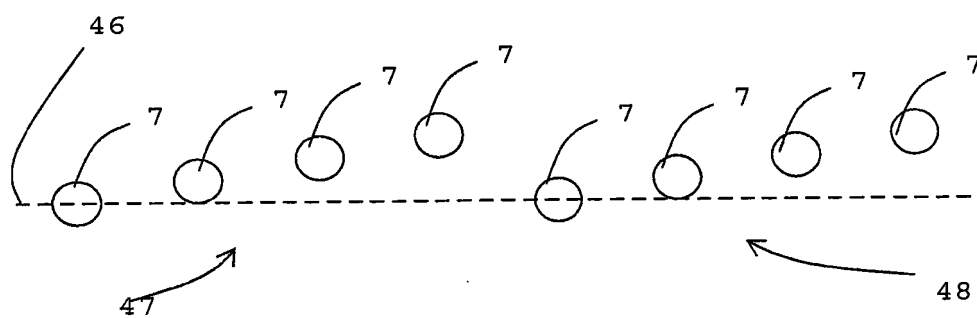


图 12b

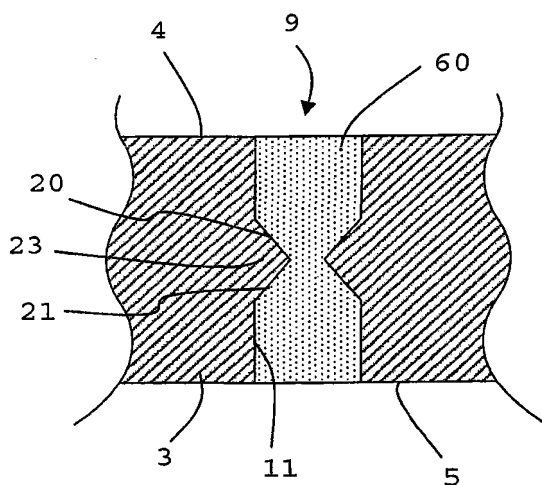


图 13a

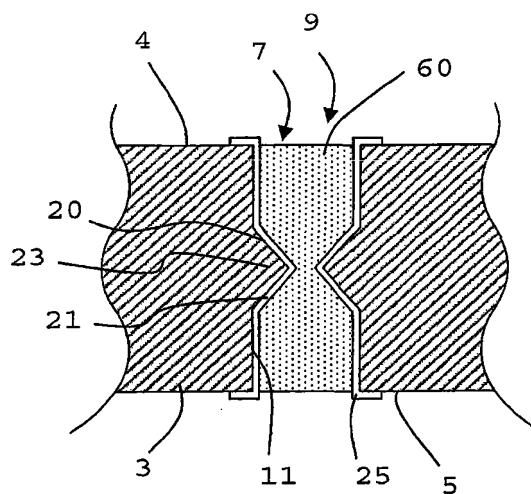


图 13b

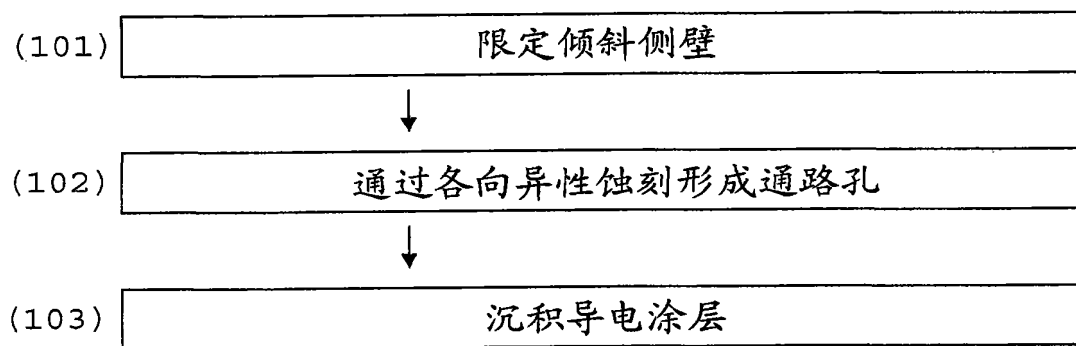


图 14

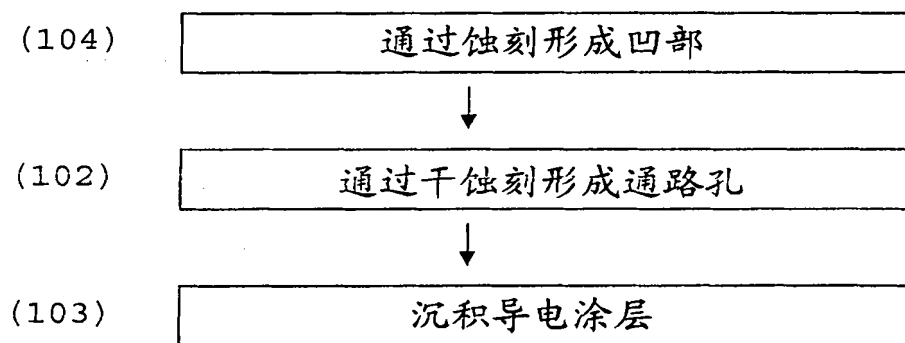


图 15

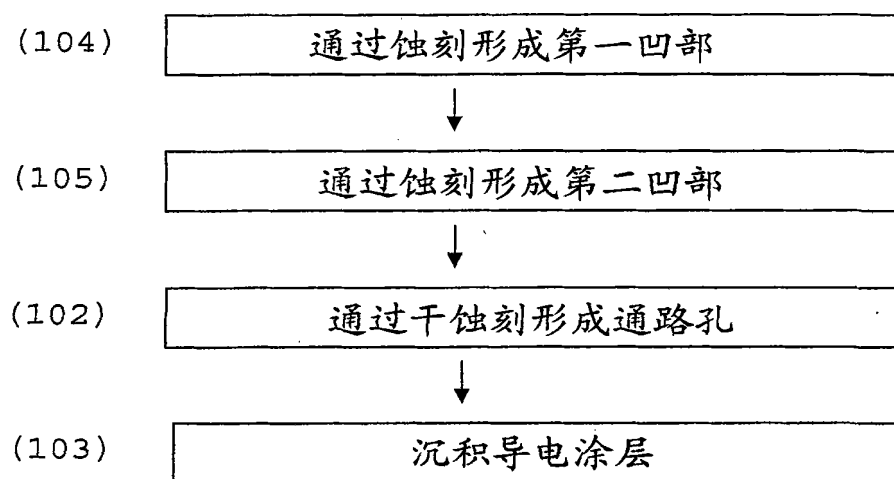


图 16

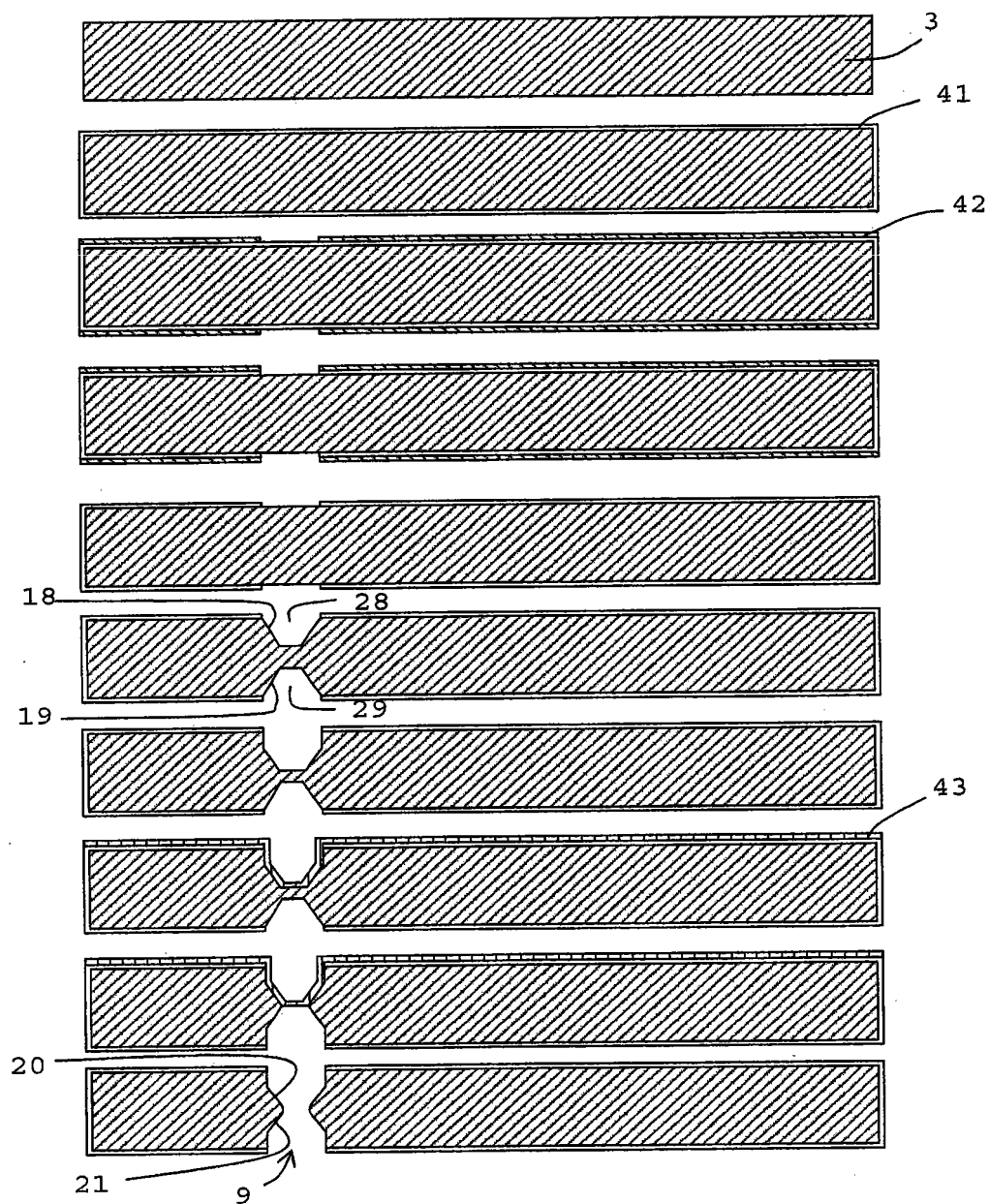


图 17a

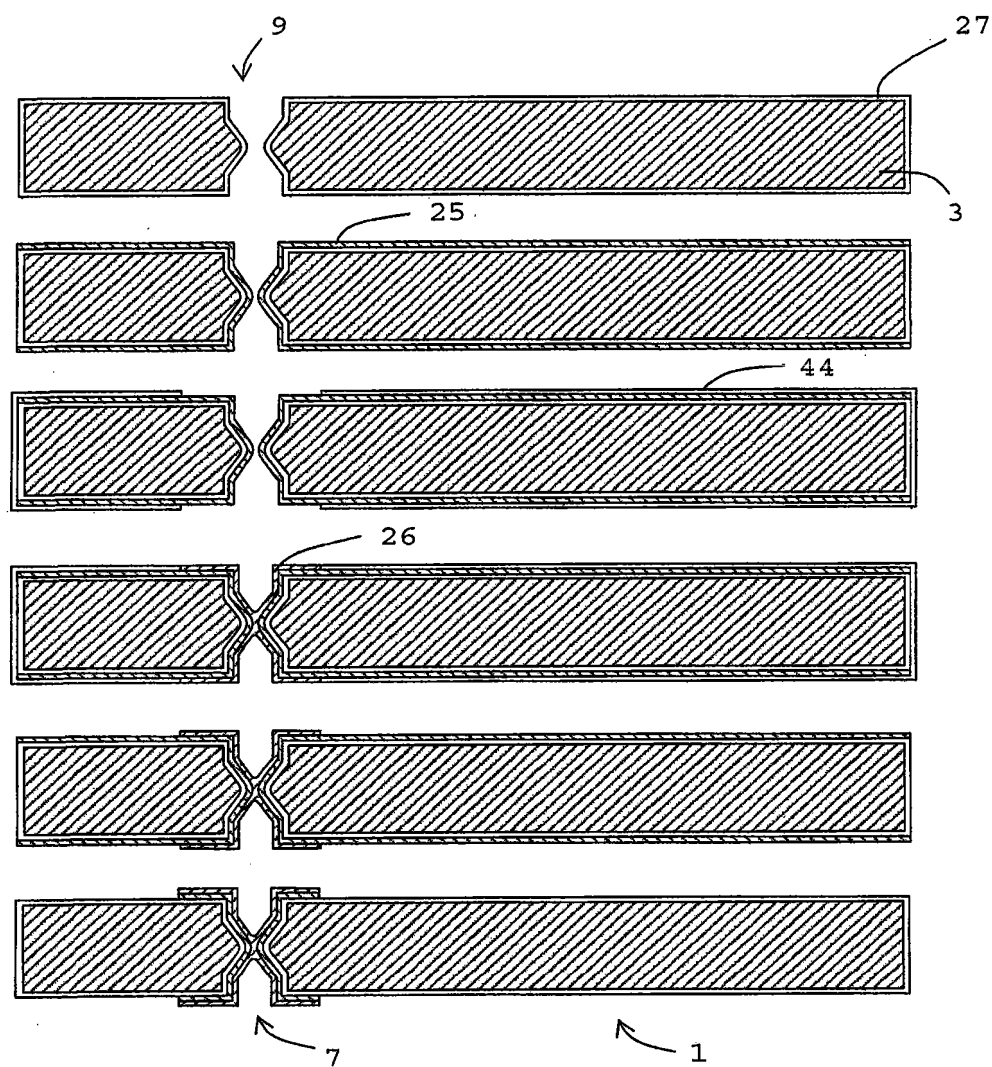


图 17b

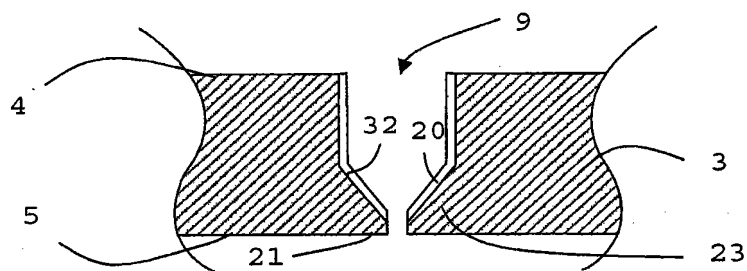


图 18

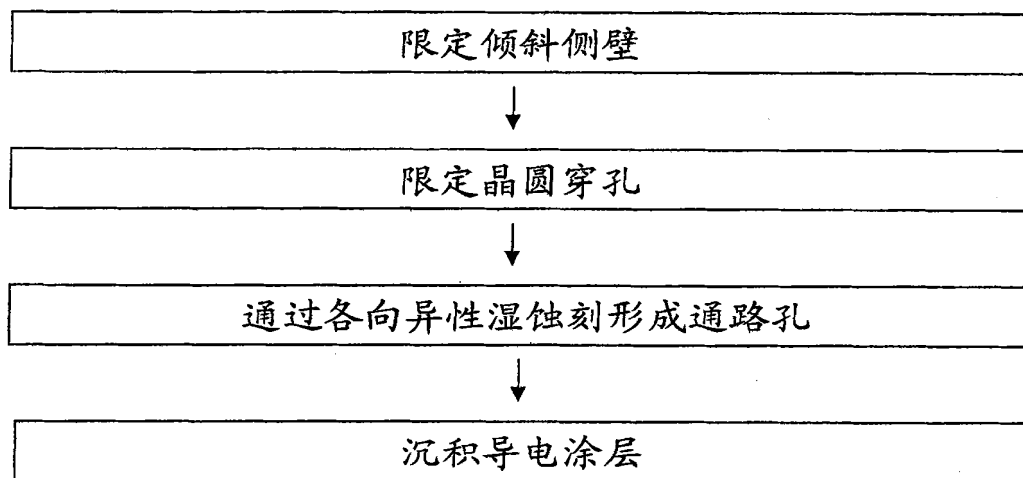


图 19

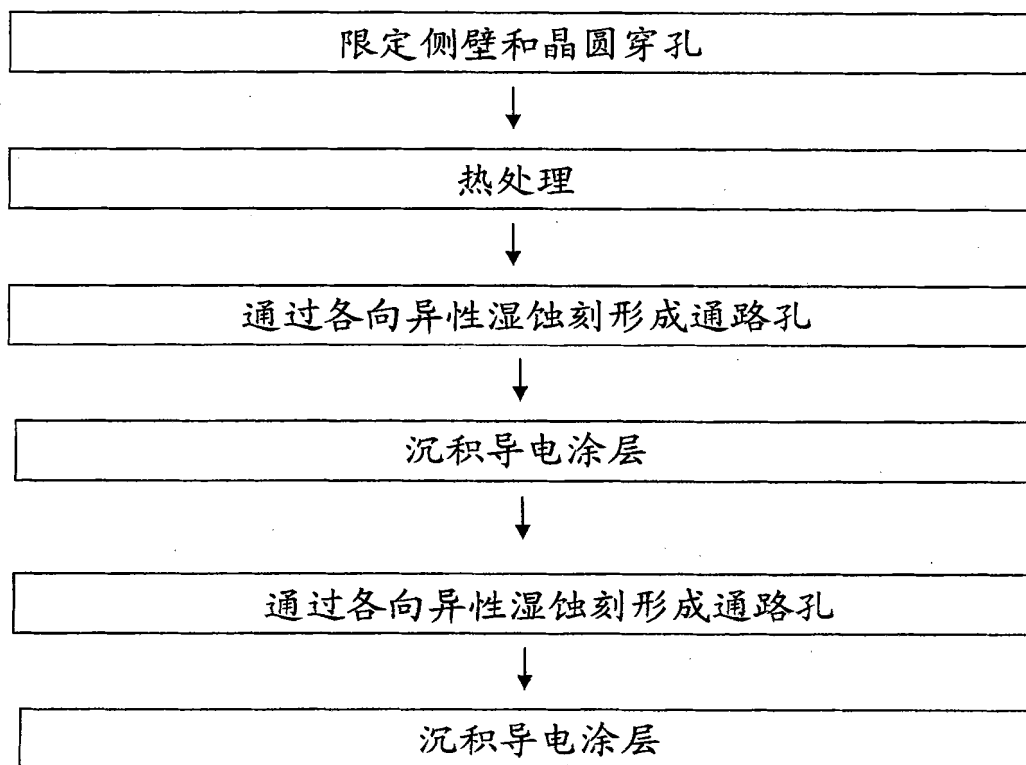


图 20