

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号  
特許第7230204号  
(P7230204)

(45)発行日 令和5年2月28日(2023.2.28)

(24)登録日 令和5年2月17日(2023.2.17)

(51)国際特許分類

F I

H 1 0 B	43/50 (2023.01)	H 1 0 B	43/50		
H 0 1 L	21/3065(2006.01)	H 0 1 L	21/302	1 0 5 A	
H 0 1 L	21/336(2006.01)	H 0 1 L	29/78	3 7 1	
H 0 1 L	29/788(2006.01)	H 0 1 L	29/78	6 1 3 B	
H 0 1 L	29/792(2006.01)	H 0 1 L	29/78	6 2 6 A	

請求項の数 20 (全30頁) 最終頁に続く

(21)出願番号	特願2021-530969(P2021-530969)
(86)(22)出願日	平成31年2月26日(2019.2.26)
(65)公表番号	特表2022-508286(P2022-508286 A)
(43)公表日	令和4年1月19日(2022.1.19)
(86)国際出願番号	PCT/CN2019/076139
(87)国際公開番号	WO2020/172789
(87)国際公開日	令和2年9月3日(2020.9.3)
審査請求日	令和3年5月28日(2021.5.28)

(73)特許権者	519237948 長江存儲科技有限責任公司 Yangtze Memory Technologies Co., Ltd. 中華人民共和国湖北省武漢市東湖新技術 開發区未来三路88号 No. 88 Weilai 3rd Road, East Lake High-tech Development Zone, Wuhan, Hubei, China
(74)代理人	100108453 弁理士 村山 靖彦
(74)代理人	100110364 弁理士 実広 信哉

最終頁に続く

(54)【発明の名称】 3次元メモリデバイスおよびその製作方法

(57)【特許請求の範囲】

【請求項1】

3次元(3D)メモリデバイスであって、  
複数のチャネル構造を備えるチャネル構造領域と、  
前記チャネル構造の第1の側で第1の方向に沿って配置されている複数の分割ブロック構造を含む第1の階段領域内の第1の階段構造と、  
前記チャネル構造の第2の側で前記第1の方向に沿って配置されている複数の分割ブロック構造を含む第2の階段領域内の第2の階段構造と、を備え、  
第1の垂直オフセットは、隣接する分割ブロック構造間の境界を画定し、各分割ブロック構造は、前記第1の方向とは異なる第2の方向に沿って配置されている複数の階段を備え、各階段は前記第1の方向に沿って配置されている複数のステップを含み、  
前記第1の階段領域の複数の分割ブロック構造のステップ及び前記第2の階段領域の複数の分割ブロック構造のステップの全てが異なる高さを有する、3次元(3D)メモリデバイス。

【請求項2】

前記チャネル構造領域内の前記第2の方向に沿って配置されている $X_2$ 個のステップを含む上部セレクトゲート階段構造をさらに備える、請求項1に記載のデバイス。

【請求項3】

前記第1の階段領域内の前記複数の分割ブロック構造と、前記第2の階段領域内の前記複数の分割ブロック構造との間の第2の垂直オフセットは、1ステップ分の厚さの $X_2$ 倍

10

20

に等しい、請求項 2 に記載のデバイス。

【請求項 4】

隣接する階段の間の第 3 の垂直オフセットは、1 ステップ分の厚さの  $2 \times 2$  倍に等しい、請求項 2 に記載のデバイス。

【請求項 5】

各階段は、 $X_2$  個のレベルで対称的に分布する  $(2 \times 2 - 1)$  個のステップを含む、請求項 2 に記載のデバイス。

【請求項 6】

前記第 1 の階段構造および前記第 2 の階段構造は、複数の誘電体 / 導電体層対を含み、各ステップは、誘電体 / 導電体層対を含む、請求項 1 に記載のデバイス。

10

【請求項 7】

前記第 1 の方向および前記第 2 の方向は、互いに垂直であり、前記誘電体 / 導電体層対の界面表面に平行な平面内にある、請求項 6 に記載のデバイス。

【請求項 8】

前記第 1 の階段領域および前記第 2 の階段領域の各々の中の前記複数の分割ブロック構造の数は  $X_1$  であり、

各分割ブロック構造内の前記複数の階段の数は  $X_3$  である、請求項 2 に記載のデバイス。

【請求項 9】

隣接する分割ブロック構造間の前記第 1 の垂直オフセットは、1 ステップ分の厚さの  $2 \times 2 \times 3$  倍に等しい、請求項 8 に記載のデバイス。

20

【請求項 10】

前記第 1 の階段構造および前記第 2 の階段構造内の前記複数のステップの総数は、 $2 \times X_1 (2 \times 2 - 1) X_3$  であり、

前記複数のステップは、 $2 \times X_1 \times 2 \times 3$  個の異なるレベルで分布する、請求項 8 に記載のデバイス。

【請求項 11】

$X_1$  は 2 であり、 $X_2$  は 3 である、請求項 8 に記載のデバイス。

【請求項 12】

3 次元 (3D) メモリデバイスを形成するための方法であって、

複数の誘電体層対を備えた積層膜を基板上に形成する段階と、

複数のチャンネル構造を備える前記積層膜内にチャンネル構造領域を形成する段階と、

第 1 の階段領域内に第 1 の階段構造を、第 2 の階段領域内に第 2 の階段構造を形成する段階であって、前記第 1 の階段構造および前記第 2 の階段構造の各々は第 1 の方向に沿って配置されている複数の分割ブロック構造を含む、段階を含み、

30

第 1 の垂直オフセットは、隣接する分割ブロック構造間の境界を画定し、各分割ブロック構造は、前記第 1 の方向とは異なる第 2 の方向に沿って配置されている複数の階段を備え、各階段は前記第 1 の方向に沿って配置されている複数のステップを含み、

前記第 1 の階段領域の複数の分割ブロック構造のステップ及び前記第 2 の階段領域の複数の分割ブロック構造のステップの全てが異なる高さを有する、方法。

【請求項 13】

前記チャンネル構造領域内の前記第 2 の方向に沿って配置されている  $X_2$  個のステップを含む上部セレクトゲート階段構造を形成する段階をさらに含む、請求項 12 に記載の方法。

40

【請求項 14】

前記第 1 の階段構造および前記第 2 の階段構造を形成する段階は、

前記第 1 の階段領域および前記第 2 の階段領域内に複数の初期分割ステップ構造を形成する段階であって、各初期分割ステップ構造は前記第 1 の方向に沿って配置されている  $X_2$  個のステップを含み、各ステップは、誘電体層対を含む、段階を含む、請求項 13 に記載の方法。

【請求項 15】

前記複数の初期分割ステップ構造を形成する段階は、

50

2 X<sub>1</sub>個<sup>1</sup>の第1の分割ブロックパターンを有する第1の階段分割パターンマスクを前記積層膜上に配設する段階と、

前記第1の階段分割パターンマスクに基づくエッチトリムプロセスを使用して前記複数の初期分割ステップ構造を形成する段階と、

を含む、請求項14に記載の方法。

【請求項16】

前記第1の階段構造および前記第2の階段構造を形成する段階は、

前記初期分割ステップ構造の各々の中にX<sub>3</sub>個の階段を形成して前記第1の階段領域および前記第2の階段領域の各々の中にX<sub>1</sub>個の分割ブロック構造を形成する段階をさらに含む、請求項14に記載の方法。

10

【請求項17】

前記階段を形成する段階は、

エッチトリムプロセスを使用して、前記階段が前記第2の方向に沿って形成されるようにする段階を含み、

前記第1の方向および前記第2の方向は、互いに垂直であり、前記誘電体層対の界面表面に平行な平面内にある、請求項16に記載の方法。

【請求項18】

前記エッチトリムプロセスの各サイクルにおけるエッチング深さは、1ステップ分の厚さの2 X<sub>2</sub>倍である、請求項17に記載の方法。

【請求項19】

20

前記第1の階段構造および前記第2の階段構造を形成する段階は、

第2の階段分割パターンマスクを、少なくとも2つの分割ブロック構造を覆い少なくとも2つの分割ブロック構造を露出させるように配設する段階と、

前記露出された少なくとも2つの分割ブロック構造を、1ステップ分の厚さの2 X<sub>2</sub> X<sub>3</sub>倍に等しい深さだけエッチングする段階と、

をさらに含む、請求項16に記載の方法。

【請求項20】

X<sub>1</sub>は2であり、X<sub>2</sub>は3である、請求項16に記載の方法。

【発明の詳細な説明】

【技術分野】

30

【0001】

本開示は、一般には、半導体技術の分野に関し、より詳細には、3次元(3D)メモリデバイスおよびその製作方法に関する。

【背景技術】

【0002】

プレーナ型メモリセルは、プロセス技術、回路設計、プログラミングアルゴリズム、および製作プロセスを改善することによって、より小さなサイズに縮小される。しかしながら、メモリセルの特徴サイズが下限値に近づくにつれ、プレーナプロセスおよび製作技術は困難になり、コストが増大する。そのようなものとして、プレーナ型メモリセルのメモリ密度は上限値に近づいている。

40

【0003】

3Dメモリアーキテクチャは、プレーナ型メモリセルのこの密度限界に対処することができる。3Dメモリアーキテクチャは、メモリアレイと、メモリアレイへの、およびメモリアレイからの信号を制御するための周辺デバイスとを含む。典型的な3Dメモリアーキテクチャは、基板の上に配置されているゲート電極のスタックを含み、複数の半導体チャネルが基板を貫通し、ワード線と交差する。ワード線と半導体チャネルとの交点がメモリセルを形成する。

【0004】

3Dメモリアーキテクチャは、各個別のメモリセルの制御を可能にするために電気的コンタクト方式(electrical contact scheme)を必要とする。1

50

つの電気的コンタクト方式は、階段構造を形成して各個別のメモリセルのワード線に接続することである。階段構造は、典型的な3Dメモリデバイス中の半導体チャネルに沿って32本を超えるワード線を接続するために使用されてきた。

【0005】

半導体技術の進歩に伴い、3D NANDメモリデバイスなどの、3Dメモリデバイスにおいて、より多くの酸化物/窒化物(ON)層の縮小化が続けられている。その結果、そのような階段構造を形成するために使用される既存のマルチサイクルエッチおよびトリムプロセスは、スループットが低く、コストが高いという問題を抱えることになる。

【発明の概要】

【発明が解決しようとする課題】

10

【0006】

3次元メモリデバイス用のコンタクト構造の実施形態およびそれを形成するための方法が、本開示において説明されている。

【課題を解決するための手段】

【0007】

本開示の一態様は、3次元(3D)メモリデバイスを提供し、これは複数のチャネル構造を備えるチャネル構造領域と、チャネル構造の第1の側で第1の方向に沿って配置されている複数の分割ブロック構造を含む第1の階段領域内の第1の階段構造と、チャネル構造の第2の側で第1の方向に沿って配置されている複数の分割ブロック構造を含む第2の階段領域内の第2の階段構造とを備える。第1の垂直オフセットは、隣接する分割ブロック構造間の境界を画定する。各分割ブロック構造は、第1の方向とは異なる第2の方向に沿って配置されている複数の階段を備える。各階段は、第1の方向に沿って配置されている複数のステップを含む。

20

【0008】

いくつかの実施形態において、3Dメモリデバイスは、チャネル構造領域内の第2の方向に沿って配置されている $X_2$ 個のステップを含む上部セレクトゲート階段構造(top select gate staircase structure)をさらに備える。

【0009】

いくつかの実施形態において、第1の階段領域内の複数の分割ブロック構造と、第2の階段領域内の複数の分割ブロック構造との間の第2の垂直オフセットは、1ステップ分の厚さの $X_2$ 倍に等しい。

30

【0010】

いくつかの実施形態において、隣接する階段の間の第3の垂直オフセットは、1ステップ分の厚さの $2X_2$ 倍に等しい。

【0011】

いくつかの実施形態において、各階段は、 $X_2$ 個のレベルで対称的に分布する( $2X_2 - 1$ )個のステップを含む。

【0012】

いくつかの実施形態において、第1の階段構造および第2の階段構造は、複数の誘電体/導電体層対を含み、各ステップは、誘電体/導電体層対を含む。

40

【0013】

いくつかの実施形態において、第1の方向および第2の方向は、互いに垂直であり、誘電体/導電体層対の界面表面に平行な平面内にある。

【0014】

いくつかの実施形態において、第1の階段領域および第2の階段領域の各々の中の複数の分割ブロック構造の数は $X_1$ であり、各分割ブロック構造内の複数の階段の数は $X_3$ である。

【0015】

いくつかの実施形態において、隣接する分割ブロック構造の間の第1の垂直オフセットは、1ステップ分の厚さの $2X_2X_3$ 倍に等しい。

50

## 【0016】

いくつかの実施形態において、第1の階段構造および第2の階段構造における複数のステップの総数は、 $2 \times X_1 (2 \times X_2 - 1) \times X_3$ であり、複数のステップは、 $2 \times X_1 \times X_2 \times X_3$ 個の異なるレベルで分布している。

## 【0017】

いくつかの実施形態において、 $X_1$ は2であり、 $X_2$ は3である。

## 【0018】

本開示の別の態様は、3次元(3D)メモリデバイスを形成するための方法を提供し、この方法は、複数の誘電体層対を備えた積層膜を基板上に形成することと、複数のチャネル構造を備える積層膜内にチャネル構造領域を形成することと、第1の階段領域内に第1の階段構造を、第2の階段領域内に第2の階段構造を形成することと、第1の階段構造および第2の階段構造の各々は第1の方向に沿って配置されている複数の分割ブロック構造を含む、形成することを含む。第1の垂直オフセットは、隣接する分割ブロック構造間の境界を画定し、各分割ブロック構造は、第1の方向とは異なる第2の方向に沿って配置されている複数の階段を備える。各階段は、第1の方向に沿って配置されている複数のステップを含む。

10

## 【0019】

いくつかの実施形態において、方法は、チャネル構造領域内の第2の方向に沿って配置されている $X_2$ 個のステップを含む上部セレクトゲート階段構造を形成することをさらに含む。

20

## 【0020】

いくつかの実施形態において、第1の階段構造および第2の階段構造を形成することは、第1の階段領域および第2の階段領域内に複数の初期分割ステップ構造を形成することと、各初期分割ステップ構造は第1の方向に沿って配置されている $X_2$ 個のステップを含み、各ステップは、誘電体層対を含む、形成することを含む。

## 【0021】

いくつかの実施形態において、複数の初期分割ステップ構造を形成することは、 $2 \times X_1$ 個の第1の分割ブロックパターンを有する第1の階段分割パターンマスクを積層膜上に配設することと、第1の階段分割パターンマスクに基づくエッチトリムプロセスを使用して複数の初期分割ステップ構造を形成することを含む。

30

## 【0022】

いくつかの実施形態において、第1の階段構造および第2の階段構造を形成することは、初期分割ステップ構造の各々の中に $X_3$ 個の階段を形成して第1の階段領域および第2の階段領域の各々の中に $X_1$ 個の分割ブロック構造を形成することをさらに含む。

## 【0023】

いくつかの実施形態において、階段を形成することは、エッチトリムプロセスを使用して、階段が第2の方向に沿って形成されるようにすることを含む。第1の方向および第2の方向は、互いに垂直であり、誘電体/導電体層対の界面表面に平行な平面内にある。

## 【0024】

いくつかの実施形態において、エッチトリムプロセスの各サイクルにおけるエッチング深さは、1ステップ分の厚さの $2 \times X_2$ 倍である。

40

## 【0025】

いくつかの実施形態において、第1の階段構造および第2の階段構造を形成することは、第2の階段分割パターンマスクを、少なくとも2つの分割ブロック構造を覆い少なくとも2つの分割ブロック構造を露出させるように配設することと、露出された少なくとも2つの分割ブロック構造を、1ステップ分の厚さの $2 \times X_2 \times X_3$ 倍に等しい深さだけエッチングすることとをさらに含む。

## 【0026】

本開示の他の態様は、当業者であれば、本開示の説明、請求項、および図面に照らして理解できる。

50

## 【 0 0 2 7 】

本明細書に組み込まれ、本明細書の一部を成す、添付図面は、本開示の実施形態を例示し、説明と併せて、本開示の原理を説明し、当業者が本開示を作製し、使用することを可能にするのにさらに役立つ。

## 【 図面の簡単な説明 】

## 【 0 0 2 8 】

【 図 1 】いくつかの実施形態による例示的な 3 次元 ( 3 D ) メモリアレイ構造の一部を例示する斜視図である。

【 図 2 】いくつかの実施形態による複数の分割を有する階段構造を備える 3 D メモリデバイスを形成するための例示的な方法を示す流れ図である。

【 図 3 】いくつかの実施形態による 3 D メモリデバイスの例示的な構造を例示する断面図である。

【 図 4 】いくつかの実施形態による図 2 に示されている方法のいくつかの製作段階において使用される例示的なマスクを示す上面図である。

【 図 5 】いくつかの実施形態による図 2 に示されている方法のいくつかの段階における 3 D メモリデバイスの構造を示す斜視図である。

【 図 6 】いくつかの実施形態による図 2 に示されている方法のいくつかの製作段階において使用される例示的なマスクを示す上面図である。

【 図 7 】いくつかの実施形態による図 2 に示されている方法のいくつかの段階における 3 D メモリデバイスの構造を示す斜視図である。

【 図 8 】いくつかの実施形態による図 2 に示されている方法のいくつかの製作段階において使用される例示的なマスクを示す上面図である。

【 図 9 】いくつかの実施形態による図 2 に示されている方法のいくつかの段階における 3 D メモリデバイスの構造を示す斜視図である。

## 【 発明を実施するための形態 】

## 【 0 0 2 9 】

本発明の特徴および利点は、以下で述べられている詳細な説明から、類似する参照文字が全体を通して対応する要素を識別している図面と併せて読んだときに、明らかになるであろう。図中、類似の参照番号は、一般的に、同一の、機能的に類似している、および/または構造的に類似している要素を示している。要素が最初に出現する図面は、対応する参照番号の一番左の桁によって示される。

## 【 0 0 3 0 】

本開示の実施形態は、添付図面を参照しつつ以下で説明される。

## 【 0 0 3 1 】

特定の構成および配列が説明されているけれども、これは、例示目的のためだけに説明されていることは理解されるであろう。当業者であれば、本開示の精神および範囲から逸脱することなく、他の構成および配置が使用され得ることを認識するであろう。本開示は、様々な他の用途でも採用され得ることは、当業者には明らかであろう。

## 【 0 0 3 2 】

「一実施形態」、「実施形態」、「例示的な実施形態」、「いくつかの実施形態」などの、明細書における参照は、説明されている実施形態が、特定の特徵、構造、または特性を備え得るが、すべての実施形態が、特定の特徵、構造、または特性を必ずしも含み得ないことを示すことに留意されたい。さらに、そのような語句は、必ずしも同じ実施形態を指さない。さらに、特定の特徵、構造、または特性が実施形態に関連して説明されているときに、明示的に説明されようとされまいと他の実施形態に関連してそのような特徴、構造、または特性に影響を及ぼすことは当業者の知識の範囲内にあるであろう。

## 【 0 0 3 3 】

一般に、用語は、少なくとも一部は文脈中での使い方から理解できる。たとえば、少なくとも一部は文脈に応じて、本明細書において使用されているような「1つまたは(もしくは)複数」という言い回しは、単数形の意味でいずれかの特徵、構造、もしくは特性を

10

20

30

40

50

記述するために使用され得るか、または複数形の意味で特徴、構造、もしくは特性の組合せを記述するために使用され得る。同様に、ここでもまた、英文中の「a」、「an」、または「the」などの冠詞は、少なくとも一部は文脈に応じて単数形の使用を伝えるか、または複数形の使用を伝えるものとして理解されてよい。それに加えて、「～に基づく」という言い回しは、排他的な一連の要素を伝えることを必ずしも意図されていないと理解できるが、代わりに、ここでもまた少なくとも一部は文脈に応じて、必ずしも明示的に記述されていない追加の要素の存在を許容し得る。

**【0034】**

本開示の英語原文における「on」、「above」、および「over」の意味は、「on」が何かの「上に直接」を意味するだけでなく、間に中間特徴または層を備える何かの「上に」という意味を含むように、最も広い意味で解釈されるべきであることは容易に理解されるべきである。さらに、英語原文中の「above」または「over」は、何かより「上」または何かの「上」に被さる形で「上」を意味するだけでなく、間に中間特徴または層を備えずに何かより「上」または被さる形で「上」にある（すなわち、何かの上に直接ある）という意味を含むこともできる。

10

**【0035】**

さらに、英語原文中の「beneath（下）」、「below（より下）」、「lower（下側）」、「above（より上）」、「upper（上側）」、および同様の語などの空間的相対語は、図に例示されているように、一方の要素または特徴と他方の要素または特徴との関係を記述する際に記述を容易にするために本明細書で使用され得る。空間的相対語は、図に示されている配向に加えて使用またはプロセス段階におけるデバイスの異なる配向を包含することを意図されている。装置は、他の何らかの方法で配向され（90度または他の向きに回転され）てよく、本明細書で使用される空間的相対的記述子も、同様に、しかるべく解釈されるものとしてよい。

20

**【0036】**

本明細書で使用されているように、「基板」という語は、その後の材料層が加えられる材料を指す。基板は、頂面と底面とを備える。基板の頂面は、典型的には、半導体デバイスが形成される場所であり、したがって、半導体デバイスは、断りのない限り基板の頂部側に形成される。底面は、頂面とは反対側にあり、したがって、基板の底部側は、基板の頂部側とは反対側にある。基板それ自体にパターンを形成することができる。基板の上に加えられる材料は、パターン形成され得るか、またはパターンを形成せずそのままにすることができる。さらに、基板は、ケイ素、ゲルマニウム、ガリウムヒ素、リン化インジウムなどの、広範な半導体材料を含むことができる。代替的に、基板は、ガラス、プラスチック、またはサファイアウエハなどの、非導電材料から作ることができる。

30

**【0037】**

本明細書で使用されているように、「層」という語は、厚さを有する領域を含む材料部分を指す。層は、頂部側と底部側とを有し、層の底部側は基板に相対的に近く、頂部側は基板から相対的に離れている。層は、下にあるもしくは上にある構造全体にわたって延在し得るか、または下にあるもしくは上にある構造の広がりより小さい広がりを持つ。さらに、層が、連続構造の厚さより小さい厚さを有する均質または不均質連続構造の一領域であってよい。たとえば、層が、連続構造の頂面と底面との間、または頂面および底面のところの任意の一組の水平面の間に配置され得る。層は、水平、垂直、および/またはテーパ付き表面に沿って延在し得る。基板は層であってよく、1つもしくは複数の層を中に含んでもよく、および/またはその上に、それより上に、および/またはそれより下に1つもしくは複数の層を有することができる。層は、複数の層を含むこともできる。たとえば、相互接続層は、1つまたは複数の導電体層およびコンタクト層（接点、相互接続線、および/または垂直相互接続アクセス（VIA）が形成される）と1つまたは複数の誘電体層を含むことができる。

40

**【0038】**

本明細書で使用されているように、「公称的/公称的に」という言い回しは、所望の値

50

より上および/または所望の値より下の値の範囲とともに、製品またはプロセスの設計段階において設定される、コンポーネントまたはプロセス段階に対する特性もしくはパラメータの所望の値またはターゲット値を指す。値の範囲は、製造プロセスまたは製造公差のわずかな変動によるものとしてよい。本明細書において使用されているように、「約」という語は、主題の半導体デバイスに関連付けられている特定の技術ノードに基づき変化し得る所与の量の値を示す。特定の技術ノードに基づき、「約」という語は、たとえば、値の10～30%以内(たとえば、値の±10%、±20%、または±30%)で変化する所与の量の値を示すことができる。

**【0039】**

本開示において、用語「水平の/水平に/横の/外側の/横方向に」は、基板の外側表面に公称的に平行であることを意味する。本開示において、用語「各(々)」は、必ず「すべてのうちの各々」を意味するだけでなく、「サブセットの各々」も意味することができる。

10

**【0040】**

本明細書で使用されているように、「3Dメモリ」という用語は、メモリストリングが基板に関して垂直方向に延在するように横配向基板の上にメモリセルトランジスタの垂直配向ストリング(本明細書ではNANDストリングなど「メモリストリング」と称される)を有する3次元(3D)半導体デバイスを指す。本明細書で使用されているように、「垂直の/垂直に」という言い回しは、基板の外側表面に対して公称的に垂直であることを意味する。

20

**【0041】**

本開示において、説明を容易にするために、「ティア」は、垂直方向に沿って実質的に同じ高さの要素を指すために使用される。たとえば、ワード線およびその下のゲート誘電体層は、「ティア」と称されてよく、ワード線およびその下の絶縁層は、まとめて「ティア」と称されてよく、実質的に同じ高さのワード線は、「ワード線のティア」と称されるか、または類似のものであってよく、以下同様であるものとしてよい。

**【0042】**

いくつかの実施形態において、3Dメモリデバイスのメモリストリングは、複数の導電体/誘電体層の対を垂直に貫通する半導体ピラー(たとえば、シリコンチャンネル)を含む。複数の導電体/誘電体層の対は、本明細書では「交互導電体/誘電体スタック」とも称される。導電体層と半導体ピラーとの交点は、メモリセルを形成することができる。交互導電体および誘電体スタックの導電体層は、配線工程でワード線に接続することができ、ワード線は1つまたは複数の制御ゲートに電気的に接続され得る。例示を目的として、ワード線および制御ゲートは、本開示の説明において相互に入れ換えられるように使用される。半導体ピラーの頂部(たとえば、トランジスタのドレイン領域)は、ビットライン(1つまたは複数の半導体ピラーを電気的に接続する)に接続することができる。ワード線およびビット線は、典型的には、互いに垂直に(たとえば、それぞれ行および列で)配置され、メモリ「ブロック」または「アレイブロック」とも呼ばれる、メモリの「アレイ」を形成する。

30

**【0043】**

メモリ「ダイ」は、1つまたは複数のメモリ「プレーン」を有していてもよく、各メモリプレーンは、複数のメモリブロックを有し得る。アレイブロックは、複数のメモリ「ページ」に分割されてもよく、各メモリページは、複数のメモリストリングを有し得る。フラッシュNANDメモリデバイスでは、メモリブロック毎に消去動作が実行され、メモリページ毎に読み出し/書き込み動作が実行され得る。アレイブロックは、メモリデバイス内のコア領域であり、記憶機能を遂行する。より高い記憶密度を達成するためには、垂直3Dメモリストックの数が大幅に増え、したがって製造における複雑度とコストが増大する。

40

**【0044】**

メモリダイは、コアへのサポート機能を提供する、周辺部と呼ばれる別の領域を有する

50

。周辺領域は、多くのデジタル、アナログ、および/または混合信号回路、たとえば、ローおよびカラムデコーダ、ドライバ、ページバッファ、センスアンプ、タイミングおよび制御、ならびに同様の回路を備える。周辺回路は、当業者にとっては明らかなように、トランジスタ、ダイオード、コンデンサ、抵抗器などの、能動および/または受動半導体デバイスを使用する。

**【0045】**

3Dメモリデバイスアーキテクチャでは、データを格納するためのメモリセルが垂直方向に積層されて、積層ストレージ構造を形成する。3Dメモリデバイスは、ワード線ファンアウトなどの目的のために積層ストレージ構造の1つまたは複数の側面に形成された階段構造を備えることができ、積層ストレージ構造は、複数の半導体チャネルを備え、半導体チャネルは、垂直または水平であってよい。より高い記憶容量に対する需要が増え続けるとともに、積層ストレージ構造の垂直レベルの数も増える。したがって、レベル数の多い階段構造をエッチングするためには、フォトレジスト(PR)層などの、より厚いマスク層が必要である。しかしながら、マスク層の厚さの増大は、階段構造のエッチング制御をより困難にし得る。

10

**【0046】**

本開示において、階段構造は、各水平表面が、水平表面の第1のエッジから上方に延在する第1の垂直表面に隣接し、水平表面の第2のエッジから下方に延在する第2の垂直表面に隣接するように少なくとも2つの水平表面(たとえば、 $x-y$ 平面に沿って)と、少なくとも2つの(たとえば、第1および第2の)垂直表面(たとえば、 $z$ 軸に沿った)とを含む一組の表面を指す。水平表面の各々は、階段構造の「ステップ」または「階段」と称される。本開示において、水平方向は、基板(たとえば、上に構造を形成するための製作プラットフォームを提供する基板)の頂面に平行な方向(たとえば、 $x$ 軸または $y$ 軸)を指し、垂直方向は、構造の頂面に垂直な方向(たとえば、 $z$ 軸)を指すものとしてよい。

20

**【0047】**

階段構造は、誘電体スタック層の上に形成されているマスク層を使用することによって誘電体スタック層を繰り返しエッチングすることによって、誘電体スタック層から形成され得る。いくつかの実施形態において、マスク層は、フォトレジスト(PR)層を含むことができる。本開示では、誘電体スタック層は、交互配置されている複数の誘電体層対を含み、各誘電体層対の厚さは1レベルである。言い換えると、誘電体層対の各々の厚さは、垂直方向に1レベルの高さである。本開示では、「ステップ」という用語は、階段構造の1つのレベルを指し、「階段」という用語は、階段構造の2つまたはそれ以上のレベルを指す。ステップ(または階段)は、誘電体層対の表面の一部を露出する。いくつかの実施形態において、各誘電体層対は、第1の材料層と第2の材料層とを備える。いくつかの実施形態において、第1の材料層は、絶縁材料層を含む。いくつかの実施形態において、第2の材料層は、導電材料層によって置き換えられるべき犠牲材料層を含む。いくつかの実施形態において、各誘電体層対は、1つの組が1つのステップを形成できるように基板の上に公称的に同じ高さを有することができる。

30

**【0048】**

階段構造の形成時に、マスク層は、トリミングされ(たとえば、誘電体スタック層の境界から増分的に内側へエッチングされる)、誘電体スタックの露出部分をエッチングするためのエッチマスクとして使用される。トリミングされるマスク層の量は、階段の寸法に直接関連し(たとえば、決定要因となり)得る。マスク層のトリミングは、好適なエッチ、たとえば、等方性ドライエッチングまたはウェットエッチングを使用して取得され得る。1つまたは複数のマスク層が連続的に形成されトリミングされて、階段構造を形成することができる。各誘電体層対は、マスク層のトリミング後に、適切なエッチャントを使用してエッチングされ、第1の材料層および第2の材料層の両方の一部を除去することができる。

40

**【0049】**

いくつかの実施形態において、形成された階段構造は、各々複数の階段を含む複数の分

50

割ブロック構造を含むことができ、各階段は複数のステップを含むことができる。複数の分割ブロック構造、複数の階段、および複数のステップは、異なる方向に沿って配置され得る。そのようなものとして、階段構造の3D空間は、多数のステップを形成するために効率的に使用され得る。開示されている階段構造の製作プロセスは、使用されるべきマスクの厚さ、使用されるべきマスクの数、およびトリミングプロセスの数を削減することができ、それによって1時間当たりのエッチングウェハ数(WPH)を増加させることができる。

#### 【0050】

階段構造の形成後、マスク層は取り除かれ得る。いくつかの実施形態において、第2の材料層は導電材料層であり、したがって、3Dメモリ構造のゲート電極(またはワード線)であり得る。いくつかの実施形態において、階段構造の第2の材料層は犠牲材料層であり、次いで、金属/導体層(たとえば、タングステン)で置き換えられ、3Dメモリ構造のゲート電極(またはワード線)を形成することができる。そのようなものとして、複数の誘電体層対は、誘電体/導電体層対になることができる。

10

#### 【0051】

階段構造は、相互接続形成プロセスの後に半導体チャンネルを制御するためにワード線ファンアウトとしての相互接続方式を提供することができる。階段構造の誘電体/導電体層対の各々は、半導体チャンネルの一部を横断する。階段構造内の導電材料層の各々は、半導体チャンネルの一部を制御することができる。相互接続形成プロセスの一例は、酸化ケイ素、スピンオン誘電体、またはホウ素リン珪酸ガラス(BPSG)などの第2の絶縁材料を、階段構造上に配設するか、または他の何らかの形で堆積することと、第2の絶縁材料を平坦化することを含む。階段構造内の導電材料層の各々は、平坦化された第2の絶縁材料中に複数のコンタクトホールを開けるために露出され、コンタクトホールには、窒化チタンおよびタングステンなどの1つまたは複数の導電材料を充填され、複数のVIA(垂直相互接続アクセス)構造を形成する。

20

#### 【0052】

メモリデバイスの他の部分は、説明をわかりやすくするために取り上げない。本開示では、「メモリデバイス」は一般的な用語であり、メモリチップ(パッケージ)、メモリダイ、またはメモリダイの任意の部分であってよい。

#### 【0053】

三次元NANDデバイスを例として挙げるけれども、様々なアプリケーションおよび設計において、開示されている構造は、たとえば、金属接続または配線を改善するために、類似の、または異なる半導体デバイスにも適用することができる。開示されている構造体の特定のアプリケーションは、本開示の実施形態によって制限されるべきではない。

30

#### 【0054】

図1は、いくつかの実施形態による例示的な3次元(3D)メモリアレイ構造100の一部を例示する斜視図である。メモリアレイ構造100は、基板130と、基板130の上を覆う絶縁膜131と、絶縁膜131の上を覆う下側セレクトゲート(LSG)132のティアと、LSG132の上に積層し交互導電体および誘電体層の積層膜135を形成する、「ワード線(WL)」とも称される、制御ゲート133の複数のティアとを備える。制御ゲート133のティアに隣接する誘電体層は、わかりやすくするために図1に示されていない。

40

#### 【0055】

各ティアの制御ゲート133は、積層膜135を貫通するスリット構造216-1および216-2によって分離される。メモリアレイ構造100は、制御ゲート133のスタックの上を覆う上部セレクトゲート(TSG)134のティアも含む。TSG134、制御ゲート133、およびLSG132のスタックは、「ゲート電極」とも称される。メモリアレイ構造100は、隣接するLSG132の間の基板130の一部分の中のドープされたソース線領域144をさらに備える。メモリアレイ構造100は、チャンネル構造領域110と、チャンネル構造領域110の両側にある2つの階段領域121、123とを備え

50

ることができる。チャンネル構造領域 1 1 0 は、各々複数のスタック型メモリセル 1 4 0 を含むメモリストリング 2 1 2 のアレイを含むことができる。

#### 【 0 0 5 6 】

各メモリストリング 2 1 2 は、絶縁膜 1 3 1 と交互導電体および誘電体層の積層膜 1 3 5 とを垂直方向に貫通するチャンネルホール 1 3 6 を備える。メモリストリング 2 1 2 は、また、チャンネルホール 1 3 6 の側壁上のメモリ膜 1 3 7 と、メモリ膜 1 3 7 の上を覆うチャンネル層 1 3 8 と、チャンネル層 1 3 8 に囲まれているコア充填膜 ( core filling film ) 1 3 9 とを含む。制御ゲート 1 3 3 とメモリストリング 2 1 2 との交点に、メモリセル 1 4 0 が形成され得る。メモリアレイ構造 1 0 0 は、T S G 1 3 4 の上を覆うメモリストリング 2 1 2 に接続されている複数のビット線 ( B L ) 1 4 1 をさらに備える。

10

#### 【 0 0 5 7 】

メモリアレイ構造 1 0 0 は、複数のコンタクト構造 2 1 4 を通してゲート電極に接続されている複数の金属相互接続線 1 4 3 も備える。2 つの階段領域 1 2 1 および 1 2 3 において、積層膜 1 3 5 のエッジは、ゲート電極の各ティアへの電氣的接続を可能にするように階段構造内に構成される。いくつかの実施形態において、階段構造は、垂直方向 (たとえば、z 軸、または z 方向に沿って) に互いから間隔をあけている一組の水平表面 (たとえば、x - y 平面に沿って) を備えることができる。例示することを目的として、図 1 は、これらのステップが z 方向に沿って水平表面の高さを徐々に減じるように x 方向に沿って構成されていることのみを示している。階段領域 1 2 1 および 1 2 3 内の複数のステップは、z 方向に沿って水平表面の高さを増加および / または減少させるように x 方向および y 方向の両方で構成され得ることに留意されたい。階段領域 1 2 1 および 1 2 3 内の複数のステップの例示的な構成は、次に説明する図に関連して以下でさらに詳しく説明される。

20

#### 【 0 0 5 8 】

また、図 1 では、例示することを目的として、制御ゲート 1 3 3 - 1、1 3 3 - 2、および 1 3 3 - 3 の 3 つのティアが、T S G 1 3 4 の 1 つのティアおよび L S G 1 3 2 の 1 つのティアとともに示されていることに留意されたい。この例では、各メモリストリング 2 1 2 は、制御ゲート 1 3 3 - 1、1 3 3 - 2、および 1 3 3 - 3 にそれぞれ対応する、3 つのメモリセル 1 4 0 - 1、1 4 0 - 2、および 1 4 0 - 3 を含むことができる。いくつかの実施形態において、制御ゲートの数およびメモリセルの数は、記憶容量を増大させるために 3 つより大きくすることができる。メモリアレイ構造 1 0 0 は、他の構造、たとえば、スルーアレイコンタクト、T S G カット、コモンソースコンタクト、およびダミーチャンネル構造も含むことができる。これらの構造は、簡単のため、図 3 には示されていない。

30

#### 【 0 0 5 9 】

N A N D フラッシュメモリの記憶容量の増加の要求に伴い、3 D メモリセル 1 4 0 またはワード線 1 3 3 の垂直方向のティアの数もそれに応じて増加し、プロセスがますます複雑になり、製造コストが上昇する。メモリアレイ構造 1 0 0 のメモリセル 1 4 0 またはワード線 1 3 3 のティアを増やすと、階段構造内に一方向に複数のステップを形成することがより困難になり、また階段構造上にコンタクト構造 2 1 4 を形成することもより困難になる。

40

#### 【 0 0 6 0 】

たとえば、多数の垂直に積層されたワード線 (ゲート電極) 上にコンタクト構造 2 1 4 を形成するには、コンタクトホールを形成するために高アスペクト比のエッチングが必要となる。長時間にわたる高アスペクト比エッチングにおいて、階段構造の下側レベルにあるコンタクトホールの限界寸法 ( C D ) は、階段構造の頂部レベルにあるコンタクトホールの C D よりもかなり大きくなり得る。それに加えて、階段構造の下側レベルのコンタクトホールの外形は、大きな湾曲を有し得る。コンタクト構造間の大きな C D バイアスおよび湾曲した外形は、金属負荷の差によるメモリ性能のバラツキを引き起こすだけでなく、

50

隣接コンタクト構造間の電氣的短絡による歩留まり低下も引き起こし得る。

【 0 0 6 1 】

別の例として、いくつかの既存のメモリアレイ構造では、2つの階段領域121および123のうち的一方は、通常、メモリセルゲート接続に使用されない、ダミー階段領域として使用される。すなわち、複数のコンタクトホールは、2つの階段領域121および123のうち的一方にのみ形成される。したがって、階段構造のユニット化効率 ( u n i t i z a t i o n e f f i c i e n c y ) は50%にすぎない。さらに、2つの階段領域121および123のうち1つだけを使用することで、階段構造のy方向の分割構造が半分になり、その結果必要なマスクが多くなる。

【 0 0 6 2 】

したがって、本開示では、上記の難題を解決するために、3Dメモリデバイスに対して複数の分割を有する階段構造およびその製作方法が開示されている。図2を参照すると、いくつかの実施形態による複数の分割を有する階段構造を備える3Dメモリデバイスを形成するための例示的な方法200の流れ図が例示されている。方法200に示されているプロセス動作は網羅されておらず、例示されているプロセス動作のいずれかの前、後、または間に他のプロセス動作が同様に実行され得る。いくつかの実施形態において、例示的な方法200のいくつかのプロセス動作は、簡単のため、省かれているか、またはここでは説明されていない他のプロセス動作を含むことができる。いくつかの実施形態において、方法200のプロセス動作は、異なる順序で実行され、および/または変化し得る。図3～図9は、本開示のいくつかの実施形態による、図2に示されている方法200の特定の製作ステージにおける例示的な3Dメモリデバイスの様々な構造の概略図を例示している。

【 0 0 6 3 】

図2に示されているように、方法200はS210から始まり、そこでは、複数の交互誘電体層対を含む積層膜を基板上に配設され得る。図3は、いくつかの実施形態による、3Dメモリデバイスの例示的な構造300の断面図を例示しており、構造300は、基板130および積層膜150を備える。図2の断面図は、図1のWL方向(またはx方向)に沿ったものである。

【 0 0 6 4 】

基板130は、後続の構造を形成するためのプラットフォームを提供することができる。いくつかの実施形態において、基板130は、単結晶単層シリコン基板、多結晶シリコン(ポリシリコン)単層基板、ポリシリコンおよび金属多層基板などの、任意の好適な構造を有する任意の好適な半導体基板であってよい。基板130は、任意の他の好適な材料、たとえば、シリコンゲルマニウム、炭化ケイ素、シリコンオンインシュレータ(SOI)、ゲルマニウムオンインシュレータ(GOI)、ガラス、窒化ガリウム、ガリウムヒ素、III-V化合物、および/またはこれらの任意の組合せを含むことができる。

【 0 0 6 5 】

基板130の前面130fは、本明細書では、基板の「主表面」または「頂面」とも称される。基板の前面130fに材料の層が配設され得る。「最上」または「上」層は、基板の前面130fから最も遠いまたはより遠い層である。「最下」または「下」層は、基板の前面130fに最も近いまたはより近い層である。いくつかの実施形態において、基板130は、前面130f上に絶縁膜をさらに含むことができる。

【 0 0 6 6 】

積層膜150は、基板130の前面130fと平行である横方向に延在する。積層膜150は、互いに交互に積層された、誘電体層152(「第1の誘電体層」とも称される)と犠牲層154(「第2の誘電体層」とも称される)を含み、誘電体層152は、積層膜150の最下層および最上層となるように構成され得る。この構成では、各犠牲層154は、2つの誘電体層152の間に挟装され、各誘電体層152は、2つの犠牲層154(最下層および最上層を除く)の間に挟装され得る。

【 0 0 6 7 】

10

20

30

40

50

誘電体層 152 および下にある犠牲層 154 は、交互誘電体層対 156 とも称される。積層膜 150 の形成は、各々同じ厚さを有するか、または異なる厚さを有するように誘電体層 152 を配設することを含み得る。誘電体層 152 の例示的な厚さは、10 nm から 500 nm の範囲内であってよい。同様に、犠牲層 154 は、各々同じ厚さを有するか、または異なる厚さを有することができる。犠牲層 154 の例示的な厚さは、10 nm から 500 nm の範囲内であってよい。図 3 の積層膜 150 では全部で 21 個の層のみが例示されているけれども、これは例示することのみを目的としており、任意の数の層が積層膜 150 に含まれてもよいことは理解されるべきである。いくつかの実施形態において、積層膜 150 は、誘電体層 152 および犠牲層 154 に加えた層を含むことができ、異なる材料を使用し、異なる厚さで作製され得る。

10

**【0068】**

いくつかの実施形態において、誘電体層 152 は、任意の好適な絶縁材料、たとえば、酸化ケイ素、酸窒化ケイ素、窒化ケイ素、TEOS、または F -、C -、N -、および / または H - が取り込まれた酸化ケイ素を含む。誘電体層 152 は、高 k 誘電体材料、たとえば、酸化ハフニウム、酸化ジルコニウム、酸化アルミニウム、酸化タンタル、または酸化ランタン膜も含むことができる。基板 130 上の誘電体層 152 の形成は、化学気相堆積 (CVD)、物理気相堆積 (PVD)、プラズマ助長 CVD (PECVD)、急速熱化学気相堆積 (RTCVD)、低圧化学気相堆積 (LPCVD)、スパッタリング、有機金属化学気相堆積 (MOCVD)、原子層堆積 (ALD)、高密度プラズマ CVD (HDP-CVD)、熱酸化、窒化物形成、任意の他の好適な堆積法、および / またはこれらの組合せなどの、任意の好適な堆積方法を含むことができる。

20

**【0069】**

いくつかの実施形態において、犠牲層 154 は、誘電体層 152 とは異なる任意の好適な材料を含み、選択的に取り除かれ得る。たとえば、犠牲層 154 は、酸化ケイ素、酸窒化ケイ素、窒化ケイ素、TEOS、多結晶シリコン、多結晶ゲルマニウム、多結晶ゲルマニウム - シリコン、およびこれらの任意の組合せを含むことができる。いくつかの実施形態において、犠牲層 154 は、アモルファスシリコンまたはアモルファスゲルマニウムなどのアモルファス半導体材料も含む。犠牲層 154 は、CVD、PVD、ALD、熱酸化もしくは窒化、またはそれらの任意の組合せなどの、誘電体層 152 に類似する技術を使用して配設され得る。

30

**【0070】**

いくつかの実施形態において、犠牲層 154 は、導電体層で置き換えられてよく、導電体層は、任意の好適な導電材料、たとえば、多結晶シリコン、多結晶ゲルマニウム、多結晶ゲルマニウム - シリコン、またはそれらの任意の組合せを含むことができる。いくつかの実施形態において、導電体層は、アモルファスシリコン、アモルファスゲルマニウム、またはその任意の組合せなどのアモルファス半導体材料も含むことができる。いくつかの実施形態において、導電体層の多結晶またはアモルファス材料は、材料の導電性を高めるために、ホウ素、リン、またはヒ素などの任意の好適なタイプのドーパントを組み込むことができる。導電体層の形成は、CVD、RTCVD、PECVD、LPCVD、MOCVD、HDP-CVD、PVD、ALD、またはそれらの任意の組合せなどの任意の好適な堆積方法を含むことができる。いくつかの実施形態において、多結晶半導体材料は、アモルファス状態で堆積され、その後の熱処理を通じて多結晶に転換され得る。いくつかの実施形態において、導電層のドーパントは、たとえばジボラン ( $B_2H_6$ ) またはホスフィン ( $PH_3$ ) などの化学ガスを同時に流すことによって、多結晶またはアモルファス半導体材料を堆積される際にインシチュ (*in-situ*) ドーピングを通じて組み込むことができる。導電体層の導電性を高めるために、プラズマドーピングなどの 3D 構造のための他のドーピング技術も使用できる。いくつかの実施形態において、ドーパント混入後、導電体層内のドーパントを活性化するために高温アニールプロセスが実行され得る。いくつかの実施形態において、誘電体層 152 は酸化ケイ素であってよく、導電体層は多結晶シリコンであってよい。本開示では、犠牲層 154 が例として示されている。しかしな

40

50

から、当業者であれば、以下で説明されている構造および方法に対して、犠牲層 154 を導電体層で置き換えることができる。

【0071】

いくつかの実施形態において、図3に示されているようにx方向に沿って、3Dメモリデバイスの構造300は、チャンネル構造領域110と、チャンネル構造領域110の両側の2つの階段領域121、123とを備えることができる。チャンネル構造領域110は、図1に関連して上で説明されているように、各々複数のスタック型メモリセルを含むメモリストリングのアレイを形成するために使用できる。2つの階段領域121および123は、以下で詳しく説明される後続のプロセスで階段構造を形成するために使用することができる。例示することを目的として、チャンネル構造領域110の幅は、図3の2つの階段領域121および123の幅よりも小さいことに留意されたい。しかしながら、図3に示されているような異なるコンポーネント間の寸法関係は、本開示の範囲を制限しない。

10

【0072】

再び図2を参照すると、方法200は、動作S220に進むことができ、上部セレクトゲート階段は第1の階段領域に隣接して形成されるものとしてよく、その結果、第1の階段領域と第2の階段領域との間にz方向の垂直オフセットが生じる。図4は、いくつかの実施形態による動作S220およびS230で使用される例示的なマスクの上面図を例示し、図5は、いくつかの実施形態による動作S220およびS230の後の3Dメモリデバイスの構造500の斜視図を例示している。

20

【0073】

図5に示されているように、いくつかの実施形態において、動作S220は、チャンネル構造領域110に頂上ステップ510を形成することを含むことができる。図4に示されているように、第1の階段マスク410は、チャンネル構造領域110を覆い、第1および第2の階段領域123および121を露出させるために使用され得る。いくつかの実施形態において、第1の階段マスク410は、フォトレジストまたはカーボンベースのポリマー材料を含むことができ、リソグラフィなどのパターン形成プロセスを使用して形成することができる。いくつかの実施形態において、第1の階段マスク410は、酸化ケイ素、窒化ケイ素、TEOS、シリコン含有反射防止膜(SiARC)、アモルファスシリコン、または多結晶シリコンなどのハードマスクも含むことができる。ハードマスクは、O<sub>2</sub>またはCF<sub>4</sub>の化学的性質を利用する反応性イオンエッチング(RIE)などのエッチングプロセスを使用してパターン形成され得る。さらに、第1の階段マスク410は、フォトレジストとハードマスクとの任意の組合せを含むことができる。

30

【0074】

エッチングプロセスは、露出された第1および第2の階段領域123および121の両方において少なくとも1つの交互誘電体層対156を頂部から除去するために実行され得る。エッチング深さは、頂上ステップ510の厚さによって決定される。いくつかの実施形態において、頂上ステップ510の厚さは、1つの交互誘電体層対156の厚さとすることができる。この例では、誘電体層150のエッチングプロセスは、犠牲層154の上で高い選択性を有することができる、および/またはその逆もある。したがって、下にある交互誘電体層対156は、エッチストップ層として機能することができる。そして、その結果、図5に示されているように、頂上ステップ510がチャンネル構造領域110内に形成され得る。

40

【0075】

いくつかの実施形態において、頂上ステップ510は、反応性イオンエッチング(RIE)または他の乾式エッチングプロセスなどの異方性エッチングを使用してエッチングされ得る。いくつかの実施形態において、誘電体層152は酸化ケイ素である。この例では、酸化ケイ素のエッチングは、炭素-フッ素(CF<sub>4</sub>)、ヘキサフルオロエタン(C<sub>2</sub>F<sub>6</sub>)、CHF<sub>3</sub>、またはC<sub>3</sub>F<sub>6</sub>などのフッ素系ガスおよび/または他の任意の好適なガスを使用するRIEを含み得る。いくつかの実施形態において、酸化ケイ素層は、フッ化水素酸またはフッ化水素酸とエチレングリコールとの混合物などの、湿式化学によって除去さ

50

れ得る。いくつかの実施形態において、時限式エッチングアプローチが使用され得る。いくつかの実施形態において、犠牲層 154 は窒化ケイ素である。この例では、窒化ケイ素のエッチングは、 $O_2$ 、 $N_2$ 、 $CF_4$ 、 $NF_3$ 、 $Cl_2$ 、 $HBr$ 、 $BCl_3$ 、および/またはこれらの組合せを使用する RIE を含むことができる。単層を除去する方法およびエッチャントは、本開示の実施形態によって制限されるべきではない。いくつかの実施形態において、エッチングプロセスの後に、第 1 の階段マスク 410 は、 $O_2$  または  $CF_4$  プラズマによる乾式エッチング、または、たとえば溶剤系化学物質などのレジスト/ポリマー剥離剤による湿式エッチングなどの技術を使用することによって除去され得る。

#### 【0076】

図 5 に示されているように、いくつかの実施形態において、動作 S220 は、第 1 の階段領域 123 に隣接するチャンネル構造領域 110 の一方のエッジに上部セレクトゲート (TSG) 階段構造 520 を形成することをさらに含むことができる。いくつかの実施形態において、TSG 階段構造 520 は、x 方向に沿って構成されている 3 つのステップ 520-1、520-2、および 520-3 を含むことができる。

10

#### 【0077】

図 4 に示されているように、第 2 の階段マスク 420 は、チャンネル構造領域 110、および第 2 の階段領域 121 を最初に覆い、第 1 の階段領域 123 を露出させるために使用され得る。いくつかの実施形態において、第 2 の階段マスク 420 は、フォトレジストまたはカーボンベースのポリマー材料を含むことができ、リソグラフィなどのパターン形成プロセスを使用して形成することができる。いくつかの実施形態において、第 2 の階段マスク 420 は、酸化ケイ素、窒化ケイ素、TEOS、シリコン含有反射防止膜 (SiARC)、アモルファスシリコン、または多結晶シリコンなどのハードマスクも含むことができる。ハードマスクは、 $O_2$  または  $CF_4$  の化学的性質を利用する反応性イオンエッチング (RIE) などのエッチングプロセスを使用してパターン形成され得る。さらに、第 2 の階段マスク 420 は、フォトレジストとハードマスクとの任意の組合せを含むことができる。

20

#### 【0078】

TSG 階段構造 520 は、第 2 の階段マスク 420 を使用して、露出されている第 1 の階段領域 123 の積層膜 150 に対して反復エッチトリムプロセス (たとえば、3 回のエッチトリムプロセス) を適用することによって形成され得る。エッチトリムプロセスは、エッチングプロセスとトリミングプロセスとを含む。エッチングプロセスにおいて、露出された第 1 の階段領域 123 内の頂部から少なくとも 1 つの交互誘電体層対 156 が取り除かれ得る。エッチング深さは、TSG 階段構造 520 の各ステップの厚さによって決定される。いくつかの実施形態において、TSG 階段構造 520 の各ステップの厚さは、1 つの交互誘電体層対 156 の厚さとすることができる。この例では、誘電体層 152 のエッチングプロセスは、犠牲層 154 の上で高い選択性を有することができ、および/またはその逆もある。したがって、下にある交互誘電体層対 156 は、エッチストップ層として機能することができる。そして、その結果、TSG 階段構造 520 の 1 つのステップ (たとえば、520-1、520-2、または 520-3) は、各エッチトリムサイクルにおいて形成され得る。

30

40

#### 【0079】

いくつかの実施形態において、TSG 階段構造 520 の各ステップ (たとえば、520-1、520-2、または 520-3) は、反応性イオンエッチング (RIE) または他の乾式エッチングプロセスなどの異方性エッチングを使用してエッチングされ得る。いくつかの実施形態において、誘電体層 152 は酸化ケイ素である。この例では、酸化ケイ素のエッチングは、炭素-フッ素 ( $CF_4$ )、ヘキサフルオロエタン ( $C_2F_6$ )、 $CHF_3$ 、または  $C_3F_6$  などのフッ素系ガスおよび/または他の任意の好適なガスを使用する RIE を含む得る。いくつかの実施形態において、酸化ケイ素層は、フッ化水素酸またはフッ化水素酸とエチレングリコールとの混合物などの、湿式化学によって除去され得る。いくつかの実施形態において、時限式エッチングアプローチが使用され得る。いくつかの実

50

施形態において、犠牲層 154 は窒化ケイ素である。この例では、窒化ケイ素のエッチングは、 $O_2$ 、 $N_2$ 、 $CF_4$ 、 $NF_3$ 、 $Cl_2$ 、 $HBr$ 、 $BCl_3$ 、および/またはこれらの組合せを使用する RIE を含むことができる。単層を除去する方法およびエッチャントは、本開示の実施形態によって制限されるべきではない。

#### 【0080】

トリミングプロセスは、第2の階段マスク420が、基板130の前面130fに平行な、 $x$ - $y$ 平面内の方向で、横方向に引き戻され得るように第2の階段マスク420に対して好適なエッチングプロセス（たとえば、等方性乾式エッチングまたは湿式エッチング）を施すことを含む。図4のトップダウン図から、第2の階段マスク420は、たとえば、リソグラフィからのフォトレジストによって画定される初期パターンから増分的に内側の方へエッチングされ得る。この例では、第2の階段マスク420の初期エッジ420-1は、第2のエッジ420-2の方へ増分的にトリミングされ、次いで、第3のエッジ420-3の方へ増分的にトリミングされ得る。エッチトリミングプロセスにおける $x$ 方向の横方向引き戻し寸法は、 $x$ 方向におけるTSG階段構造520の各ステップの横方向寸法を決定する。いくつかの実施形態において、TSG階段構造520の各ステップは、 $x$ 方向に異なるまたは同じ横方向寸法を有することができる。

10

#### 【0081】

いくつかの実施形態において、第2の階段マスク420のトリミングは、 $x$ - $y$ 平面内のすべての方向において等方的であり得る。いくつかの実施形態において、 $x$ 方向におけるTSG階段構造520の各ステップの横方向寸法は、10nmから100nmの間であってよい。いくつかの実施形態において、トリミングプロセスは、 $O_2$ 、 $Ar$ 、 $N_2$ などを使用するRIEなどの乾式エッチングを含むことができる。第2の階段マスク420をトリミングした後、頂部ステップ510の最上表面の一部が露出され、頂部ステップ510の他の部分は第2の階段マスク420によって覆われたままである。エッチトリムプロセスの次のサイクルは、エッチングプロセスから再開する。

20

#### 【0082】

エッチトリムプロセスを3回繰り返すことによって、TSG階段構造520の3つのステップ520-1、520-2、および520-3が、頂部ステップ510と第1の階段領域123との間で上から下へと形成され得る。エッチトリムプロセスにおいて、第2の階段マスク420の一部が消費され得、第2の階段マスク420の厚さが縮小され得る。TSG階段構造520の形成後に、第2の階段マスク420は、 $O_2$ または $CF_4$ プラズマによる乾式エッチング、または、たとえば溶剤系化学物質などのレジスト/ポリマー剥離剤による湿式エッチングなどの技術を使用することによって除去され得る。

30

#### 【0083】

再び図2を参照すると、方法200は、動作S230に進むことができ、ここで、第1の分割ステップ構造が第1の階段領域内に形成され、第2の分割ステップ構造が第2の階段領域内に形成され得る。いくつかの実施形態において、図5に示されているように、第1の階段領域123内の第1の分割ステップ構造533は、TSG階段構造520により、第2の階段領域121内の第2の分割ステップ構造531よりも3ステップ分低くされ得る。

40

#### 【0084】

いくつかの実施形態において、第1の階段分割パターンマスク430は、第1の分割ステップ構造533および第2の分割ステップ構造531を形成するために使用され得る。図4に示されているように、第1の階段分割パターン(SDP)マスク430は、チャンネル構造領域110と、チャンネル構造領域110に隣接する2つの階段領域121および123の一部とを覆い、2つの階段領域121および123の他の部分を露出させるために使用できる。第1の階段分割パターンマスク430は、両方の階段領域121および123内に $x$ 方向で貫入し、 $y$ 方向に沿って配置されている複数の第1の分割ブロックパターン462を含み得る。図4において、2つの第1の分割ブロックパターン462が、一例として各側部に示されている。いくつかの他の実施形態において、第1の階段分割パター

50

ンマスク 430 は、各側部内に  $X_1$  個の第 1 の分割ブロックパターン 462 を含むことができ、 $X_1$  は、2 以上の整数（たとえば、2、3、4 など）である。

【0085】

いくつかの実施形態において、第 1 の階段分割パターンマスク 430 は、フォトレジストまたはカーボンベースのポリマー材料を含むことができ、リソグラフィなどのパターン形成プロセスを使用して形成することができる。いくつかの実施形態において、第 1 の階段分割パターンマスク 430 は、酸化ケイ素、窒化ケイ素、TEOS、シリコン含有反射防止膜（SiARC）、アモルファスシリコン、または多結晶シリコンなどのハードマスクも含むことができる。ハードマスクは、 $O_2$  または  $CF_4$  の化学的性質を利用する反応性イオンエッチング（RIE）などのエッチングプロセスを使用してパターン形成され得る。さらに、第 1 の階段分割パターンマスク 430 は、フォトレジストとハードマスクとの任意の組合せを含むことができる。

10

【0086】

第 1 の分割ステップ構造 533 および第 2 の分割ステップ構造 531 は、第 1 の階段分割パターンマスク 430 を使用することによって、第 1 の階段領域 123 および第 2 の階段領域 121 内の積層膜 150 に対して 2 回のエッチトリムプロセスを施すことによって形成され得る。エッチトリムプロセスは、エッチングプロセスとトリミングプロセスとを含む。エッチングプロセスにおいて、表面が露出されている積層膜 150 の一部が除去され得る。エッチング深さは、第 1 の分割ステップ構造 533 および第 2 の分割ステップ構造 531 の各ステップの厚さによって決定される。いくつかの実施形態においてステップの厚さは、1 つの交互誘電体層対 156 の厚さとすることができる。この例では、誘電体層 152 のエッチングプロセスは、犠牲層 154 の上で高い選択性を有することができ、および/またはその逆もある。したがって、下にある交互誘電体層対 156 は、エッチストップ層として機能することができる。そして、その結果、1 つのステップが各エッチトリムサイクルで形成され得る。

20

【0087】

いくつかの実施形態において、第 1 の分割ステップ構造 533 および第 2 の分割ステップ構造 531 のステップは、反応性イオンエッチング（RIE）または他の乾式エッチングプロセスなどの異方性エッチングを使用してエッチングされ得る。いくつかの実施形態において、誘電体層 152 は酸化ケイ素である。この例では、酸化ケイ素のエッチングは、炭素-フッ素（ $CF_4$ ）、ヘキサフルオロエタン（ $C_2F_6$ ）、 $CHF_3$ 、または  $C_3F_6$  などのフッ素系ガスおよび/または他の任意の好適なガスを使用する RIE を含み得る。いくつかの実施形態において、酸化ケイ素層は、フッ化水素酸またはフッ化水素酸とエチレングリコールとの混合物などの、湿式化学によって除去され得る。いくつかの実施形態において、時限式エッチングアプローチが使用され得る。いくつかの実施形態において、犠牲層 154 は窒化ケイ素である。この例では、窒化ケイ素のエッチングは、 $O_2$ 、 $N_2$ 、 $CF_4$ 、 $NF_3$ 、 $Cl_2$ 、 $HBr$ 、 $BCl_3$ 、および/またはこれらの組合せを使用する RIE を含むことができる。単層を除去する方法およびエッチャントは、本開示の実施形態によって制限されるべきではない。

30

【0088】

トリミングプロセスは、第 1 の階段分割パターンマスク 430 が、基板 130 の前面 130f に平行な、 $x-y$  平面内の方向で、横方向に引き戻され得るように第 1 の階段分割パターンマスク 430 に対して好適なエッチングプロセス（たとえば、等方性乾式エッチングまたは湿式エッチング）を施すことを含む。いくつかの実施形態において、トリミングプロセスは、 $O_2$ 、 $Ar$ 、 $N_2$  などを使用する RIE などの乾式エッチングを含むことができる。図 4 のトップダウン図から、第 1 の階段分割パターンマスク 430 は、第 1 の階段領域 123 および第 2 の階段領域 121 の両方において初期エッジ 430-1 から最終エッジ 430-2 の方へ内向きにエッチングされ得る。エッチトリミングプロセスにおける横方向引き戻し寸法は、第 1 の分割ステップ構造 533 および第 2 の分割ステップ構造 531 の各ステップの横方向寸法を決定する。

40

50

## 【 0 0 8 9 】

いくつかの実施形態において、第1の分割ステップ構造533および第2の分割ステップ構造531の各ステップは、x方向および/またはy方向に異なるまたは同じ横方向寸法を有することができる。いくつかの実施形態において、第1の階段分割パターンマスク430のトリミングは、x方向およびy方向における各ステップの幅が同じであり、10nmから100nmの間の範囲内にあるようにx-y平面内のすべての方向において等方的であり得る。

## 【 0 0 9 0 】

エッチトリムプロセスを2回繰り返すことによって、3つのステップ533-1、533-2、および533-3を含む第1の分割ステップ構造533は第1の階段領域123内に形成され、3つのステップ531-1、531-2、および531-3を含む第2の分割ステップ構造531は第2の階段領域121内に形成されるものとしてよく、これは図5に示されているとおりである。第1の分割ステップ構造533のステップ533-1は、第2の分割ステップ構造531のステップ531-1よりも3ステップ分低い。第1の分割ステップ構造533のステップ533-2は、第2の分割ステップ構造531のステップ531-2よりも3ステップ分低い。第1の分割ステップ構造533のステップ533-3は、第2の分割ステップ構造531のステップ531-3よりも3ステップ分低い。

10

## 【 0 0 9 1 】

z方向に沿ったステップ差は、TSG階段構造520のステップの数によって決定されることに留意されたい。いくつかの実施形態において、TSG階段構造520のステップの数は、3以上の整数である $X_2$ である。そのような場合、同じ数 $X_2$ 個のステップが、第1の分割ステップ構造533および第2の分割ステップ構造531の各々の中に形成される。すなわち、第1の分割ステップ構造533および第2の分割ステップ構造531内の第1のステップの数は、制限されない。

20

## 【 0 0 9 2 】

図5に示されているように、第1の分割ステップ構造533および第2の分割ステップ構造531は各々、x方向に沿って延在し、y方向に沿って周期的に配置される2つの初期分割ブロック構造562をそれぞれ含むことができる。各初期分割ブロック構造562は、1つの第1の分割ブロックパターン462に対応し、後続のプロセスにおいて分割階段ブロック構造を形成するために使用され得る。第1の分割ステップ構造533または第2の分割ステップ構造531内の初期分割ブロック構造562の数は、2、3、4などの、第1の階段分割パターンマスク430の第1の分割ブロックパターン462の個数 $X_1$ によって決定され得ることに留意されたい。

30

## 【 0 0 9 3 】

エッチトリムプロセスにおいて、第1の階段分割パターンマスク430の一部が消費され得、第1の階段分割パターンマスク430の厚さが縮小され得る。エッチトリムプロセスの後に、第1の階段分割パターンマスク430は、 $O_2$ または $CF_4$ プラズマによる乾式エッチング、または、たとえば溶剤系化学物質などのレジスト/ポリマー剥離剤による湿式エッチングなどの技術を使用することによって除去され得る。

40

## 【 0 0 9 4 】

再び図2を参照すると、方法200は、動作S240に進むことができ、複数の階段が第1の分割ステップ構造および第2の分割ステップ構造内に形成され得る。図6は、いくつかの実施形態による動作S220~S240で使用される例示的なマスクの上面図を例示し、図7は、いくつかの実施形態による動作S240の後の3Dメモリデバイスの構造700の斜視図を例示している。

## 【 0 0 9 5 】

図7に示されているように、階段(たとえば、701、702、703、704など)は、x方向に沿って配置され得る。各階段は、y方向に沿って配置されている複数のステップ(たとえば、701-1、701-2、701-3など)を含むことができる。階段

50

701、702、703、704などは、第1の階段領域123および第2の階段領域121内にそれぞれ交互に配置されていることに留意されたい。したがって、図7に示されているようないくつかの実施形態では、隣接する階段（たとえば、701および703、702および704など）は、6ステップ分のz方向の垂直方向オフセットを有している。すなわち、TSG階段構造520のステップの数が $X_2$ である場合、x方向に沿った隣接するステップ（たとえば、701-1および703-1、702-2および704-2など）は、 $2X_2$ ステップ分のz方向の垂直オフセットを有し、y方向に沿った隣接するステップ（たとえば、701-1および701-2、702-2および702-3など）は、1ステップ分のz方向の垂直オフセットを有する。

【0096】

いくつかの実施形態において、複数の階段701、702、703、704などは、チャネル構造領域110、ならびに第1の階段領域123および第2の階段領域121の一部の上を覆うように配設されている第3の階段マスク640を使用することによって形成され得る。図6に示されているように、第3の階段マスク640は、第1の階段領域123内の第1の分割ステップ構造533および第2の階段領域121内の第2の分割ステップ構造531の一部を覆い、両方ともy方向に沿って平行に延在する2つの初期エッジ640-1を含む。

【0097】

いくつかの実施形態において、第3の階段マスク640は、フォトレジストまたはカーボンベースのポリマー材料を含むことができ、リソグラフィなどのパターン形成プロセスを使用して形成することができる。いくつかの実施形態において、第3の階段マスク640は、酸化ケイ素、窒化ケイ素、TEOS、シリコン含有反射防止膜(SiARC)、アモルファスシリコン、または多結晶シリコンなどのハードマスクも含むことができる。ハードマスクは、 $O_2$ または $CF_4$ の化学的性質を利用する反応性イオンエッチング(RIE)などのエッチングプロセスを使用してパターン形成され得る。さらに、第2の階段マスク420は、フォトレジストとハードマスクとの任意の組合せを含むことができる。

【0098】

複数の階段701、702、703、704などは、第3の階段マスク640を使用して、第1の階段領域123内の第1の分割ステップ構造533および第2の階段領域121内の第2の分割ステップ構造531の露出部分に対して反復エッチトリムプロセス（たとえば、3回のエッチトリムプロセス）を施すことによって形成され得る。エッチトリムプロセスは、エッチングプロセスとトリミングプロセスとを含む。エッチングプロセスにおいて、第1の階段領域123内の第1の分割ステップ構造533および第2の階段領域121内の第2の分割ステップ構造531の露出した表面の頂部からの $2X_2$ 個の交互誘電体層対156が除去され得る。エッチング深さは、各階段の厚さを決定する。そして、その結果、各エッチトリムサイクルの間に、第1の階段領域123および第2の階段領域121の各々の中に1つの階段が形成され得る。階段は両方とも、1ステップ分の厚さの $2X_2$ 倍の厚さを有し、第1の階段領域123内に形成される階段は、1ステップ分の厚さの $X_2$ 倍の深さだけ、第2の階段領域121内に形成される階段よりも低い。

【0099】

いくつかの実施形態において、階段は、反応性イオンエッチング(RIE)または他の乾式エッチングプロセスなどの異方性エッチングを使用してエッチングされ得る。いくつかの実施形態において、誘電体層152は酸化ケイ素膜である。この例では、酸化ケイ素膜のエッチングは、炭素-フッ素( $CF_4$ )、ヘキサフルオロエタン( $C_2F_6$ )、 $CHF_3$ 、または $C_3F_6$ などのフッ素系ガスおよび/または他の任意の好適なガスを使用するRIEを含み得る。いくつかの実施形態において、酸化ケイ素層は、フッ化水素酸またはフッ化水素酸とエチレングリコールとの混合物などの、湿式化学によって除去され得る。いくつかの実施形態において、時限式エッチングアプローチが使用され得る。いくつかの実施形態において、犠牲層154は窒化ケイ素膜である。この例では、窒化ケイ素膜のエッチングは、 $O_2$ 、 $N_2$ 、 $CF_4$ 、 $NF_3$ 、 $Cl_2$ 、 $HBr$ 、 $BCl_3$ 、および/またはこれ

10

20

30

40

50

らの組合せを使用するRIEを含むことができる。単層を除去する方法およびエッチャントは、本開示の実施形態によって制限されるべきではない。

#### 【0100】

トリミングプロセスは、第3の階段マスク640が、基板130の前面130fに平行な、 $x-y$ 平面内の方向で、横方向に引き戻され得るように第3の階段マスク640に対して好適なエッチングプロセス（たとえば、等方性乾式エッチングまたは湿式エッチング）を施すことを含む。図6のトップダウン図から、第3の階段マスク640は、たとえば、リソグラフィからのフォトリソグによって画定される初期パターンから増分的に内側の方へエッチングされ得る。この例では、第3の階段マスク640の初期エッジ640-1は、最終エッジ640- $X_3$ の方へ増分的にトリミングされるものとしてよく、 $X_3$ は、第1の階段領域123および第2の階段領域121の各々において上から下に形成され得る階段の数を決定する整数である。図6および図7に示されているような例において、 $X_3$ は6に等しいが、3よりも大きい任意の他の整数であってもよい。エッチトリミングプロセスにおける $x$ 方向の横方向引き戻し寸法は、 $x$ 方向における各階段の横方向寸法を決定する。いくつかの実施形態において、各階段は、 $x$ 方向に異なるまたは同じ横方向寸法を有することができる。

10

#### 【0101】

いくつかの実施形態において、第3の階段マスク640のトリミングは、 $x-y$ 平面内のすべての方向において等方的であり得る。いくつかの実施形態において、 $x$ 方向における各階段の横方向寸法は、10nmから100nmの間であってよい。いくつかの実施形態において、トリミングプロセスは、 $O_2$ 、Ar、 $N_2$ などを使用するRIEなどの乾式エッチングを含むことができる。第3の階段マスク640をトリミングした後、第1の階段領域123内の第1の分割ステップ構造533および第2の階段領域121内の第2の分割ステップ構造531の最上表面の一部が露出され、第1の階段領域123内の第1の分割ステップ構造533および第2の階段領域121内の第2の分割ステップ構造531の他の部分は第3の階段マスク640によって覆われたままとなる。エッチトリムプロセスの次のサイクルは、エッチングプロセスから再開する。

20

#### 【0102】

エッチトリムプロセスを3回繰り返すことによって、 $X_3$ 個の階段が、第1の階段領域123および第2の階段領域121の各々において上から下に形成され得る。そのようなものとして、複数の初期分割ブロック構造562は、第1の階段領域123内では複数の第1の分割ブロック構造762となり、第2の階段領域121内では複数の第2の分割ブロック構造764となる。各第1の分割ブロック構造762または第2の分割ブロック構造764は、図7に示されているように、 $x$ 方向に配置される $X_3$ 個の階段を含む。各階段は、それぞれ $X_2$ 個のレベルで分布する( $2X_2-1$ )個のステップを含むことができ、 $y$ 方向に対称的に配置される。図7に示されているような一例において、 $X_2$ は3であり、階段701は、5個のステップ701-1、701-2、701-2'、701-3、および701-3'を含む。ステップ701-2および701-2'は同じレベルにあり、ステップ701-1に関して $y$ 方向に対称的に配置される。同様に、ステップ701-3および701-3'は同じレベルにあり、ステップ701-1に関して $y$ 方向に対称的に配置される。

30

40

#### 【0103】

エッチトリムプロセスにおいて、第3の階段マスク640の一部が消費され、第3の階段マスク640の厚さが縮小され得る。第1の階段領域123および第2の階段領域121内に複数の階段を形成した後、第3の階段マスク640は、 $O_2$ または $CF_4$ プラズマによる乾式エッチング、または、たとえば溶剤系化学物質などのレジスト/ポリマー剥離剤による湿式エッチングなどの技術を使用することによって除去され得る。

#### 【0104】

再び図2を参照すると、方法200は、動作S250に進むことができ、複数の分割ブロック構造が第1の階段領域および第2の階段領域内に形成され得る。図8は、いくつか

50

の実施形態による動作 S 2 2 0 ~ S 2 5 0 で使用される例示的なマスクの上面図を例示し、図 9 は、いくつかの実施形態による動作 S 2 5 0 の後の 3 D メモリデバイスの構造 9 0 0 の斜視図を例示している。

【 0 1 0 5 】

いくつかの実施形態において、複数の分割ブロック構造は、第 2 の階段分割パターンマスク 8 5 0 を使用することによって形成され得る。図 7 に示されているように、第 2 の階段分割パターンマスク 8 5 0 は、チャンネル構造領域 1 1 0 と、第 1 の階段領域 1 2 3 内の少なくとも 1 つの第 1 の分割ブロック構造 7 6 2 と、第 2 の階段領域 1 2 1 内の少なくとも 1 つの第 2 の分割ブロック構造 7 6 4 とを覆うために使用することができる。第 2 の階段分割パターンマスク 8 5 0 は、第 1 階段領域 1 2 3 内の少なくとも 1 つの第 1 の分割ブロック構造 7 6 2 と、第 2 の階段領域 1 2 1 内の少なくとも 1 つの第 2 の分割ブロック構造 7 6 4 とを露出させることもできる。

10

【 0 1 0 6 】

図 7 に示されているように、第 2 の階段分割パターンマスク 8 5 0 は、第 1 の階段領域 1 2 3 内の少なくとも 1 つの第 1 の分割ブロック構造 7 6 2 と、第 2 の階段領域 1 2 1 内の少なくとも 1 つの第 2 の分割ブロック構造 7 6 4 とを覆うように x 方向に延在する 2 本のアーム部を備える T 字形状を有することができる。すなわち、第 2 の階段分割パターンマスク 8 5 0 は、各々 x 方向に沿って延在し、第 1 の分割ブロック構造 7 6 2 または第 2 の分割ブロック構造 7 6 4 内の複数の階段の全幅よりも長いエッジ 8 5 0 - 1 を有することができる。

20

【 0 1 0 7 】

いくつかの実施形態において、第 2 の階段分割パターンマスク 8 5 0 は、フォトレジストまたはカーボンベースのポリマー材料を含むことができ、リソグラフィなどのパターン形成プロセスを使用して形成することができる。いくつかの実施形態において、第 1 の階段分割パターンマスク 4 3 0 は、酸化ケイ素、窒化ケイ素、T E O S、シリコン含有反射防止膜 ( S i A R C )、アモルファスシリコン、または多結晶シリコンなどのハードマスクも含むことができる。ハードマスクは、O<sub>2</sub> または C F<sub>4</sub> の化学的性質を利用する反応性イオンエッチング ( R I E ) などのエッチングプロセスを使用してパターン形成され得る。さらに、第 2 の階段分割パターンマスク 8 5 0 は、フォトレジストとハードマスクとの任意の組合せを含むことができる。

30

【 0 1 0 8 】

図 9 に示されているような第 3 の分割ブロック構造 7 6 6 および第 4 の分割ブロック構造 7 6 8 は、第 1 の階段領域 1 2 3 内の露出した 1 つの第 1 の分割ブロック構造 7 6 2 および第 2 の階段領域 1 2 1 内の露出した 1 つの第 2 の分割ブロック構造 7 6 4 の一部を除去するようにエッチングプロセスによって形成され得る。エッチング深さは、第 1 の分割ブロック構造 7 6 2 または第 2 の分割ブロック構造 7 6 4 内の複数の階段の全厚によって決定される。いくつかの実施形態において、エッチング深さは、1 つの交互誘電体層対 1 5 6 の厚さの 2 X<sub>2</sub> X<sub>3</sub> 倍であってよい。図 9 に示されているような例において、エッチング深さは、3 6 ステップ分の厚さに等しいものとしてよい。

【 0 1 0 9 】

いくつかの実施形態において、エッチングプロセスは、反応性イオンエッチング ( R I E ) または他の乾式エッチングプロセスなどの異方性エッチングを含み得る。いくつかの実施形態において、誘電体層 1 5 2 は酸化ケイ素である。この例では、酸化ケイ素のエッチングは、炭素 - フッ素 ( C F<sub>4</sub> )、ヘキサフルオロエタン ( C<sub>2</sub> F<sub>6</sub> )、C H F<sub>3</sub>、または C<sub>3</sub> F<sub>6</sub> などのフッ素系ガスおよび / または他の任意の好適なガスを使用する R I E を含み得る。いくつかの実施形態において、酸化ケイ素層は、フッ化水素酸またはフッ化水素酸とエチレングリコールとの混合物などの、湿式化学によって除去され得る。いくつかの実施形態において、時限式エッチングアプローチが使用され得る。いくつかの実施形態において、犠牲層 1 5 4 は窒化ケイ素である。この例では、窒化ケイ素のエッチングは、O<sub>2</sub>、N<sub>2</sub>、C F<sub>4</sub>、N F<sub>3</sub>、C l<sub>2</sub>、H B r、B C l<sub>3</sub>、および / またはこれらの組合せ

40

50

を使用する R I E を含むことができる。単層を除去する方法およびエッチャントは、本開示の実施形態によって制限されるべきではない。

【 0 1 1 0 】

エッチングプロセスの後、図 9 に示されているように、第 3 の分割ブロック構造 7 6 6 および第 4 の分割ブロック構造 7 6 8 が形成され得る。他のいくつかの実施形態において、4 個よりも多い分割ブロック構造が、エッチトリムプロセスを使用することによって形成され得る。たとえば、第 1 階段領域 1 2 3 内に 3 つの第 1 の分割ブロック構造 7 6 2 があり、第 2 の階段領域 1 2 1 内に 3 つの第 2 の分割ブロック構造 7 6 4 がある場合、第 2 の階段分割パターンマスク 8 5 0 は、最初に、2 つの第 1 の分割ブロック構造 7 6 2 と 2 つの第 2 の分割ブロック構造 7 6 4 とを覆い、1 つの第 1 の分割ブロック構造 7 6 2 と 1 つの第 2 の分割ブロック構造 7 6 4 とを露出させることができる。露出表面の一定の深さを除去して 4 つの分割ブロック構造を形成する 1 つのエッチング工程の後、第 2 の階段分割パターンマスク 8 5 0 は、1 つの第 1 の分割ブロック構造 7 6 2 および 1 つの第 2 の分割ブロック構造 7 6 4 を覆い、2 つの第 1 の分割ブロック構造 7 6 2 および 2 つの第 2 の分割ブロック構造 7 6 4 を露出するようにトリミングされ得る。すなわち、エッジ 8 5 0 - 1 は、次の第 1 の分割ブロック構造 7 6 2 および第 2 の分割ブロック構造 7 6 4 の境界まで y 方向で横方向に引き戻され得る。次のエッチングプロセスで、6 個の分割ブロック構造を形成することができる。

10

【 0 1 1 1 】

そのようなものとして、4 つ以上の分割ブロック構造が第 1 の階段領域 1 2 3 および第 2 の階段領域 1 2 1 内に形成され得る。いくつかの実施形態では、分割ブロック構造の数は、図 4 に関連して上で説明されているように、第 1 の階段分割パターンマスク 4 3 0 の第 1 の分割ブロックパターン 4 6 2 の数  $X_1$  に等しいものとしてよい。各分割ブロック構造は、x 方向に配置されている  $X_3$  個の階段を含むことができる。各階段は、それぞれ  $X_2$  個のレベルで分布する  $(2 X_2 - 1)$  個のステップを含むことができ、y 方向に対称的に配置される。図 9 に示されているような一例において、3 D メモリデバイスの構造 9 0 0 は、4 つの分割ブロック構造 7 6 2、7 6 4、7 6 6、および 7 6 8 を含むことができる。各分割ブロック構造は、6 つの階段を含み、各階段は、3 つのレベルにある 5 つのステップを含む。

20

【 0 1 1 2 】

いくつかの実施形態において、図 9 に示されているような 7 6 2 および 7 6 4 などの、チャンネル構造領域 1 1 0 の反対側にそれぞれ配置され、y 方向で同じ位置に配置されている 2 つの対向する分割ブロック構造は、 $X_2$  個のステップ（または  $X_2$  個の交互誘電体層対）の高さに等しい z 方向の垂直オフセットを有することができる。図 9 に示されているような一例において、 $X_2$  は 3 に等しく、したがって、第 1 の分割ブロック構造 7 6 2 内の 1 つのステップは、第 2 の分割ブロック構造 7 6 4 内の対応するステップ（y 方向の同じ位置に配置される）よりも 3 ステップ分低い。

30

【 0 1 1 3 】

いくつかの実施形態において、図 9 に示されているような 7 6 4 および 7 6 8 などの、チャンネル構造領域 1 1 0 の同じ側に配置され、x 方向で同じ位置に配置されている 2 つの隣接する分割ブロック構造は、 $2 X_2 X_3$  個のステップ（または  $2 X_2 X_3$  個の交互誘電体層対）の高さに等しい z 方向の垂直オフセットを有することができる。図 9 に示されているような一例において、 $X_2$  は 3 に等しく、 $X_3$  は 6 に等しく、したがって第 2 の分割ブロック構造 7 6 4 と第 4 の分割ブロック構造 7 6 8 との間の z 方向の垂直オフセットは 3 6 ステップ分である。

40

【 0 1 1 4 】

いくつかの実施形態において、複数の分割ブロック構造内の複数のステップは、 $2 X_1 X_2 X_3$  個の異なるレベルで分布してよく、 $X_1$  は分割ブロック構造の数であり、 $X_2$  は T S G 階段構造のステップの数であり、 $X_3$  は各分割ブロック構造内の階段の数である。複数の分割ブロック構造内の複数のステップの総数は、 $2 X_1 (2 X_2 - 1) X_3$  とすること

50

ができる。

【0115】

たとえば、図9に示されているように、 $X_1$ は2に等しく、 $X_2$ は3に等しく、 $X_3$ は6に等しい。したがって、複数の分割ブロック構造762、764、766、および768内のステップのレベルの総数は72である。頂部ステップおよびTSG階段構造のステップを含むステップが上から下に番号を振られた場合（同じレベルにある2つのステップは同じ番号を有する）、頂部ステップは1番であり、TSG階段構造は、2～4番のステップを含み、第2の分割ブロック構造764は、5～7、11～13、17～19、23～25、29～31、および35～37番のステップを含み、第1の分割ブロック構造762は、8～10、14～16、20～22、26～28、32～34、および38～40番のステップを含み、第4の分割ブロック構造768は、41～43、47～49、53～55、59～61、65～67、および71～73番のステップを含み、第3の分割ブロック構造766は、44～46、50～52、56～58、62～64、68～70、および74～76番のステップを含む。

10

【0116】

3Dメモリデバイスの製作は、複数の分割部を有する階段構造を形成する、たとえば、チャンネルホール、スリット構造、交換ゲート、およびコンタクト構造を形成した後に再開され得る。これらの後続の構造に対する関連するプロセスおよび技術は、当業者に知られており、したがって本開示には含まれない。

【0117】

したがって、3次元メモリデバイスの様々な実施形態およびそれを作製する方法が、本開示において説明されている。開示されている3次元メモリデバイスでは、複数の分割ブロック構造が、チャンネル構造領域の両側に形成され、第2の方向に沿って配置される。各分割ブロック構造は、第1の方向に配置されている複数の階段を含む。各階段は、第2の方向に配置されている複数のステップを含む。そのようなものとして、開示されている3Dメモリデバイスの3D空間は、多数のステップを形成するために効率的に使用することができ、その結果、他の3Dメモリデバイスと比較して、ダイサイズの縮小、デバイスの高密度化、および性能の改善を図ることができる。さらに、開示されている3Dデバイスの製作プロセスにおいて、複数のステップを形成するために使用されるべきマスクの個数が削減され得、トリミングプロセスの数も減らすことができ、それによって、1時間当たりのエッチングウェハ数(WPH)を増やすことができる。さらに、階段分割パターンマスクを使用して複数の分割ブロック構造を形成することで、3Dメモリデバイスの下側部分にステップを形成するエッチトリムプロセスを回避することができ、したがってエッチトリムプロセスにおけるフォトレジスト層の厚さに対する必要条件を低減することができる。

20

30

【0118】

本開示の一態様は、3次元(3D)メモリデバイスを提供し、これは複数のチャンネル構造を備えるチャンネル構造領域と、チャンネル構造の第1の側で第1の方向に沿って配置されている複数の分割ブロック構造を含む第1の階段領域内の第1の階段構造と、チャンネル構造の第2の側で第1の方向に沿って配置されている複数の分割ブロック構造を含む第2の階段領域内の第2の階段構造とを備える。第1の垂直オフセットは、隣接する分割ブロック構造間の境界を画定する。各分割ブロック構造は、第1の方向とは異なる第2の方向に沿って配置されている複数の階段を備える。各階段は、第1の方向に沿って配置されている複数のステップを含む。

40

【0119】

いくつかの実施形態において、3Dメモリデバイスは、チャンネル構造領域内の第2の方向に沿って配置されている $X_2$ 個のステップを含む上部セレクトゲート階段構造をさらに備える。

【0120】

いくつかの実施形態において、第1の階段領域内の複数の分割ブロック構造と、第2の

50

階段領域内の複数の分割ブロック構造との間の第2の垂直オフセットは、1ステップ分の厚さの $X_2$ 倍に等しい。

【0121】

いくつかの実施形態において、隣接する階段の間の第3の垂直オフセットは、1ステップ分の厚さの $2X_2$ 倍に等しい。

【0122】

いくつかの実施形態において、各階段は、 $X_2$ 個のレベルで対称的に分布する( $2X_2 - 1$ )個のステップを含む。

【0123】

いくつかの実施形態において、第1の階段構造および第2の階段構造は、複数の誘電体 / 導電体層対を含み、各ステップは、誘電体 / 導電体層対を含む。

10

【0124】

いくつかの実施形態において、第1の方向および第2の方向は、互いに垂直であり、誘電体 / 導電体層対の界面表面に平行な平面内にある。

【0125】

いくつかの実施形態において、第1の階段領域および第2の階段領域の各々の中の複数の分割ブロック構造の数は $X_1$ であり、各分割ブロック構造内の複数の階段の数は $X_3$ である。

【0126】

いくつかの実施形態において、隣接する分割ブロック構造の間の第1の垂直オフセットは、1ステップ分の厚さの $2X_2X_3$ 倍に等しい。

20

【0127】

いくつかの実施形態において、第1の階段構造および第2の階段構造における複数のステップの総数は、 $2X_1(2X_2 - 1)X_3$ であり、複数のステップは、 $2X_1X_2X_3$ 個の異なるレベルで分布している。

【0128】

いくつかの実施形態において、 $X_1$ は2であり、 $X_2$ は3である。

【0129】

本開示の別の態様は、3次元(3D)メモリデバイスを形成するための方法を提供し、この方法は、複数の誘電体層対を備えた積層膜を基板上に形成することと、複数のチャンネル構造を備える積層膜内にチャンネル構造領域を形成することと、第1の階段領域内に第1の階段構造を、第2の階段領域内に第2の階段構造を形成することと、第1の階段構造および第2の階段構造の各々は第1の方向に沿って配置されている複数の分割ブロック構造を含む、形成することを含む。第1の垂直オフセットは、隣接する分割ブロック構造間の境界を画定し、各分割ブロック構造は、第1の方向とは異なる第2の方向に沿って配置されている複数の階段を備える。各階段は、第1の方向に沿って配置されている複数のステップを含む。

30

【0130】

いくつかの実施形態において、方法は、チャンネル構造領域内の第2の方向に沿って配置されている $X_2$ 個のステップを含む上部セレクトゲート階段構造を形成することをさらに含む。

40

【0131】

いくつかの実施形態において、第1の階段構造および第2の階段構造を形成することは、第1の階段領域および第2の階段領域内に複数の初期分割ステップ構造を形成することと、各初期分割ステップ構造は第1の方向に沿って配置されている $X_2$ 個のステップを含み、各ステップは、誘電体層対を含む、形成することを含む。

【0132】

いくつかの実施形態において、複数の初期分割ステップ構造を形成することは、 $2X_1$ 個の第1の分割ブロックパターンを有する第1の階段分割パターンマスクを積層膜上に配設することと、第1の階段分割パターンマスクに基づくエッチトリムを使用して複数の初

50

期分割ステップ構造を形成することを含む。

【0133】

いくつかの実施形態において、第1の階段構造および第2の階段構造を形成することは、初期分割ステップ構造の各々の中に $X_3$ 個の階段を形成して第1の階段領域および第2の階段領域の各々の中に $X_1$ 個の分割ブロック構造を形成することをさらに含む。

【0134】

いくつかの実施形態において、階段を形成することは、エッチトリムプロセスを使用して、階段が第2の方向に沿って形成されるようにすることを含む。第1の方向および第2の方向は、互いに垂直であり、誘電体/導電体層対の界面表面に平行な平面内にある。

【0135】

いくつかの実施形態において、エッチトリムプロセスの各サイクルにおけるエッチング深さは、1ステップ分の厚さの $2X_2$ 倍である。

【0136】

いくつかの実施形態において、第1の階段構造および第2の階段構造を形成することは、第2の階段分割パターンマスクを、少なくとも2つの分割ブロック構造を覆い少なくとも2つの分割ブロック構造を露出させるように配設することと、露出された少なくとも2つの分割ブロック構造を、1ステップ分の厚さの $2X_2X_3$ 倍に等しい深さだけエッチングすることとをさらに含む。

【0137】

特定の実施形態の前述の説明は、当技術の範囲内の知識を応用することによって、本開示の一般的な概念から逸脱することなく、必要以上の実験を行うことなく、他者がそのような特定の実施形態を様々な用途に容易に修正および/または適応させることができるように、本開示の一般的な性質を完全に明らかにするであろう。したがって、そのような適応および修正は、本明細書に提示されている開示および指導に基づき、開示されている実施形態の等価物の意味および範囲内に収まることを意図されている。本明細書の言い回しまたは用語は制限ではなく、説明を目的としたものであり、したがって本明細書の用語または言い回しは開示および指導に照らして当業者によって解釈されるべきであることは理解されるであろう。

【0138】

本開示の実施形態は、指定された機能の実装形態およびその関係を例示する機能構成ブロックの助けを借りて上で説明された。これらの機能構成ブロックの境界は、説明の便宜のために本明細書において任意に定義されている。代替的境界は、指定された機能およびその関係が適切に実行される限り定義され得る。

【0139】

発明の概要および要約書の項は、本発明者によって企図されるような本開示の1つまたは複数の、ただしすべてではない、例示的な実施形態を規定するものとしてよく、したがって、本開示および付属の請求項をいかなる形でも制限することを意図されていない。

【0140】

本開示の程度および範囲は、上述の例示的な実施形態により制限されるのではなく、請求項およびその等価物によってのみ定義されるべきである。

【符号の説明】

【0141】

- 100 3次元(3D)メモリアレイ構造
- 110 チャンネル構造領域
- 121 第2の階段領域
- 123 第1の階段領域
- 130 基板
- 130f 前面
- 131 絶縁膜
- 132 下側セレクトゲート(LSG)

10

20

30

40

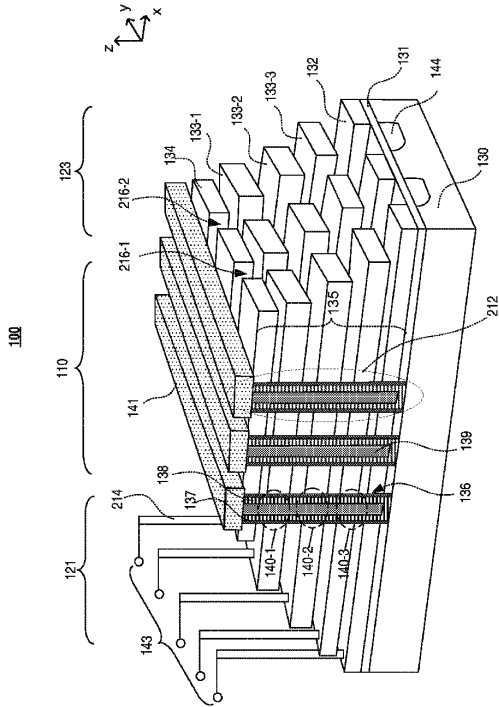
50

1 3 3	制御ゲート、ワード線	
1 3 3 - 1、1 3 3 - 2、1 3 3 - 3	制御ゲート	
1 3 4	上部セレクトゲート ( T S G )	
1 3 5	積層膜	
1 3 6	チャネルホール	
1 3 7	メモリ膜	
1 3 8	チャネル層	
1 3 9	コア充填膜	
1 4 0	スタック型メモリセル	
1 4 0 - 1、1 4 0 - 2、1 4 0 - 3	メモリセル	10
1 4 1	ビット線 ( B L )	
1 4 3	金属相互接続線	
1 4 4	ソース線領域	
1 5 0	積層膜	
1 5 2	誘電体層	
1 5 4	犠牲層	
1 5 6	交互誘電体層対	
2 0 0	方法	
2 1 2	メモリストリング	
2 1 4	コンタクト構造	20
2 1 6 - 1、2 1 6 - 2	スリット構造	
3 0 0	3 Dメモリデバイスの構造	
4 1 0	第1の階段マスク	
4 2 0	第2の階段マスク	
4 2 0 - 1	初期エッジ	
4 2 0 - 2	第2のエッジ	
4 2 0 - 3	第3のエッジ	
4 3 0	第1の階段分割パターン ( S D P ) マスク	
4 3 0 - 1	初期エッジ	
4 3 0 - 2	最終エッジ	30
4 6 2	第1の分割ブロックパターン	
5 0 0	構造	
5 1 0	頂部ステップ	
5 2 0	上部セレクトゲート ( T S G ) 階段構造	
5 2 0 - 1、5 2 0 - 2、5 2 0 - 3	ステップ	
5 3 1	第2の分割ステップ構造	
5 3 1 - 1、5 3 1 - 2、5 3 1 - 3	ステップ	
5 3 3	第1の分割ステップ構造	
5 3 3 - 1、5 3 3 - 2、5 3 3 - 3	ステップ	
5 6 2	初期分割ブロック構造	40
6 4 0	第3の階段マスク	
6 4 0 - 1	初期エッジ	
6 4 0 - X <sub>3</sub>	最終エッジ	
7 0 0	構造	
7 0 1、7 0 2、7 0 3、7 0 4	階段	
7 0 1 - 1、7 0 1 - 2、7 0 1 - 2'、7 0 1 - 3、7 0 1 - 3'	ステップ	
7 6 2	第1の分割ブロック構造	
7 6 4	第2の分割ブロック構造	
7 6 6	第3の分割ブロック構造	
7 6 8	第4の分割ブロック構造	50

850 第2の階段分割パターンマスク  
 850-1 エッジ  
 900 構造  
 CD 限界寸法  
 WL ワード線

【図面】

【図1】



【図2】

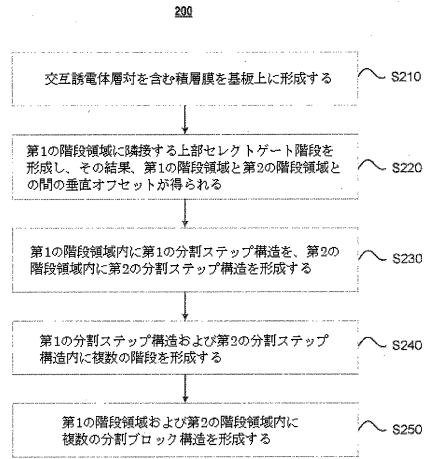


FIG. 1

10

20

30

40

50

【 図 3 】

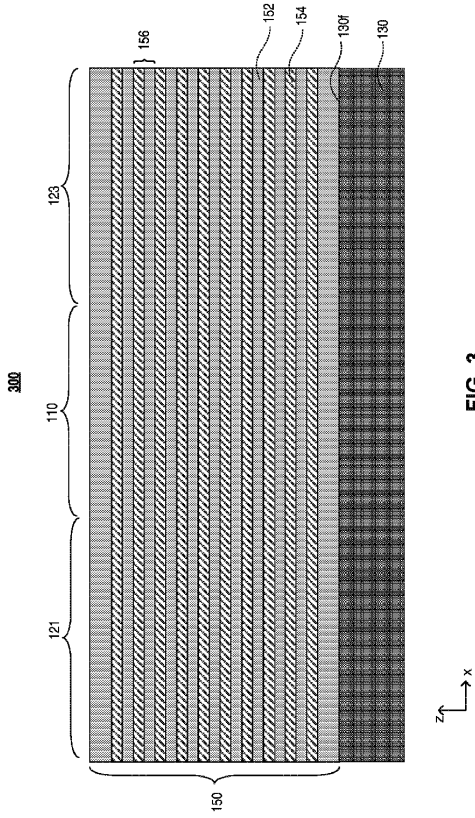


FIG. 3

【 図 4 】

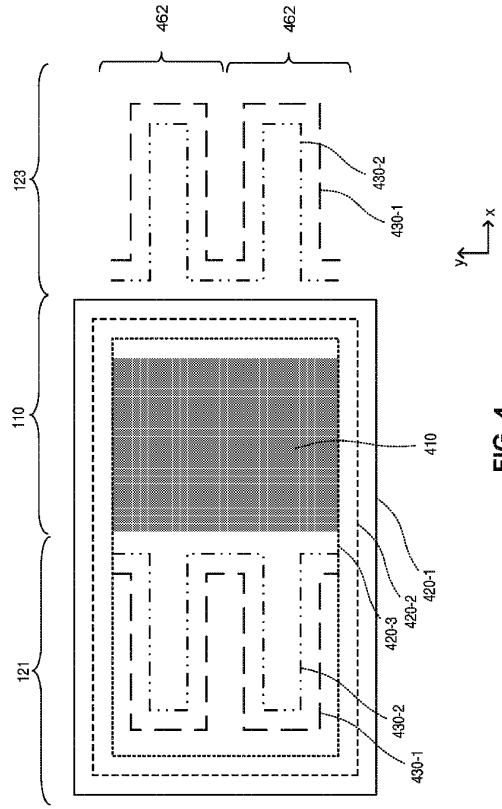


FIG. 4

【 図 5 】

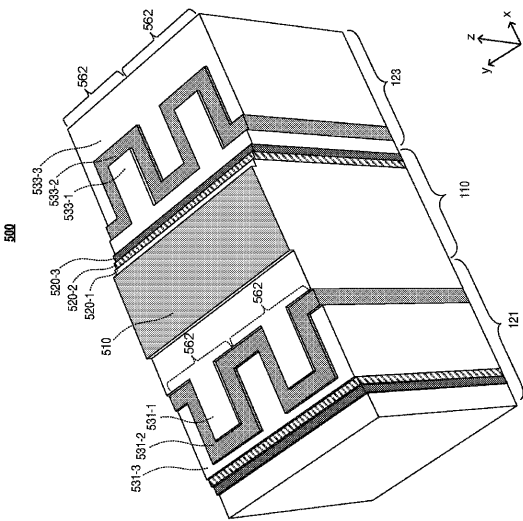


FIG. 5

【 図 6 】

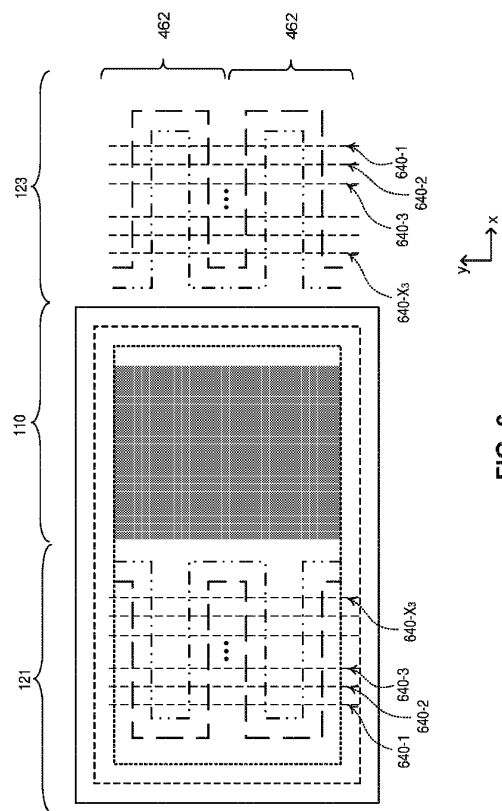


FIG. 6

10

20

30

40

50

【 図 7 】

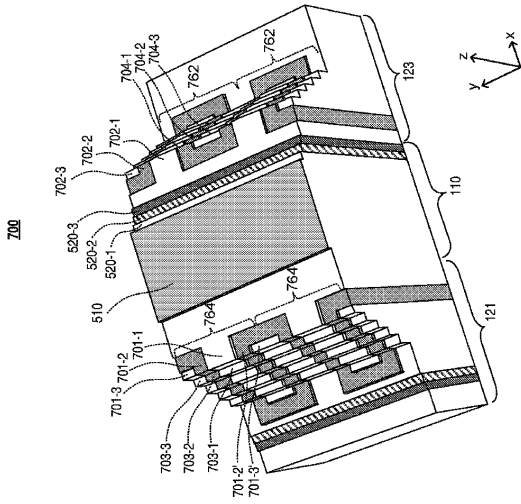


FIG. 7

【 図 8 】

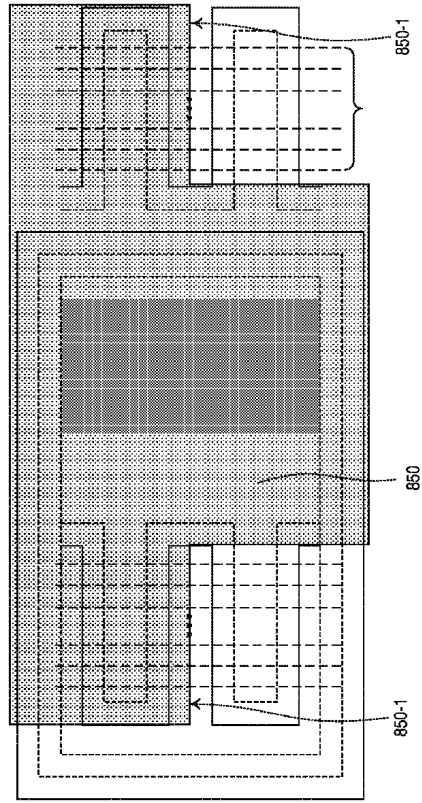


FIG. 8

【 図 9 】

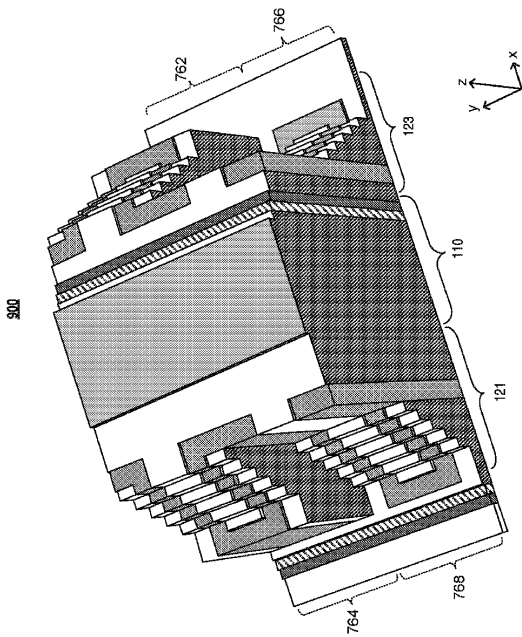


FIG. 9

10

20

30

40

50

## フロントページの続き

## (51)国際特許分類

F I

<i>H 0 1 L</i>	<i>29/786 (2006.01)</i>	<i>H 1 0 B</i>	41/27
<i>H 1 0 B</i>	<i>41/27 (2023.01)</i>	<i>H 1 0 B</i>	41/40
<i>H 1 0 B</i>	<i>41/40 (2023.01)</i>	<i>H 1 0 B</i>	41/50
<i>H 1 0 B</i>	<i>41/50 (2023.01)</i>	<i>H 1 0 B</i>	43/27
<i>H 1 0 B</i>	<i>43/27 (2023.01)</i>	<i>H 1 0 B</i>	43/40
<i>H 1 0 B</i>	<i>43/40 (2023.01)</i>		

(74)代理人 100133400

弁理士 阿部 達彦

(72)発明者

ジョン・ジャン

中華人民共和国・フーペイ・430074・ウーハン・イースト・レイク・ハイ・テック・デヴェ  
ロップメント・ゾーン・グアンドン・サイエンス・アンド・テクノロジー・インダストリアル・パ  
ーク・フアングエン・ロード・ナンバー・18・ルーム・7018

(72)発明者

ウェンユ・ファ

中華人民共和国・フーペイ・430074・ウーハン・イースト・レイク・ハイ・テック・デヴェ  
ロップメント・ゾーン・グアンドン・サイエンス・アンド・テクノロジー・インダストリアル・パ  
ーク・フアングエン・ロード・ナンバー・18・ルーム・7018

(72)発明者

ジリアン・シア

中華人民共和国・フーペイ・430074・ウーハン・イースト・レイク・ハイ・テック・デヴェ  
ロップメント・ゾーン・グアンドン・サイエンス・アンド・テクノロジー・インダストリアル・パ  
ーク・フアングエン・ロード・ナンバー・18・ルーム・7018

審査官 加藤 俊哉

(56)参考文献

中国特許出願公開第109155318 (CN, A)

中国特許出願公開第108550574 (CN, A)

特開2017-112363 (JP, A)

(58)調査した分野

(Int.Cl., DB名)

H 1 0 B 43 / 50

H 1 0 B 43 / 27

H 1 0 B 41 / 27

H 1 0 B 43 / 40

H 1 0 B 41 / 40

H 1 0 B 41 / 50

H 0 1 L 21 / 336

H 0 1 L 29 / 786

H 0 1 L 21 / 3065