

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

专利号 ZL 200610058626.3

H05K 3/46 (2006.01)

H05K 1/16 (2006.01)

H01L 21/48 (2006.01)

H01L 23/64 (2006.01)

[45] 授权公告日 2009年8月19日

[11] 授权公告号 CN 100531529C

[22] 申请日 2006.3.2

[21] 申请号 200610058626.3

[30] 优先权

[32] 2005.3.2 [33] KR [31] 10-2005-0017333

[73] 专利权人 三星电机株式会社

地址 韩国京畿道

[72] 发明人 安镇庸 黄哲盛 金成根 柳彰燮

曹硕铉 全皓植

[56] 参考文献

JP2003-309373A 2003.10.31

WO2004/015164A1 2004.2.19

JP11-126977A 1999.5.11

US2004/0118600A1 2004.6.24

JP2004-214602A 2004.7.29

JP2003-188171A 2003.7.4

JP2003-218200A 2003.7.31

US2004/0141390A1 2004.7.22

US5501350A 1996.3.26

JP2001-237400A 2001.8.31

审查员 王兴妍

[74] 专利代理机构 北京集佳知识产权代理有限公司

代理人 杨生平 杨红梅

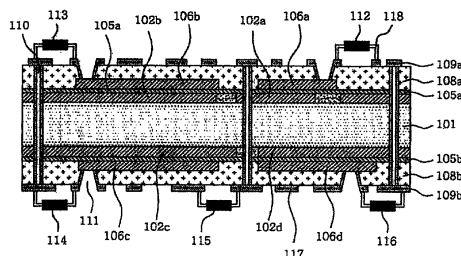
权利要求书 6 页 说明书 17 页 附图 7 页

[54] 发明名称

其中具有嵌入式电容器的印刷电路板及其制造方法

[57] 摘要

所公开的是一种其中具有嵌入式电容器的印刷电路板，包括：双面覆铜叠层，包括形成在其外层中的第一电路层，所述第一电路层包括底电极以及电路图案；电介质层，通过借助原子层沉积在所述第一电路层上沉积氧化铝膜而形成；第二电路层，形成在所述电介质层上并且包括顶电极以及电路图案；一面覆铜叠层，形成在所述第二电路层上；盲过孔和通孔，形成在一面覆铜叠层的预定部分中；以及形成在所述盲过孔和通孔中的镀层。也公开了所述印刷电路板的制造方法。



1. 一种用于制造其中具有嵌入式电容器的印刷电路板的方法，所述方法包括以下步骤：

(a) 在双面覆铜叠层的外层中形成包括底电极及电路图案的第一电路层；

(b) 通过原子层沉积在所述第一电路层上沉积氧化铝膜以在其上形成电介质层；

(c) 在所述电介质层上形成包括顶电极及电路图案的第二电路层；

(d) 在所述第二电路层上沉积一面覆铜叠层；

(e) 在所述一面覆铜叠层的预定部分中形成盲过孔和通孔；以及

(f) 镀所述盲过孔和所述通孔，用于电路层的互连，

其中，所述步骤 (b) 还包括以下步骤：

(i) 蚀刻所沉积的氧化铝膜的预定部分，以去除所述氧化铝膜的除了所述底电极上的部分之外的剩余部分；及

(ii) 以绝缘材料填充所蚀刻的部分并且平坦化所填充的材料。

2. 如权利要求 1 所述的方法，在形成所述第一电路层的步骤之前，该方法进一步包括：给予所述双面覆铜叠层的外层 1-5 μm 的粗糙度的步骤。

3. 如权利要求 1 所述的方法，其中，形成所述第一电路层的步骤包括以下步骤：

(i) 在所述双面覆铜叠层的每个外层上形成光致抗蚀剂干膜图案，以及蚀刻所述干膜图案形式的所述外层以形成底电极和电路图案；以及

(ii) 以绝缘材料填充所蚀刻的区域及平坦化所填充的材料。

4. 如权利要求 1 所述的方法，在形成所述电介质层的步骤之前，该方法进一步包括：在所述第一电路层上形成抗氧化剂层的步骤，所述抗氧化剂层是从由 Pt、Ir、Au、Ru、Ni、Al、W、Mo、Ta 和 Ti 构成的组中选择的至少一种金属或者其导电氧化物或导电氮化物制成的。

5. 如权利要求 1 所述的方法, 其中, 形成所述电介质层的步骤通过使用三甲基铝作为源气体在维持在 25-250 °C 内的基板温度通过原子层沉积来沉积氧化铝膜而执行。

6. 如权利要求 5 所述的方法, 其中, 所述基板温度被维持在 100-200 °C 内。

7. 如权利要求 6 所述的方法, 其中, 所述基板温度被维持在 120-150 °C 内。

8. 如权利要求 1 所述的方法, 其中, 形成所述电介质层的步骤是使用顺序引入的 (i) 三甲基铝源气体和 (ii) H_2O 、 H_2O 等离子体、 O_2 等离子体或 O_3 氧化剂的源气体通过重复执行原子层沉积以便将氧化铝膜沉积到所需厚度而执行的, 其中, 在引入每个所述源气体之后, 引入用于净化的惰性气体。

9. 如权利要求 1 所述的方法, 其中, 所述蚀刻是通过以下执行的:

(i) 在所述氧化铝膜上形成光致抗蚀剂干膜图案, 以及随后通过暴露于光并通过显影来蚀刻所述氧化铝膜, 或者(ii) 使用离子束或者等离子体蚀刻所述氧化铝膜。

10. 如权利要求 4 或 1 所述的方法, 其中, 所述绝缘材料的填充和平坦化通过真空印刷来执行。

11. 如权利要求 1 所述的方法, 其中, 每个所述电介质层形成为 50-5000 Å 的厚度。

12. 如权利要求 1 所述的方法, 其中, 形成所述第二电路层的步骤包括:

(i) 通过无电镀在所述电介质层上形成由 Ni、Cr、Mo 或其组合制成的金属种子层;

(ii) 通过电镀在所述金属种子层上形成铜镀层; 以及

(iii) 在所述铜镀层上形成光致抗蚀剂干膜, 以及通过暴露于光和通过显影来蚀刻所述铜镀层以形成顶电极和电路图案。

13. 如权利要求 1 所述的方法，其中，形成所述第二电路层的步骤包括以下步骤：

- (i) 通过丝网印刷或喷墨印刷将由 Ru、Cu、Ni、Cr、Mo 或者其组合制成的导电糊施加到所述电介质层；
- (ii) 使所施加的糊干燥；
- (iii) 使用掩模来图案化干燥的糊以形成顶电极和电路图案。

14. 如权利要求 1 所述的方法，其中，形成所述第二电路层的步骤包括以下步骤：

- (i) 通过溅射或蒸发在所述电介质层上形成由 Ru、Cu、Ni、Cr、Mo 或其组合制成的金属种子层；
- (ii) 通过电镀在所述金属种子层上形成铜镀层；以及
- (iii) 在所述铜镀层上形成光致抗蚀剂干膜图案，以及随后通过暴露于光和通过显影来蚀刻所述铜镀层以形成顶电极和电路图案。

15. 如权利要求 1 所述的方法，其中，形成所述第二电路层的步骤包括以下步骤：

- (i) 通过原子层沉积在所述电介质层上形成由 Ru、Cu、Ni、Cr、Mo 或其组合制成的金属层；以及
- (ii) 在所述金属层上通过形成光致抗蚀剂干膜图案，以及随后通过暴露于光和通过显影来蚀刻所述金属层以形成顶电极和电路图案。

16. 如权利要求 1 所述的方法，其中，形成所述第二电路层的步骤包括以下步骤：

- (i) 通过溅射或者蒸发在所述电介质层上形成 ITO 或 RuO_2 的金属氧化物种子层；
- (ii) 通过电镀在所述金属氧化物种子层上形成铜镀层；以及
- (iii) 在所述铜镀层上形成光致抗蚀剂干膜图案，以及随后通过暴露于光和通过显影来蚀刻所述铜镀层以形成顶电极和电路图案。

17. 如权利要求 1 所述的方法，其中，所述一面覆铜叠层是通过增

层工艺层压的。

18. 一种其中具有嵌入式电容器的印刷电路板，包括：

(a) 双面覆铜叠层，所述双面覆铜叠层包括形成在其外层中的第一电路层，所述第一电路层包括底电极以及电路图案；

(b) 电介质层，所述电介质层是通过使用原子层沉积在所述第一电路层上沉积氧化铝膜而形成的，其中，所述氧化铝膜通过蚀刻所沉积的氧化铝膜的预定部分而仅形成在所述第一电路层的底电极的部分上，并且所述电介质层进一步包括在所述氧化铝膜的蚀刻部分中填充和平坦化的绝缘材料；

(c) 第二电路层，所述第二电路层形成在所述电介质层上，所述第二电路层包括顶电极以及电路图案；

(d) 一面覆铜叠层，所述一面覆铜叠层形成在所述第二电路层上；

(e) 盲过孔和通孔，所述盲过孔和通孔形成在所述一面覆铜叠层的预定部分中；以及

(f) 镀层，所述镀层形成在所述盲过孔和通孔中。

19. 如权利要求 18 所述的印刷电路板，其中，所述第一电路层包括底电极、电路图案以及绝缘材料，所述绝缘材料在位于所述底电极和所述电路图案之间的所蚀刻的部分中被填充和平坦化。

20. 如权利要求 18 所述的印刷电路板，其中，所述电介质层是通过使用三甲基铝作为源气体在维持在 25-250 °C 内的板温度通过原子层沉积来沉积氧化铝膜而形成的。

21. 如权利要求 18 所述的印刷电路板，其中，每个所述电介质层的厚度是 50-5000 Å。

22. 如权利要求 18 所述的印刷电路板，其中，所述第二电路层是通过以下形成的：通过在所述电介质层上通过无电镀形成由 Ni、Cr、Mo 或其组合制成的金属种子层，通过电镀在所述金属种子层上形成铜镀层，在所述铜镀层上形成光致抗蚀剂干膜图案，以及通过暴露于光和通过显

影来蚀刻所述铜镀膜以形成所述顶电极和电路图案。

23. 如权利要求 18 所述的印刷电路板, 其中, 所述第二电路层是通过以下形成的: 通过在所述电介质层上通过丝网印刷或喷墨印刷施加 Ru、Cu、Ni、Cr、Mo 或者其组合的导电糊, 使所施加的糊干燥以及使用掩模来图案化干燥的糊以形成所述顶电极和电路图案。

24. 如权利要求 18 所述的印刷电路板, 其中, 所述第二电路层是通过以下形成的: 通过在所述电介质层上通过溅射或蒸发形成由 Ru、Cu、Ni、Cr、Mo 或其组合制成的金属种子层, 通过电镀在所述金属种子层上形成铜镀层, 以及在所述铜镀层上形成光致抗蚀剂干膜图案, 以及通过暴露于光和通过显影来蚀刻所述铜镀层以形成所述顶电极和电路图案。

25. 如权利要求 18 所述的印刷电路板, 其中, 所述第二电路层是通过以下形成的: 在所述电介质层上通过原子层沉积形成由 Ru、Cu、Ni、Cr、Mo 或其组合制成的金属层, 在所述金属层上形成光致抗蚀剂干膜图案, 以及通过暴露于光和通过显影来蚀刻所述金属层以形成所述顶电极和电路图案。

26. 如权利要求 18 所述的印刷电路板, 其中, 所述第二电路层是通过以下形成的: 在所述电介质层上通过溅射或者蒸发而形成 ITO 或 RuO_2 的金属氧化物种子层, 通过电镀在所述金属氧化物种子层上形成铜镀层, 在所述铜镀层上形成光致抗蚀剂干膜图案, 以及通过暴露于光和通过显影来蚀刻所述铜镀层以形成所述顶电极和电路图案。

27. 如权利要求 18 所述的印刷电路板, 其中, 所述覆铜叠层的外层具有附加形成的 1-5 μm 的粗糙度。

28. 如权利要求 18 所述的印刷电路板, 其中, 在所述第一电路层上, 附加地形成了从由 Pt、Ir、Au、Ru、Ni、Al、W、Mo、Ta 和 Ti 构成的组中选择的至少一种金属或者其导电氧化物或导电氮化物制成的抗氧化剂层。

29. 如权利要求 18 所述的印刷电路板, 其中, 具有形成在其中的所述电介质层的所述层充当用于 IC 芯片的信号匹配电容器或者去耦电容器。

其中具有嵌入式电容器的印刷电路板及其制造方法

技术领域

本发明涉及其中具有嵌入式电容器的印刷电路板及其制造方法。更具体地，本发明涉及用于制造其中具有嵌入式电容器的印刷电路板的方法以及由所述方法制造的印刷电路板，其中电介质层是使用具有高介电常数的陶瓷材料通过原子层沉积（ALD）形成的，以形成具有对应于去耦片式电容器的电容的高介电常数的电容器。

背景技术

普通的分立片式电阻器或者分立片式电容器已安装在大多数印刷电路板（PCB）的表面上。最近，已经开发了具有嵌入式无源器件如电阻器、电容器等的印刷电路板。

其中具有嵌入式无源器件的这种印刷电路板是通过一种工艺制造的，所述工艺包括使用新材料（物质）和工艺将诸如电阻器、电容器等的无源器件插入基板的内层或外层，从而取代传统片式电阻器或者片式电容器的功能。即，其中具有嵌入式无源器件的印刷电路板包括埋置于基板的内层或外层中的无源器件例如电容器。如在此使用的术语“嵌入式电容器”是指作为印刷电路板的部分安装的作为无源器件的电容器，而不管基板的大小。所述基板被称作“嵌入式电容器 PCB”。所述嵌入式电容器 PCB 的最重要优点是：由于电容器被集成为印刷电路板的部分，不需要将电容器安装在印刷电路板的表面上。

同时，近来用于制造电容器嵌入式印刷电路板的技术大体上被分成下列三种技术：

第一种技术是一种用于制造聚合物厚膜型电容器的方法，包括施加聚合物电容器糊以及使所述糊热固化（即，干燥）。具体地，根据此方法，嵌入式电容器是通过以下形成的：在印刷电路板内层上施加聚合物电容

器糊，干燥所述聚合物电容器糊，在所得到的印刷电路板上印刷铜糊以形成电极以及干燥所述铜糊。

第二种技术是一种用于制造嵌入式分立型电容器的方法，包括在印刷电路板上涂敷陶瓷填充的光-电介质树脂（photo-dielectric resin）。相关的专利由 Motorola 公司持有（见 USP No. 6,349,456）。特别地，根据此方法，所述分立电容器通过以下形成：在基板的两个表面上施加包含陶瓷粉末的光-电介质树脂，将铜箔层压到其以形成各个顶电极和底电极，在其上形成电路图案，以及蚀刻所述光-电介质树脂。

第三种技术是一种用于制造电容器的方法，包括将具有电容特性的电介质层插入到印刷电路板内层，从而取代已安装在传统印刷电路板表面上的去耦电容器。相关专利由 Sanmina 公司拥有（见 USP No. 5,079,069、5,261,153 以及 5,800,575）。特别地，根据此方法，功率分配的去耦电容器通过一工艺形成的，所述工艺包括将由功率电极和地电极组成的电介质层插入到印刷电路板的内层中。

基于上述三项技术，已开发了各种工艺。用于执行所述工艺的过程彼此不同。由于其中具有嵌入式电容器的印刷电路板的市場小，这些技术尚未标准化，并且开发商业可用的工艺的尝试还在继续。

上述嵌入式电容器的优点在于，由于电容器被插入在板中，它们可减少由片式电容器所占用的面积，导致芯片安装密度的增加。另一优点在于嵌入式电容器消除了表面上安装片式电容器的需要。在现有技术中，器件之间的连接距离太长使电寄生以高水平发生，从而降低了产品的电性能。另外，通过焊接等的电连接数量的增加导致产品可靠性的问题。但是，嵌入式电容器的使用可缩短器件之间的连接长度并减少电寄生，从而改进产品的电性能。

在根据现有技术的嵌入式电容器 PCB 中的嵌入式电容器的材料是适合用在印刷电路板工艺中的聚合物材料或者陶瓷填充的光敏树脂。但是，有一问题在于所述材料的介电常数太低以至于不能执行片式电容器

的角色。

为了获得高容量的电容器，需要使用具有高介电常数的电介质材料。电介质材料的厚度越小且表面面积越大，电容器的电容越高。

例如，授予 3M 公司的美国专利 No. 6,274,224 公开了一种嵌入式电容器，其通过在充当功率和地电极的铜箔之间形成具有 0.5-10 μm 厚度的厚膜型电介质层来制造，所述电容器由 BaTiO_3 陶瓷粉末以及诸如环氧或聚酰亚胺（polyimide）的热固性树脂的复合物形成。根据所述专利的嵌入式电容器具有下列属性：铜箔的表面粗糙度：10-300 nm；电介质层的每单位面积的电容：10 nF/in² 或更大；以及粘附力：3 lb/inch 或更大。如上所述，根据现有技术的所述嵌入式电容器的每单位面积的电容是约 5-1 nF/in² or 10 nF/in²，其显著地低于用于通常使用的去耦分立的片式电容器的 100 nF/in²。这表明在形成具有高电容的嵌入式电容器中存在很多限制。

根据现有技术用于形成嵌入式电容器中的高电介质材料以及工艺条件汇总于下面的表 1 中。

（表 1）

电介质材料	电介质薄膜的厚度 (μm)	电介质薄膜的形成温度 ($^{\circ}\text{C}$)	介电常数 (nF/in ²)	形成嵌入式电容器的方法
Ta ₂ O ₅	0.3	500	425	通过阳极氧化工艺在 Si 基板(50 μm 厚)上形成 0.3 μm 厚的 Ta ₂ O ₅ 膜，在其上形成顶电极 (Cr/Cu) 以及通过增层工艺 (build-up process) 制造多层 PCB。

BaTiO ₃	10	350	650	通过溶胶-凝胶工艺在铜箔上形成 0.5 μm 厚的 BaTiO ₃ 陶瓷薄膜, 以及通过在 350 °C 的热处理形成顶电极(Ni/Cu)。
Sr TiO ₃	0.6	>500	300	在 FR4 基板中形成底电极 (0.2 μm 厚), 通过溅射在其上沉积 0.3 μm 厚的 SrTiO ₃ 膜, 以及在所述膜上形成顶电极(Ni/Cu)。
(Ba, Sr)TiO ₃	0.1	260	2400	在 260 °C 通过溅射在 Si 基板上形成 100 nm 的电介质膜, 以及在其上形成 Pt 膜作为顶和顶电极。
陶瓷膜 (Dk = 400)	3	R.T.	2580	通过气溶胶沉积工艺 (aerosol deposition process) 在 FR4 基板上形成电介质薄膜。
BaTiO ₃	25	900	15-700	通过丝网印刷在铜箔上形成陶瓷糊, 在氮气气氛中在 900 °C 烧结所述糊, 以及使用导电糊形成顶电极。
(Pb, Zr)TiO ₃	0.2	650	1290-1935	通过溶胶-凝胶工艺在铜箔上形成 (Pb, Zr)TiO ₃ 膜, 在氮气气氛中在 650°C 使所述膜结晶化, 以及使用 Cu/Ni 形成顶和底电极。

如表 1 中所示, 具有高介电常数的电介质陶瓷材料难以实际施加到印刷电路板上, 因为它必需涉及高温的结晶化工艺, 而在所述温度将发生树脂板的变形。另外, 如果电介质材料可在低温形成膜, 则所述材料将难于施加到具有大面积的印刷电路板上。

因此, 迫切地需要用于制造包括嵌入式电容器的印刷电路板的技术, 所述电容器不仅具有高于嵌入现有印刷电路板中的片型电容器的介

电常数，而且可在相对低的工艺温度形成为具有大面积。

发明内容

因此，本发明已经紧记现有技术中发生的上述问题，本发明的一个目的是提供一种用于制造其中具有嵌入式电容器的印刷电路板的方法以及一种通过所述方法制造的印刷电路板，其中所述嵌入式电容器是通过控制原子单层的化学反应使用电介质陶瓷材料而不是陶瓷材料和聚合物或树脂的复合材料而形成的，从而使能高介电常数值。

本发明的另一个目的是提供一种用于处理其中具有嵌入式电容器的印刷电路板的方法以及一种通过所述方法制造的印刷电路板，所述方法允许电介质材料在低温形成膜，在所述低温不发生树脂板的变形。

为了达到上述目的，在一方面，本发明提供了一种用于制造其中具有嵌入式电容器的印刷电路板的方法，所述方法包括以下步骤：(a) 在双面覆铜叠层 (laminates) 的外层中形成包括底电极及电路图案的第一电路层；(b) 通过原子层沉积 (ALD) 在所述第一电路层上沉积氧化铝 (Al_2O_3) 膜以在其上形成电介质层；(c) 在所述电介质层上形成包括顶电极以及电路图案的第二电路层；(d) 在所述第二电路层上沉积一面覆铜叠层；(e) 在一面覆铜叠层的预定部分中形成盲过孔和通孔；以及 (f) 镀所述盲过孔和所述通孔以形成层间连接。

另一方面，本发明提供了一种其中具有嵌入式电容器的印刷电路板，包括：(a) 双面覆铜叠层，具有形成在其外层中的第一电路层，所述第一电路层包括底电极以及电路图案；(b) 电介质层，通过使用原子层沉积在所述覆铜叠层的第一电路层上沉积氧化铝膜而形成；(c) 第二电路层，形成在所述电介质层上，所述第二电路层包括顶电极以及电路图案；(d) 一面覆铜层，沉积在所述第二电路层上；(e) 盲过孔和通孔，形成在所述一面覆铜层的预定部分中；以及 (f) 形成在所述盲过孔和通孔中的镀层。

根据本发明的一个实施例，提供了一种一种用于制造其中具有嵌入式电容器的印刷电路板的方法，所述方法包括以下步骤：(a) 在双面覆铜叠层的外层中形成包括底电极及电路图案的第一电路层；(b) 通过原子层沉积在所述第一电路层上沉积氧化铝膜以在其上形成电介质层；(c) 在所述电介质层上形成包括顶电极及电路图案的第二电路层；(d) 在所述第二电路层上沉积一面覆铜叠层；(e) 在所述一面覆铜叠层的预定部分中形成盲过孔和通孔；以及(f) 镀所述盲过孔和所述通孔，用于电路层的互连。其中，所述步骤(b) 还包括以下步骤：(i) 蚀刻所沉积的氧化铝膜的预定部分，以去除所述氧化铝膜的除了所述底电极上的部分之外的剩余部分；及(ii) 以绝缘材料填充所蚀刻的部分并且平坦化所填充的材料。

根据本发明的另一实施例，提供了一种其中具有嵌入式电容器的印刷电路板。该印刷电路板包括：(a) 双面覆铜叠层，所述双面覆铜叠层包括形成在其外层中的第一电路层，所述第一电路层包括底电极以及电路图案；(b) 电介质层，所述电介质层是通过使用原子层沉积在所述第一电路层上沉积氧化铝膜而形成的，其中，所述氧化铝膜通过蚀刻所沉积的氧化铝膜的预定部分而仅形成在所述第一电路层的底电极的部分上，并且所述电介质层进一步包括在所述氧化铝膜的蚀刻部分中填充和平坦化的绝缘材料；(c) 第二电路层，所述第二电路层形成在所述电介质层上，所述第二电路层包括顶电极以及电路图案；(d) 一面覆铜叠层，所述一面覆铜叠层形成在所述第二电路层上；(e) 盲过孔和通孔，所述盲过孔和通孔形成在所述一面覆铜叠层的预定部分中；以及(f) 镀层，所述镀层形成在所述盲过孔和通孔中。

附图说明

本发明的以上和其他目的、特征以及优点将从以下结合附图的详细描述中得到更清楚的理解，其中：

图 1 是一照片，示出了一个印刷电路板的铜箔的表面粗糙度的测量结果；

图 2 是根据本发明通过原子层沉积在铜箔的表面上形成的氧化铝薄膜的示意图；

图 3 是示出针对本发明的氧化铝薄膜的作为频率的函数的温度的曲线图；

图 4 是示出根据本发明通过原子层沉积在覆铜叠层上沉积氧化铝膜的原理的示意图；

图 5 是示出针对根据本发明沉积在覆铜叠层的铜箔上的 Al_2O_3 薄膜的作为施加电压的函数的电容的曲线图；

图 6 是示出针对根据本发明沉积在覆铜叠层的铜箔上的 Al_2O_3 薄膜的作为施加电压的函数的介电损失系数的曲线图；

图 7 是示出针对根据本发明沉积在覆铜叠层的铜箔上的 Al_2O_3 薄膜的作为施加电压的函数的泄漏电流的曲线图；

图 8A 到 8I 是解释根据本发明的一个优选实施例用于制造其中具有嵌入式电容器的印刷电路板的方法的截面图。

具体实施方式

将通过实例的方式参考附图更详细地描述本发明。

如上所述，本发明涉及用于在形成嵌入式电容器中使用的电介质层材料，及用于制造其中具有嵌入式电容器的印刷电路板的工艺，以及通过所述方法制造的印刷电路板，所述工艺改进了将电介质材料形成膜的工艺。

在现有技术中，作为嵌入式电容器的电介质层材料，环氧和高介电填料的复合材料被用于形成电介质层。但是在本发明中，电介质陶瓷材料被单独使用以通过原子层沉积形成电介质层。

通常，电介质陶瓷材料必然需要大于 $500\text{ }^\circ\text{C}$ 的特别高的温度用于其

结晶化。因此，不同于半导体基板的情况，在树脂制成的印刷电路板上，不可能使用此电介质材料形成膜。

在传统印刷电路板的情形中，如图 1 中所示，具有大于 $0.4 \mu\text{m}$ 的表面粗糙度(Ra)的覆铜叠层(CCL)被用于防止分层 (delamination)。为了克服这些印刷电路板的表面阶梯高度特征，形成在所述表面上的膜的厚度需要是大的，导致介电常数值下降的问题。

特别对于如信号匹配电容器的应用的问题，COG 值 (温度特性) 需要具有温度范围 -55°C 到 $+125^\circ\text{C}$ 上的 $0 \pm 30 \text{ ppm}/^\circ\text{C}$ 的电容改变。

但是，当前较厚的膜型嵌入式电容器不满足 COG 的需求，因为它们具有归因于用作电介质材料的环氧及陶瓷填料的属性的温度特性的 $\pm 15\%$ 的高容差。

同时，在半导体工艺中广泛使用的原子层沉积的优点在于阶梯覆盖优异并且工艺温度相对低，因为它是使用源材料的强表面反应在热分解温度以下执行的。另外，原子层沉积具有小于 $\pm 1\%$ 的小厚度变化，导致高电容容差，因为其是控制原子单层的工艺。

以此背景，申请人已经发现，当从具有高介电常数的电介质陶瓷材料中选择的氧化铝(Al_2O_3)被用于通过原子层沉积来形成电介质膜时，氧化铝的高介电常数属性可通过甚至在低工艺温度的源材料的极度表面反应 (extreme surface reaction) 而得到保证，所述低温($25\text{-}250^\circ\text{C}$)取代现有传统电介质陶瓷材料所需的高工艺温度，使得用于嵌入式电容器的电介质层可形成为具有大面积，所述嵌入式电容器的电介质层不仅在不发生板的基本变形的温度范围中具有高电容属性，而且具有优异的阶梯覆盖属性。

根据本发明，有可能通过以下形成具有几百到几千 nF/inch^2 的电容值的电介质层：通过厚度为几十到几百 \AA 的原子层沉积在具有形成在其中的底电极的覆铜叠层上形成高电介质氧化铝膜，以及随后，在所述电介质层上形成顶电极，跟着通过执行用于制造多层印刷电路板的增层工

艺 (build-up process)。

图 2 示出根据该创新性方法通过原子层沉积形成为具有依赖于印刷电路板的铜箔层的表面粗糙度的优异阶梯覆盖的氧化铝沉积膜的示意图。如上所述, 通过借助原子层沉积来沉积具有优异阶梯覆盖的氧化铝膜, 所述氧化铝膜沉积之前的铜箔层的表面粗糙度(约 0.3-0.5 μm), 甚至在氧化铝膜沉积之后可保持不变, 使大的表面面积能够得到保证。因此, 即使当形成具有相同厚度的电介质层时, 可得到相对高的电容。

根据本发明, 具有约 0.3-0.5 μm 的表面粗糙度(Ra)的覆铜叠层可通过例如化学蚀刻被给予约 1-5 μm 的附加的表面粗糙度, 以使表面面积更大, 从而增加电容值。

如文献中所报告的, 针对通过原子层沉积在 Si 基板上沉积的 Al_2O_3 薄膜的 COG 测试结果显示在 1 MHz 为 41 ppm/ $^\circ\text{C}$, 而在 100 KHz 为 100 ppm/ $^\circ\text{C}$ 。此报告表明使用频率越高, COG 值越低, 暗示信号匹配电容器可充分应用在高频率范围中。

通过原子层沉积形成的氧化铝薄膜的这些特性允许根据该创新性方法形成的嵌入式电容器不仅被应用为去耦电容器而且被应用为信号匹配电容器。

另外, 本发明的大改进之一是有可能在大面积(405 x 510)中沉积电介质膜。换句话说, 通过施加可控制原子单层并且利用气体的化学反应的原子层沉积, 有可能沉积具有印刷电路板工艺中使用的板尺寸的电介质膜。

在本发明中, 三甲基铝(TMA; $\text{Al}(\text{CH}_3)_3$)气体被用作氧化铝的原始材料, 使得覆铜叠层的两面通过 TMA 的化学反应可被同时沉积以氧化铝膜。因此, 本发明具有的优点在于有可能执行印刷电路板的建立 (build-up) 以展示高的生产率。

更特别地, 所述氧化铝膜在维持在 25-250 $^\circ\text{C}$ 的板温度使用三甲基铝作为源气体通过原子层沉积而形成, 所述板温度优选地为 100-200 $^\circ\text{C}$

而更优选地为 120-150 °C。如果板温度小于 5 °C，氧化铝膜的介电特性不可得到充分保证使得不可获取所需的高介电常数值。另一方面，大于 250 °C 的板温度可导致树脂板的变形，并且就效率比经济来说，对获取高介电常数值是不利的。

另外，氧化铝膜是使用被顺序引入的 (i) 三甲基铝的源气体以及 (ii) H₂O、H₂O 等离子体、O₂ 等离子体或 O₃ 氧化剂的源气体通过重复执行原子层沉积以沉积具有所需厚度的氧化铝膜而形成的。基于这个考虑，在引入每个源气体之后，引入用于净化的常规惰性气体如 Ar。

如上所述形成的每个氧化铝膜的厚度是 50-5000 Å，并且就效率与经济之比来说，优选的为 100-750 Å，以获得高介电常数值。

同时，如上所述沉积在整个该板上的氧化铝膜如果必要可利用传统的蚀刻剂或通过干蚀刻被选择性地蚀刻，使得待应用为电容器的氧化铝膜的部分将保持在该底电极上。这可导致接合可靠性的增加。

在这点上，蚀刻可通过湿或干蚀刻工艺执行。如在传统印刷电路板工艺中那样通过以下来执行湿蚀刻工艺：通过以给定图案在氧化铝膜上施加光致抗蚀剂 (photoresist) 干膜以及开放仅想要蚀刻的部分，通过曝光和显影工艺，接下来以氧化铝蚀刻剂蚀刻该氧化铝膜。干蚀刻工艺通过以离子束或者等离子体蚀刻氧化铝膜而执行。特别地，干蚀刻工艺有利之处在于其可在真空压力主要使用 RIE 设备来执行。

图 4 示意性地示出了根据本发明通过原子层沉积在覆铜叠层上沉积氧化铝膜的原理。该原理现在将参照图 4 被示意性地描述。

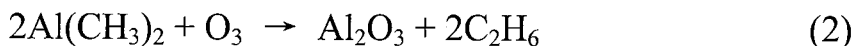
(1) 所引入的 Al(CH₃)₃ 气体根据下面的化学反应(1)被化学地吸收到印刷电路板上：



(2) 通过以气体例如 Ar 气来净化，一层 Al 前体 (precursor) 保留在该板上。

(3) 通过引入氧化剂例如 O₃ 气，根据下面的化学反应(2)，由该前

体与 O_3 气的化学反应产生的 Al_2O_3 被化学地吸收到该板上：



(4) 不想要的 $2C_2H_6$ 通过利用 Ar 气的净化被去除,使一层 Al_2O_3 保留在该板上。

(5) 循环: 重复步骤 (1)-(4) 以达到所需的厚度。

为了参考,根据该创新性的方法, Al_2O_3 薄膜通过原子层沉积实际形成在覆铜层上,而 Pt 作为顶电极的材料被沉积在该氧化铝膜上。该氧化铝膜针对电特性被测量,并且结果显示在图 5-7 中。

图 5 是示出沉积在覆铜叠层的铜箔上的 Al_2O_3 薄膜的电容相对于施加电压的曲线图;图 6 是示出沉积在覆铜叠层的铜箔上的 Al_2O_3 薄膜的介电损失系数相对施加电压的曲线图;图 7 是示出沉积在覆铜叠层上的铜箔上的 Al_2O_3 薄膜的泄漏电流相对施加电压的曲线图。

如图 5 和 6 中所见,不管施加电压的变化,形成在该铜箔上的 Al_2O_3 薄膜的电容保持为几乎恒定。另外,该膜的介电损失系数的值比通过溅射或溶胶-凝胶形成的膜低(>0.1),并且根据施加电压的变化被保持恒定。该 Al_2O_3 薄膜的介电常数是大约 7,其类似于体 (bulk) Al_2O_3 的介电常数。如图 7 中所示,该膜的击穿电压是约 $\pm 20-30V$,表明当施加约 4-5 MV/cm 的高电场时发生该膜的电介质击穿。这些属性表明,当电介质膜通过原子层沉积被沉积在覆铜叠层上时,该电介质膜被成功地沉积而没有 Cu 电极的严重变形或者 Cu 电极界面层的恶化。另外, Al_2O_3 薄膜的所测介电常数类似于体 Al_2O_3 的介电常数的事实意味着该薄膜均匀地形成在粗糙的 Cu 基板上。

上面的测试结果表明使用原子层沉积作为在 Cu 电极上形成氧化铝电介质薄膜的方法具有很大优点,并且原子层沉积高度可应用于其中具有嵌入式电容器的印刷电路板的制造中。

根据本发明,在形成该电介质层的步骤之前,也可形成由从 Pt、Ir、Au、Ru、Ni、Al、W、Mo、Ta 和 Ti 选择的至少一种金属或者其导电

氧化物或者氮化物制成的抗氧化剂层，以防止铜层的氧化。该抗氧化剂层的厚度典型地是 10-500 nm。

在如上述形成的创新性电介质层上，与底电极相对定位的顶电极可根据从例如下面五种方法选择的一种方法而形成。

在第一方法中，为了改进电介质层和金属层之间的粘附力以及界面属性，由 Ni、Cr、Mo 或其组合制成的金属种子层通过薄的无电镀(例如 100-5000 Å)形成在该电介质层上。随后，在该金属种子层上，通过电镀形成铜镀层(例如 10-30 μm)以形成金属层。随后，在该金属层上，形成给定的光致抗蚀剂干膜图案，并且通过曝光和显影来蚀刻该金属层以形成顶电极和电路图案。

在第二方法中，在电介质层上，Ru、Cu、Ni、Cr、Mo 或者其组合的导电糊通过丝网印刷或者喷墨印刷被形成，并且随后在给定的温度被干燥以形成金属层(例如 10-50 μm)。接下来，被干燥的膜使用掩模被图案化以形成顶电极以及电路图案。此方法有利之处在于其与第一种方法相比减小了工艺时间和成本，因为其可没有曝光、蚀刻以及显影步骤而执行。

在第三方法中，在电介质层上，Ru、Cu、Ni、Cr、Mo 或者其组合制成的金属种子层(例如 100-5000 Å)通过溅射或者蒸发形成。在该金属种子层上，铜镀层(例如 10-30 μm)通过电镀形成以增强电介质层和金属层之间的粘附力。在该铜镀层上，形成给定的光致抗蚀剂干膜图案，并且通过曝光和显影蚀刻该铜镀层以形成顶电极以及电路图案。

在第四方法中，在电介质层上，Ru、Cu、Ni、Cr、Mo 或者其组合的金属层(例如 100-5000 Å)通过原子层沉积而形成。在该金属层上，形成给定的干膜图案，并且该金属层通过曝光和显影被蚀刻至顶电极以及电路图案。特别地，使用此方法的优点在于可能进一步增加具有优异阶梯覆盖的氧化铝薄膜的电容值以及接合强度，所述薄膜是通过前面步骤中的原子层沉积形成的。

在第五方法中，在电介质层上，ITO or RuO₂ 制成的金属氧化物种子层(例如 100-5000 Å)通过溅射或者蒸发而形成。在该金属种子层上，铜镀层(例如 10-30 μm)通过电镀形成。这防止镀溶液的渗透以增加电介质层和金属层之间的粘附力。随后在该铜镀层上，形成给定的干膜图案，并且该金属层通过曝光和显影被蚀刻以形成顶电极以及电路图案。

在下文中，将参考图 8A 到 8I 描述一种根据本发明的一个优选实施例制造其中具有嵌入式电容器的印刷电路板的工艺。

首先，在具有夹在铜箔之间的电介质树脂 101 的双面覆铜叠层的外层上，沉积了光致抗蚀剂干膜，接着曝光和显影。蚀刻铜箔的预定部分“F”以形成包括电容器底电极 102a-102d 和电路图案的第一电路层（见图 8A）。

在形成第一电路层的步骤之前，覆铜叠层的外层也被给予 1-5μm 的附加的粗糙度（Ra）以扩大其表面面积，由此增大电容值。粗糙度的形成可使用从软蚀刻、黑色氧化物、棕色氧化物、ABC（酸碱化学品）、陶瓷抛光（ceramic buff）、Z 型擦（Z-scrubbing）及其组合中选择的任何一种来执行。

然后，在被蚀刻部分“F”中，填充并平坦化绝缘材料 104a-104c（见图 8B）。绝缘材料 104a-104c 的填充和平坦化可通过真空印刷来执行。例如，在真空室中，被蚀刻部分“F”使用以丝制成的掩模通过丝网印刷（screening）被填充并利用陶瓷抛光器平坦化。

然后，在第一电路层上，氧化铝膜通过原子层沉积来沉积以形成电介质层 105a 和 105b（见图 8C）。

在第一电路层上形成电介质层 105a 和 105b 的步骤之前，可以可选地形成由从包括 Pt、Ir、Au、Ru、Ni、Al、W、Mo、Ta 和 Ti 的组中选择的至少一种金属或者其导电氧化物或氮化物制成的抗氧化剂层以防止铜层 102a-102d 和 103 的氧化。

同时，电介质层 105a 和 105b 在 25-250°C 的板温度、通过原子层沉

积、使用三甲基铝（TMA）作为源气体来沉积氧化铝膜而形成，所述板温度优选地为 100-200℃、且更优选地为 120-150℃。如果板温度小于 25℃，则将不确保氧化铝膜作为电介质材料的属性。另一方面，大于 250℃的板温度将引起树脂板的变形并且在效率和经济方面是不利的。

而且，电介质层 105a 和 105b 使用顺序引入的 (i) 三甲基铝的源气体和 (ii) H₂O、H₂O 等离子体、O₂ 等离子体或 O₃ 氧化剂的源气体通过重复执行原子层沉积以便将氧化铝膜沉积至所需厚度而形成。在这点上，在每个源气体被引入之后，惰性气体被引入用于净化。

电介质层 105a 和 105b 中的每个的厚度为 50-5000Å，且考虑效率和经济优选地为 100-750Å，以获得高介电常数值。

如果必要，可通过蚀刻去除被形成用作创新性的电容器的电材料的氧化铝膜 105a 和 105b 的预定部分，使得该膜将仅形成在底电极 102a-102d 的部分上。

可通过湿或干蚀刻工艺来执行蚀刻。正如在传统的印刷电路板工艺中的，湿蚀刻工艺通过以下来执行：通过以给定图案在氧化铝膜上施加光致抗蚀剂干膜并只对期望蚀刻的部分曝光、通过曝光和显影工艺、接着利用氧化铝蚀刻剂蚀刻氧化铝膜。干蚀刻工艺通过利用离子束或等离子体蚀刻氧化铝膜来执行。特别地，干蚀刻工艺的有利之处在于其可主要使用 RIE 设备利用真空压力来执行。

在氧化铝膜的被蚀刻部分中，如上所述地绝缘材料被填充和平坦化用于第一电路层。

然后，在电介质层 105a 和 105b 上，形成金属层 106（见图 8D）。在金属层 106 上，形成给定的光致抗蚀剂干膜图案 107a-107d 使得顶电极将相对底电极 102a 和 102d 而形成，同时将电介质层 105a 和 106b 插入其之间（见图 8E）。然后，通过曝光和显影执行蚀刻以形成包括与底电极 102a-102d 相对的顶电极 106a-106d 及电路图案（未示出）的第二电路层（见图 8F）。

尽管用于形成包括顶电极 106a 和 106d 及电路图案的第二电路层的方法不具体地受到限制，但其可根据下面五种方法中的任一种来执行。

在第一方法中，为了改进每个电介质层和金属层之间的粘附力和界面属性，由 Ni、Cr、Mo 或其组合制成的金属种子层通过薄的无电镀形成在电介质层上。然后，在金属种子层上，铜镀层通过电镀形成以形成金属层。然后，在金属层上，形成给定的干膜图案，并且通过曝光和显影蚀刻金属层以形成顶电极和电路图案。

在第二方法中，在电介质层的每个上，通过丝网印刷或喷墨印刷来施加包含从 Ru、Cu、Ni、Cr、Mo 或其组合中选择的导电纳米金属的导电糊，并然后以给定非温度使其干燥以形成金属层。接着，使用掩模来图案化经干燥的糊以形成顶电极和电路图案。

在第三方法中，在电介质层上，通过溅射或蒸发来形成由 Ru、Cu、Ni、Cr、Mo 或其组合制成的金属种子层。在金属种子层上，通过电镀来形成铜镀层以增强电介质层和金属层之间的粘附力。在铜镀层上，形成给定的干膜图案，并通过曝光和显影来蚀刻铜镀层以形成顶电极和电路图案。

在第四方法中，在电介质层上，通过原子层沉积来形成由 Ru、Cu、Ni、Cr、Mo 或其组合制成的金属层。在金属层上，形成给定的干膜图案，并通过曝光或显影来蚀刻金属层至顶电极和电路图案。

在第五方法中，在电介质层上，通过溅射或蒸发来形成由 ITO 或 RuO_2 制成的金属种子层。在金属种子层上，通过电镀来形成铜镀层。这防止了镀溶液的渗透以增加电介质层和金属层之间的粘附力。然后，在铜镀层上，形成给定的干膜图案，并通过曝光和显影蚀刻金属层以形成顶电极和电路图案。

其后，在具有形成在其上的顶电极 106a-106d 的电容器上，一面覆铜叠层，例如，树脂涂覆的铜 (RCC) 箔 108a+109a 和 108b+109b 通过增层工艺被层压 (见图 8G)。

接着，利用激光钻来钻一面覆铜叠层 108a+109a 和 108b+109b 以形成盲过孔 111，并利用机械钻来钻以形成通孔 110。通过无电镀工艺来镀盲过孔 111 和通孔 110。在这点上，过孔 111 连接到相应的顶电极 106a-106d，而通孔 110 连接到相应的底电极 102a-102d（见图 8H）。

最终，信号电路图案 117 形成在一面覆铜叠层 108a+109a 和 108b+109b 上。此后，依赖于分开的顶电极 106a 到 106d 和底电极 102a 到 102d，具有不同工作电压的 IC 芯片 112 到 116 分别连接到共同连接到地电极 102a 到 102d 的功率分配去耦电容器（第二、第三和第四电容器）以及单独地连接到地电极的信号匹配电容器（第一电容器）。由此，制造了其中有嵌入的信号匹配电容器和功率分配去耦电容器的多层印刷电路板（见图 8I）。参考数字 118 指定用于将 IC 芯片 112 到 116 连接到电容器的线绑定。

如上所述制造的电容器嵌入的印刷电路板的电介质层将充当用于 IC 芯片的信号匹配电容器和去耦电容器。

如上所述，根据本发明，使用从具有高介电常数的陶瓷电介质材料中选择的氧化铝通过原子层沉积来形成电介质层。因此，甚至在低工艺温度（25-250℃）而不是传统陶瓷材料所需的高工艺温度，也可保证氧化铝的高介电属性。因此，不仅具有数十到数千 nF/inch² 或更大的高电容、而且具有优异的阶梯覆盖属性的用于嵌入式电容器的电介质层可在不发生基板的基本变形的温度范围中形成在大的面积之上。

而且，归因于印刷电路板铜箔层的表面粗糙度，可保证大的表面面积使得可实现具有高电容值、特别是每单位基板面积高电容的嵌入式电容器。

而且，有可能通过以下步骤来形成具有高电容值的电介质层：通过到数十到数千 Å 的厚度的原子层沉积在具有形成在其中的底电极的覆铜叠层上形成高介电的氧化铝膜，然后在电介质层上形成顶电极，接着执行用于制造多层印刷电路板的增层工艺。

如上所述,根据本发明,嵌入式电容器通过沉积陶瓷电介质氧化铝、而不是根据现有技术的片型嵌入式电容器的复合材料来形成,由此保证了高介电值。而且,有可能以不发生由树脂制成的印刷电路板的变形的低温来形成电介质层。而且,电介质层可通过使用控制原子单层的化学反应形成在大面积之上(405×510)。

此外,归因于印刷电路板铜箔层的表面粗糙度,可保证大的表面面积使得可实现具有高电容值、特别是每单位基板面积的高电容的嵌入式电容器。

而且,适用于印刷电路板工艺的当时的双面沉积是可能的,导致订货到交货时间和成本的减少以及生产率的增加。另外,根据本发明通过原子层沉积形成的氧化铝电介质薄膜具有良好的均匀性,使得它们不仅可作为去耦电容器应用、而且可作为其中温度特性(COG)很重要的信号匹配电容器来应用。

尽管已为了说明的目的描述了本发明的优选实施例,本领域的技术人员应当理解,在不背离如所附权利要求所公开的本发明的范围和精神的情况下,可进行各种修改、添加和替换。

图1

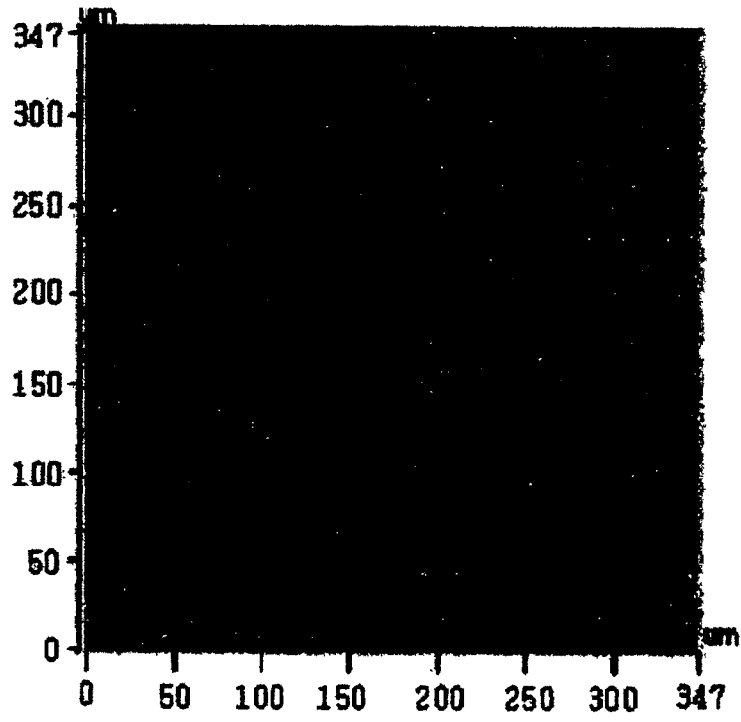


图2



图3

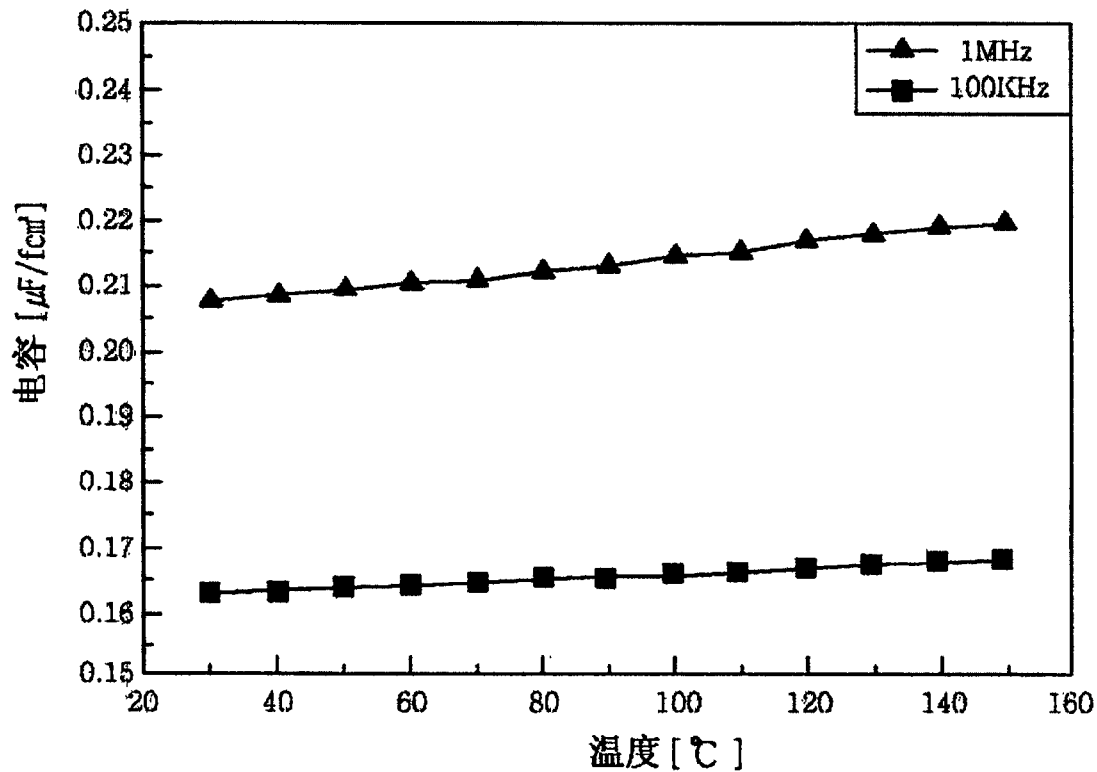


图4

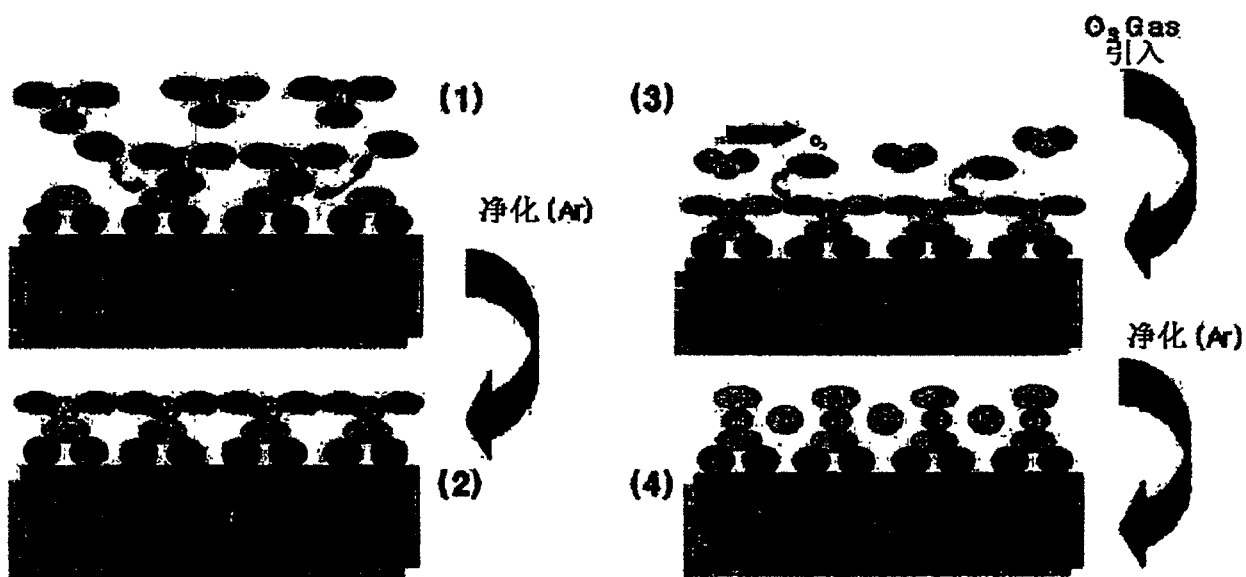


图5

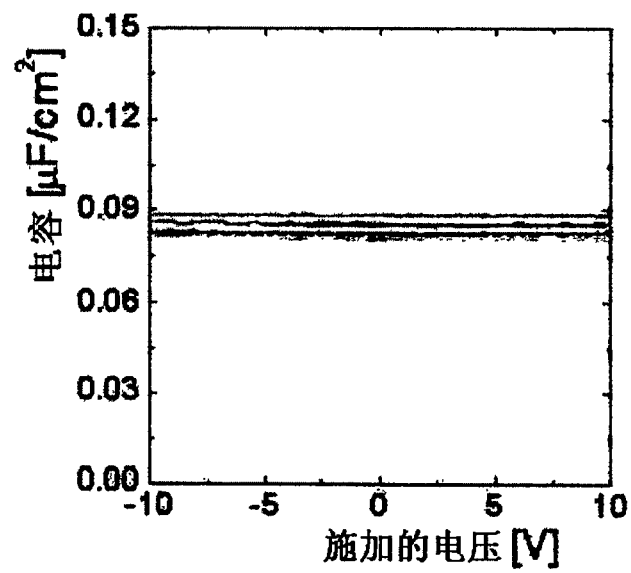


图6

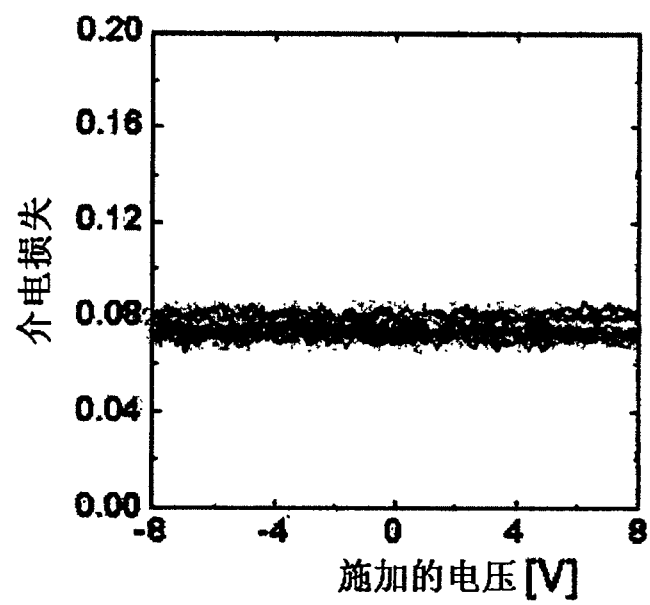


图7

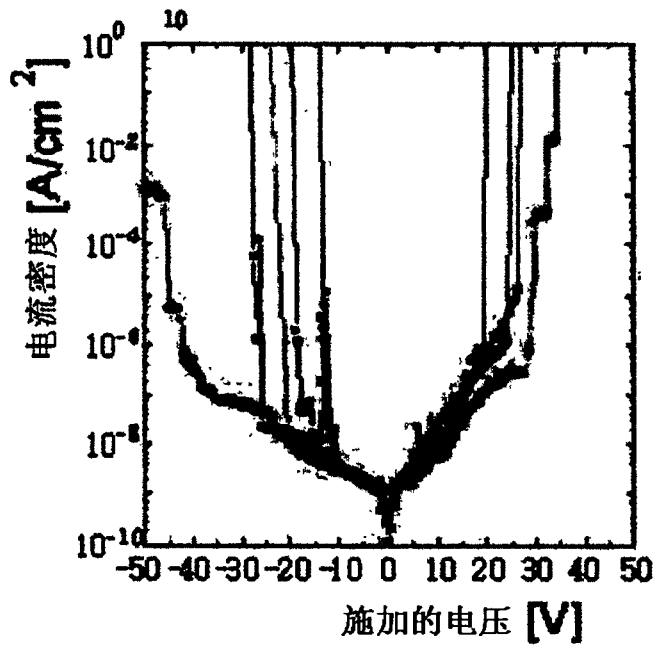


图8A

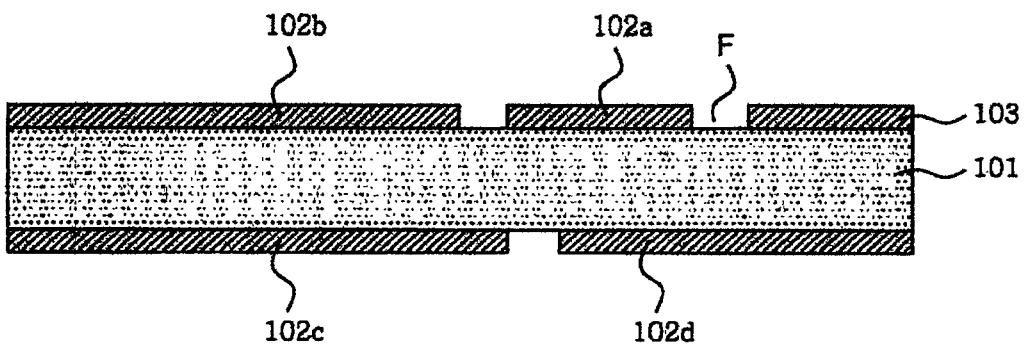


图8B

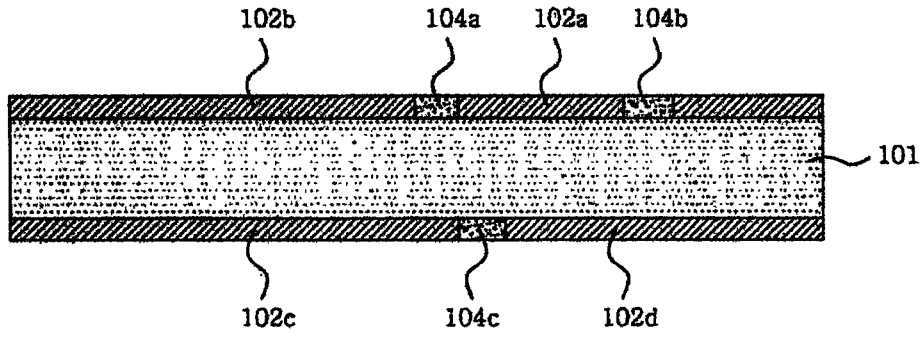


图8C

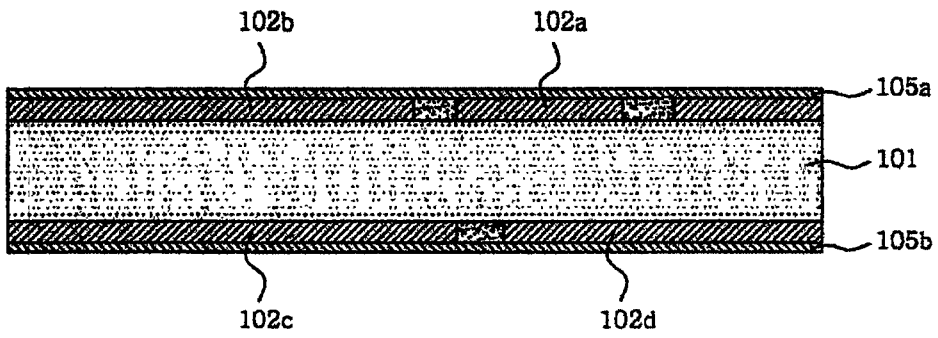


图8D

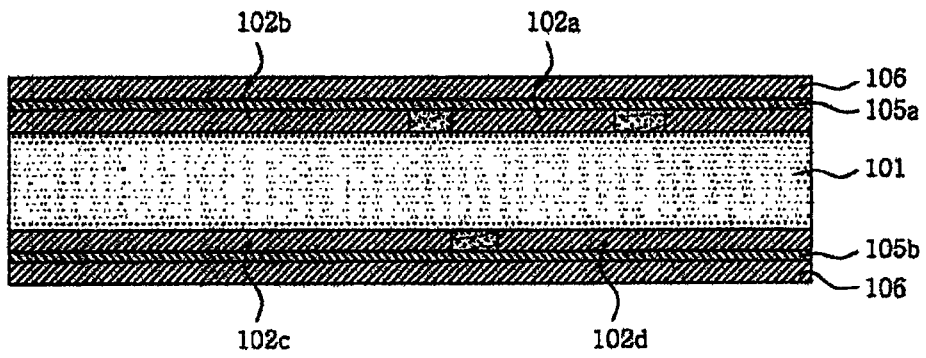


图8E

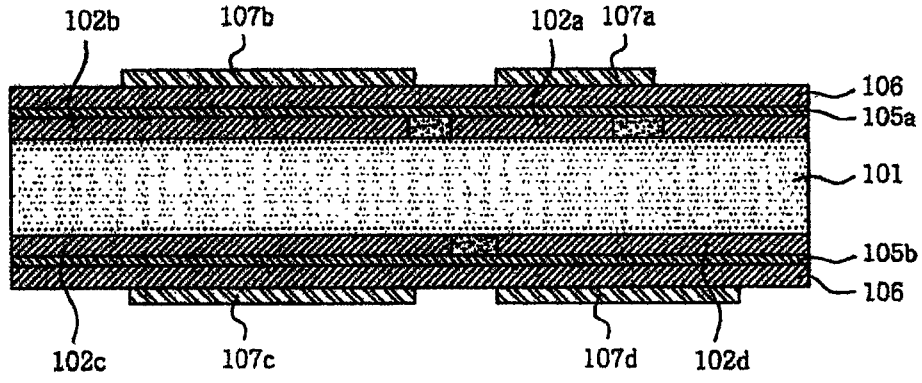


图8F

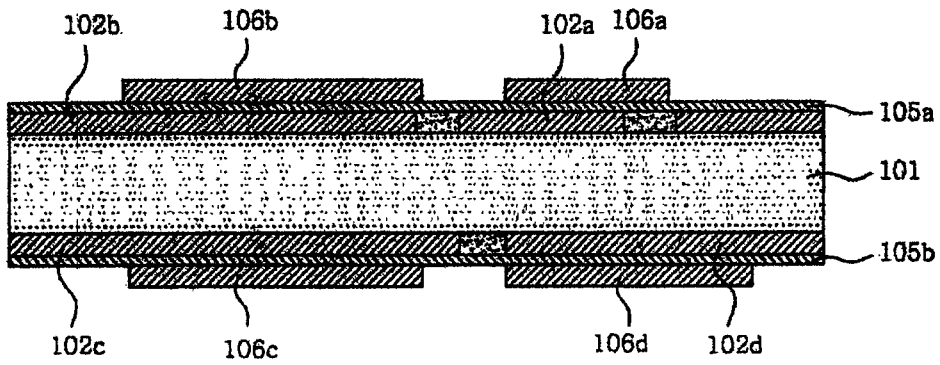


图8G

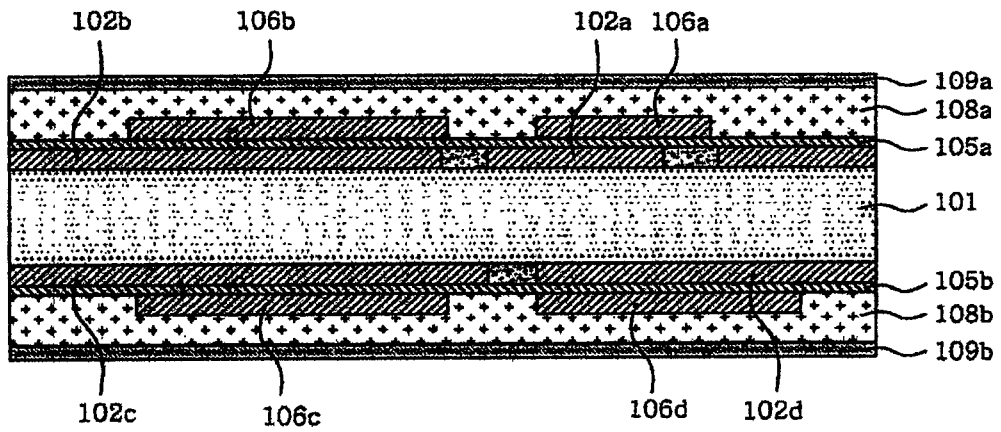


图8H

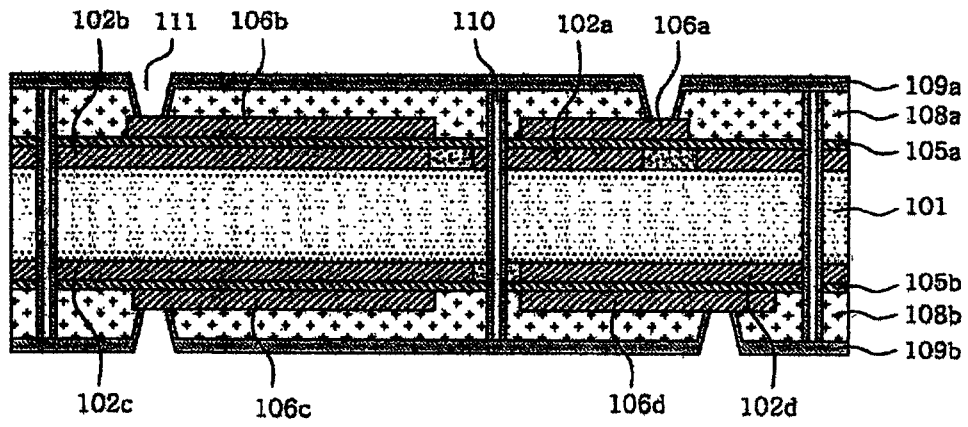


图8I

