

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4524176号
(P4524176)

(45) 発行日 平成22年8月11日(2010.8.11)

(24) 登録日 平成22年6月4日(2010.6.4)

(51) Int. Cl. F I
 HO 1 L 21/02 (2006.01) HO 1 L 21/02 A
 HO 1 L 21/28 (2006.01) HO 1 L 21/28 3 O 1 D
 HO 1 L 21/28 3 O 1 S

請求項の数 9 (全 21 頁)

(21) 出願番号	特願2004-366519 (P2004-366519)	(73) 特許権者	000005821
(22) 出願日	平成16年12月17日(2004.12.17)		パナソニック株式会社
(65) 公開番号	特開2006-173485 (P2006-173485A)		大阪府門真市大字門真1006番地
(43) 公開日	平成18年6月29日(2006.6.29)	(74) 代理人	100077931
審査請求日	平成18年3月14日(2006.3.14)		弁理士 前田 弘
		(74) 代理人	100094134
			弁理士 小山 廣毅
		(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実

最終頁に続く

(54) 【発明の名称】 電子デバイスの製造方法

(57) 【特許請求の範囲】

【請求項1】

固有認識番号を生成する複数の素子からなる素子群を備えた電子デバイスの製造方法であって、

前記各素子はアクセストランジスタを有し、

前記固有認識番号を、製造工程の偶発不良に起因して前記各素子の電気特性に生じる不連続な変化に基づいて設定し、

前記各素子は、当該素子の電気特性の変化を2値情報として出力し、それによって、2の素子数乗の固有番号を生成できることを特徴とする電子デバイスの製造方法。

【請求項2】

請求項1に記載の電子デバイスの製造方法において、

前記各素子は、前記アクセストランジスタと電氣的に接続し且つ最小ルール幅よりも小さい幅を持つ活性領域を有し、

前記活性領域の表面はシリサイド化されており、

前記固有認識番号は、前記活性領域におけるシリサイド化層の断線に起因して生じる不連続な抵抗上昇に基づいて設定されることを特徴とする電子デバイスの製造方法。

【請求項3】

請求項1に記載の電子デバイスの製造方法において、

前記各素子は、前記アクセストランジスタと電氣的に接続し且つ最小ルール幅よりも小さい幅を持つゲート配線を有し、

前記ゲート配線の表面はシリサイド化されており、

前記固有認識番号は、前記ゲート配線におけるシリサイド化層の断線に起因して生じる不連続な抵抗上昇に基づいて設定されることを特徴とする電子デバイスの製造方法。

【請求項 4】

請求項 1 に記載の電子デバイスの製造方法において、

前記アクセストランジスタにおけるゲート電極の表面はシリサイド化されており、

前記固有認識番号は、前記ゲート電極におけるフルシリサイド化に起因して生じる前記アクセストランジスタの不連続な閾値変化に基づいて設定されることを特徴とする電子デバイスの製造方法。

【請求項 5】

請求項 1 に記載の電子デバイスの製造方法において、

前記各素子のうちの少なくとも 1 つの第 1 素子は、当該第 1 素子のアクセストランジスタと電氣的に接続し且つ最小ルール幅以上の幅を持つ第 1 のゲート配線を有し、

前記各素子のうちの少なくとも 1 つの第 2 素子は、当該第 2 素子のアクセストランジスタと電氣的に接続し且つ最小ルール幅よりも小さい幅を持つ第 2 のゲート配線を有し、

前記第 1 のゲート配線及び前記第 2 のゲート配線のそれぞれの表面はシリサイド化されており、

前記第 1 のゲート配線は、外部からの書き込みによってシリサイド化層の断線が起こる電氣的ヒューズを構成し、

前記第 2 のゲート配線は、偶発不良に起因してシリサイド化層の断線が起こる物理的ヒューズを構成し、

前記固有認識番号は、前記電氣的ヒューズ及び前記物理的ヒューズのそれぞれの状態に基づいて設定されることを特徴とする電子デバイスの製造方法。

【請求項 6】

請求項 1 に記載の電子デバイスの製造方法において、

前記各素子は、前記アクセストランジスタと電氣的に接続し且つ最小ルール幅以上の幅を持つ活性領域を有し、

前記活性領域は、前記製造工程の偶発不良の発生率を制御するために熱処理が局所的に加えられる領域に設けられ、

前記活性領域の表面はシリサイド化されており、

前記固有認識番号は、前記活性領域におけるシリサイド化層の断線に起因して生じる不連続な抵抗上昇に基づいて設定されることを特徴とする電子デバイスの製造方法。

【請求項 7】

請求項 1 に記載の電子デバイスの製造方法において、

前記各素子は、前記アクセストランジスタと電氣的に接続し且つ最小ルール幅以上の幅を持つゲート配線を有し、

前記ゲート配線は、前記製造工程の偶発不良の発生率を制御するために熱処理が局所的に加えられる領域に設けられ、

前記ゲート配線の表面はシリサイド化されており、

前記固有認識番号は、前記ゲート配線におけるシリサイド化層の断線に起因して生じる不連続な抵抗上昇に基づいて設定されることを特徴とする電子デバイスの製造方法。

【請求項 8】

請求項 1 に記載の電子デバイスの製造方法において、

前記アクセストランジスタにおけるゲート電極は、最小ルール幅以上の幅を持つと共に、前記製造工程の偶発不良の発生率を制御するために熱処理が局所的に加えられる領域に設けられ、

前記ゲート電極の表面はシリサイド化されており、

前記固有認識番号は、前記ゲート電極におけるフルシリサイド化に起因して生じる前記アクセストランジスタの不連続な閾値変化に基づいて設定されることを特徴とする電子デバイスの製造方法。

10

20

30

40

50

【請求項 9】

請求項 4 又は 8 に記載の電子デバイスの製造方法において、
前記ゲート電極におけるシリサイド化層はコバルトシリサイド又はニッケルシリサイド
からなることを特徴とする電子デバイスの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子デバイスに固有の認識番号を付与する手段を与える技術に関する。

【背景技術】

【0002】

半導体チップ等の電子デバイス自体に固有の番号を持たせることは、製造工程管理の観点（どの時期に製造されたか、どのウェハであるか、又はどのチップであるか等の記録）から検討されてきた。近年、ICマネー、ICタグ又はIDカードなどへの応用を考慮し、外部から変更不可能な固有番号をチップ自体に付加することが非常に重要で且つ必須の解決課題であることが認識されてきた。すなわち、人為的に偽造不可能な半導体チップを提供する手段が重要になってきた。また、この固有番号をチップ等に付加する方法としては、コスト低減の観点から可能な限り簡便な方法が望まれる。

【0003】

そこで、従来、半導体集積回路装置を構成する半導体チップに対して、ヒューズ素子又はEEPROM (electrically erasable programmable read-only memory) のようなプログラム可能な素子を設け、そのプログラム可能な素子に固有の識別情報を与えることが行なわれてきた。

【0004】

また、プロセス揺らぎに起因するトランジスタ特性のバラツキから生じるフリップフロップの立ち上がりの癖を活用する新たな方法（例えば特許文献1参照）も提案されてきている。すなわち、半導体集積回路装置の製造工程の過程で同一の形態を持つ複数の識別要素を形成し、当該複数の識別要素におけるプロセスバラツキに対応した物理量の相互の大小関係に基づいて、半導体集積回路装置又は半導体チップの固有の識別情報を設定する方法である。

【特許文献1】国際公開第02/45139号パンフレット

【非特許文献1】Jakub Kedzierski等、Threshold voltage control in NiSi-gated MOSFETs through silicidation induced impurity segregation(SIIS)、international ELECTRON DEVICES meeting 2003、TECHNICAL DIGEST

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、前述のプログラム可能な素子を設ける方法では、人為的に固有番号を割り振りする必要があるので、通常の製造工程に対して新たな工程を追加したり又は製造後に識別情報を書き込む工程を行ったりする必要があるのである。

【0006】

また、前述のプロセスバラツキに対応した識別要素の物理量の相互の大小関係に基づく方法については、次のような問題点がある。すなわち、当該方法において識別される物理量の相互の大小関係は、特性不良に起因するような比較的大きな物理量の差ではなく、連続的なバラツキと対応する近接した2素子の物理量の微小な（マイクロな）差である。ここで、例えば近接したインバーター回路素子の閾値のバラツキは、当該素子が置かれた環境（特に温度）に依存して変化する可能性が高い。従って、識別要素となる半導体素子等が用いられる温度範囲の全体に対して共通の固有認識番号を信頼性高く示させることは困難である。また、これらのインバーターは、SRAM(static random access memory)と同様に宇宙線に起因して逆の値を示すこともある。

【0007】

10

20

30

40

50

すなわち、この新たに提案された方法により、識別要素となる半導体素子等が実際に利用される広範囲な温度環境において信頼性高くデバイス固有番号を示させることは困難である。

【0008】

前記に鑑み、本発明は、通常の製造工程に対して新たな工程を追加することなく、電子デバイスに固有の認識番号を信頼性高く付与できるようにすることを目的とする。

【課題を解決するための手段】

【0009】

前記の目的を達成するために、本願発明者は、半導体製造工程等の電子デバイスの製造工程で、ある確率で偶発的に発生する素子（例えば抵抗素子等の半導体素子）の不良（以下、偶発不良と称する）に起因する電気特性の不連続な変化をデバイスの固有認識番号として利用することを着想した。すなわち、まず、対象となる素子を例えばアクセストランジスタにより選択し、次に、当該素子における電気特性の変化をセンスアンプにより検出する。これによって、製造工程の偶発不良に起因して素子の電気特性に生じる不連続な変化に基づいて固有認識番号を設定することができる。また、本願発明者は、素子の電気特性の不連続な変化として、例えば半導体素子のシリサイド細線（少なくとも一部分がシリサイド化された微細な配線又は活性領域）におけるシリサイド化層の偶発的な断線に起因してランダムに発生する不連続な抵抗上昇を利用することにより、固有認識番号を生成することを着想した。

【0010】

具体的には、本発明に係る電子デバイスは、固有認識番号を生成する複数の素子からなる素子群を備えており、前記固有認識番号は、製造工程の偶発不良に起因して前記各素子の電気特性に生じる不連続な変化に基づいて設定される。

【0011】

本発明の電子デバイスにおいて、前記各素子が、当該素子の電気特性の変化を2値情報として出力すると、2の「素子数」乗の固有番号を生成できる。

【0012】

本発明の電子デバイスにおいて、前記各素子がアクセストランジスタを有すると、電気特性の検出対象となる素子を確実に選択することができる。

【0013】

本発明の電子デバイスの各素子がアクセストランジスタを有する場合、前記各素子は、前記アクセストランジスタと電氣的に接続し且つ最小ルール幅よりも小さい幅を持つ活性領域を有し、前記活性領域の表面はシリサイド化されており、前記固有認識番号は、前記活性領域におけるシリサイド化層の断線に起因して生じる不連続な抵抗上昇に基づいて設定されてもよい。

【0014】

本発明の電子デバイスの各素子がアクセストランジスタを有する場合、前記各素子は、前記アクセストランジスタと電氣的に接続し且つ最小ルール幅よりも小さい幅を持つゲート配線を有し、前記ゲート配線の表面はシリサイド化されており、前記固有認識番号は、前記ゲート配線におけるシリサイド化層の断線に起因して生じる不連続な抵抗上昇に基づいて設定されてもよい。

【0015】

本発明の電子デバイスの各素子がアクセストランジスタを有する場合、前記アクセストランジスタにおける活性領域上には、最小ルール径よりも小さい径を持つか又は前記活性領域とそれを囲む分離領域とに跨ったコンタクトが設けられており、前記固有認識番号は、前記コンタクトと前記活性領域との接続不良に起因して生じる不連続な抵抗上昇に基づいて設定されてもよい。

【0016】

本発明の電子デバイスの各素子がアクセストランジスタを有する場合、前記アクセストランジスタにおけるゲート電極の表面はシリサイド化されており、前記固有認識番号は、

10

20

30

40

50

前記ゲート電極におけるフルシリサイド化に起因して生じる前記アクセストランジスタの不連続な閾値変化に基づいて設定されてもよい。

【0017】

本発明の電子デバイスの各素子がアクセストランジスタを有する場合、前記各素子のうちの少なくとも1つの第1素子は、当該第1素子のアクセストランジスタと電氣的に接続し且つ最小ルール幅以上の幅を持つ第1のゲート配線を有し、前記各素子のうちの少なくとも1つの第2素子は、当該第2素子のアクセストランジスタと電氣的に接続し且つ最小ルール幅よりも小さい幅を持つ第2のゲート配線を有し、前記第1のゲート配線及び前記第2のゲート配線のそれぞれの表面はシリサイド化されており、前記第1のゲート配線は、外部からの書き込みによってシリサイド化層の断線が起こる電氣的ヒューズを構成し、前記第2のゲート配線は、偶発不良に起因してシリサイド化層の断線が起こる物理的ヒューズを構成し、前記固有認識番号は、前記電氣的ヒューズ及び前記物理的ヒューズのそれぞれの状態に基づいて設定されてもよい。

10

【0018】

本発明の電子デバイスの各素子がアクセストランジスタを有する場合、前記各素子は、前記アクセストランジスタと電氣的に接続し且つ最小ルール幅以上の幅を持つ活性領域を有し、前記活性領域は、前記製造工程の偶発不良の発生率を制御するために熱処理が局所的に加えられる領域に設けられ、前記活性領域の表面はシリサイド化されており、前記固有認識番号は、前記活性領域におけるシリサイド化層の断線に起因して生じる不連続な抵抗上昇に基づいて設定されてもよい。

20

【0019】

本発明の電子デバイスの各素子がアクセストランジスタを有する場合、前記各素子は、前記アクセストランジスタと電氣的に接続し且つ最小ルール幅以上の幅を持つゲート配線を有し、前記ゲート配線は、前記製造工程の偶発不良の発生率を制御するために熱処理が局所的に加えられる領域に設けられ、前記ゲート配線の表面はシリサイド化されており、前記固有認識番号は、前記ゲート配線におけるシリサイド化層の断線に起因して生じる不連続な抵抗上昇に基づいて設定されてもよい。

【0020】

本発明の電子デバイスの各素子がアクセストランジスタを有する場合、前記アクセストランジスタにおけるゲート電極は、最小ルール幅以上の幅を持つと共に、前記製造工程の偶発不良の発生率を制御するために熱処理が局所的に加えられる領域に設けられ、前記ゲート電極の表面はシリサイド化されており、前記固有認識番号は、前記ゲート電極におけるフルシリサイド化に起因して生じる前記アクセストランジスタの不連続な閾値変化に基づいて設定されてもよい。

30

【0021】

本発明の電子デバイスの各素子がアクセストランジスタを有する場合において該アクセストランジスタのゲート電極の表面がシリサイド化されている場合、ゲート電極のシリサイド化層はコバルトシリサイド又はニッケルシリサイドから構成されていてもよい。

【0022】

本発明に係る電子デバイスの製造方法は、固有認識番号を生成する複数の素子からなる素子群を備えており且つ製造工程の偶発不良に起因して前記各素子の電気特性に生じる不連続な変化に基づいて前記固有認識番号が設定される電子デバイスの製造方法であって、基板上に、シリサイド化された表面を有する活性領域若しくはゲート配線と電氣的に接続するアクセストランジスタ又は少なくとも局所的にフルシリサイド化されたゲート電極を有するアクセストランジスタを形成する工程と、前記活性領域若しくは前記ゲート配線又は前記ゲート電極の配置領域に対して局所的に熱処理を行なう工程とを備えている。

40

【発明の効果】

【0023】

本発明によると、製造工程の偶発不良に起因して素子の電気特性に生じる不連続な変化を固有認識番号として利用するため、通常の製造工程に対して新たな工程を追加すること

50

なく、デバイスに固有認識番号を設定することができる。また、従来用いられてきた、プロセスバラツキに対応した識別要素の物理量の変化がマイクロなものであったのに対して、不良に起因する素子の電気特性の変化は比較的大きな変化つまり不連続な変化であるため、当該素子が置かれた環境（例えば温度環境）に依存することなく、固有認識番号を信頼性高く示すことができる。さらに、当然、当該固有認識番号は、外部から変更不可能であるので、ICマネー、ICタグ又はIDカードなどへ応用可能な、人為的に偽造不可能な半導体チップ等を提供することができる。

【発明を実施するための最良の形態】

【0024】

（第1の実施形態）

以下、本発明の第1の実施形態に係る電子デバイス、具体的には、固有認識番号を生成する半導体素子アレイを有する電子デバイスについて、図面を参照しながら説明する。

【0025】

図1は、第1の実施形態に係る電子デバイスにおける半導体素子アレイのレイアウトを模式的に示す図である。

【0026】

図1に示すように、本実施形態の半導体素子アレイは、一对のソース領域及びドレイン領域となる活性領域（OD）1と、活性領域1上に形成され且つワードラインとなるゲート電極2とから構成される複数のアクセストランジスタを有している。ここで、活性領域1は、ソース領域及びドレイン領域のうち的一方と電氣的に接続し且つ複数のアクセストランジスタに対して共通に配置されている領域と、ソース領域及びドレイン領域のうちの他方から引き出され且つ部分的に細線化されている領域とを有する。すなわち、活性領域1はOD細線1aを有する。また、OD細線1aを含む活性領域1の表面はシリサイド化されている。さらに、ソース領域及びドレイン領域のうちの他方から引き出された活性領域1の端部（コンタクト領域）にはビアコンタクト3が形成されており、該ビアコンタクト3を介して、活性領域1はビットラインとして働く上層の配線4と電氣的に接続されている。

【0027】

本実施形態においては、図1の一点鎖線で囲んだ構成を1ビット分として、該構成を必要な個数だけアレイ状に配置することによって、固有の認識番号を生成する記憶素子群（半導体素子アレイ）が設けられている。図2は、前述の1ビット分の回路構成を模式的に示す図である。

【0028】

すなわち、本実施形態においては、活性領域1にOD細線1aを設けているため、OD細線1aのシリサイド化層の断線に起因する不連続な抵抗上昇が製造工程時に偶発的に生じる確率を高めることが可能になる。従って、ワードラインによってアクセストランジスタを選択することによって、当該抵抗上昇の有無が、選択されたアクセストランジスタを介してビットラインからの出力の変化として表れるので、当該抵抗上昇の有無をセンスアンプにより検出することができる。すなわち、本実施形態の半導体素子アレイを構成する各素子の電気特性に製造工程の偶発不良に起因して生じる不連続な変化に基づいて固有認識番号を設定することができる。

【0029】

本実施形態によると、製造工程の偶発不良に起因して素子の電気特性に生じる不連続な変化を固有認識番号として利用するため、通常の製造工程に対して新たな工程を追加することなく、デバイスに固有認識番号を設定することができる。また、従来用いられてきた、プロセスバラツキに対応した識別要素の物理量の変化がマイクロなものであったのに対して、不良に起因する素子の電気特性の変化は比較的大きな変化つまり不連続な変化であるため、当該素子が置かれた環境（例えば温度環境）に依存することなく、固有認識番号を信頼性高く示すことができる。さらに、当然、当該固有認識番号は、外部から変更不可能であるので、ICマネー、ICタグ又はIDカードなどへ応用可能な、人為的に偽造不可能な半

10

20

30

40

50

導体チップ等を提供することができる。

【0030】

尚、本実施形態において、所定の閾値を設定することによってビットラインからの出力（つまり素子の電気特性の変化）を2値（0/1）情報として扱ってもよい。このようにすると、2の「素子数」乗の固有番号を生成できる。

【0031】

また、本実施形態において、OD細線1aの幅は、最小ルール幅（パーティクル等の欠陥がなければ不良を生じない設計上の最小幅）よりも小さいことが好ましい。このようにすると、OD細線1aのシリサイド化層の断線に起因する不連続な抵抗上昇が製造工程時に偶発的に生じる確率をさらに高めることが可能になる。

10

【0032】

また、本実施形態において、OD細線1aを活性領域1のコンタクト領域（ビアコンタクト3）側に形成したが、これに代えて、図3に示すように、活性領域1の共通領域側に設けてもよいことは言うまでもない。

【0033】

（第2の実施形態）

以下、本発明の第2の実施形態に係る電子デバイス、具体的には、固有認識番号を生成する半導体素子アレイを有する電子デバイスについて、図面を参照しながら説明する。

【0034】

図4は、第2の実施形態に係る電子デバイスにおける半導体素子アレイのレイアウトを模式的に示す図である。

20

【0035】

図4に示すように、本実施形態の半導体素子アレイは、一对のソース領域及びドレイン領域となる活性領域（OD）1と、活性領域1上に形成され且つワードラインとなるゲート電極2とから構成される複数のアクセストランジスタを有している。ここで、活性領域1は、ソース領域及びドレイン領域のうち的一方と電氣的に接続し且つ複数のアクセストランジスタに対して共通に配置されている領域を有する。また、ソース領域及びドレイン領域のうち他方はゲート配線（ゲート電極と同じ層に設けられる配線）5とシェアードコンタクト6を介して接続されている。また、ゲート配線5の他端（コンタクト領域）にはビアコンタクト7が形成されており、該ビアコンタクト7を介して、ゲート配線5はビ

30

ットラインとして働く上層の配線4と電氣的に接続されている。

【0036】

尚、ゲート配線5は部分的に細線化されている。すなわち、ゲート配線5はゲート細線5aを有する。また、ゲート細線5aを含むゲート配線5の表面はシリサイド化されている。

【0037】

本実施形態においては、前述の各アクセストランジスタ及びそれと接続するゲート配線5等からなる構成を1ビット分として、該構成を必要な個数だけアレイ状に配置することにより、固有の認識番号を生成する記憶素子群（半導体素子アレイ）が設けられている。

【0038】

40

すなわち、本実施形態においては、ゲート配線5にゲート細線5aを設けているため、ゲート細線5aのシリサイド化層の断線に起因する不連続な抵抗上昇が製造工程時に偶発的に生じる確率を高めることが可能になる。従って、ワードラインによってアクセストランジスタを選択することによって、当該抵抗上昇の有無が、選択されたアクセストランジスタを介してビットラインからの出力の変化として表れるので、当該抵抗上昇の有無をセンスアンプにより検出することができる。すなわち、本実施形態の半導体素子アレイを構成する各素子の電気特性に製造工程の偶発不良に起因して生じる不連続な変化に基づいて固有認識番号を設定することができる。

【0039】

本実施形態によると、製造工程の偶発不良に起因して素子の電気特性に生じる不連続な

50

変化を固有認識番号として利用するため、通常の製造工程に対して新たな工程を追加することなく、デバイスに固有認識番号を設定することができる。また、従来用いられてきた、プロセスバラツキに対応した識別要素の物理量の変化がマイクロなものであったのに対して、不良に起因する素子の電気特性の変化は比較的大きな変化つまり不連続な変化であるため、当該素子が置かれた環境（例えば温度環境）に依存することなく、固有認識番号を信頼性高く示すことができる。さらに、当然、当該固有認識番号は、外部から変更不可能であるので、ICマナー、ICタグ又はIDカードなどへ応用可能な、人為的に偽造不可能な半導体チップ等を提供することができる。

【0040】

尚、本実施形態において、所定の閾値を設定することによってビットラインからの出力（つまり素子の電気特性の変化）を2値（0 / 1）情報として扱ってもよい。このようにすると、2の「素子数」乗の固有番号を生成できる。

10

【0041】

また、本実施形態において、ゲート細線5aの幅は、最小ルール幅（パーティクル等の欠陥がなければ不良を生じない設計上の最小幅）よりも小さいことが好ましい。このようにすると、ゲート細線5aのシリサイド化層の断線に起因する不連続な抵抗上昇が製造工程時に偶発的に生じる確率をさらに高めることが可能になる。

【0042】

（第3の実施形態）

以下、本発明の第3の実施形態に係る電子デバイス、具体的には、固有認識番号を生成する半導体素子アレイを有する電子デバイスについて、図面を参照しながら説明する。

20

【0043】

図5は、第3の実施形態に係る電子デバイスにおける半導体素子アレイのレイアウトを模式的に示す図である。

【0044】

図5に示すように、本実施形態の半導体素子アレイは、一対のソース領域及びドレイン領域となる活性領域（OD）1と、活性領域1上に形成され且つワードラインとなるゲート電極2とから構成される複数のアクセストランジスタを有している。ここで、活性領域1は、ソース領域及びドレイン領域のうち的一方と電氣的に接続し且つ複数のアクセストランジスタに対して共通に配置されている領域を有する。また、ソース領域及びドレイン領域のうち他方の端部（コンタクト領域）にはピアコンタクト3が形成されており、該ピアコンタクト3を介して、活性領域1はビットラインとして働く上層の配線4と電氣的に接続されている。

30

【0045】

尚、本実施形態においては、ピアコンタクト3として、設計ルールに基づき設定された直径よりも小さい径を持つピアコンタクト3A、又は活性領域1上から所定値以上ずらして配置されたピアコンタクト3B（つまり活性領域1とそれを囲む分離領域とに跨ったピアコンタクト3B）が設けられている。

【0046】

また、本実施形態においては、前述の各アクセストランジスタ及びそれと接続する配線4等からなる構成を1ビット分として、該構成を必要な個数だけアレイ状に配置することにより、固有の認識番号を生成する記憶素子群（半導体素子アレイ）が設けられている。

40

【0047】

すなわち、本実施形態においては、ピアコンタクト3として、設計ルールに基づき設定された直径よりも小さい径を持つピアコンタクト3A又は活性領域1とそれを囲む分離領域とに跨ったピアコンタクト3Bが設けられているため、ピアコンタクト3A又はピアコンタクト3Bと活性領域1との接続不良に起因する不連続な抵抗上昇が製造工程時に偶発的に生じる確率を高めることが可能になる。従って、ワードラインによってアクセストランジスタを選択することによって、当該抵抗上昇の有無が、選択されたアクセストランジスタを介してビットラインからの出力の変化として表れるので、当該抵抗上昇の有無をセ

50

ンスアンプにより検出することができる。すなわち、本実施形態の半導体素子アレイを構成する各素子の電気特性に製造工程の偶発不良に起因して生じる不連続な変化に基づいて固有認識番号を設定することができる。

【0048】

本実施形態によると、製造工程の偶発不良に起因して素子の電気特性に生じる不連続な変化を固有認識番号として利用するため、通常の製造工程に対して新たな工程を追加することなく、デバイスに固有認識番号を設定することができる。また、従来用いられてきた、プロセスバラツキに対応した識別要素の物理量の変化がミクロなものであったのに対して、不良に起因する素子の電気特性の変化は比較的大きな変化つまり不連続な変化であるため、当該素子が置かれた環境（例えば温度環境）に依存することなく、固有認識番号を信頼性高く示すことができる。さらに、当然、当該固有認識番号は、外部から変更不可能であるので、ICマネー、ICタグ又はIDカードなどへ応用可能な、人為的に偽造不可能な半導体チップ等を提供することができる。

10

【0049】

尚、本実施形態において、所定の閾値を設定することによってビットラインからの出力（つまり素子の電気特性の変化）を2値（0/1）情報として扱ってもよい。このようにすると、2の「素子数」乗の固有番号を生成できる。

【0050】

また、本実施形態において、ビアコンタクト3Aの径は、最小ルール径（パーティクル等の欠陥がなければ不良を生じない設計上の最小径）よりも小さいことが好ましい。このようにすると、ビアコンタクト3Aの接続不良に起因する不連続な抵抗上昇が製造工程時に偶発的に生じる確率をさらに高めることが可能になる。

20

【0051】

（第4の実施形態）

以下、本発明の第4の実施形態に係る電子デバイス、具体的には、固有認識番号を生成する半導体素子アレイを有する電子デバイスについて、図面を参照しながら説明する。

【0052】

図6は、第4の実施形態に係る電子デバイスにおける半導体素子アレイのレイアウトを模式的に示す図である。

【0053】

図6に示すように、本実施形態の半導体素子アレイは、一対のソース領域及びドレイン領域となる活性領域（OD）1と、活性領域1上に形成され且つワードラインとなるゲート電極2とから構成される複数のアクセストランジスタを有している。ここで、活性領域1は、ソース領域及びドレイン領域のうち的一方と電氣的に接続し且つ複数のアクセストランジスタに対して共通に配置されている領域を有する。また、ソース領域及びドレイン領域のうち他方の端部（コンタクト領域）にはビアコンタクト3が形成されており、該ビアコンタクト3を介して、活性領域1はビットラインとして働く上層の配線4と電氣的に接続されている。

30

【0054】

尚、本実施形態においては、ゲート電極2の材料としてポリシリコンを用いていると共にゲート電極2の表面をシリサイド化している。また、例えばゲート電極2の幅を設計ルールに基づき設定された幅よりも小さくすることによって、ゲート電極2のシリサイド化の際に、ゲート電極2を構成するポリシリコンを局所的に過剰に反応させ、それによってシリサイド層がゲート絶縁膜上まで達する現象（フルシリサイド化）を起こりやすくしている。これにより、他のゲート電極2と異なる仕事関数を持つフルシリサイド化電極（FUSI）2aを有し、それにより他のアクセストランジスタと異なる閾値（ V_t ）を持つアクセストランジスタが局所的に形成される（フルシリサイド化に起因する閾値変動については例えば非特許文献1参照）。

40

【0055】

また、本実施形態においては、前述の各アクセストランジスタ及びそれと接続する配線

50

4等からなる構成を1ビット分として、該構成を必要な個数だけアレイ状に配置することにより、固有の認識番号を生成する記憶素子群（半導体素子アレイ）が設けられている。

【0056】

すなわち、本実施形態においては、ゲート電極2を細線化しているため、ゲート電極2の局所的なフルシリサイド化に起因するアクセストランジスタの不連続な閾値変化が製造工程時に偶発的に生じる確率を高めることが可能になる。従って、ワードラインによってアクセストランジスタを選択することによって、当該閾値変化の有無が、選択されたアクセストランジスタを介してビットラインからの出力の変化として表れるので、当該閾値変化の有無をセンスアンプにより検出することができる。すなわち、本実施形態の半導体素子アレイを構成する各素子の電気特性に製造工程の偶発不良に起因して生じる不連続な変化に基づいて固有認識番号を設定することができる。

10

【0057】

本実施形態によると、製造工程の偶発不良に起因して素子の電気特性に生じる不連続な変化を固有認識番号として利用するため、通常の製造工程に対して新たな工程を追加することなく、デバイスに固有認識番号を設定することができる。また、従来用いられてきた、プロセスバラツキに対応した識別要素の物理量の変化がマイクロなものであったのに対して、不良に起因する素子の電気特性の変化は比較的大きな変化つまり不連続な変化であるため、当該素子が置かれた環境（例えば温度環境）に依存することなく、固有認識番号を信頼性高く示すことができる。さらに、当然、当該固有認識番号は、外部から変更不可能であるので、ICマネー、ICタグ又はIDカードなどへ応用可能な、人為的に偽造不可能な半導体チップ等を提供することができる。

20

【0058】

尚、本実施形態において、所定の閾値を設定することによってビットラインからの出力（つまり素子の電気特性の変化）を2値（0/1）情報として扱ってもよい。このようにすると、2の「素子数」乗の固有番号を生成できる。

【0059】

また、本実施形態において、ゲート電極2の幅は、最小ルール幅（パーティクル等の欠陥がなければ不良を生じない設計上の最小幅）よりも小さいことが好ましい。このようにすると、ゲート電極2のフルシリサイド化に起因するトランジスタの不連続な閾値変化が製造工程時に偶発的に生じる確率をさらに高めることが可能になる。

30

【0060】

また、本実施形態において、ゲート電極2におけるシリサイド化層としてコバルトシリサイド層又はニッケルシリサイド層を用いてもよい。

【0061】

（第5の実施形態）

以下、本発明の第5の実施形態に係る電子デバイス、具体的には、固有認識番号を生成する半導体素子アレイを有する電子デバイスについて、図面を参照しながら説明する。

【0062】

図7は、第5の実施形態に係る電子デバイスにおける半導体素子アレイのレイアウトを模式的に示す図である。

40

【0063】

図7に示すように、本実施形態の半導体素子アレイは、外部からの書き込みによってシリサイド化層の断線が起こる電氣的ヒューズを有する第1素子群（書き込み可能部分）と、偶発不良に起因してシリサイド化層の断線が起こる物理的ヒューズを有する第2素子群（ランダム部分）とからなる。

【0064】

ランダム部分の各素子のレイアウトは、図4に示す第2の実施形態に係る電子デバイスにおける半導体素子アレイのレイアウトと基本的に同じである。具体的には、ランダム部分の各素子は、一対のソース領域及びドレイン領域となる活性領域（OD）1と、活性領域1上に形成され且つワードラインとなるゲート電極2とから構成されるアクセストラ

50

ジスタを有している。ここで、活性領域 1 は、ソース領域及びドレイン領域のうち的一方と電氣的に接続し且つ複数のアクセストランジスタ（後述する書き込み可能部分の各素子のアクセストランジスタを含む）に対して共通に配置されている領域を有する。また、ソース領域及びドレイン領域のうち他方はゲート配線 5 とシェアドコンタクト 6 を介して接続されている。また、ゲート配線 5 の他端（コンタクト領域）にはピアコンタクト 7 が形成されており、該ピアコンタクト 7 を介して、ゲート配線 5 はビットラインとして働く上層の配線 4 と電氣的に接続されている。

【 0 0 6 5 】

尚、ランダム部分のゲート配線 5 は部分的に細線化されている。すなわち、ランダム部分のゲート配線 5 はゲート細線 5 a を有する。また、ゲート細線 5 a を含むゲート配線 5 の表面はシリサイド化されている。

10

【 0 0 6 6 】

一方、書き込み可能部分の各素子も、ランダム部分の各素子と同様に、一对のソース領域及びドレイン領域となる活性領域（OD）1 と、活性領域 1 上に形成され且つワードラインとなるゲート電極 2 とから構成されるアクセストランジスタを有している。

【 0 0 6 7 】

書き込み可能部分の各素子がランダム部分の各素子と異なっている点は、偶発不良に起因してシリサイド化層の断線つまり不連続な抵抗上昇が生じることを防止するために、ゲート配線 5 が細線化されていないことである。すなわち、ランダム部分のゲート配線 5 は設計ルールで規定された線幅を有している。尚、ランダム部分のゲート配線 5 の表面もシリサイド化されている。また、ランダム部分のアクセストランジスタは、シェアドコンタクト 6 上に形成された他のコンタクト 8 と、該他のコンタクト 8 と接続する他の配線 9 とを介して、書き込み用のデコーダ（デコーダドライバー）に接続されている。

20

【 0 0 6 8 】

以上のように、本実施形態の半導体素子アレイのランダム部分においては、前述の各アクセストランジスタ及びそれと接続するゲート配線 5 等からなる構成を 1 ビット分として、該構成を必要な個数だけアレイ状に配置することによって、固有の認識番号を生成する記憶素子群が設けられている。尚、ランダム部分においては、前述のように、ゲート配線 5 にゲート細線 5 a を設けることによって、ゲート細線 5 a のシリサイド化層の断線に起因する不連続な抵抗上昇が製造工程時に偶発的に生じる確率を高めている。従って、ワードラインによってランダム部分のアクセストランジスタを選択することによって、当該抵抗上昇の有無が、選択されたアクセストランジスタを介してビットラインからの出力の変化として表れるので、当該抵抗上昇の有無をセンスアンプにより検出することができる。すなわち、ランダム部分を構成する各素子の電気特性に製造工程の偶発不良に起因して生じる不連続な変化に基づいて固有認識番号を設定することができる。

30

【 0 0 6 9 】

本実施形態によると、製造工程の偶発不良に起因して素子の電気特性に生じる不連続な変化を固有認識番号として利用するため、通常の製造工程に対して新たな工程を追加することなく、デバイスに固有認識番号を設定することができる。また、従来用いられてきた、プロセスバラツキに対応した識別要素の物理量の変化がマイクロなものであったのに対して、不良に起因する素子の電気特性の変化は比較的大きな変化つまり不連続な変化であるため、当該素子が置かれた環境（例えば温度環境）に依存することなく、固有認識番号を信頼性高く示すことができる。さらに、当然、当該固有認識番号は、外部から変更不可能であるので、IC マネー、IC タグ又は ID カードなどへ応用可能な、人為的に偽造不可能な半導体チップ等を提供することができる。

40

【 0 0 7 0 】

また、本実施形態の半導体素子アレイにおいては、外部からの書き込みによってシリサイド化層の断線（強制断線）が起こる電氣的ヒューズを有する書き込み可能部分と、偶発不良に起因してシリサイド化層の断線（偶発断線）が起こる物理的ヒューズを有するランダム部分とを同時に設けている。このため、書き込み可能部分に、例えばパリティチェッ

50

クに用いるチェックデジット等の情報を書き込むことにより、より信頼性の高い固有認識番号を生成することが可能になる。

【0071】

尚、本実施形態において、所定の閾値を設定することによってランダム部分のビットラインからの出力（つまり素子の電気特性の変化）を2値（0/1）情報として扱ってもよい。このようにすると、2の「素子数」乗の固有番号を生成できる。

【0072】

また、本実施形態において、ランダム部分のゲート細線5aの幅は、最小ルール幅（パーティクル等の欠陥がなければ不良を生じない設計上の最小幅）よりも小さいことが好ましい。このようにすると、ゲート細線5aのシリサイド化層の断線に起因する不連続な抵抗上昇が製造工程時に偶発的に生じる確率をさらに高めることが可能になる。

【0073】

（第6の実施形態）

以下、本発明の第6の実施形態に係る電子デバイス、具体的には、固有認識番号を生成する半導体素子アレイを有する電子デバイスについて、図面を参照しながら説明する。

【0074】

図8は、第6の実施形態に係る電子デバイスにおける半導体素子アレイのレイアウトを模式的に示す図である。

【0075】

図8に示すように、本実施形態の半導体素子アレイは、一対のソース領域及びドレイン領域となる活性領域（OD）1と、活性領域1上に形成され且つワードラインとなるゲート電極2とから構成される複数のアクセストランジスタを有している。ここで、活性領域1は、ソース領域及びドレイン領域のうち的一方と電氣的に接続し且つ複数のアクセストランジスタに対して共通に配置されている領域と、ソース領域及びドレイン領域のうち他方から引き出されている領域（第1の実施形態と異なり細線化されていない）とを有する。また、活性領域1の表面はシリサイド化されている。さらに、ソース領域及びドレイン領域のうち他方から引き出された活性領域1の端部（コンタクト領域）にはピアコンタクト3が形成されており、該ピアコンタクト3を介して、活性領域1はビットラインとして働く上層の配線4と電氣的に接続されている。

【0076】

本実施形態においては、図8の一点鎖線で囲んだ構成を1ビット分として、該構成を必要な個数だけアレイ状に配置することによって、固有の認識番号を生成する記憶素子群（半導体素子アレイ）が設けられている。

【0077】

また、本実施形態においては、図8に示す半導体素子アレイを一単位として、これを例えば図9（但し図9に示す各素子は図4に示す第2の実施形態の素子と対応）に示すように複数個配置にすることによって、記憶素子として機能する活性領域1を所定の範囲Rに集中して配置することが可能になる。

【0078】

さらに、本実施形態においては、通常のCMOS (complementary metal-oxide semiconductor device) 作製工程で第2シリサイドRTP (rapid thermal process) と呼ばれる処理が終わった後に、前記の所定の範囲Rつまり本実施形態の半導体素子アレイの活性領域1を局所的に加熱する工程を追加実施する。これにより、活性領域1のシリサイド化層の断線に起因する不連続な抵抗上昇が偶発的に生じる確率を高めることが可能になる。従って、ワードラインによってアクセストランジスタを選択することによって、当該抵抗上昇の有無が、選択されたアクセストランジスタを介してビットラインからの出力の変化として表れるので、当該抵抗上昇の有無をセンスアンプにより検出することができる。すなわち、本実施形態の半導体素子アレイを構成する各素子の電気特性に製造工程の偶発不良に起因して生じる不連続な変化に基づいて固有認識番号を設定することができる。

【0079】

10

20

30

40

50

本実施形態によると、製造工程の偶発不良に起因して素子の電気特性に生じる不連続な変化を固有認識番号として利用する。ここで、従来用いられてきた、プロセスバラツキに対応した識別要素の物理量の変化がミクロなものであったのに対して、不良に起因する素子の電気特性の変化は比較的大きな変化つまり不連続な変化であるので、当該素子が置かれた環境（例えば温度環境）に依存することなく、固有認識番号を信頼性高く示すことができる。また、当然、当該固有認識番号は、外部から変更不可能であるので、ICマネー、ICタグ又はIDカードなどへ応用可能な、人為的に偽造不可能な半導体チップ等を提供することができる。

【0080】

尚、本実施形態では、通常の製造工程に対して、前記の活性領域1の局所的な熱処理を行なう工程を追加する必要がある。しかしながら、本実施形態では、活性領域1のシリサイド化層の断線に起因する不連続な抵抗上昇を生じさせるために、例えば第1の実施形態のOD細線1aの形成のように、設計ルールから外れた工程を実施する必要がないので、工程中でのパーティクル発生等に起因する副作用を防止することができる。

【0081】

また、本実施形態において、所定の閾値を設定することによってビットラインからの出力（つまり素子の電気特性の変化）を2値（0/1）情報として扱ってもよい。このようにすると、2の「素子数」乗の固有番号を生成できる。

【0082】

また、本実施形態において、活性領域1におけるシリサイド化層としてコバルトシリサイド層又はニッケルシリサイド層を用いてもよい。コバルトシリサイド層を用いる場合、前記の活性領域1を局所的に加熱する工程における熱処理温度は800 以上で且つ900 以下であることが好ましく、ニッケルシリサイド層を用いる場合、当該熱処理温度は500 以上で且つ700 以下であることが好ましい。

【0083】

（第7の実施形態）

以下、本発明の第7の実施形態に係る電子デバイス、具体的には、固有認識番号を生成する半導体素子アレイを有する電子デバイスについて、図面を参照しながら説明する。

【0084】

図10は、第7の実施形態に係る電子デバイスにおける半導体素子アレイのレイアウトを模式的に示す図である。

【0085】

図10に示すように、本実施形態の半導体素子アレイは、一对のソース領域及びドレイン領域となる活性領域（OD）1と、活性領域1上に形成され且つワードラインとなるゲート電極2とから構成される複数のアクセストランジスタを有している。ここで、活性領域1は、ソース領域及びドレイン領域のうち的一方と電氣的に接続し且つ複数のアクセストランジスタに対して共通に配置されている領域を有する。また、ソース領域及びドレイン領域のうち他方はゲート配線5（第2の実施形態と異なり細線化されていない）とシェアードコンタクト6を介して接続されている。また、ゲート配線5の他端（コンタクト領域）にはピアコンタクト7が形成されており、該ピアコンタクト7を介して、ゲート配線5はビットラインとして働く上層の配線4と電氣的に接続されている。また、ゲート配線5の表面はシリサイド化されている。

【0086】

本実施形態においては、前述の各アクセストランジスタ及びそれと接続するゲート配線5等からなる構成を1ビット分として、該構成を必要な個数だけアレイ状に配置することにより、固有の認識番号を生成する記憶素子群（半導体素子アレイ）が設けられている。

【0087】

また、本実施形態においては、図10に示す半導体素子アレイを一単位として、これを第6の実施形態と同様に例えば図9（但し図9に示す各素子は図4に示す第2の実施形態の素子と対応）に示すように複数個配置にすることによって、記憶素子として機能するゲ

10

20

30

40

50

ート配線5を所定の範囲Rに集中して配置することが可能になる。

【0088】

さらに、本実施形態においては、通常のCMOS作製工程で第2シリサイドRTPと呼ばれる処理が終わった後に、前記の所定の範囲Rつまり本実施形態の半導体素子アレイのゲート配線5を局所的に加熱する工程を追加実施する。これにより、ゲート配線5のシリサイド化層の断線に起因する不連続な抵抗上昇が偶発的に生じる確率を高めることが可能になる。従って、ワードラインによってアクセストランジスタを選択することによって、当該抵抗上昇の有無が、選択されたアクセストランジスタを介してビットラインからの出力の変化として表れるので、当該抵抗上昇の有無をセンスアンプにより検出することができる。すなわち、本実施形態の半導体素子アレイを構成する各素子の電気特性に製造工程の偶発不良に起因して生じる不連続な変化に基づいて固有認識番号を設定することができる。

10

【0089】

本実施形態によると、製造工程の偶発不良に起因して素子の電気特性に生じる不連続な変化を固有認識番号として利用する。ここで、従来用いられてきた、プロセスバラツキに対応した識別要素の物理量の変化がマイクロなものであったのに対して、不良に起因する素子の電気特性の変化は比較的大きな変化つまり不連続な変化であるので、当該素子が置かれた環境（例えば温度環境）に依存することなく、固有認識番号を信頼性高く示すことができる。また、当然、当該固有認識番号は、外部から変更不可能であるので、ICマネー、ICタグ又はIDカードなどへ応用可能な、人為的に偽造不可能な半導体チップ等を提供することができる。

20

【0090】

尚、本実施形態では、通常の製造工程に対して、前記のゲート配線5の局所的な熱処理を行なう工程を追加する必要がある。しかしながら、本実施形態では、ゲート配線5のシリサイド化層の断線に起因する不連続な抵抗上昇を生じさせるために、例えば第2の実施形態のゲート細線5aの形成のように、設計ルールから外れた工程を実施する必要がないので、工程中でのパーティクル発生等に起因する副作用を防止することができる。

【0091】

また、本実施形態において、所定の閾値を設定することによってビットラインからの出力（つまり素子の電気特性の変化）を2値（0/1）情報として扱ってもよい。このようにすると、2の「素子数」乗の固有番号を生成できる。

30

【0092】

また、本実施形態において、ゲート配線5におけるシリサイド化層としてコバルトシリサイド層又はニッケルシリサイド層を用いてもよい。コバルトシリサイド層を用いる場合、前記のゲート配線5を局所的に加熱する工程における熱処理温度は800以上で且つ900以下であることが好ましく、ニッケルシリサイド層を用いる場合、当該熱処理温度は500以上で且つ700以下であることが好ましい。

【0093】

（第8の実施形態）

以下、本発明の第8の実施形態に係る電子デバイス、具体的には、固有認識番号を生成する半導体素子アレイを有する電子デバイスについて、図面を参照しながら説明する。

40

【0094】

図11は、第8の実施形態に係る電子デバイスにおける半導体素子アレイのレイアウトを模式的に示す図である。

【0095】

図11に示すように、本実施形態の半導体素子アレイは、一对のソース領域及びドレイン領域となる活性領域（OD）1と、活性領域1上に形成され且つワードラインとなるゲート電極2とから構成される複数のアクセストランジスタを有している。ここで、活性領域1は、ソース領域及びドレイン領域のうち的一方と電気的に接続し且つ複数のアクセストランジスタに対して共通に配置されている領域を有する。また、ソース領域及びドレイ

50

ン領域のうちの他方の端部（コンタクト領域）にはビアコンタクト3が形成されており、該ビアコンタクト3を介して、活性領域1はビットラインとして働く上層の配線4と電氣的に接続されている。

【0096】

尚、本実施形態においては、ゲート電極2の材料としてポリシリコンを用いていると共にゲート電極2の表面をシリサイド化している。また、ゲート電極2の幅は、第4の実施形態と異なり、設計ルールに基づき設定された幅以上に設定されている。

【0097】

また、本実施形態においては、前述の各アクセストランジスタ及びそれと接続する配線4等からなる構成を1ビット分として、該構成を必要な個数だけアレイ状に配置することにより、固有の認識番号を生成する記憶素子群（半導体素子アレイ）が設けられている。

10

【0098】

また、本実施形態においては、図11に示す半導体素子アレイを一単位として、これを第6の実施形態と同様に例えば図9（但し図9に示す各素子は図4に示す第2の実施形態の素子と対応）に示すように複数個配置にすることによって、記憶素子として機能するゲート電極2を所定の範囲Rに集中して配置することが可能になる。

【0099】

さらに、本実施形態においては、通常のCMOS作製工程で第1シリサイドRTPと呼ばれる処理が終わった後に、前記の所定の範囲Rつまり本実施形態の半導体素子アレイのゲート電極2を局所的に加熱する工程を追加実施する。これにより、ゲート電極2を構成するポリシリコンを局所的に過剰に反応させ、それによってシリサイド層がゲート絶縁膜上まで達する現象（フルシリサイド化）を起りやすくしている。その結果、他のゲート電極2と異なる仕事関数を持つフルシリサイド化電極（FUSI）2aを有し、それにより他のアクセストランジスタと異なる閾値（ V_t ）を持つアクセストランジスタが局所的に形成される。

20

【0100】

すなわち、本実施形態においては、ゲート電極2を局所的に加熱する工程を追加実施するため、ゲート電極2の局所的なフルシリサイド化に起因するアクセストランジスタの不連続な閾値変化が偶発的に生じる確率を高めることが可能になる。従って、ワードラインによってアクセストランジスタを選択することによって、当該閾値変化の有無が、選択されたアクセストランジスタを介してビットラインからの出力の変化として表れるので、当該閾値変化の有無をセンスアンプにより検出することができる。すなわち、本実施形態の半導体素子アレイを構成する各素子の電気特性に製造工程の偶発不良に起因して生じる不連続な変化に基づいて固有認識番号を設定することができる。

30

【0101】

本実施形態によると、製造工程の偶発不良に起因して素子の電気特性に生じる不連続な変化を固有認識番号として利用する。ここで、従来用いられてきた、プロセスバラツキに対応した識別要素の物理量の変化がミクロなものであったのに対して、不良に起因する素子の電気特性の変化は比較的大きな変化つまり不連続な変化であるため、当該素子が置かれた環境（例えば温度環境）に依存することなく、固有認識番号を信頼性高く示すことができる。また、当然、当該固有認識番号は、外部から変更不可能であるので、ICマネー、ICタグ又はIDカードなどへ応用可能な、人為的に偽造不可能な半導体チップ等を提供することができる。

40

【0102】

尚、本実施形態では、通常の製造工程に対して、前記のゲート電極2の局所的な熱処理を行なう工程を追加する必要がある。しかしながら、本実施形態では、ゲート電極2のシリサイド化層の断線に起因する不連続な抵抗上昇を生じさせるために、例えば第4の実施形態のゲート電極2の細線化のように、設計ルールから外れた工程を実施する必要がないので、工程中でのパーティクル発生等に起因する副作用を防止することができる。

【0103】

50

また、本実施形態において、ゲート電極 2 におけるシリサイド化層としてコバルトシリサイド層又はニッケルシリサイド層を用いてもよい。コバルトシリサイド層を用いる場合、前記のゲート電極 2 を局所的に加熱する工程における熱処理温度は 500 以上で且つ 600 以下であることが好ましく、ニッケルシリサイド層を用いる場合、当該熱処理温度は 300 以上で且つ 500 以下であることが好ましい。

【0104】

ところで、電子デバイス、例えば半導体装置の製造工程の偶発不良に起因した素子の電気特性の不連続な変化を生成するために、素子数を適切に設定することは、半導体装置のコスト及び面積最小化の観点から重要である。そこで、本発明の各実施形態において、まず、例えば T E G (Test Element group) により該当不良の偶発発生率を計測し、次に、計測された発生率に基づいて、最も高い発生率を持つ固有認識番号を求め、次に、該最も高い発生率と半導体装置の製造数との積つまり期待値を求め、次に、該期待値が十分小さくなるように、固有認識番号を生成するビット数(つまり半導体素子アレイの規模)を決定してもよい。このようにすると、必要とされる数量(種類)の固有認識番号を生成できる、合理的且つ適切な素子数を設定することができる。

10

【0105】

また、本発明の各実施形態において、電気特性の不連続な変化を発生させる偶発不良を起こす工程を半導体装置の製造工程における拡散工程(ウェハダイシングされるまでの工程)の前半(配線工程より前の素子形成工程等)に設定することにより、半導体装置製造の初期段階において固有認識番号を形成することが好ましい。このようにすると、人為的に改変不可能な固有認識番号を半導体装置の製造後に書き込むのではなく、半導体製造工程の初期工程(F E (Frontend) 工程)で決定できるので、セキュリティ上、また複製製作防止上、非常に効果的である。

20

【産業上の利用可能性】

【0106】

本発明に係る電子デバイス及びその製造方法を用いて電子デバイスに固有の認識番号を付与すると、通常の製造工程に対して新たな工程を追加することなく電子デバイスに固有の認識番号を信頼性高く付与できるので、非常に有用である。

【図面の簡単な説明】

【0107】

【図 1】本発明の第 1 の実施形態に係る電子デバイスにおける半導体素子アレイのレイアウトを模式的に示す図である。

30

【図 2】本発明の第 1 の実施形態に係る電子デバイスにおける半導体素子アレイの 1 ビット分の回路構成を模式的に示す図である。

【図 3】本発明の第 1 の実施形態に係る電子デバイスにおける半導体素子アレイのレイアウトの他例を模式的に示す図である。

【図 4】本発明の第 2 の実施形態に係る電子デバイスにおける半導体素子アレイのレイアウトを模式的に示す図である。

【図 5】本発明の第 3 の実施形態に係る電子デバイスにおける半導体素子アレイのレイアウトを模式的に示す図である。

40

【図 6】本発明の第 4 の実施形態に係る電子デバイスにおける半導体素子アレイのレイアウトを模式的に示す図である。

【図 7】本発明の第 5 の実施形態に係る電子デバイスにおける半導体素子アレイのレイアウトを模式的に示す図である。

【図 8】本発明の第 6 の実施形態に係る電子デバイスにおける半導体素子アレイのレイアウトを模式的に示す図である。

【図 9】本発明の第 6 ~ 8 の実施形態に係る電子デバイスにおける半導体素子アレイの配置例を示す図である。

【図 10】本発明の第 7 の実施形態に係る電子デバイスにおける半導体素子アレイのレイアウトを模式的に示す図である。

50

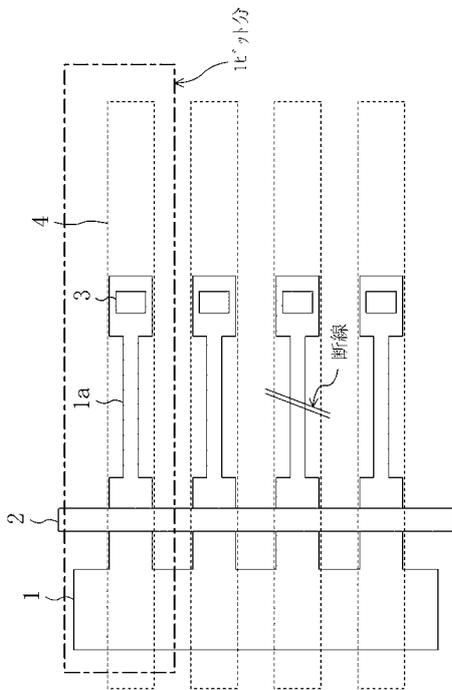
【図 1 1】本発明の第 8 の実施形態に係る電子デバイスにおける半導体素子アレイのレイアウトを模式的に示す図である。

【符号の説明】

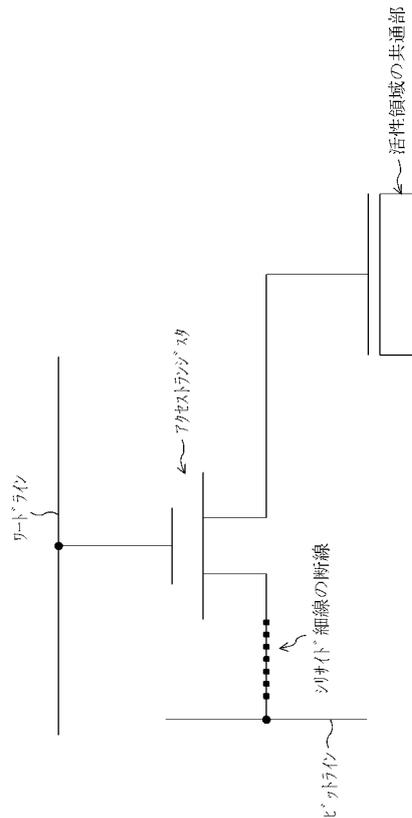
【 0 1 0 8 】

- 1 活性領域
- 1 a OD 細線
- 2 ゲート電極
- 2 a フルシリサイド化電極
- 3 ビアコンタクト
- 3 A ビアコンタクト
- 3 B ビアコンタクト
- 4 配線
- 5 ゲート配線
- 5 a ゲート細線
- 6 シェアードコンタクト
- 7 ビアコンタクト
- 8 他のコンタクト
- 9 他の配線

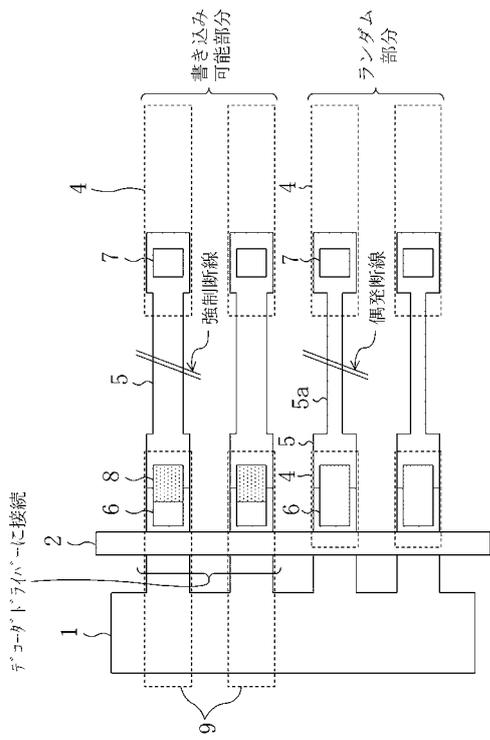
【図 1】



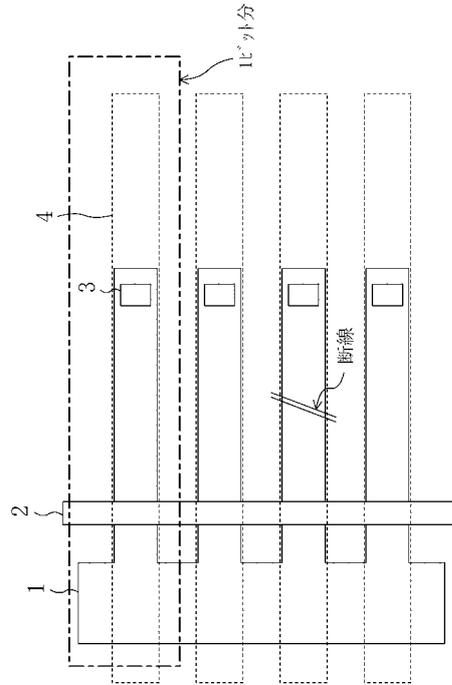
【図 2】



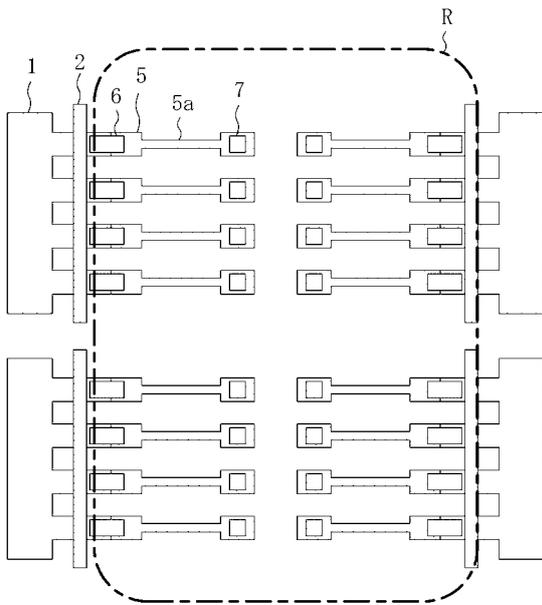
【図7】



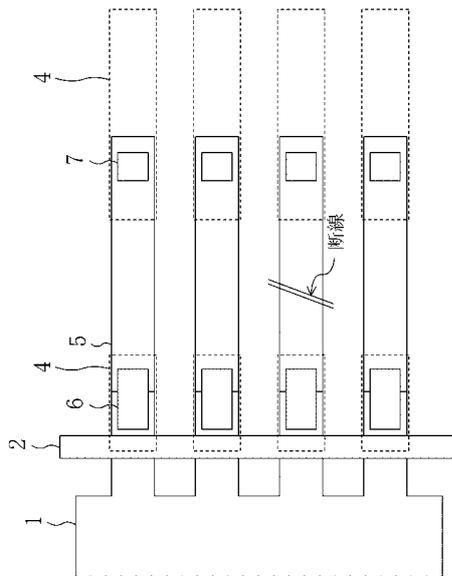
【図8】



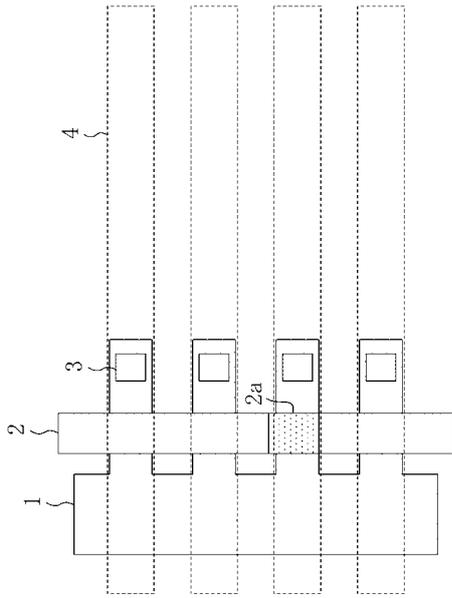
【図9】



【図10】



【 図 1 1 】



フロントページの続き

- (74)代理人 100115691
弁理士 藤田 篤史
- (74)代理人 100117581
弁理士 二宮 克也
- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (72)発明者 奥野 泰利
大阪府門真市大字門真1006番地 松下電器産業株式会社内

審査官 大嶋 洋一

- (56)参考文献 特開2003-332452(JP,A)
特開平08-213464(JP,A)
国際公開第02/050910(WO,A1)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/02
H01L 21/28