(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 23/04

(45) 공고일자 2000년08월16일
(11) 등록번호 10-0264022
(24) 등록일자 2000년05월24일

(21) 출원번호 10-1997-0003400
(22) 출원일자 1997년02월04일
(65) 공개번호 특1997-0067787
(43) 공개일자 1997년10월13일
(30) 우선권주장 96-062482 1996년03월19일 일본(JP)

(73) 특허권자 가부시키가이샤 히다치 세이사꾸쇼 가나이 쓰도무
일본국 도쿄도 지요다구 간다 스루가다이 4-6
(72) 발명자 기타노 마코토
일본국 츠치우라시 시라토리마치 1057-8
고노 류지
일본국 이바라키켄 니이하리군 지요다마치 이나요시 3-15-29
다나카 나오타카
일본국 고다이라시 죠스이혼쵸 5-18-1-12
야구치 아키히로
일본국 이바라기켄 니이하리군 지요다마치 이나요시미나미 2-3-14-206
구마자와 데츠오
일본국 이바라키켄 니이하리군 데지마무라 시시쿠라 6148-160
안조 이치로
일본국 고가네이시 누쿠이미나미쵸 4-5-5
다나카 히데키
일본국 사가미하라시 미나미하시모토 3-5-17-904
니시무라 아사오
일본국 고쿠분지시 혼쵸 4-13-12-405
애구치 슈지
일본국 이바라키켄 나카군 도카이무라 시라카타 1711-30
나가이 아키라

일본국 히다치시 히가시타가쵸 3-14-A406
미타 마모루
일본국 히다치시 다지리쵸 3-16-14
(74) 대리인 백남기

심사관 : 유기혁

(54) 반도체장치

요약

수지봉지형 반도체장치와 그 실장구조에 관한 것으로서, 땜납범프와 내부리이드의 양쪽의 열피로를 저감하는 것에 의해 고신뢰성을 마련하는 CSP형 반도체장치를 제공하기 위해, 외부접속을 위한 여러개의 전극을 갖는 반도체칩, 에라스토머 수지로 이루어지고, 여러개의 전극의 적어도 일부를 제외하고 반도체칩과 접합하는 에라스토머 수지부, 그의 표면상에 테이프 배선패턴을 구비하는 수지의 테이프층, 프린트 배선패턴을 테이프 배선패턴에 접합하는 여러개의 땜납범프, 반도체칩의 여러개의 전극을 테이프 배선패턴에 접속하는 리이드 및 리이드와 리이드에 의해 접속되는 여러개의 전극을 피복하는 봉지수지를 포함하고, 에라스토머 수지는 50MPa이상 750MPa이하의 횡탄성계수를 갖는 것을 특징으로 하였다.

이러한 것에 의해 온도변화에 의한 땜납범프와 내부리이드의 양쪽의 응력을 저감할 수 있어 CSP형 반도체장치의 신뢰성을 대폭으로 향상시킬 수 있다.

대표도

도1

명세서

도면의 간단한 설명

제1도는 본 발명의 제1 실시예의 반도체장치의 단면을 도시한 도면.

제2(a)도, 제2(b)도는 일반적인 CSP형 반도체장치에서 발생하는 열변형을 설명하기 위한 도면.

제3도는 본 발명의 제2 실시예의 반도체장치의 단면을 도시한 도면.

제4도는 본 발명의 제3 실시예의 반도체장치의 단면을 도시한 도면.

제5도는 본 발명의 제4 실시예의 반도체장치의 단면을 도시한 도면.

제6도는 본 발명의 제5 실시예의 반도체장치의 단면을 도시한 도면.

제7도는 일예로서 -50℃의 온도변화에 따른 에라스토머 수지의 횡탄성계수 및 땜납범프의 전단왜곡과 리이드의 왜곡의 관계를 도시한 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 수지봉지형 반도체장치와 그 실장구조에 관한 것으로서, 특히 패키지의 외형치수가 반도체칩의 치수에 매우 근접한 반도체장치와 그의 실장구조에 관한 것이다.

반도체장치의 고집적화가 진행하는 가운데 반도체장치의 패키지의 치수를 칩의 치수에 근접시키고자 하는 기술이 전개되고 있다. 이 기술에는 2가지의 방법이 있다. 그 하나는 베어칩(bare chip)실장이라 불리우는 것으로, 반도체칩이 직접 프린트회로기판(PCB)에 실장되고 수지로 봉지된다.

또 다른 하나는 일반적으로 CSP(칩사이즈 패키지 또는 칩스케일 패키지)라 불리우는 것으로, 패키지는 종래기술과 마찬가지로 수지 봉지되고 가능한한 칩의 치수를 작게 축소한다.

유연재(에라스토머 수지)가 그 사이에 개재된 반도체칩의 회로형성면에 외부단자를 갖는 테이프를 마련하고, 외부단자와 반도체칩의 전극을 전기적으로 접속한 종래구조의 CSP가 Tessera사 출원의 일본국 특허공개 공보 평성6-504408호(PCT출원)에 개시되어 있다. 관통구멍을 갖는 세라믹기판에 반도체칩을 탑재하고, 칩의 반대측에 전극을 마련하고, PCB상에 실장하는 다른 종래 구조가 일본국 특허공개 공보 평성6-224259호에 개시되어 있다. 또, 외부단자를 마련한 금속배선패턴을 구비한 회로형성면에 반도체칩이 형성된 다른 종래구조의 CSP가 일본국 특허공개 공보 평성6-302604호에 개시되어 있다.

본 발명의 목적은 땜납범프와 내부 리이드의 양쪽의 열피로를 저감하는 것에 의해 고신뢰성을 마련하는 CSP형 반도체장치를 제공하는 것이다.

발명이 이루고자 하는 기술적 과제

CSP의 외부단자는 격자형상으로 배열되고, PCB에 접속된 금속범프를 구비한다. 이 범프는 통상의 땜납으로 이루어진다. 그러한 구조를 갖는 CSP에서 발생하는 가장 큰 문제는 땜납범프의 접속 신뢰성이다. 반도체칩의 선팽창계수가 PCB의 선팽창계수와 크게 다르면, 온도변화에 대해 범프에 응력이 생긴다. 이러한 응력의 반복은 열피로로 인해 장치에 손상을 준다.

땜납의 피로손상에 대해서 고려된 상기 종래구조중 일본국 특허공개 공보 평성6-504408호에 기재된 반도체장치가 신뢰성의 면에서 가장 높다. 이 반도체장치에 있어서, 유연한 에라스토머 수지부가 그 사이에 개재되고, 리이드에 연속하는 금속박으로 이루어지는 배선패턴이 테이프에 접착되는 방법으로 반도체칩의 회로형성면에 테이프가 마련된다. 리이드의 끝부는 반도체칩의 전극에 접합되어 있다. 이들 접합부분은 봉지수지에 의해 봉지되어 있다. 금속범프는 배선패턴에 접합되고, 반대측은 PCB상에 형성된 배선패턴에 접합된다. 실장구조는 이와 같이 형성된다. 금속범프를 갖는 테이프를 반도체칩의 회로형성면에 마련하고 있으므로, 이러한 형태의 반도체장치에 있어서 유연한 에라스토머 수지가 그 사이에 배치되며, 반도체칩의 선팽창계수와 PCB의 선팽창계수의 차이가 유연한 에라스토머 수지의 전단변형에 의해 흡수된다. 그 결과, 금속범프에는 어떠한 응력도 부가되지 않는다.

그러나, 이러한 형태의 반도체장치에서 에라스토머 수지가 유연하다는 사실에 기인하여 다른 문제가 발생한다. 반도체칩의 전극과 금속범프를 전기적으로 접속하는 리이드는 에라스토머 수지를 깊이방향으로 연장된다. 즉, 반도체칩의 선팽창계수와 PCB의 선팽창계수의 차는 에라스토머 수지의 전단변형에 의해 흡수되는 것과 마찬가지로 리이드도 변형된다는 것을 의미한다. 금속범프가 높은 신뢰성을 갖더라도 리이드는 피로로 인해 파괴된다. 결국, 이것은 반도체장치의 파손을 초래한다.

반도체장치의 전극과 리이드 사이의 접합부분은 에라스토머 수지와 마찬가지로 유연한 수지로 봉지된다. 유연한 수지, 즉 일반적으로 탄성계수가 낮은 수지는 선팽창계수가 높다. 수지의 열팽창계수와 리이드 자신의 열팽창계수의 차는 크다. 이것은 열피로로 인해 리이드에 손상을 초래한다.

상술한 종래구조의 CSP는 땜납범프의 신뢰성이나 내부리이드의 신뢰성중의 어느 한쪽에 문제를 가지며, 전체로서 충분한 신뢰성을 갖지 못한다. 본 발명에 따르면, CSP형의 반도체장치는 종래의 CSP의 결점을 극복하고, 땜납범프와 내부리이드 양쪽 모두에서의 고신뢰성이 실현된다.

발명의 구성 및 작용

본 발명의 다른 목적은 반도체칩, 이 반도체칩의 여러개의 전극중의 적어도 일부를 제외한 상기 반도체칩에 접합되는 에라스토머 수지부, 이 에라스토머 수지부에 접속되고 그의 표면에 배선패턴을 마련하는 수지테이프층 및 이 수지테이프층의 배선패턴에 접합되는 여러개의 땜납범프를 구비하고, 상기 수지테이프

층의 배선패턴이 상기 반도체칩의 여러개의 전극에 접속되고, 상기 수지테이프층의 배선패턴과 상기 반도체칩의 전극 사이의 접합부가 에라스토머 수지부의 계수와 리이드봉지수지의 선팽창계수가 적정화되는 봉지수지로 봉지되는 반도체장치에 의해 실현된다.

즉, 본 발명의 반도체장치는 [1] 상기 에라스토머 수지부의 횡탄성계수가 50MPa이상 750MPa이하로 되도록 하는 것, [2] 상기 에라스토머 수지부의 종탄성계수가 150MPa이상 2250MPa이하로 되도록 하는 것 또는 [3] 상기 봉지수지의 선팽창계수가 100×10^{-6}/℃이하로 되도록 하는 것을 특징으로 한다. 또한, 본 발명에 의한 실장구조는 상기 [1]~[3]의 어느하나에 의해 정의된 반도체장치를 유리에폭시수지의 PCB에 실장된 것을 특징으로 하는 것이다.

이하, 본 발명에 의한 반도체장치의 바람직한 실시예를 참조도면에 따라서 설명한다.

본 발명의 제1 실시예로서, 제1도에 도시한 반도체장치는 회로형성면에 테이프(3)을 구비한 반도체칩(1)을 포함하며, 유연한 에라스토머 수지(2)가 그 사이에 개재한다. 이 테이프(3)은 금속박으로 이루어지고, 리이드(4)에 연속되는 배선패턴(5)가 테이프(3)에 접착되어 있다. 리이드(4)의 한쪽의 끝부는 반도체칩(1)의 전극(10)에 접합되어 있다. 리이드(4)와 전극(10) 사이의 접합부는 봉지수지(6)에 의해 봉지되어 있다. 금속범프(7)은 배선패턴(9)와 접합된다. 배선패턴(5)와 대향하는 측의 금속범프(7)은 PCB(8)상에 형성된 배선패턴(9)에 접합된다. 실장구조는 이러한 방법으로 형성된다.

이와 같은 방법의 반도체장치에서는 금속범프(7)에 대한 테이프(3)이 반도체칩(1)의 회로형성면에 유연한 에라스토머 수지(2)를 양자사이에 개재해서 마련되어 있으므로, 반도체칩(1)과 PCB(8)의 선팽창계수간의 차는 유연한 에라스토머 수지(2)의 전단변형에 의해 흡수되고, 그 결과 금속범프(7)에 어떠한 응력도 부가되지 않는다.

제1도에 도시한 CSP의 열변형을 모식적으로 제2(a)도, 제2(b)도에 도시한다. 제2(a)도는 고온시의 CSP의 열변형을 도시한 단면도이다. 구조의 대칭성을 고려해서 CPS의 우측의 절반만을 도시하였다. 에라스토머 수지층(2)의 두께와 금속범프(7)의 높이는 각각 te와 ts로 나타낸다. 고온시를 참고로 하면, 이것을 냉각한 경우의 CSP의 형상은 제2(b)도와 같이 된다. PCB(8)의 선팽창계수가 반도체칩(1)의 선팽창계수보다 크므로, PCB(8)은 반도체칩(1)보다 열적으로 크게 수축하고, 에라스토머 수지층(2)의 상하면 사이와 금속범프(7)의 상하면 사이에서 상대변위 δe와 δs가 발생하며, 각각의 부재는 전단변형한다.

테이프(3)은 얇기 때문에 테이프(3)의 변형을 무시하면, PCB(8)의 상면과 반도체칩(1)의 하면의 상대변위 δ는 δe와 δs의 합으로 나타내어진다.

$$\delta = \delta e + \delta s \quad \cdots\cdots\cdots\cdots\cdots\cdots [1]$$

에라스토머 수지(2)와 금속범프(7)에 발생하는 전단응력을 각각 γe, γs로 하면, 이들은 다음과 같이 나타내어진다.

$$\gamma e = \delta e/te \quad \cdots\cdots\cdots\cdots\cdots\cdots [2]$$

$$\gamma s = \delta s/ts \quad \cdots\cdots\cdots\cdots\cdots\cdots [3]$$

에라스토머 수지부(2)에 발생하는 전단응력을 τe, 횡탄성계수를 Ge, 금속범프(7)에 발생하는 전단응력을 τs, 횡탄성계수를 Gs로 하면,

$$\gamma e = \tau e/Ge \quad \cdots\cdots\cdots\cdots\cdots\cdots (4)$$

$$\gamma s = \tau s/Gs \quad \cdots\cdots\cdots\cdots\cdots\cdots (5)$$

가 성립한다.

반도체칩 표면과 평행한 에라스토머 수지부(2)의 표면상의 면적을 As, 금속범프(T)의 면적의 합계를 Ae로 하면, 에라스토머 수지부(2)와 금속범프(7)에 발생하는 전단응력 사이의 균형으로부터 다음식이 성립한다.

$$Ae\cdot \tau e = As\cdot \tau s \quad \cdots\cdots\cdots\cdots\cdots\cdots [6]$$

이상의 식 [1]~[6]으로부터

$$Ge = (As \cdot te/Ae) \cdot [1/(\delta/\tau s - ts/Gs)] \quad \cdots\cdots\cdots [7]$$

이 얻어진다.

한편, PCB(8)의 상면과 반도체칩(1)의 하면의 상대변위 δ는 다음과 같이 나타내어진다.

$$\delta = \triangle\alpha \cdot \triangle T \cdot L \quad \cdots\cdots\cdots\cdots\cdots\cdots [8]$$

여기서, △α는 PCB(8)의 선팽창계수와 반도체칩(1)의 선팽창계수의 차, △T는 온도변화, L은 반도체장치의 변형중심으로부터의 거리를 나타낸다.

금속범프(7)은 가장 일반적으로 땜납으로 형성되고, 그의 높이 ts는 약 0.5mm정도이다. 또, 에라스토머 수지부(2)는 실리콘고무로 형성되고, 그의 성능 특성에 따라 두께가 약 0. 2mm로 된다. 금속범프는 격자 형상으로 배치되고, 그 피치는 예를 들면 1mm이다. 즉, 에라스토머 수지(2)와 금속범프(7)의 면적비(Ae/As)는 4이다. 본 발명은 피치가 1mm이하 또는 피치가 약 0. 5mm라도 적용할 수 있다.

반도체칩(1)은 실리콘 단결정으로 형성되고, 선팽창계수가 3×10^{-6}/℃이다.

PCB는 유리에폭시수지로 형성되며, 선팽창계수가 15×10^{-6}℃이다. 따라서, 양자의 계수의 차 $\triangle\alpha=12\times10^{-6}$/℃로 된다.

반도체장치는 온도변화에 대한 신뢰성으로 -50℃～150의 온도사이클시험에 있어서 1000회의 반복에 견디는 것이 요구된다. 본 발명자들이 실행한 실험에 의하면 땜납의 경우, 1000회의 반복에 견디기 위해서는 전단응력을 2%이하로 억제할 필요가 있다. 이것은 일본 기계공학학회 논문집(JSME) 제50권 제505호 A편 pp. 1709의 논문에 기재되어 있다. 이 응력에 대응한 -50℃의 저온에 있어서의 전단응력 τs는 30MPa이다(상기 논문 참조). 따라서, 이 한계에 있어서의 땜납의 횡탄성계수Gs=30/ 0.02=1500MPa로 된다.

금속범프(7)과 반도체장치의 변형중심 사이의 거리L은 반도체칩의 최대치수의 1/2이다. CSP에 사용되는 반도체칩이 너무 작은 것은 CSP고유의 효과를 발휘할 수 없으므로, 10mm이상의 칩이 사용된다. 따라서, L=5mm로 하면, 식[8]로부터 $\delta = \triangle\alpha \cdot \triangle T \cdot L = 12\times10^{-6}\times200\times5 = 0.0012$mm로 된다. 이들 값을 식 [7]에 대입하면,

$Ge=(As \cdot te/Ae) \cdot [1/(\delta/\tau s - ts/Gs)]$

$=(0.2/4)\times[1/(0.012/30-0.5/1500)]$

$=757[MPa]$ ·····[9]

을 얻는다.

즉, 에라스토머 수지부의 횡탄성계수가 750MPa를 초과하면, 땜납응력이 2%를 초과하므로, 1000회 반복의 온도사이클시험에 견딜 수 없다.

다음에, 리이드(4)의 변형에 대해서 고찰한다. 식[2]~[5]로부터 δe와 δs의 비는 다음과 같이 나타내어진다.

$\delta e/\delta s = (te \cdot As \cdot Gs) \cdot (ts \cdot Ae \cdot Ge)]$ ·····[10]

식 [1]과 식 [10]으로부터 Ge는 다음과 같이 나타내어진다.

$Ge=(\delta/\delta e-1) \cdot (te \cdot As \cdot Gs)/(ts \cdot Ae)$ ·····[11]

제2도의 리이드(4)가 반도체칩(1)과 테이프(3)에 고정된 양쪽끝을 갖는 컬럼이면, 리이드의 상대변위, 즉 에라스토머 수지부(2)의 상하면의 상대변위는 다음과 같이 나타내어진다.

$\delta e = (2 \cdot p \cdot \ell^3)/(3 \cdot EI \cdot I)$ ·····[12]

여기서, P는 상대변위 δe의 발생에 의한 리이드(4)의 기반에 부가되는 하중, ℓ은 리이드(4)의 길이의 1/2, E1은 리이드(4)의 종탄성계수, I는 리이드(4)의 면적의 관성모멘트이다.

또, 리이드(4)에 생기는 응력 σ1은 다음과 같이 나타내어진다.

$\sigma 1 = P \cdot \ell / Z = P \cdot \ell \cdot h(2 \cdot I)$ ····· [13]

여기서, Z는 단면계수, h는 리이드(4)의 두께이다.

식 [12]와 [13]으로부터

$\delta e = (4 \cdot \ell^2 \cdot \sigma 1)/(3 \cdot EI \cdot h)$

$= (4 \cdot \ell^2 \cdot \varepsilon 1)/(3 \cdot h)$ ····· [14]

여기서, ε1은 리이드(4)에 발생하는 응력이다.

식 [14]를 식 [11]에 대입하면,

$Ge = (\delta/\delta e - \ell) \cdot (te \cdot As \cdot Gs)/(ts \cdot Ae)$

$=\{(3 \cdot h \cdot \delta)/(4 \cdot \ell^2 \cdot \varepsilon 1) - \ell)\} \cdot (te \cdot As \cdot Gs)/(ts \cdot Ae)$ ····· [15]

를 얻는다.

일반적으로, 리이드는 동박으로 이루어진다. 테이프에 접착된 동박의 두께 h는 약 0.03mm이다. 리이드(4)의 길이는 에라스토머 수지(2)의 두께 te와 실질적으로 동일하므로, $\ell = te/2 = 0.1$mm로 된다.

리이드(4)를 형성하는 동박의 피로는 "Preprints of JSME"의 No. 830-10, pp. 243에 개시되어 있다. 1000회 반복에 견디기 위해서는 응력을 2%이하로 할 필요가 있다는 것을 알 수 있다. 즉, E=0. 02로 하고, 식 [15]에 있어서의 변수값을 식 [1]～[9]에서 사용한 변수값과 동일하게 하면, Ge는 다음과 같이 나타내어진다.

$Ge = \{(3 \cdot 0.03 \cdot 0.012)/(4 \cdot 0.1 \cdot 0.1 \cdot 0.02) - 1\} \cdot (0.2 \cdot 1500)$

$/(0.5 \cdot 4) \fallingdotseq 50[MPa]$ ····· [16]

에라스토머 수지부(2)의 횡탄성계수가 50MPa보다 작게 되면, 리이드(4)의 응력이 2%를 초과하므로, 1000회 반복의 온도사이클시험에 견딜 수 없다.

이상의 해석결과로부터 횡탄성계수를 50MPa이상, 750MPa이하로 하는 것에 의해 리이드(4)와 금속범프(7)의 양쪽에 대한 CSP의 신뢰성을 확보할 수 있다는 것을 알 수 있다.

상기의 해석결과에 따른 상태를 제7도에 도시한다. 제7도는 일예로서 본 발명의 반도체장치에 150℃～-55℃의 온도변화가 가해지고, -50℃에 있어서 땜납범프와 리이드 각각에 발생하는 왜곡과 에라스토머의 횡탄성계수의 관계를 나타낸다.

제7도에 도시한 바와 같이, 땜납범프의 전단왜곡은 에라스토머의 횡탄성계수가 크게 되면 증가하지만, 리이드의 왜곡은 반대로 저감한다. 상기의 온도변화에 의해 요구되는 신뢰성을 확보하기 위해서는 펌납범프와 리이드 모두 왜곡을 2%이하로 할 필요가 있다. 양자의 왜곡이 2%이하로 되는 것은 에라스토머의 탄성계수가 50MPa이상, 750MPa이하의 범위이다. 이 범위 이외로 되면, 다음에 기술한 표와 같이 땜납범프, 리이드중의 어느하나의 왜곡은 2%이상으로 되어 신뢰성의 저하를 초래한다.

[표 1]

	에라스토머의 횡탄성계수		
	50MPa이하	50MPa이상 750MPa이하	750MPa이상
땜납범프의 왜곡	<2%	<2%	>2% 피로파괴발생
리이드의 왜곡	>2% 피로파괴발생	<2%	<2%
판 정	×	○	×

또, 땜납범프와 리이드의 신뢰성에 대해서 최적인 에라스토머의 탄성계수는 제7도에 도시한 2개의 선이 교차되는 점의 값으로서 약 200MPa로 된다. 따라서, 에라스토머의 횡탄성계수는 200MPa 근방인 것이 바람직하다.

에라스토머 수지부의 프와송비는 대략 0.5이다. 종탄성계수 = 2×(1 + 프와송비)×횡탄성계수의 관계가 있으므로, 상기의 조건은 종탄성계수가 150MPa 이상, 2250MPa이하라고도 할 수 있다.

마지막으로, 봉지수지(6)의 재질에 대해서 검토한다. 리이드(4)를 둘러싸는 봉지수지(6)은 대략 상술한 계수를 갖고, 어느 정도 견고하며, 선팽창계수가 리이드보다 충분히 크며, 수지의 체적이 리이드의 체적보다 충분히 크므로 응력은 리이드에서 발생하는 수지의 열팽창과 실질적으로 동일하다. 따라서, 다음식이 성립한다.

$$\varepsilon 1 = \alpha p \cdot \triangle T \quad \cdots\cdots [17]$$

여기서, αp는 봉지수지의 선팽창계수이다.

상술한 바와 같이, 200℃온도차의 온도사이클시험에 있어서 리이드에 발생되는 응력을 2%이하로 억제할 필요가 있다.

즉, 다음과 같은 식이 성립한다.

$$\alpha p = \varepsilon 1/\triangle T = 0.02/200$$

$$= 100 \times 10^{-6} [1/℃] \quad \cdots\cdots [18]$$

따라서, 봉지수지(6)의 선팽창계수를 100×10^{-6}/℃이하로 하는 것에 의해 소정의 온도사이클시험에 있어서 열피로로 인한 리이드의 손상을 방지할 수 있다.

상술한 바와 같이, 온도차200℃의 온도사이클로 리이드의 신뢰성을 확보하기 위해서는 리이드의 왜곡을 2%이하로 할 필요가 있다. 봉지수지로 덮인 리이드에 발생하는 왜곡은 봉지수지의 선팽창계수와 온도차의 곱으로서 나타낼 수 있고, 왜곡을 2%이하로 하기 위한 봉지수지의 상한은 100×10^{-6}/℃로 된다.

또, 봉지수지의 선팽창계수가 리이드의 선팽창계수보다 작아지면, 저온시의 리이드 수축량이 봉지수지의 수축량보다 크게 되므로, 리이드와 봉지수지의 접촉면에 박리가 생기게 된다. 박리가 생기면 수분침입에 의한 리이드접속부의 부식이나 박리를 기점으로 한 봉지수지의 균열이 발생하여 반도체장치의 신뢰성이 저하된다. 리이드재료인 동의 선팽창계수는 17×10^{-6}/℃이므로, 봉지수지의 선팽창계수는 이것에 가까운 것이 바람직하지만 17×10^{-6}/℃이하로 하는 것은 바람직하지 않다. 따라서, 봉지수지의 선팽창계수는 17×10^{-6}/℃이상, 100×10^{-6}/℃의 범위로 설정하는 것이 바람직하다.

이들을 정리하면 하기의 표 2와 같이 나타낼 수 있다.

[표 2]

봉지수지의 선팽창계수($\times 10^{-6}$/℃)		
17이하	17이상, 100이하	100이상
계면박리	피로파괴, 박리없음	피로파괴

제1도는 본 발명의 제1 실시예의 CSP의 단면도이다. 이 실시예에 있어서, 반도체칩(1)은 에라스토머 수지층(2)가 그 사이에 개재된 방법과 마찬가지로 폴리이미드로 이루어지는 테이프층(3)을 회로형성면에 마련한다. 리이드(4)에 연속하고 동박으로 이루어지는 배선패턴(5)는 테이프층(3)에 접착된다. 리이드(4)는 그의 한쪽끝이 반도체칩(1)의 전극(10)에 접합되어 있다. 이 접합부분은 봉지수지(6)에 의해 봉지되어 있다. 본 발명에 있어서, 반도체칩(1)의 전극(10)은 그의 주변을 따라서 배치되어 있다. 금속범프(7)은 배선패턴(5)과 접합되어 있다. 금속범프는 주석-납 공융 땜납으로 이루어져 있다. 리이드(4)에 대향하는 측의 금속범프는 유리에폭시수지로 이루어지는 PCB(8)에 형성된 배선패턴(9)에 접합된다. 실장구조는 이와 같이 형성된다.

본 실시예의 에라스토머 수지(2)는 횡탄성계수가 50MPa이상 750MPa이하의 수지로 이루어진다. 그와 같은 계수를 갖는 수지는 실리콘수지 100중량부에 대해 용융실리카필러 180중량부를 첨가한 수지조성물, 에폭시 변성 폴리부타디엔수지 100중량부에 대해 경화재 페놀노볼락 4.4중량부와 경화촉진제 트리페닐인산염 1중량부를 첨가한 수지조성물, 에폭시 함유접착 필름을 사용한 재료 등을 구비한다. 또, 봉지수지(6)은 에라스토머 수지(2)의 횡탄성계수와 동일한 횡탄성계수를 갖는 수지로 이루어지고, 선팽창계수가 100×10^{-6}/℃이하이다. 에라스토머 수지와 마찬가지의 수지가 봉지수지(6)을 위해 사용된다. 매우 낮은 계수를 갖는 재료, 예를 들면 봉지수지(6)으로서 실리콘고무를 사용하는 것에 의해 에라스토머 수지의 특성의 적정화에 의한 역효과가 제거된다. 따라서, 본 실시예의 CSP는 리이드와 금속(땜납)의 양쪽에서 모두 높은 신뢰성을 갖는다.

에라스토머 수지(2)의 횡탄성계수는 50MPa이상 750MPa이하이면 좋지만, 2개의 값의 기하학상의 평균인 200MPa부근인 것이 바람직하다. 또, 봉지수지(6)의 선팽창계수는 동의 선팽창계수 17×10^{-6}/℃에 가까운 쪽이 바람직한 것은 물론이다.

리이드(4)의 표면에는 전극(10)과 범프(7)의 접합을 용이하게 하기 위해 니켈, 금과 같은 금속도금을 적절히 실시하는 것이 바람직하다. 또, 에라스토머 수지(2)와 봉지수지(6)의 물리적특성은 각각의 수지의 균열을 방지하기 위해 가능한한 가까운 값의 것을 사용하는 것이 바람직하다.

제3도는 본 발명의 제2 실시예의 CSP의 단면도이다. 본 실시예의 구조는 반도체칩(1)의 전극(10)이 반도체칩(1)의 중심에 배치되어 있는 점을 제외하면, 제1 실시예와 실질적으로 동일하다.

50MPa이상, 750MPa이하의 횡탄성계수를 갖는 수지는 또한 본 실시예에 있어서의 에라스토머 수지(2)를 위해 사용된다. 횡탄성계수를 갖는 수지는 에라스토머 수지(2)의 횡탄성계수와 동일하고, 100×10^{-6}/℃이하의 선팽창계수는 봉지수지(6)을 위해 사용되고 있다. 따라서, CSP는 리이드와 금속(땜납) 양쪽에서 모두 높은 신뢰성을 갖는다. 제3도에 도시한 CSP은 일반적으로 DRAM으로서 사용된다.

제4도는 본 발명의 제3 실시예에 의한 반도체장치의 단면도이다. 본 실시예에 있어서, 제1 실시예의 CSP보다 금속범프수를 증가시키기 위해 반도체칩은 금속성베이스(11)에 접합되고, 에라스토머 수지(2b)와 테이프(3b)는 회로보드(8)에 대향하는 측상의 베이스(11)에 접속되며, 또 전극(106)에 접속된 리이드(4b)에 연속하는 배선패턴(5b)가 마련되어 있다. 배선패턴(5b)는 금속(땜납)범프(7b)를 통해서 PCB(8)의 배선패턴(9b)와 접속되어 있다. 베이스(11)이 Cu, Al등의 금속으로 이루어지면, 반도체칩(1)에서 발생한 열이 빠르게 확산되므로, 패키지의 열저항을 저감할 수 있다. 그러나, 이들 금속은 선팽창계수가 반도체칩(1)의 선팽창계수보다 현저히 높다. 경우에 따라서 칩이 손상될 우려가 있다.

이것을 방지하기 위해서 Fe-Ni합금, Mo, W 등의 선팽창계수가 낮은 재료를 사용하면 좋다. 또, 베이스(11)에 유리에폭시수지 등과 같은 수지기판을 사용하면, 패키지의 경량화를 실현할 수 있다.

50MPa이상, 750MPa이하의 횡탄성계수를 갖는 수지는 또한 본 실시예에서 있어서 에라스토머 수지(2a), (2b)를 위해 사용된다. 봉지수지(6)을 위해 에라스토머 수지(2a), (2b)와 마찬가지의 횡탄성계수를 갖는 수지와 선팽창계수가 100×10^{-6}/℃이하인 것이 사용된다. 따라서, CSP는 리이드와 금속(땜납)의 양쪽에서 모두 높은 신뢰성을 갖는다. 제4도에 도시한 CSP는 일반적으로 DRAM으로서 사용된다.

금속범프(7a), (7b)가 반도체칩에 대응하는 평면의 내측과 외측에 각각 마련되어 있지만, 어느 한쪽만에 마련해도 좋다. 또, 이해를 쉽게 하기 위해 전극(4a), (4b)가 수평방향에서 어긋나 있지만, 도면의 지면에 수직인 방향의 1라인을 따라서 배열되어도 좋다. 제4도에 도시한 구조는 또한 방열효과에 있어서도 우수하다

다음에, 본 발명의 제 4실시예 및 제 5실시예에 대해서 설명한다.

제1도의 제1 실시예에 있어서 배선패턴(5)는 테이프(3)의 하면상에 배치되고, 금속범프(7)에 접속되어 있다. 실제로, 금속범프(7)은 땜납으로 이루어진다. 접속시의 땜납의 원하지 않는 누설확산을 방지하기 위

해 테이프(3)과 배선패턴(5)의 소정의 부분이 땜납레지스트로 피복되어 있다.

제5도에 본 발명의 제4 실시예를 도시한다. 제 4실시예에 있어서는 배선패턴(5)는 테이프(3)과 에라스토머 수지부(2) 사이에 배치되어 있다. 테이프(3)에 관통구멍을 마련하고, 그 내부에서 금속범프(7)은 배선패턴(5)에 접속되어 있다. 금속범프(7)은 땜납으로 이루어지며, 접속시의 땜납의 누설확산이 테이프(3)에 형성된 관통구멍에 의해 방지할 수 있으므로, 테이프(3)과 배선패턴(5)를 땜납레지스트로 피복할 필요가 없다. 또, 관통구멍을 마련하는 것에 의해 금속범프의 위치결정 정밀도가 향상된다.

제6도에 본 발명의 제5 실시예를 도시한다. 제5 실시예에 있어서는 배선패턴(5)에 연속하는 리이드(4)와 반도체칩(1)의 전극(10)의 접속이 금속볼(12)를 거쳐서 이루어진다. 이와 같은 접속법은 일반적으로 테이프 자동 본딩법(tape automated bonding method)이라 불리운다. 금은 전기도전성이 우수하고 유연하며 또한 접착성에도 우수하기 때문에, 금속볼(12)는 예를 들면 금(Au)로 이루어진다. 이러한 접속법을 사용하는 것에 의해 다양한 리이드의 접속을 동시에 실행할 수 있고, 또한 접속신뢰성도 향상시킬 수 있다.

발명의 효과

이상 기술한 바와 같이 본 발명에 의하면, 반도체칩의 선팽창계수와 PCB의 선팽창계수의 차에 따른 변형을 균형좋게 에라스토머 수지부와 땜납범프에 의해 공유한다. 즉, 온도변화에 의한 땜납범프와 내부리이드의 양쪽의 응력을 저감할 수 있어 CSP형 반도체장치의 신뢰성을 대폭으로 향상시킬 수 있다.

(57) 청구의 범위

청구항 1

외부접속을 위한 여러개의 전극을 갖는 반도체칩, 에라스토머 수지로 이루어지고, 상기 여러개의 전극의 적어도 일부를 제외하고 상기 반도체 칩과 접합하는 에라스토머 수지부, 그의 표면상에 테이프 배선패턴을 구비하는 수지의 테이프층, 프린트 배선패턴을 상기 테이프 배선패턴에 접합하는 여러개의 땜납범프, 상기 반도체칩의 상기 여러개의 전극을 상기 테이프 배선패턴에 접속하는 동으로 이루어지는 리이드 및 상기 리이드와 상기 리이드에 의해 접속되는 상기 여러개의 전극을 피복하는 봉지수지를 포함하고, 상기 에라스토머 수지는 50MPa이상 750MPa이하의 횡탄성계수를 갖는 것을 특징으로 하는 반도체장치.

청구항 2

제1항에 있어서, 상기 장치는 유리에폭시수지로 이루어지는 프린트회로기판에 실장되는 것을 특징으로 하는 반도체장치.

청구항 3

제1항에 있어서, 상기 반도체칩의 상기 여러개의 전극과 상기 테이프 배선패턴의 접속은 테이프 자동 본딩법에 의해 실행되는 것을 특징으로 하는 반도체장치.

청구항 4

외부접속을 위한 여러개의 전극을 갖는 반도체칩, 에라스토머 수지로 이루어지고, 상기 여러개의 전극의 적어도 일부를 제외하고 상기 반도체 칩과 접합하는 에라스토머 수지부, 그의 표면상에 테이프 배선패턴을 구비하는 수지의 테이프층, 프린트 배선패턴을 상기 테이프 배선패턴에 접합하는 여러개의 땜납범프, 상기 반도체칩의 상기 여러개의 전극을 상기 테이프 배선패턴에 접속하는 동으로 이루어지는 리이드 및 상기 리이드와 상기 리이드에 의해 접속되는 상기 여러개의 전극을 피복하는 봉지수지를 포함하고, 상기 에라스토머 수지는 150MPa이상 2250MPa이하의 종탄성계수를 갖는 것을 특징으로 하는 반도체장치.

청구항 5

외부접속을 위한 여러개의 전극을 갖는 반도체칩, 에라스토머 수지로 이루어지고, 상기 여러개의 전극의 적어도 일부를 제외하고 상기 반도체 칩과 접합하는 에라스토머 수지부, 그의 표면상에 테이프 배선패턴을 구비하는 수지의 테이프층, 프린트 배선패턴을 상기 테이프 배선패턴에 접합하는 여러개의 땜납범프, 상기 반도체칩의 상기 여러개의 전극을 상기 테이프 배선패턴에 접속하는 동으로 이루어지는 리이드 및 상기 리이드와 상기 리이드에 의해 접속되는 상기 여러개의 전극을 피복하는 봉지수지를 포함하고, 상기 봉지수지는 17×10^{-6}/℃이상, 100×10^{-6}/℃이하의 선팽창계수를 갖고, 상기 에라스토머 수지는 150MPa이상 2250MPa이하의 종탄성계수를 갖는 것을 특징으로 하는 반도체장치.

청구항 6

외부접속을 위한 여러개의 전극을 그 중심에 갖는 반도체칩, 에라스토머 수지로 이루어지고, 상기 여러개의 전극의 적어도 일부를 제외하고 상기 반도체 칩과 접합하는 에라스토머 수지부, 그의 표면상에 테이프 배선패턴을 구비하는 수지의 테이프층, 프린트 배선패턴과 상기 테이프 배선패턴을 접합하는 여러개의 땜납범프, 상기 반도체칩의 상기 여러개의 전극을 상기 테이프 배선패턴에 접속하는 동으로 이루어지는 리이드 및 상기 리이드와 상기 리이드에 의해 접속되는 상기 여러개의 전극을 피복하는 봉지수지를 포함하는 것을 특징으로 하는 반도체장치.

청구항 7

외부접속을 위한 여러개의 전극을 갖는 반도체칩, 에라스토머 수지로 이루어지고, 상기 여러개의 전극의 적어도 일부를 제외하고 상기 반도체 칩과 접합하는 제1의 에라스토머 수지부, 그의 표면상에 제1의 테이프 배선패턴을 갖고, 상기 제1의 에라스토머 수지부에 접속되는 제1의 수지테이프층, 상기 반도체 칩을 끼워 맞춰서 고정하는 베이스, 에라스토머 수지로 이루어지고, 상기 베이스에 접합되는 제2의 에라스토머 수지부, 그의 표면상에 제2의 테이프배선패턴을 갖고. 상기 제2의 에라스토머 수지부에 접합되는 제2의

수지테이프층, 프린트 배선패턴을 상기 제1의 테이프 배선패턴에 접합하고, 상기 프린트 배선패턴을 상기 제2의 배선패턴에 접합하는 여러개의 땜납범프, 상기 반도체칩의 상기 여러개의 전극을 상기 제1의 테이프 배선패턴에 접속하는 제1의 리이드, 상기 반도체칩의 상기 여러개의 전극을 상기 제2의 테이프 배선패턴에 접속하는 제2의 리이드 및 상기 제1 및 상기 제2의 리이드와 상기 제1 및 상기 제2의 리이드에 의해 접속되는 상기 여러개의 전극을 피복하는 봉지수지를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 8

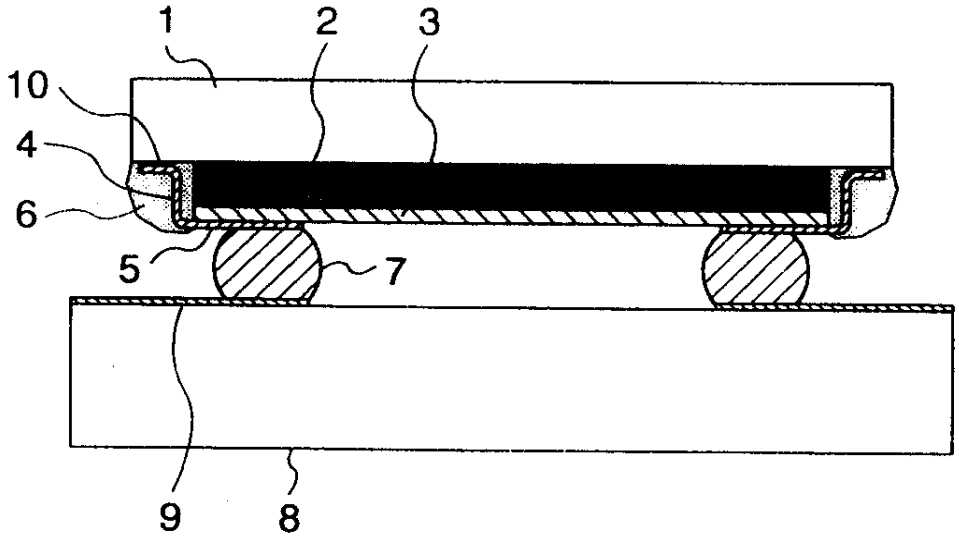
외부접속을 위한 여러개의 전극을 갖는 반도체칩, 에라스토머 수지로 이루어지고, 상기 여러개의 전극의 적어도 일부를 제외하고 상기 반도체 칩과 접합하는 에라스토머 수지부, 상기 에라스토머 수지부와 대향하는 표면상에 테이프 배선패턴을 구비하고, 상기 테이프 배선패턴중의 적어도 일부와 통하는 관통구멍을 갖는 수지 테이프층, 상기 관통구멍내에 형성되고 프린트 배선패턴을 상기 테이프 배선패턴에 접합하는 여러개의 땜납범프, 상기 반도체칩의 상기 여러개의 전극을 상기 테이프 배선패턴에 접속하는 동으로 이루어지는 리이드 및 상기 리이드 및 상기 리이드에 의해 접속되는 상기 여러개의 전극을 피복하는 봉지수지를 포함하는 것을 특징으로 하는 반도체장치.

청구항 9

외부접속을 위한 여러개의 전극을 갖는 반도체칩, 에라스토머 수지로 이루어지고, 상기 여러개의 전극의 적어도 일부를 제외하고 상기 반도체 칩과 접합하는 에라스토머 수지부, 그의 표면상에 테이프 배선패턴을 구비하는 테이프층, 프린트 배선패턴을 상기 테이프 배선패턴에 접합하는 여러개의 땜납범프, 상기 반도체칩의 상기 여러개의 전극상에 금으로 형성된 금속볼, 상기 반도체칩의 상기 여러개의 전극을 상기 테이프 배선패턴에 상기 금속볼을 거쳐서 접속하는 동으로 이루어지는 리이드 및 상기 리이드 및 상기 리이드와 상기 금속볼에 의해 접속되는 상기 여러개의 전극을 피복하는 봉지수지를 포함하는 것을 특징으로 하는 반도체장치.

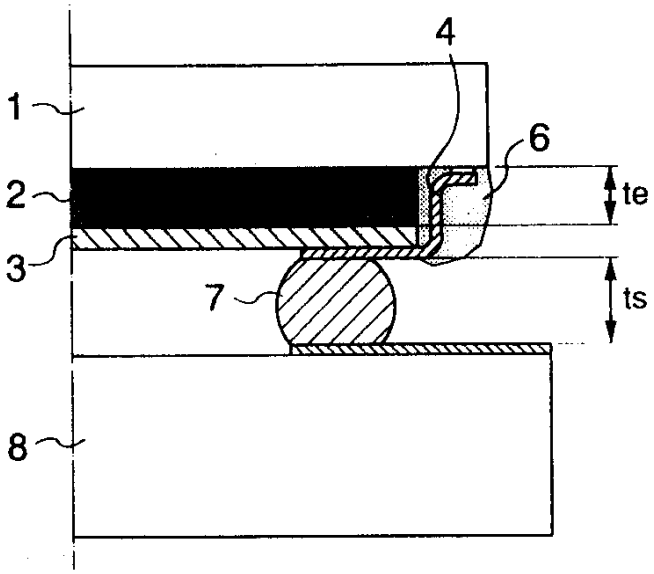
도면

도면1



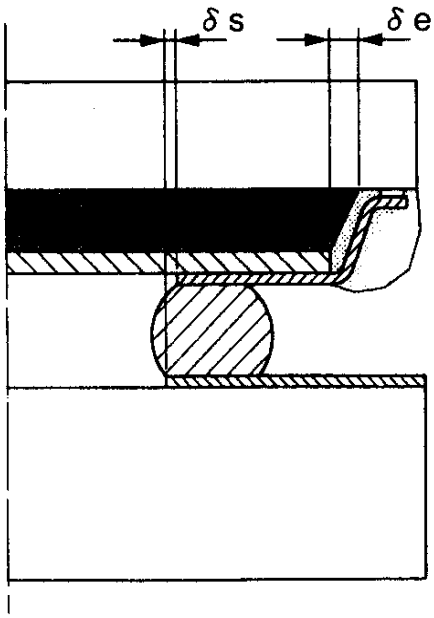
도면2a

고온시

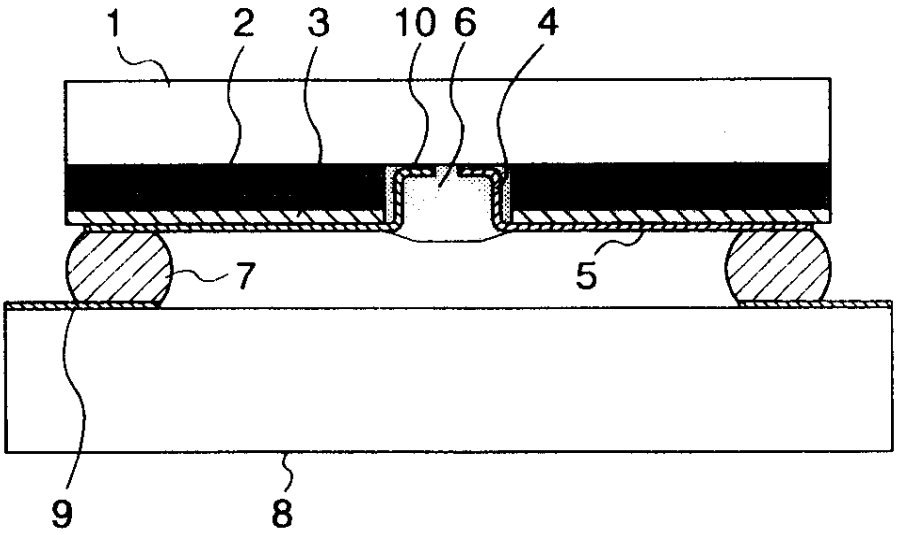


도면2b

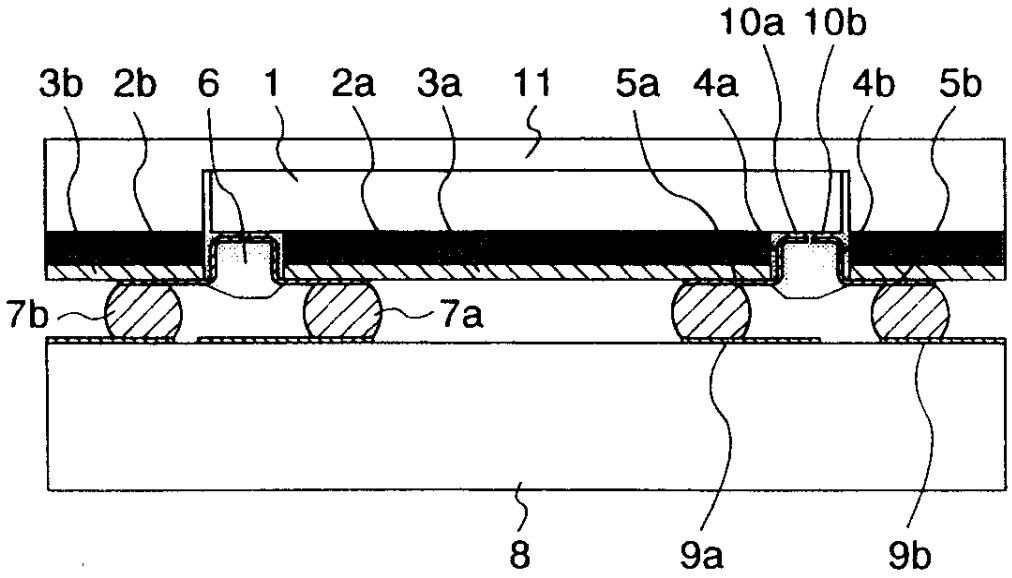
저온시



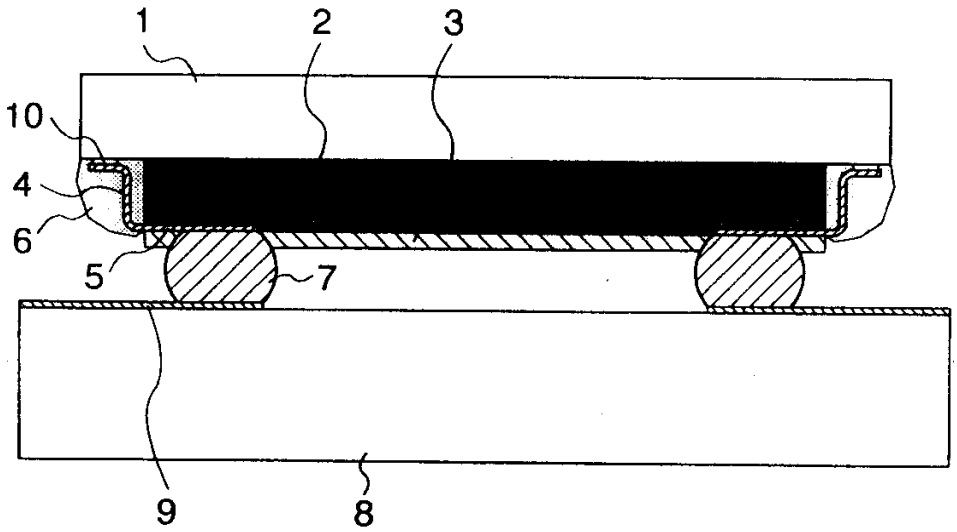
도면3



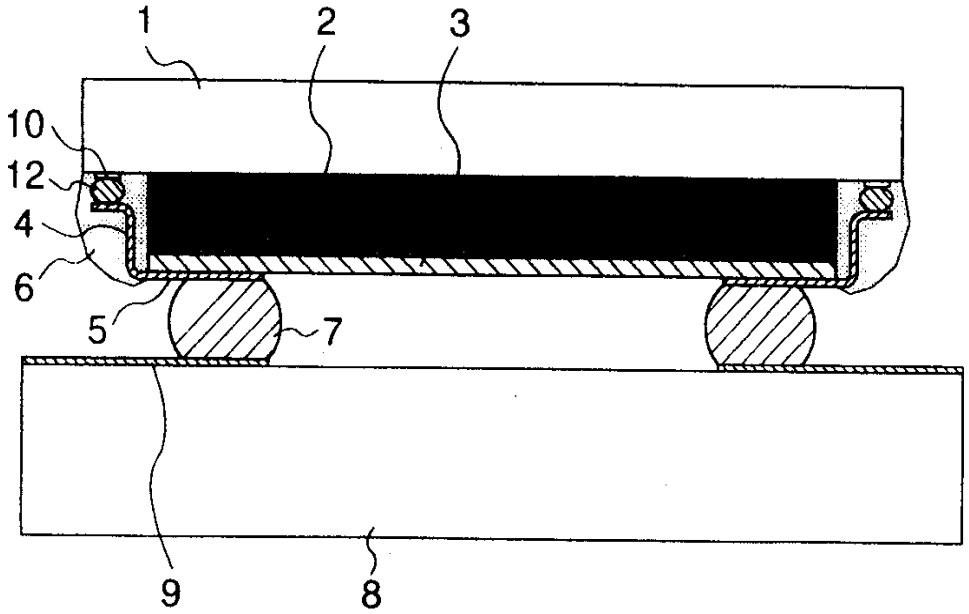
도면4



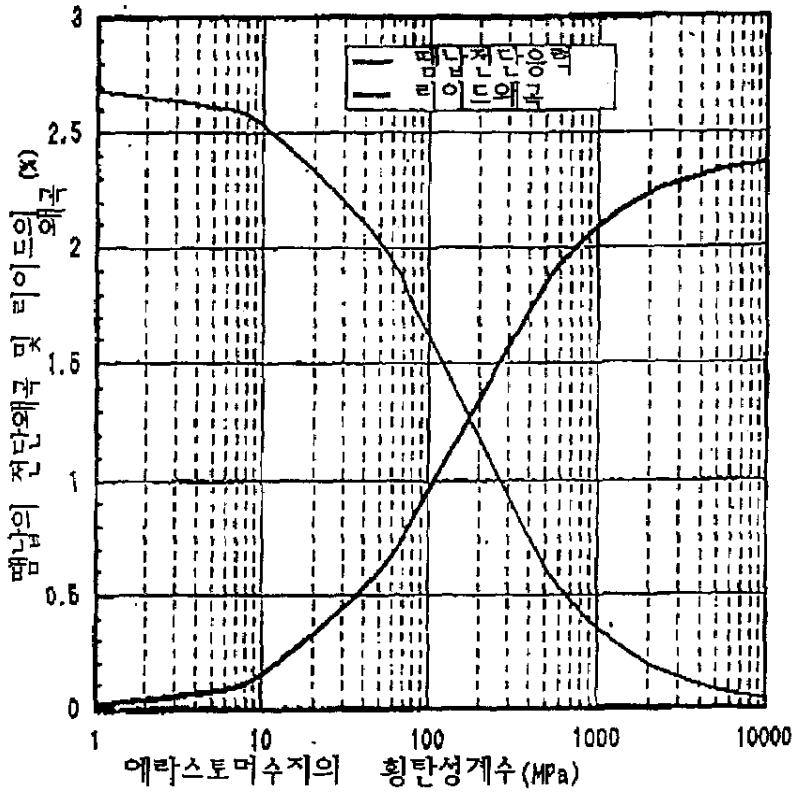
도면5



도면6



도면7


3
2.5
2
1.5
1
0.5
0
1
10
100
1000
10000
뗌납의 전단왜곡 및 리이드의 왜곡 (%)
에라스토머수지의 횡탄성계수(MPa)
뗌납전단응력
리이드왜곡