

(19)日本国特許庁(JP)

(12)特許公報(B1)

(11)特許番号
特許第7651078号
(P7651078)

(45)発行日 令和7年3月25日(2025.3.25)

(24)登録日 令和7年3月14日(2025.3.14)

(51)国際特許分類	F I
H O 4 N 1/028(2006.01)	H O 4 N 1/028 Z
H O 4 N 23/54 (2023.01)	H O 4 N 23/54
H O 5 K 1/18 (2006.01)	H O 5 K 1/18 Z
H O 3 K 19/173(2006.01)	H O 3 K 19/173 1 3 0

請求項の数 5 (全17頁)

(21)出願番号 特願2024-560307(P2024-560307)	(73)特許権者 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(86)(22)出願日 令和6年3月27日(2024.3.27)	
(86)国際出願番号 PCT/JP2024/012173	
審査請求日 令和6年10月10日(2024.10.10)	(74)代理人 100095407 弁理士 木村 満
(31)優先権主張番号 特願2023-91875(P2023-91875)	(74)代理人 100131152 弁理士 八島 耕司
(32)優先日 令和5年6月2日(2023.6.2)	(74)代理人 100147924 弁理士 美恵 英樹
(33)優先権主張国・地域又は機関 日本国(JP)	(74)代理人 100148149 弁理士 渡邊 幸男
早期審査対象出願	(74)代理人 100181618 弁理士 宮脇 良平
	(74)代理人 100174388 弁理士 龍竹 史朗
	最終頁に続く

(54)【発明の名称】 回路基板、イメージセンサ及びイメージセンサの製造方法

(57)【特許請求の範囲】
【請求項1】

第1ピンから第8ピンの8の選択ピンを含む物理スイッチと、
前記選択ピンのうち予め定めた1の前記選択ピンのみからLowレベルのON信号が入力され、その他全ての前記選択ピンからHighレベルのOFF信号が入力されたときに、互いに独立の8の出力端子より選択された1の出力端子から前記ON信号を出力する論理回路と、
前記論理回路の出力に基づいて、有効と無効とを切り替える電気部品と、
を備え、
前記論理回路は、互いに離隔した前記第1ピンと第5ピン、第2ピンと第6ピン、第3ピンと第7ピン、第4ピンと前記第8ピンそれぞれの組合せの少なくともいずれか一方のみから前記ON信号が入力されたときに、前記ON信号を出力する第1論理回路と、前記第1ピンと前記第5ピン、前記第2ピンと前記第6ピン、前記第3ピンと前記第7ピン、前記第4ピンと前記第8ピンそれぞれの組合せについて、一方の前記選択ピンからの入力と他方の前記選択ピンからの入力との否定排他的論理和を求めることで、一方の前記選択ピンと他方の前記選択ピンとの両方に前記ON信号が入力された組合せから前記OFF信号を出力する第2論理回路と、前記第1論理回路の出力と前記第2論理回路のそれぞれの出力との論理和を求める第3論理回路と、前記8の選択ピンのそれぞれからの入力と、前記第3論理回路の出力のうち、それぞれの前記選択ピンに対応する出力と、の論理和を求める第4論理回路とを含み、前記第4論理回路の出力信号が、前記互いに独立の8の出力

端子から出力される、

回路基板。

【請求項 2】

前記論理回路は、選択された前記 1 の出力端子以外の全ての出力端子からの出力の論理積を出力する全論理積回路を含み、

前記電気部品の少なくとも 1 つは、前記全論理積回路の出力に基づいて、有効と無効とを切り替える、

請求項 1 に記載の回路基板。

【請求項 3】

前記電気部品は、クロック又はバッファである、

請求項 1 に記載の回路基板。

【請求項 4】

請求項 1 から 3 のいずれか 1 項に記載の回路基板を複数備えるイメージセンサであって、各回路基板の前記物理スイッチの前記選択ピンの選択により有効にした前記電気部品を用いて、センサ IC の出力信号に対して画像処理を実行する、

イメージセンサ。

【請求項 5】

センサ IC が固定されたフレームに対して、第 1 ピンから第 8 ピンの 8 の選択ピンを含む物理スイッチと、前記選択ピンからの入力に対して論理演算を行う論理回路と、前記論理回路の出力に基づいて有効と無効とを切り替える電気部品と、が実装された画像処理用の複数の基板を、前記センサ IC の配列方向に沿って固定する基板固定ステップと、

前記選択ピンのうち予め定めた 1 の前記選択ピンのみを ON に設定し、その他全ての前記選択ピンを OFF に設定することにより、前記論理回路の互いに独立の 8 の出力端子より選択された 1 の出力端子から、前記電気部品を有効にする信号を出力させるスイッチ設定ステップと、を有し、

前記論理回路は、互いに離隔した前記第 1 ピンと第 5 ピン、第 2 ピンと第 6 ピン、第 3 ピンと第 7 ピン、第 4 ピンと前記第 8 ピンそれぞれの組合せの少なくともいずれか一方のみから Low レベルの ON 信号が入力されたときに、前記 ON 信号を出力する第 1 論理回路と、前記第 1 ピンと前記第 5 ピン、前記第 2 ピンと前記第 6 ピン、前記第 3 ピンと前記第 7 ピン、前記第 4 ピンと前記第 8 ピンそれぞれの組合せについて、一方の前記選択ピンからの入力と他方の前記選択ピンからの入力との否定排他的論理和を求めることで、一方の前記選択ピンと他方の前記選択ピンとの両方に前記 ON 信号が入力された組合せから High レベルの OFF 信号を出力する第 2 論理回路と、前記第 1 論理回路の出力と前記第 2 論理回路のそれぞれの出力との論理和を求める第 3 論理回路と、前記 8 の選択ピンのそれぞれからの入力と、前記第 3 論理回路の出力のうち、それぞれの前記選択ピンに対応する出力と、の論理和を求める第 4 論理回路とを含み、前記第 4 論理回路の出力信号が、前記互いに独立の 8 の出力端子から出力される、

イメージセンサの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、回路基板、イメージセンサ及びイメージセンサの製造方法に関する。

【背景技術】

【0002】

長手方向に配列されたセンサ IC (Integrated Circuit) を用いて画像の読取を行うイメージセンサは、センサ部の長尺化及び高速化に伴い、信号処理部は FPG A (Field Programmable Gate Array)、AFE (Analog Front End) 等の多数の信号処理 IC を含む。1 つの回路基板に実装できる信号処理 IC は、数が限られるため、複数の回路基板に分けて実装される。複数の回路基板は互いに同期され、各センサ IC から読み出された画像信号の処理を行う。

10

20

30

40

50

【0003】

信号処理部を構成する複数の回路基板は、機能、配列順等により実装部品の種類及び基板の長さが互いに異なる場合があり、その場合、部品管理及び実装が複雑になり、コストアップ又は実装ミスを誘発する原因となっている。これに対し、基板種類を減らすために、スイッチにより部品の有効と無効との切替又は配線の切替を行う方法が用いられている（例えば、特許文献1）。

【0004】

特許文献1に記載の半導体集積回路は、3つの論理演算回路の出力論理を保持するキーパ回路と論理演算回路の各出力端子に接続された3つのインバータを備えることにより、いずれか1つの第1論理演算回路の出力がローレベルのときに他の第1論理演算回路の出力を強制的にハイレベルに設定する。これにより、いずれか1つの出力端子のみをハイレベルに設定することができると説明されている。

【先行技術文献】

【特許文献】

【0005】

【文献】特開2001-244808号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

イメージセンサは単一の同期信号を用いて1ライン分の画像を読み出す必要があり、複数の基板が同期してセンサ信号を取得し、画像信号が出力される。このため、少なくとも源信クロック及び同期信号を出力する基板と、受け取る基板との2種類が必要となる。また、一度に画像を読み取る長手方向の長さを画像読取装置の仕様に適合した長さにするために、信号処理が可能な長手方向の画素数が異なる複数種類の基板が必要となる。

【0007】

特許文献1に記載の半導体集積回路は、Q1～Q8の8つの入力された信号をもとに、3端子のうち1端子を選択して出力する論理回路を含む。これに対し、イメージセンサにおいて、共通の基板を用いて部品又は配線の選択を行い、機能の異なる複数種類の基板を製造する場合には、特許文献1に例示される論理回路では入力数に対して出力数が少ないため不十分である。

【0008】

本開示は、上述のような事情に鑑みてなされたものであり、部品又は配線の異なる複数種類の基板として機能することのできる回路基板、イメージセンサ及びイメージセンサの製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するため、本開示の回路基板は、第1ピンから第8ピンの8の選択ピンを含む物理スイッチと、選択ピンのうち予め定めた1の選択ピンのみからLowレベルのON信号が入力され、その他全ての選択ピンからHighレベルのOFF信号が入力されたときに、互いに独立の8の出力端子より選択された1の出力端子からON信号を出力する論理回路と、論理回路の出力に基づいて、有効と無効とを切り替える電気部品と、を備える。論理回路は、互いに離隔した第1ピンと第5ピン、第2ピンと第6ピン、第3ピンと第7ピン、第4ピンと第8ピンそれぞれの組合せの少なくともいずれか一方のみからON信号が入力されたときに、ON信号を出力する第1論理回路と、第1ピンと第5ピン、第2ピンと第6ピン、第3ピンと第7ピン、第4ピンと第8ピンそれぞれの組合せについて、一方の選択ピンからの入力と他方の選択ピンからの入力との否定排他的論理和を求めることで、一方の選択ピンと他方の選択ピンとの両方にON信号が入力された組合せからOFF信号を出力する第2論理回路と、第1論理回路の出力と第2論理回路のそれぞれの出力との論理和を求める第3論理回路と、8の選択ピンのそれぞれからの入力と、第3論理回路の出力のうち、それぞれの選択ピンに対応する出力と、の論理和を求める第4論理

回路とを含み、第 4 論理回路の出力信号が、互いに独立の 8 の出力端子から出力される。

【発明の効果】

【0010】

本開示によれば、スイッチの選択ピンからの入力に基づく論理回路の出力により、電気部品の有効と無効とを切り替えるため、回路基板が部品又は配線の異なる複数種類の基板として機能することが可能となる。

【図面の簡単な説明】

【0011】

【図 1】本開示の実施の形態 1 に係るイメージセンサの基板間配線を示した断面図

【図 2】イメージセンサの画像処理用の一連の基板の上面図

10

【図 3】イメージセンサの画像処理用の基板の上面図

【図 4】論理回路の全体回路図

【図 5】第 1 論理回路の回路図

【図 6】第 1 論理回路の真理値表を示す図

【図 7 A】第 2 論理回路の第 1 ピンと第 5 ピンの真理値表を示す図

【図 7 B】第 2 論理回路の第 2 ピンと第 6 ピンの真理値表を示す図

【図 7 C】第 2 論理回路の第 3 ピンと第 7 ピンの真理値表を示す図

【図 7 D】第 2 論理回路の第 4 ピンと第 8 ピンの真理値表を示す図

【図 8】第 3 論理回路の真理値表を示す図

【図 9】第 4 論理回路の真理値表を示す図

20

【図 10】論理回路の入出力を示す図

【図 11】実施の形態 2 に係る論理回路の回路図

【図 12】他の例のイメージセンサの基板間配線を示した断面図

【発明を実施するための形態】

【0012】

(実施の形態 1)

以下、この開示の実施の形態に係るイメージセンサ 1 について、図面を参照して説明する。イメージセンサ 1 は、センサ IC を直線状に配列した任意のラインセンサであって、例えば、センサ IC と光源とレンズアレイを一体化した密着イメージセンサ (Contact Image Sensor; CIS) である。

30

【0013】

図 1 は、本実施の形態に係るイメージセンサ 1 の基板間配線を例示した断面図である。イメージセンサ 1 の長手方向を X 軸方向とし、短手方向を Y 軸方向とし、長手方向及び短手方向に垂直の高さ方向を Z 軸方向として示している。本実施の形態に係るイメージセンサ 1 における長手方向及び短手方向は、それぞれイメージセンサ 1 における主走査方向及び副走査方向に相当する。

【0014】

図 1 に例示するように、イメージセンサ 1 は、光学部品と信号処理用の基板 21, 22 を保持するフレーム 70、及び、フレーム 70 の全体を覆うカバー 80 を備える。カバー 80 には、例えば、各基板に電源供給するコネクタ 51 と照明を制御する信号を出力するコネクタ 52 を含む各種コネクタと、空冷用の FAN 53 と、イメージセンサ 1 の制御を行う基板 40, 41 と、が固定されている。フレーム 70 及びカバー 80 は、例えば、アルミニウムで形成されている。

40

【0015】

フレーム 70 に固定されている基板 21, 22 は、センサ IC が出力するアナログ信号をデジタル信号に変換する A/D (Analog to Digital) 変換回路を有する基板である。1 以上の基板 21 と 1 以上の基板 22 が、主走査方向に配列されている。イメージセンサ 1 の主走査方向の長さを予め定めた長さにするために、基板 21 と基板 22 の主走査方向の長さは互いに異なり、基板 21 の長さよりも基板 22 の長さの方が長い。

【0016】

50

基板 21、22 のそれぞれには、スペーサー 25 を介して基板 10a～10h（以下、まとめて基板 10 と呼称する場合もある）が固定されている。基板 10a～10h は、基板 21、22 が出力するデジタル信号に必要な画像処理を加える基板であり、基板 10a～10h のそれぞれが源信クロック、同期信号又は制御信号の入出力を行う。

【0017】

基板 10a～10h は、互いに同じ大きさ、部品及び配線を有し、物理スイッチによって、機能を切り替える。基板 10 の枚数は任意であるが、源信クロックに基づく同期信号を送信する基板と、受信する基板と、の少なくとも 2 枚以上である。また、一度に画像を読み取る主走査方向の長さを予め定めた長さにするために、信号処理が可能な主走査方向の画素数が異なる複数種類の基板が 2 枚以上配列される。本実施の形態では、物理スイッチが 8 チャンネルのディップスイッチであり、基板 10 が基板 10a～10h の 8 枚である場合について説明する。基板 10a～10h の詳細は後述する。

【0018】

基板 10a～10h のそれぞれには、スペーサー 31 を介して基板 30 が固定されている。基板 30 は、基板 10a～10h のそれぞれに対して、電源を供給すると共に通信信号の送受信を行う。

【0019】

イメージセンサ 1 のフレーム 70 には、更に読取対象物に光を照射する光源及び光源の制御基板を備えてもよい。光源は例えば、LED（Light Emitting Diode）である。

【0020】

カバー 80 に固定されている基板 40 は、基板 10a～10h に配線で接続されており、基板 10a～10h で画像処理された画像信号を、予め定められた規格に変換して外部に出力する。外部に出力する信号の規格は、任意であり、例えば、Camera Link（登録商標）、CoaXPress（登録商標）、GigEVision（登録商標）、USB3Vision（登録商標）である。

【0021】

また、カバー 80 に固定されている基板 41 は、イメージセンサ 1 全体を一元管理するマイコンを有する基板であり、基板 30 に配線で接続されており、基板 10、30 及び外部と制御信号の送受信を行う。

【0022】

イメージセンサ 1 の動作は以下のとおりである。まず、光源から照射した光の読取対象での透過光又は反射光をセンサ IC が受光し、アナログ信号を出力する。基板 21、22 の A/D 変換回路は、センサ IC から入力されるアナログ信号をデジタル信号に変換する。変換されたデジタル信号は、基板 10a～10h において、画像データの並び替えを含む信号処理が行われ、配線を通じて基板 40 に伝送される。基板 40 は受信した画像信号を、予め定められた規格に変換して外部に出力する。

【0023】

また、基板 40 は、外部から入力された制御信号を受信し、基板 41 のマイコンに出力する。基板 41 のマイコンは受信した制御信号に基づいて、配線及び基板 30 を通じて基板 10a～10h に制御信号を送信し、基板 10a～10h を制御する。本実施の形態に係るイメージセンサ 1 の基板 10a～10h は 1 種類の回路基板であることを特徴とする。

【0024】

図 2 は、画像処理用の一連の基板 10a～10h が主走査方向に配列し、隣り合った基板が互いに接続された状態の上面図であり、図 3 は、1 枚の基板 10 を示した上面図である。基板 10a～10h は互いに同じ部品を実装し、同じ配線を有する 1 種類の回路基板において、スイッチ 107 の切り替えにより部品の有効と無効とを切り替えるものである。

【0025】

図 2、3 に示すように、例えば、基板 10 には、メインクロック 101 と、メインクロック 101 から出力される源信クロック信号を整えるバッファ 102 と、基板間を電氣的に接続するケーブル用のコネクタ 103 と、前段基板から入力される信号を整えるバッフ

10

20

30

40

50

ア 104 と、前段基板に送信する信号を整えるバッファ 105 と、信号処理 IC と、が実装されている。信号処理 IC は、例えば F P G A (Field Programmable Gate Array) 106 である。

【0026】

基板 10 には、更に、基板 10 の電気部品の有効／無効を含む状態を選択するスイッチ 107 と、スイッチ 107 の出力を論理演算して出力する論理回路 108 と、が実装されている。図 3 に示すように、論理回路 108 の 4 以上の出力端子は、メインクロック 101 及び各バッファ 102, 104, 105 のイネーブル端子に配線 109 を介して接続されている。基板 10 のコネクタ 103 は、ケーブル 110 により隣り合う基板 10 のコネクタ 103 に接続されている。

【0027】

スイッチ 107 と論理回路 108 について、図 4～10 を用いて詳細に説明する。スイッチ 107 は、4 以上のチャンネルを有する物理スイッチであり、例えば、8 チャンネルのディップスイッチ (図中 D I P - S W と記載する) である。スイッチ 107 の一方の端子は G N D に接続され、他方の端子である選択ピンはプルアップされている。選択ピンである第 1 ピン P₁～第 8 ピン P₈ は、スイッチ 107 が O N (短絡) されたときに L o w レベルとなり、スイッチ 107 が O F F (開放) されたときに H i g h レベルとなる。

【0028】

論理回路 108 は、スイッチ 107 の 4 以上の選択ピンのうち 1 ピンのみから O N 信号が入力され、その他全てのピンから O F F 信号が入力されたときに、論理演算により、互いに独立した 4 以上の出力端子より選択された、いずれか 1 つの出力端子から O N 信号を出力する回路である。本実施の形態では、スイッチ 107 が 8 チャンネルである場合について説明する。すなわち、論理回路 108 は、スイッチ 107 の第 1 ピン P₁～第 8 ピン P₈ のうち 1 ピンのみから L o w レベルの O N 信号が入力され、その他全てのピンから H i g h レベルの O F F 信号が入力されたときに、論理演算により、互いに独立した出力端子 S₁～S₈ より選択された、いずれか 1 つの出力端子から L o w レベルの O N 信号を出力する。論理回路 108 の L o w 又は H i g h の出力をイネーブル信号として、バッファ 102, 104, 105 のイネーブル端子に入力することで、バッファの有効又は無効を制御する。

【0029】

例えば、論理回路 108 は、スイッチ 107 の第 1 ピン P₁ を L o w にしたときに、論理回路 108 の出力端子 S₁ のみが L o w となる論理演算を行う。この場合、スイッチ 107 の第 1 のチャンネルのみを O N にすることにより、論理回路 108 の出力端子 S₁ から出力される O N 信号をバッファ 102 に入力することにより、バッファ 102 は有効になり、メインクロック 101 のクロック信号が回路内に出力される。

【0030】

一方、第 1 の基板 10 a のスイッチ 107 の第 2～8 のチャンネルの少なくともいずれか 1 つのチャンネルを O N にした場合には、論理回路 108 の出力端子 S₁ は H i g h となるため、バッファ 102 は無効となりクロック信号は回路内に出力されない。これにより、スイッチ 107 を用いて、クロック信号を出力する基板を確実に選択できる。また、誤ってスイッチ 107 の複数のチャンネルを O N にした場合には、論理回路 108 の出力は H i g h となるため、誤操作により信号が衝突する問題を回避することができる。

【0031】

同様に、論理回路 108 の出力をメインクロック 101 のイネーブル端子に入力して、クロックの発振又は停止を制御してもよい。また、バッファ 104, 105 のイネーブル端子に、論理回路 108 の出力を入力して、基板間の信号の伝送を制御することができる。

【0032】

論理回路 108 の構成例について、図 4～10 を用いて説明する。図 4 は論理回路 108 の全体構成を示す図であり、図 5 は論理回路 108 の一部である第 1 論理回路 1081 の構成を示す図である。図 4 に示すように、論理回路 108 は、第 1 論理回路 1081、

10

20

30

40

50

第2論理回路1082、第3論理回路1083及び第4論理回路1084を含む。図6は第1論理回路1081の真理値表であり、図7A～図7Dは第2論理回路1082の真理値表であり、図8は第3論理回路1083の真理値表であり、図9は第4論理回路1084の真理値表である。図10は、論理回路108の入出力を示した図である。

【0033】

スイッチ107の各チャネルの選択ピンである第1ピンP₁～第8ピンP₈は、第1論理回路1081の入力に接続される。図5に示すように第1論理回路1081の一段目の4つの論理積（AND）回路1101には、互いに離隔した第1ピンP₁と第5ピンP₅、第2ピンP₂と第6ピンP₆、第3ピンP₃と第7ピンP₇、第4ピンP₄と第8ピンP₈が接続される。

【0034】

論理積回路1101の出力は否定（NOT）回路1102で反転されて、論理積回路1103及び否定論理和（NOR）回路1104に入力される。論理積回路1103の出力は否定論理和回路1105に入力され、否定論理和回路1105の出力は否定回路1106で反転されて否定論理和回路1108に入力される。

【0035】

否定論理和回路1104の出力は論理積回路1107に入力され、その出力は否定論理和回路1108に入力される。否定論理和回路1108の出力は否定回路1109で反転された後、否定論理和回路1110に入力され、その出力は否定回路1111で反転されて、第1論理回路1081の出力端子S_{L1}から出力される。

【0036】

このような構成を有する第1論理回路1081の真理値表を、図6に示す。図6の真理値表において縦軸の4桁の各桁がそれぞれスイッチ107の第3ピンP₃、第7ピンP₇、第4ピンP₄、第8ピンP₈の値に対応している。また、横軸の4桁の各桁がそれぞれスイッチ107の第1ピンP₁、第5ピンP₅、第2ピンP₂、第6ピンP₆の値に対応している。ここで、値0がLowの値であり値1がHighの値である。

【0037】

図6に示すように、第1ピンP₁及び第5ピンP₅の少なくともいずれか一方のみがLowの時、第2ピンP₂及び第6ピンP₆の少なくともいずれか一方のみがLowの時、第3ピンP₃及び第7ピンP₇の少なくともいずれか一方のみがLowの時、第4ピンP₄及び第8ピンP₈の少なくともいずれか一方のみがLowの時、の12通りの場合に、第1論理回路の出力端子S_{L1}の値はLowになる。それ以外の場合は、第1論理回路の出力端子S_{L1}の値はHighになる。

【0038】

図4に示すように、第2論理回路1082は、4つの排他的論理和（XOR）回路1201を備え、各排他的論理和回路1201の入力には、それぞれ、第1ピンP₁と第5ピンP₅、第2ピンP₂と第6ピンP₆、第3ピンP₃と第7ピンP₇、第4ピンP₄と第8ピンP₈が接続される。排他的論理和回路1201の出力は否定回路1202で反転され、第3論理回路1083に出力される。

【0039】

図7A～図7Dの真理値表から明らかなように、第2論理回路1082の出力は、第1ピンP₁と第5ピンP₅、第2ピンP₂と第6ピンP₆、第3ピンP₃と第7ピンP₇、第4ピンP₄と第8ピンP₈の値が、互いに同じであるときにHighの値となり、互いに異なるときにLowの値となる。

【0040】

図4に示すように、第3論理回路1083は、4つの否定論理和（NOR）回路1301を備え、各否定論理和回路1301の入力には、第1論理回路1081の出力と第2論理回路1082の出力が入力される。否定論理和回路1301の出力は否定回路1302で反転されて第4論理回路1084に出力される。

【0041】

10

20

30

40

50

図 8 の真理値表から明らかなように、第 1 論理回路 1 0 8 1 と第 2 論理回路 1 0 8 2 の出力がともに L o w であるときに、第 3 論理回路 1 0 8 3 の出力は L o w の値となり、第 1 論理回路 1 0 8 1 と第 2 論理回路 1 0 8 2 の出力の少なくとも一方が H i g h であるときに、第 3 論理回路 1 0 8 3 の出力は H i g h の値となる。

【 0 0 4 2 】

図 4 に示すように、第 4 論理回路 1 0 8 4 は、8 つの否定論理和 (N O R) 回路 1 4 0 1 を備え、各否定論理和回路 1 4 0 1 の入力には、第 3 論理回路 1 0 8 3 の出力と第 1 ピン P₁ ~ 第 8 ピン P₈ とが接続される。否定論理和回路 1 4 0 1 の出力は否定回路 1 4 0 2 で反転されて出力される。

【 0 0 4 3 】

図 9 の真理値表から明らかなように、第 3 論理回路 1 0 8 3 の出力とスイッチ 1 0 7 の各選択ピンの値が共に L o w のときに、第 4 論理回路 1 0 8 4 の出力、つまり、論理回路 1 0 8 の出力は L o w の値になり、第 3 論理回路 1 0 8 3 の出力とスイッチ 1 0 7 の各選択ピンの値の少なくとも一方が H i g h であるときに、第 4 論理回路 1 0 8 4 の出力は H i g h の値となる。

【 0 0 4 4 】

以上説明した構成を有する論理回路 1 0 8 の入出力を、図 1 0 に示す。論理回路 1 0 8 において、スイッチ 1 0 7 の第 1 のチャンネルのみ O N することにより第 1 ピン P₁ のみから L o w レベルの O N 信号が入力されたとき、出力端子 S₁ から L o w レベルの O N 信号が出力される。同様に、第 5 ピン P₅ のみ、第 2 ピン P₂ のみ、第 6 ピン P₆ のみ、第 3 ピン P₃ のみ、第 7 ピン P₇ のみ、第 4 ピン P₄ のみ、第 8 ピン P₈ のみ、から L o w レベルの O N 信号が入力されたときに、それぞれ、出力端子 S₅、出力端子 S₂、出力端子 S₆、出力端子 S₃、出力端子 S₇、出力端子 S₄、出力端子 S₈ から L o w レベルの O N 信号が出力される。一方、スイッチ 1 0 7 の 2 チャンネル以上が O N の場合、又は、全てのチャンネルが O F F の場合には、いずれの出力端子からも H i g h レベルの O F F 信号が出力される。換言すると、論理回路 1 0 8 は、スイッチ 1 0 7 の第 1 チャンネル ~ 第 8 チャンネルのうち 1 チャンネルのみが O N されることにより、互いに独立した出力端子 S₁ ~ S₈ より選択された、いずれか 1 つの出力端子から O N 信号が出力される。

【 0 0 4 5 】

このように動作する論理回路 1 0 8 の出力により、基板 1 0 a ~ 1 0 h のメインクロック 1 0 1 を含む電気部品の有効 / 無効を制御することができる。また、論理回路 1 0 8 を有さず、スイッチ 1 0 7 から直接各電気部品のイネーブル端子に接続した構成であった場合には、スイッチ 1 0 7 の 8 チャンネルのうち、誤って複数のチャンネルを O N にすることにより誤作動させてしまうが、論理回路 1 0 8 を用いることによりこのような誤作動を回避することができる。

【 0 0 4 6 】

なお、図 4 ~ 9 に示した論理回路 1 0 8 の構成は一例であり、置き換えも可能である。例えば、否定論理和 (N O R) 回路と否定 (N O T) 回路との組合せを論理和 (O R) 回路に置き換えてもよい。また、論理積 (A N D) 回路と否定回路との組合せを否定論理積 (N A N D) 回路に置き換えてもよい。また、排他的論理和 (X O R) 回路と否定回路との組合せを否定排他的論理和 (N X O R) 回路に置き換えてもよい。

【 0 0 4 7 】

以上のように構成されたイメージセンサ 1 の製造方法を、図 1 , 2 を参照して説明する。

【 0 0 4 8 】

まず、図 1 に示したセンサ I C が固定されたフレーム 7 0 に、A / D 変換回路を有する基板 2 1 , 2 2 を、センサ I C の配列方向、つまり主走査方向に沿って固定する。次に、基板 2 1 , 2 2 のそれぞれに、スペーサ 2 5 を介して基板 1 0 a ~ 1 0 h を固定する (基板固定ステップ) 。

【 0 0 4 9 】

その後、図 2 に示した基板 1 0 a ~ 1 0 h のそれぞれのスイッチ 1 0 7 を操作する。具

10

20

30

40

50

体的には、各基板10a～10hのスイッチ107の予め定めた1の選択ピンのみをONとし、その他の選択ピンをOFFにする。これにより、論理回路108の互いに独立の8の出力から選択された1の出力からON信号を出力させて、対応する電気部品を有効に切り替える（スイッチ設定ステップ）。

【0050】

次に、基板10a～10hにスペーサー31を介して基板30を固定する。その後、カバーに固定される基板40、41、コネクタ51、52、FAN53と、フレーム70に固定されている基板10、30と、の間を配線で接続する。その後、カバー80をフレーム70に対して固定する。

【0051】

以上説明したように、本実施の形態に係るイメージセンサ1は、センサICから取得した画像信号を処理する基板として、互いに同じ部品及び配線を有する基板10を用いる。基板10には、スイッチ107と、スイッチ107からの入力信号を論理演算して出力する論理回路108と、が実装されている。論理回路108は、スイッチ107の第1ピンP₁～第8ピンP₈のうち1ピンのみがLowになったときに、互いに独立した出力端子S₁～S₈より選択された、いずれか1つの出力端子からLowを出力する論理演算を行う。論理回路108の出力は、バッファ102、104、105のイネーブル端子に入力することによりバッファの有効又は無効を制御することとした。これにより、長尺のイメージセンサを実現するために、画像処理用の回路基板を複数種類用いる必要がなく、1種類の回路基板で実現することが可能となる。また、1種類の回路基板を用いるため、製造工程を簡易化することができる。

【0052】

また、基板機能の選択にマイコン又はFPGAを用いた場合、電源投入後に数ミリ～数秒の立ち上がり時間を要するが、本実施の形態では、論理素子の組み合わせにより基板機能の選択を行うため、立ち上がり時間を大幅に短縮することができる。また、基板機能の選択を、スイッチ107及び論理回路108という簡易な構成で実現するため、コストも削減できる。

【0053】

（実施の形態2）

本開示の実施の形態2に係るイメージセンサ1は、実施の形態1に係るイメージセンサ1と同様の構成を有する、センサICを直線状に配列したラインセンサである。基板10に実装される論理回路128の構成が実施の形態1と異なる。実施の形態2に係るイメージセンサ1について、図面を参照して詳細に説明する。

【0054】

図11は、本実施の形態2に係る論理回路128の一部の構成を示す図である。論理回路128は、実施の形態1の論理回路108に加えて、論理回路108と特定の電気部品との間に、多段の論理積回路である全論理積回路1281を備える。つまり、論理回路128は、図11に示すように、第4論理回路1084の出力端子S₁～S₈のうちから選択した1の出力端子以外の全ての出力端子からの出力信号の論理積を出力する全論理積回路1281を含む。図11では、出力端子S₁以外の出力端子S₂～S₈からの出力信号の論理積を順次求める。その結果、論理回路128は、出力端子S₂～S₈の値のいずれかがLowのときに出力端子S_AからLowを出力し、出力端子S₂～S₈の値が全てHighのとき出力端子S_AからHighを出力する。

【0055】

論理回路128の出力S_Aは、イネーブル信号として特定の電気部品のイネーブル端子に入力されることにより、特定の電気部品を有効又は無効に制御できる。特定の電気部品は例えば、メインクロック101であり、出力S_Aに基づいて、クロックの発振又は停止を制御する。

【0056】

なお、他の電気部品であるバッファ102、104、105には、第4論理回路108

10

20

30

40

50

4 の出力端子 $S_1 \sim S_8$ のうちから選択された 1 の出力端子が直接接続され、有効又は無効に制御される。

【0057】

このように、スイッチ 107 と論理回路 128 を備えることにより、長尺のイメージセンサ 1 を実現するために、画像処理用の回路基板を複数種類用いる必要がなく、1 種類の回路基板で実現することが可能となる。また、1 種類の回路基板を用いるため、製造工程も簡易化することができる。

【0058】

以上説明したように、本実施の形態に係るイメージセンサ 1 において、イネーブル信号を出力する論理回路 128 が、第 4 論理回路 1084 の出力端子 $S_1 \sim S_8$ のうちから選択した 1 の出力端子以外の全ての出力端子からの出力信号の論理積を出力する全論理積回路 1281 を含むとした。これにより、全論理回路 1281 の出力端子 S_A からの信号もイネーブル信号として用いるため、確実に電気部品の有効と無効とを切り替えることができる。

【0059】

なお、上記実施の形態 1, 2 において、スイッチ 107 が 8 チャンネルであり、論理回路 108 が 8 出力である場合について説明したが、スイッチ 107 が 4 ～ 7 チャンネルであり、論理回路 108 が 4 ～ 7 出力の場合も同様に実施できる。

【0060】

例えば、スイッチ 107 が 4 チャンネルの場合には、第 1 論理回路 1081 の第 5 ピン P_5 、第 6 ピン P_6 、第 7 ピン P_7 、第 8 ピン P_8 をすべて High に固定することにより（プルアップ）、実施できる。同様に、スイッチ 107 が 5 チャンネルの場合には、第 1 論理回路 1081 の第 6 ピン P_6 、第 7 ピン P_7 、第 8 ピン P_8 を High に固定し、スイッチ 107 が 6 チャンネルの場合には、第 1 論理回路 1081 の第 7 ピン P_7 、第 8 ピン P_8 を High に固定し、スイッチ 107 が 7 チャンネルの場合には、第 1 論理回路 1081 の第 8 ピン P_8 を High に固定することにより、実施できる。

【0061】

スイッチ 107 が 4 ～ 7 チャンネルの場合には、第 1 論理回路 1081 の第 5 ピン P_5 、第 6 ピン P_6 、第 7 ピン P_7 、第 8 ピン P_8 のうち High に固定されたピンに対応する第 4 論理回路 1084 の出力端子 S_5 、 S_6 、 S_7 、 S_8 は、High となるため、これらの出力端子を High に固定する（プルアップ）。

【0062】

また、上記実施の形態 1, 2 において、イネーブル信号を出力する論理回路の例として、論理回路 108 の構成を説明したが、4 以上の ON 又は OFF の入力信号に対し、互いに独立した 4 以上の出力端子より選択された、いずれか 1 つの出力端子から ON 又は OFF の信号を出力する論理演算を行う論理回路であれば、他の任意の論理回路を用いてもよい。

【0063】

また、上記実施の形態 1, 2 において、基板 10a ～ 10h を 1 種類の回路基板で構成し、スイッチ 107 及び論理回路 108, 128 により基板 10 の機能を切り替えるとしたが、これに限られない。例えば、基板 10 は、基板 30 の機能を含んでもよい。つまり、図 12 に示すように、基板 10 及び基板 30 の機能を含む基板 11 (11a ～ h) を 1 種類の回路基板で構成し、スイッチ 107 及び論理回路 108, 128 により基板 11 の機能を切り替えてもよい。図 12 は、他の例のイメージセンサ 2 を示す図である。これにより更に基板種類を減らすことができる。

【0064】

以下、本開示の諸態様を付記としてまとめて記載する。

【0065】

(付記 1)

4 以上の選択ピンを含むスイッチと、

10

20

30

40

50

前記選択ピンのうち予め定めた1の前記選択ピンのみからON信号が入力され、その他全ての前記選択ピンからOFF信号が入力されたときに、互いに独立の4以上の出力端子より選択された1の出力端子からON信号を出力する論理回路と、

前記論理回路の出力に基づいて、有効と無効とを切り替える電気部品と、
を備える回路基板。

【0066】

(付記2)

前記スイッチは、8の選択ピンを含む物理スイッチであって、

前記論理回路は、前記選択ピンのうち予め定めた1の選択ピンと、前記1の選択ピンから離隔した他の選択ピンと、の少なくともいずれか一方のみからON信号が入力されたときに、ON信号を出力する第1論理回路を含む、

付記1に記載の回路基板。

【0067】

(付記3)

前記論理回路は、前記1の選択ピンからの入力と前記他の選択ピンからの入力の排他的論理和を求める第2論理回路と、前記第1論理回路の出力と前記第2論理回路の出力との論理和を求める第3論理回路と、前記8の選択ピンのそれぞれからの入力と前記第3論理回路の出力との論理和を求める第4論理回路と、を更に含む、

付記2に記載の回路基板。

【0068】

(付記4)

前記論理回路は、選択された前記1の出力端子以外の全ての出力端子からの出力の論理積を出力する全論理積回路を含み、

前記電気部品の少なくとも1つは、前記全論理積回路の出力に基づいて、有効と無効とを切り替える、

付記1から3のいずれか1つに記載の回路基板。

【0069】

(付記5)

前記電気部品は、クロック又はバッファである、

付記1から4のいずれか1つに記載の回路基板。

【0070】

(付記6)

付記1から5のいずれか1つに記載の回路基板を複数備えるイメージセンサであって、各回路基板の前記スイッチの前記選択ピンの選択により有効にした前記電気部品を用いて、センサICの出力信号に対して画像処理を実行する、

イメージセンサ。

【0071】

(付記7)

センサICが固定されたフレームに対して、4以上の選択ピンを含むスイッチと、前記選択ピンからの入力に対して論理演算を行う論理回路と、前記論理回路の出力に基づいて有効と無効とを切り替える電気部品と、が実装された画像処理用の複数の基板を、前記センサICの配列方向に沿って固定する基板固定ステップと、

前記選択ピンのうち予め定めた1の前記選択ピンのみをONに設定し、その他全ての前記選択ピンをOFFに設定することにより、前記論理回路の互いに独立の4以上の出力端子より選択された1の出力端子から、前記電気部品を有効にする信号を出力させるスイッチ設定ステップと、を有する、

イメージセンサの製造方法。

【0072】

本開示は、本開示の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本開示を説明するためのものであ

10

20

30

40

50

り、本開示の範囲を限定するものではない。すなわち、本開示の範囲は、実施形態ではなく、請求の範囲によって示される。そして、請求の範囲内及びそれと同等の開示の意義の範囲内で施される様々な変形が、本開示の範囲内とみなされる。

【符号の説明】

【0074】

1, 2 イメージセンサ、10, 10a~10h, 11, 11a~11h, 21, 22, 30 基板、25, 31 スペーサー、40, 41 基板、51, 52 コネクタ、53 FAN、70 フレーム、80 カバー、101 メインクロック、102, 104, 105 バッファ、103 コネクタ、106 FPGA、107 スイッチ、108, 128 論理回路、109 配線、110 ケーブル、1081 第1論理回路、1082 第2論理回路、1083 第3論理回路、1084 第4論理回路、1101, 1103, 1107 論理積回路、1102, 1106, 1109, 1111 否定回路、1104, 1105, 1108, 1110 否定論理和回路、1201 排他的論理和回路、1202, 1302, 1402 否定回路、1301, 1401 否定論理和回路、1501 論理積回路。

10

20

30

40

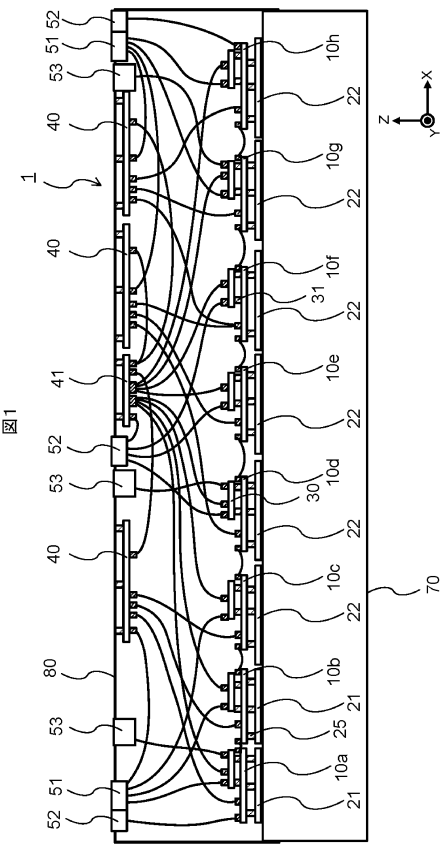
50

【要約】

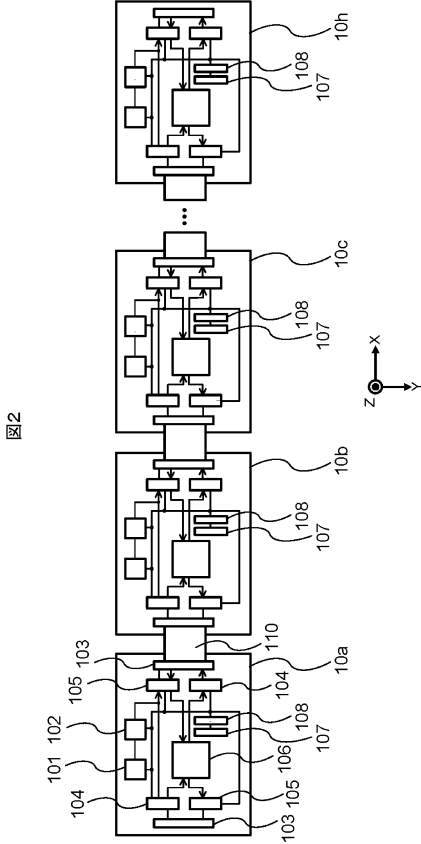
基板（10a～10h）として機能する回路基板のそれぞれは、4以上の選択ピンを含むスイッチ（107）と、選択ピンのうち予め定めた1の選択ピンのみからON信号が入力され、その他全ての選択ピンからOFF信号が入力されたときに、互いに独立の4以上の出力端子より選択された1の出力端子からON信号を出力する論理回路（108）と、論理回路（108）の出力に基づいて、有効と無効とを切り替える電気部品と、を備える。

【図面】

【図1】



【図2】



10

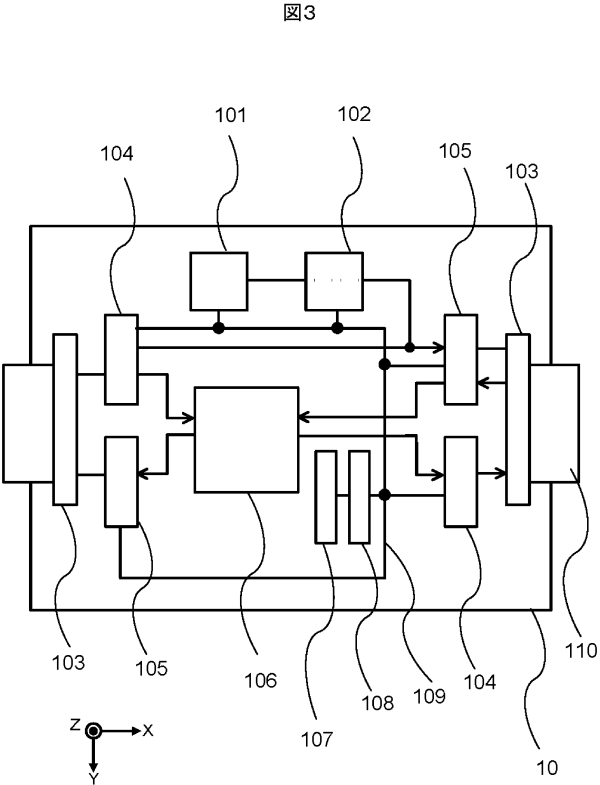
20

30

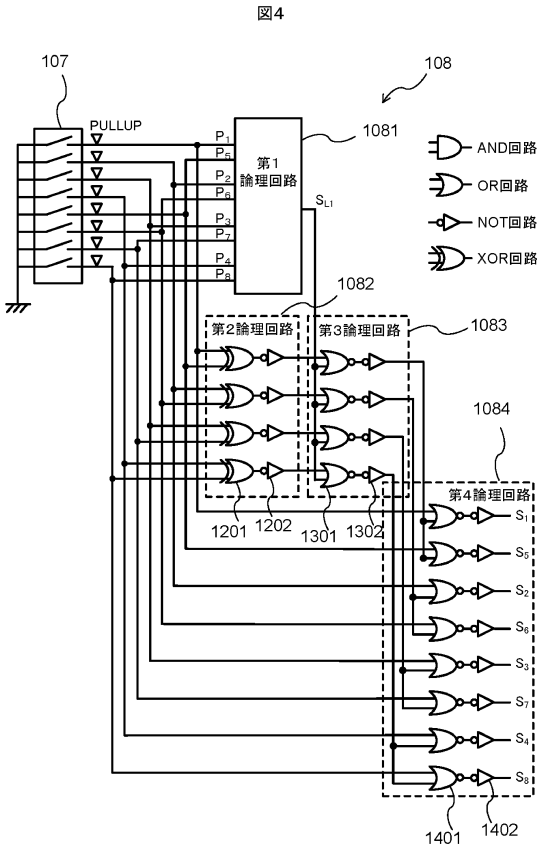
40

50

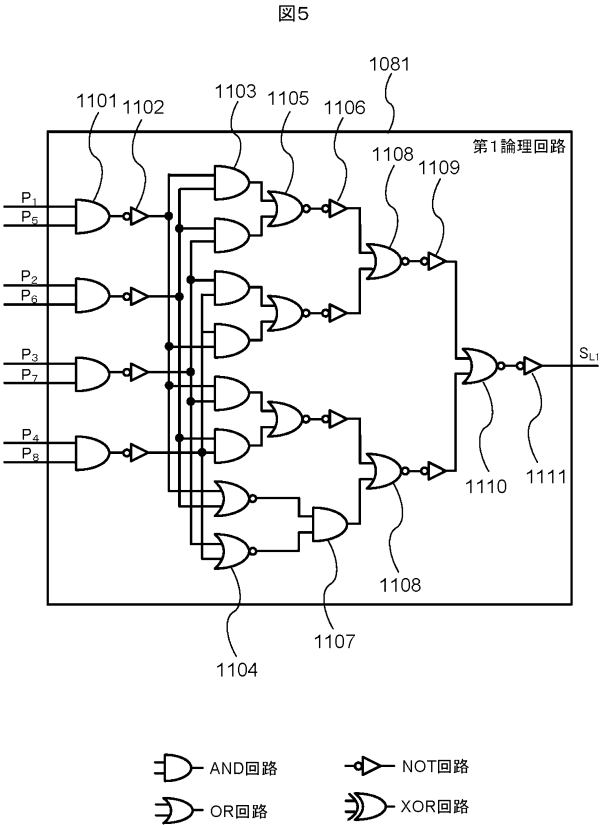
【図 3】



【図 4】



【図 5】



【図 6】

図6

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0000	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
1	0001	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
2	0010	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
3	0011	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
4	0100	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
5	0101	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
6	0110	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
7	0111	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
8	1000	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
9	1001	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
10	1010	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
11	1011	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
12	1100	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
13	1101	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
14	1110	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
15	1111	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

縦軸: DIP-SWのP₃, P₇, P₆, P₈に対応 横軸: DIP-SWのP₁, P₅, P₂, P₆に対応

10

20

30

40

50

【図 7 A】

図7A

DIP-SW P ₅			
	L	H	
L	H	L	
H	L	H	

DIP-SW P₁

【図 7 B】

図7B

DIP-SW P ₆			
	L	H	
L	H	L	
H	L	H	

DIP-SW P₂

【図 7 C】

図7C

DIP-SW P ₇			
	L	H	
L	H	L	
H	L	H	

DIP-SW P₃

【図 7 D】

図7D

DIP-SW P ₈			
	L	H	
L	H	L	
H	L	H	

DIP-SW P₄

【図 8】

図8

第1論理回路			
	L	H	
L	L	H	
H	H	H	

第2論理回路

【図 9】

図9

第3論理回路			
	L	H	
L	L	H	
H	H	H	

DIP-SW
P₁~P₈

10

20

30

40

50

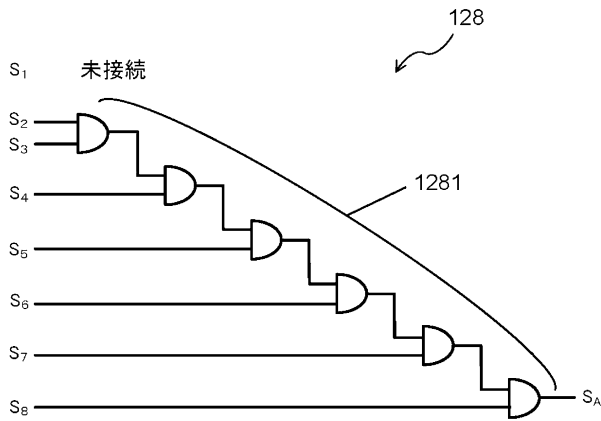
【図 1 0】

図10

論理回路出力	DIP-SW	出力値
S ₁	P ₁ のみL (ON)	L
S ₅	P ₅ のみL (ON)	L
S ₂	P ₂ のみL (ON)	L
S ₆	P ₆ のみL (ON)	L
S ₃	P ₃ のみL (ON)	L
S ₇	P ₇ のみL (ON)	L
S ₄	P ₄ のみL (ON)	L
S ₈	P ₈ のみL (ON)	L

【図 1 1】

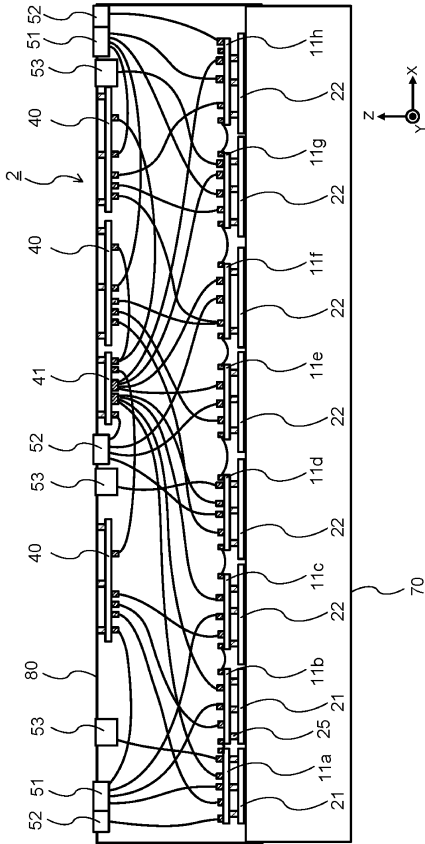
図11



10

【図 1 2】

図12



20

30

40

50

フロントページの続き

(72)発明者 重田 博昭
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 宮島 潤

(56)参考文献 実開昭55-167595 (JP, U)

特開平10-214952 (JP, A)

(58)調査した分野 (Int.Cl., DB名)

H04N 1/024 - 1/036

H03K 19/08 - 19/23

H04N 5/222 - 5/257

H04N 23/00

H04N 23/40 - 23/76

H04N 23/90 - 23/959

H05K 1/18