

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7358410号
(P7358410)

(45)発行日 令和5年10月10日(2023.10.10)

(24)登録日 令和5年9月29日(2023.9.29)

(51)国際特許分類	F I
H 0 4 N 25/773 (2023.01)	H 0 4 N 25/773
H 0 4 N 25/76 (2023.01)	H 0 4 N 25/76
H 0 1 L 27/146 (2006.01)	H 0 1 L 27/146 A

請求項の数 24 (全30頁)

(21)出願番号	特願2021-8658(P2021-8658)	(73)特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	令和3年1月22日(2021.1.22)	(74)代理人	100094112 弁理士 岡部 譲
(65)公開番号	特開2022-112740(P2022-112740 A)	(74)代理人	100101498 弁理士 越智 隆夫
(43)公開日	令和4年8月3日(2022.8.3)	(74)代理人	100106183 弁理士 吉澤 弘司
審査請求日	令和5年3月3日(2023.3.3)	(74)代理人	100136799 弁理士 本田 亜希
早期審査対象出願		(72)発明者	大田 康晴 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
		(72)発明者	笹子 知弥

最終頁に続く

(54)【発明の名称】 光電変換装置及び光検出システム

(57)【特許請求の範囲】

【請求項1】

光子の入射により生じた電荷をアバランシェ増倍により増倍するアバランシェダイオードを有し、光子の入射に応じて第1の信号を出力する光電変換部と、前記第1の信号と第2の信号とに応じて第3の信号をカウンタに出力する論理回路を含む信号処理回路と、を有する画素を有し、

前記信号処理回路は、第1の耐圧を有する第1の素子と、前記第1の耐圧よりも低い耐圧である第2の耐圧を有する第2の素子と、を含み、前記第1の素子に前記第1の信号が入力され、前記第2の素子に前記第2の信号が入力されるように構成されている

ことを特徴とする光電変換装置。

【請求項2】

光子の入射により生じた電荷をアバランシェ増倍により増倍するアバランシェダイオードを有し、光子の入射に応じて第1の信号を出力する光電変換部と、前記第1の信号と第2の信号とに応じて第3の信号をカウンタに出力する論理回路を含む信号処理回路と、を有する画素を有し、

前記信号処理回路は、第1の素子と第2の素子と、を含み、前記第1の素子に前記第1の信号が入力され、前記第2の素子に前記第2の信号が入力されるように構成されており、

前記第1の素子が有するトランジスタのゲート絶縁膜の厚さは、前記第2の素子が有するトランジスタのゲート絶縁膜の厚さよりも厚い

ことを特徴とする光電変換装置。

【請求項 3】

光子の入射により生じた電荷をアバランシェ増倍により増倍するアバランシェダイオードを有し、光子の入射に応じて第 1 の信号を出力する光電変換部と、前記第 1 の信号と第 2 の信号とに応じて第 3 の信号を出力する論理回路を含む信号処理回路と、を有する画素を有し、

前記信号処理回路は、前記アバランシェダイオードのカソードまたはアノードに接続された第 1 の耐圧を有する第 1 の素子と、前記第 1 の耐圧よりも低い耐圧である第 2 の耐圧を有する第 2 の素子と、を含み、前記第 1 の素子に前記第 1 の信号が入力され、前記第 2 の素子に前記第 2 の信号が入力されるように構成されている

ことを特徴とする光電変換装置。

10

【請求項 4】

光子の入射により生じた電荷をアバランシェ増倍により増倍するアバランシェダイオードを有し、光子の入射に応じて第 1 の信号を出力する光電変換部と、前記第 1 の信号と第 2 の信号とに応じて第 3 の信号を出力する論理回路を含む信号処理回路と、を有する画素を有し、

前記信号処理回路は、前記アバランシェダイオードのカソードまたはアノードに接続された第 1 の素子と第 2 の素子と、を含み、前記第 1 の素子に前記第 1 の信号が入力され、前記第 2 の素子に前記第 2 の信号が入力されるように構成されており、

前記第 1 の素子が有するトランジスタのゲート絶縁膜の厚さは、前記第 2 の素子が有するトランジスタのゲート絶縁膜の厚さよりも厚い

ことを特徴とする光電変換装置。

20

【請求項 5】

光子の入射により生じた電荷をアバランシェ増倍により増倍するアバランシェダイオードを有し、光子の入射に応じてアナログ信号である第 1 の信号を出力する光電変換部と、前記第 1 の信号と第 2 の信号とに応じてパルス信号である第 3 の信号を出力する論理回路を含む波形整形回路と、を有する画素を有し、

前記波形整形回路は、第 1 の耐圧を有する第 1 の素子と、前記第 1 の耐圧よりも低い耐圧である第 2 の耐圧を有する第 2 の素子と、を含み、前記第 1 の素子に前記第 1 の信号が入力され、前記第 2 の素子に前記第 2 の信号が入力されるように構成されている

ことを特徴とする光電変換装置。

30

【請求項 6】

光子の入射により生じた電荷をアバランシェ増倍により増倍するアバランシェダイオードを有し、光子の入射に応じてアナログ信号である第 1 の信号を出力する光電変換部と、前記第 1 の信号と第 2 の信号とに応じてパルス信号である第 3 の信号を出力する論理回路を含む波形整形回路と、を有する画素を有し、

前記波形整形回路は、第 1 の素子と第 2 の素子と、を含み、前記第 1 の素子に前記第 1 の信号が入力され、前記第 2 の素子に前記第 2 の信号が入力されるように構成されており、前記第 1 の素子が有するトランジスタのゲート絶縁膜の厚さは、前記第 2 の素子が有するトランジスタのゲート絶縁膜の厚さよりも厚い

ことを特徴とする光電変換装置。

40

【請求項 7】

前記光電変換部は、前記アバランシェダイオードのアバランシェ増倍を抑制するクエンチ素子を更に有し、

前記クエンチ素子は、前記第 2 の耐圧を有する第 3 の素子により構成されている

ことを特徴とする請求項 1、3、5 のいずれか 1 項に記載の光電変換装置。

【請求項 8】

前記第 1 の信号は、第 1 の振幅を有し、

前記第 2 の信号は、前記第 1 の振幅よりも小さい第 2 の振幅を有する

ことを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の光電変換装置。

【請求項 9】

50

前記第 3 の信号は、アナログ信号である前記第 1 の信号をパルス信号に変換した信号である

ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の光電変換装置。

【請求項 1 0】

前記第 2 の信号は、前記信号処理回路からの前記第 3 の信号の出力を制御する信号であることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の光電変換装置。

【請求項 1 1】

前記信号処理回路は、複数の前記第 1 の素子と、複数の前記第 2 の素子と、を含み、前記複数の第 1 の素子が配置された第 1 の領域と、前記複数の第 2 の素子が配置された第 2 の領域と、を有する

ことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の光電変換装置。

【請求項 1 2】

複数の前記画素が配列された画素部を有し、隣り合う前記複数の画素が、前記第 1 の領域を共有していることを特徴とする請求項 1 1 記載の光電変換装置。

【請求項 1 3】

前記画素部は、4 つの前記画素がミラー対称配置された単位ブロックが繰り返し配列されてなる

ことを特徴とする請求項 1 2 記載の光電変換装置。

【請求項 1 4】

前記複数の第 1 の素子は、第 1 導電型の第 1 のトランジスタと、前記第 1 導電型と異なる第 2 導電型の第 2 のトランジスタと、を含み、

前記複数の第 2 の素子は、前記第 1 導電型の第 3 のトランジスタと、前記第 2 導電型の第 4 のトランジスタと、を含み、

前記第 1 のトランジスタと前記第 3 のトランジスタとが共通の第 1 のウェルに設けられており、

前記第 2 のトランジスタと前記第 4 のトランジスタとが共通の第 2 のウェルに設けられている

ことを特徴とする請求項 1 1 乃至 1 3 のいずれか 1 項に記載の光電変換装置。

【請求項 1 5】

前記第 1 のトランジスタ及び前記第 2 のトランジスタのゲート絶縁膜は、前記第 3 のトランジスタ及び前記第 4 のトランジスタのゲート絶縁膜よりも厚い

ことを特徴とする請求項 1 4 記載の光電変換装置。

【請求項 1 6】

前記第 1 のトランジスタ及び前記第 2 のトランジスタのゲートが延在する方向と、前記第 3 のトランジスタ及び前記第 4 のトランジスタのゲートが延在する方向とが異なっていることを特徴とする請求項 1 4 又は 1 5 記載の光電変換装置。

【請求項 1 7】

前記第 1 の素子に供給される電源電圧と前記第 2 の素子に供給される電源電圧とが同じである

ことを特徴とする請求項 1 乃至 1 6 のいずれか 1 項に記載の光電変換装置。

【請求項 1 8】

前記論理回路は、前記第 1 の信号及び前記第 2 の信号を入力とし、前記第 3 の信号を出力とする NOR 回路を有する

ことを特徴とする請求項 1 乃至 1 7 のいずれか 1 項に記載の光電変換装置。

【請求項 1 9】

前記 NOR 回路は、前記第 1 の素子及び前記第 2 の素子により構成されている

ことを特徴とする請求項 1 8 記載の光電変換装置。

【請求項 2 0】

前記論理回路は、前記第 1 の信号を入力とする NOT 回路と、前記 NOT 回路の出力及

10

20

30

40

50

び前記第 2 の信号を入力とし、前記第 3 の信号を出力とする N A N D 回路と、を有することを特徴とする請求項 1 乃至 1 7 のいずれか 1 項に記載の光電変換装置。

【請求項 2 1】

前記 N O T 回路は、前記第 1 の素子により構成されており、
前記 N A N D 回路は、前記第 1 の素子及び前記第 2 の素子により構成されていることを特徴とする請求項 2 0 記載の光電変換装置。

【請求項 2 2】

請求項 1 乃至 2 1 のいずれか 1 項に記載の光電変換装置と、
前記光電変換装置から出力される信号を処理する信号処理装置と
を有することを特徴とする光検出システム。

10

【請求項 2 3】

前記信号処理装置は、前記信号に基づいて対象物までの距離情報を表す距離画像を生成することを特徴とする請求項 2 2 記載の光検出システム。

【請求項 2 4】

移動体であって、
請求項 1 乃至 2 1 のいずれか 1 項に記載の光電変換装置と、
前記光電変換装置から出力される信号に基づく視差画像から、対象物までの距離情報を取得する距離情報取得手段と、
前記距離情報に基づいて前記移動体を制御する制御手段と
を有することを特徴とする移動体。

20

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、光電変換装置及び光検出システムに関する。

【背景技術】

【0 0 0 2】

単一光子レベルの微弱光を検出可能な検出器として、単一光子アバランシェダイオード (S P A D : Single Photon Avalanche Diode) が知られている。 S P A D は、半導体の p n 接合部に誘起された強電界により発生するアバランシェ増倍現象を用いることで、光子により励起された信号電荷を数倍 ~ 数百万倍程度に増幅するものである。アバランシェ増倍現象により発生した電流をパルス信号に変換し、そのパルス信号の数をカウントすることで、入射するフォトンの個数を直接計測することが可能となる。

30

【先行技術文献】

【特許文献】

【0 0 0 3】

【文献】特開 2 0 1 9 - 1 5 8 8 0 6 号公報

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 4】

S P A D を用いたイメージセンサは C M O S イメージセンサと比較して 1 つの画素を構成する素子数が多いため、画素回路の面積を如何にして縮小するのかが画素の微細化や開口率の向上を図るうえで重要である。特許文献 1 には、複数の受光部がリチャージ制御部を共有するように構成することで 1 画素当たりの回路面積を縮小する技術が開示されている。しかしながら、特許文献 1 に記載の技術は、画素回路自体の面積縮小を目的としたものではなかった。

40

【0 0 0 5】

本発明の目的は、画素回路を構成する素子の面積効率を向上し、ひいては画素回路の高性能化や高機能化が実現された光電変換装置及び光検出システムを提供することにある。

【課題を解決するための手段】

50

【 0 0 0 6 】

本発明の一観点によれば、光子の入射により生じた電荷をアバランシェ増倍により増倍するアバランシェダイオードを有し、光子の入射に応じて第1の信号を出力する光電変換部と、前記第1の信号と第2の信号とに応じて第3の信号を出力する論理回路を含む信号処理回路と、を有する画素を有し、前記信号処理回路は、第1の耐圧を有する第1の素子と、前記第1の耐圧よりも低い耐圧である第2の耐圧を有する第2の素子と、を含み、前記第1の素子に前記第1の信号が入力され、前記第2の素子に前記第2の信号が入力されるように構成されている光電変換装置が提供される。

【 0 0 0 7 】

また、本発明の他の一観点によれば、光子の入射により生じた電荷をアバランシェ増倍により増倍するアバランシェダイオードを有し、光子の入射に応じて第1の信号を出力する光電変換部と、前記第1の信号と第2の信号とに応じて第3の信号を出力する論理回路を含む信号処理回路と、を有する画素を有し、前記信号処理回路は、第1の素子と第2の素子と、を含み、前記第1の素子に前記第1の信号が入力され、前記第2の素子に前記第2の信号が入力されるように構成されており、前記第1の素子が有するトランジスタのゲート絶縁膜の厚さは、前記第2の素子が有するトランジスタのゲート絶縁膜の厚さよりも厚い光電変換装置が提供される。

10

【 発明の効果 】

【 0 0 0 8 】

本発明によれば、画素回路を構成する素子の面積効率を向上し、光電変換装置の高性能化や高機能化を実現することができる。

20

【 図面の簡単な説明 】

【 0 0 0 9 】

【 図 1 】 本発明の第1実施形態による光電変換装置の概略構成を示すブロック図（その1）である。

【 図 2 】 本発明の第1実施形態による光電変換装置の概略構成を示すブロック図（その2）である。

【 図 3 】 本発明の第1実施形態による光電変換装置における画素の構成例を示すブロック図である。

【 図 4 】 本発明の第1実施形態による光電変換装置の構成例を示す斜視図である。

30

【 図 5 】 本発明の第1実施形態による光電変換装置における光電変換部の基本動作を説明する図である。

【 図 6 】 本発明の第1実施形態による光電変換装置における信号処理回路の構成例及び動作を説明する図（その1）である。

【 図 7 】 本発明の第1実施形態による光電変換装置における信号処理回路の構成例及び動作を説明する図（その2）である。

【 図 8 】 本発明の第1実施形態による光電変換装置における素子の配置例を示す平面図（その1）である。

【 図 9 】 本発明の第1実施形態による光電変換装置における素子の配置例を示す平面図（その2）である。

40

【 図 10 】 本発明の第1実施形態による光電変換装置における素子の配置例を示す平面図（その3）である。

【 図 11 】 本発明の第1実施形態による光電変換装置に用いられる高耐圧トランジスタ及び低耐圧トランジスタの構成例を示す概略断面図である。

【 図 12 】 本発明の第1実施形態による光電変換装置に用いられる高耐圧トランジスタ及び低耐圧トランジスタの製造方法を示す工程断面図（その1）である。

【 図 13 】 本発明の第1実施形態による光電変換装置に用いられる高耐圧トランジスタ及び低耐圧トランジスタの製造方法を示す工程断面図（その2）である。

【 図 14 】 本発明の第2実施形態による光検出システムの概略構成を示すブロック図である。

50

【図 15】本発明の第 3 実施形態による距離画像センサの概略構成を示すブロック図である。

【図 16】本発明の第 4 実施形態による内視鏡手術システムの構成例を示す概略図である。

【図 17】本発明の第 5 実施形態による移動体の構成例を示す概略図である。

【図 18】本発明の第 5 実施形態による光検出システムの概略構成を示すブロック図である。

【図 19】本発明の第 5 実施形態による光検出システムの動作を示すフロー図である。

【図 20】本発明の第 6 実施形態による光検出システムの概略構成を示す概略図である。

【発明を実施するための形態】

【0010】

以下に示す形態は、本発明の技術思想を具体化するためのものであって、本発明を限定するものではない。各図面が示す部材の大きさや位置関係は、説明を明確にするために誇張していることがある。

【0011】

[第 1 実施形態]

本発明の第 1 実施形態による光電変換装置について、図 1 乃至図 13 を用いて説明する。図 1 及び図 2 は、本実施形態による光電変換装置の概略構成を示すブロック図である。図 3 は、本実施形態による光電変換装置の画素の構成例を示すブロック図である。図 4 は、本実施形態による光電変換装置の構成例を示す斜視図である。図 5 は、本実施形態による光電変換装置の光電変換部の基本動作を説明する図である。図 6 及び図 7 は、本実施形態による光電変換装置の信号処理回路の構成例及び動作を説明する図である。図 8 乃至図 10 は、本実施形態による光電変換装置における素子の配置例を示す平面図である。図 11 は、本実施形態の光電変換装置に用いられる高耐圧トランジスタ及び低耐圧トランジスタの構成例を示す概略断面図である。図 12 及び図 13 は、本実施形態の光電変換装置に用いられる高耐圧トランジスタ及び低耐圧トランジスタの製造方法を示す工程断面図である。

【0012】

本実施形態による光電変換装置 100 は、図 1 に示すように、画素部 10 と、垂直走査回路部 40 と、読み出し回路部 50 と、水平走査回路部 60 と、出力回路部 70 と、制御パルス生成部 80 と、を有する。

【0013】

画素部 10 には、複数の行及び複数の列をなすようにアレイ状に配された複数の画素 12 が設けられている。各々の画素 12 は、後述するように、光子検知素子を含む光電変換部と、光電変換部から出力される信号を処理する画素信号処理部と、により構成され得る。なお、画素部 10 を構成する画素 12 の数は、特に限定されるものではない。例えば、一般的なデジタルカメラのように数千行×数千列のアレイ状に配された複数の画素 12 により画素部 10 を構成することができる。或いは、1 行又は 1 列に並べた複数の画素 12 により画素部 10 を構成してもよい。或いは、1 つの画素 12 により画素部 10 を構成してもよい。

【0014】

画素部 10 の画素アレイの各行には、第 1 の方向（図 1 において横方向）に延在して、制御線 14 が配されている。制御線 14 は、第 1 の方向に並ぶ画素 12 にそれぞれ接続され、これら画素 12 に共通の信号線をなしている。制御線 14 の延在する第 1 の方向は、行方向或いは水平方向と表記することがある。制御線 14 の各々は、複数種類の制御信号を画素 12 に供給するための複数の信号線を含み得る。

【0015】

また、画素部 10 の画素アレイの各列には、第 1 の方向と交差する第 2 の方向（図 1 において縦方向）に延在して、データ線 16 が配されている。データ線 16 は、第 2 の方向に並ぶ画素 12 にそれぞれ接続され、これら画素 12 に共通の信号線をなしている。データ線 16 の延在する第 2 の方向は、列方向或いは垂直方向と表記することがある。データ

10

20

30

40

50

線 1 6 の各々は、画素 1 2 から出力される複数ビットのデジタル信号をビット毎に転送するための複数の信号線を含み得る。

【 0 0 1 6 】

各行の制御線 1 4 は、垂直走査回路部 4 0 に接続されている。垂直走査回路部 4 0 は、制御パルス生成部 8 0 から出力される制御信号を受け、画素 1 2 を駆動するための制御信号を生成し、制御線 1 4 を介して画素 1 2 に供給する機能を備える制御部である。垂直走査回路部 4 0 には、シフトレジスタやアドレスデコーダといった論理回路が用いられ得る。垂直走査回路部 4 0 は、画素部 1 0 内の画素 1 2 を行単位で順次走査し、データ線 1 6 を介して各画素 1 2 の画素信号を読み出し回路部 5 0 へと出力する。

【 0 0 1 7 】

各列のデータ線 1 6 は、読み出し回路部 5 0 に接続されている。読み出し回路部 5 0 は、画素部 1 0 の画素アレイの各列に対応して設けられた複数の保持部（図示せず）を備え、データ線 1 6 を介して画素部 1 0 から行単位で出力される各列の画素 1 2 の画素信号に対応する列の保持部にて保持する機能を備える。

【 0 0 1 8 】

水平走査回路部 6 0 は、制御パルス生成部 8 0 から出力される制御信号を受け、読み出し回路部 5 0 の各列の保持部から画素信号を読み出すための制御信号を生成し、読み出し回路部 5 0 に供給する制御部である。水平走査回路部 6 0 には、シフトレジスタやアドレスデコーダといった論理回路が用いられ得る。水平走査回路部 6 0 は、読み出し回路部 5 0 の各列の保持部を順次走査し、各々に保持されている画素信号を順次出力回路部 7 0 へと出力する。

【 0 0 1 9 】

出力回路部 7 0 は、外部インターフェース回路を有し、読み出し回路部 5 0 から出力された画素信号を光電変換装置 1 0 0 の外部へ出力するための回路部である。出力回路部 7 0 が備える外部インターフェース回路は、特に限定されるものではない。外部インターフェース回路には、例えば、L V D S (Low Voltage Differential Signaling) 回路、S L V S (Scalable Low Voltage Signaling) 回路等の S e r D e s (S E R I A L I Z E R / D E S E R I A L I Z E R) 送信回路を適用可能である。

【 0 0 2 0 】

制御パルス生成部 8 0 は、垂直走査回路部 4 0 、読み出し回路部 5 0 、水平走査回路部 6 0 の動作やそのタイミングを制御する制御信号を生成し、各機能ブロックに供給するための制御回路である。なお、垂直走査回路部 4 0 、読み出し回路部 5 0 、水平走査回路部 6 0 の動作やそのタイミングを制御する制御信号の少なくとも一部は、光電変換装置 1 0 0 の外部から供給してもよい。

【 0 0 2 1 】

なお、光電変換装置 1 0 0 の各機能ブロックの接続態様は図 1 の構成例に限定されるものではなく、例えば図 2 に示すように構成することもできる。

【 0 0 2 2 】

図 2 の構成例では、画素部 1 0 の画素アレイの各行に、第 1 の方向に延在するデータ線 1 6 を配している。データ線 1 6 は、第 1 の方向に並ぶ画素 1 2 にそれぞれ接続され、これら画素 1 2 に共通の信号線をなしている。また、画素部 1 0 の画素アレイの各列に、第 2 の方向に延在する制御線 1 8 を配している。制御線 1 8 は、第 2 の方向に並ぶ画素 1 2 にそれぞれ接続され、これら画素 1 2 に共通の信号線をなしている。

【 0 0 2 3 】

各列の制御線 1 8 は、水平走査回路部 6 0 に接続されている。水平走査回路部 6 0 は、制御パルス生成部 8 0 から出力される制御信号を受け、画素 1 2 から画素信号を読み出すための制御信号を生成し、制御線 1 8 を介して画素 1 2 に供給する。具体的には、水平走査回路部 6 0 は、画素部 1 0 の複数の画素 1 2 を列単位で順次走査し、選択された列に属する各行の画素 1 2 の画素信号をデータ線 1 6 に出力する。

【 0 0 2 4 】

10

20

30

40

50

各行のデータ線 16 は、読み出し回路部 50 に接続されている。読み出し回路部 50 は、画素部 10 の画素アレイの各行に対応して設けられた複数の保持部（図示せず）を備え、データ線 16 を介して画素部 10 から列単位で出力される各行の画素 12 の画素信号を対応する行の保持部にて保持する機能を備える。

【0025】

読み出し回路部 50 は、制御パルス生成部 80 から出力される制御信号を受け、各行の保持部に保持されている画素信号を順次出力回路部 70 へと出力する。

図 2 の構成例におけるその他の構成は、図 1 の構成例と同様であり得る。

【0026】

各々の画素 12 は、図 3 に示すように、光電変換部 20 と、画素信号処理部 30 と、を有する。光電変換部 20 は、光子検知素子 22 と、クエンチ素子 24 と、を有する。画素信号処理部 30 は、信号処理回路 32 と、カウンタ 34 と、画素出力回路 36 と、を有する。

10

【0027】

光子検知素子 22 は、アバランシェフォトダイオード（以下、「APD」と表記する）であり得る。光子検知素子 22 を構成する APD のアノードは、電圧 V_L が供給されるノードに接続されている。光子検知素子 22 を構成する APD のカソードは、クエンチ素子 24 の一方の端子に接続されている。光子検知素子 22 とクエンチ素子 24 との接続ノードが、光電変換部 20 の出力ノードである。クエンチ素子 24 の他方の端子は、電圧 V_L よりも高い電圧 V_H が供給されるノードに接続されている。電圧 V_L 及び電圧 V_H は、APD がアバランシェ増倍動作をするに十分な逆バイアス電圧が印加されるように設定されている。一例では、電圧 V_L として負の高電圧が与えられ、電圧 V_H として電源電圧程度の正電圧が与えられる。例えば、電圧 V_L は $-30V$ であり、電圧 V_H は $1V$ である。

20

【0028】

光子検知素子 22 は、前述のように APD により構成され得る。アバランシェ増倍動作をするに十分な逆バイアス電圧を APD に供給した状態とすることで、APD への光入射によって生じた電荷がアバランシェ増倍を起こし、アバランシェ電流が発生する。APD に逆バイアス電圧を供給した状態における動作モードには、ガイガーモードとリニアモードとがある。ガイガーモードは、アノードとカソードとの間に印加する電圧を APD の降伏電圧よりも大きい逆バイアス電圧とする動作モードである。リニアモードは、アノードとカソードとの間に印加する電圧を APD の降伏電圧近傍又はそれ以下の逆バイアス電圧とする動作モードである。ガイガーモードで動作させる APD は、SPAD (Single Photon Avalanche Diode) と呼ばれる。光子検知素子 22 を構成する APD は、リニアモードで動作するようにしてもよいし、ガイガーモードで動作するようにしてもよい。特に、SPAD はリニアモードの APD に比べて電位差が大きくなり耐圧の効果が顕著となるため好ましい。

30

【0029】

クエンチ素子 24 は、光子検知素子 22 で生じたアバランシェ電流の変化を電圧信号に変換する機能を備える。また、クエンチ素子 24 は、アバランシェ増倍による信号増倍時に負荷回路（クエンチ回路）として機能し、光子検知素子 22 に印加される電圧を低減してアバランシェ増倍を抑制する機能を備える。クエンチ素子 24 がアバランシェ増倍を抑制する動作は、クエンチ動作と呼ばれる。また、クエンチ素子 24 は、クエンチ動作によって電圧降下した分の電流を流すことにより、光子検知素子 22 に供給する電圧を電圧 V_H へと戻す機能を備える。クエンチ素子 24 が光子検知素子 22 に供給する電圧を電圧 V_H へと戻す動作は、リチャージ動作と呼ばれる。クエンチ素子 24 は、抵抗素子や MOS トランジスタなどにより構成され得る。

40

【0030】

信号処理回路 32 は、光電変換部 20 の出力信号である信号 IN_1 が供給される入力ノードと、信号 IN_2 が供給される入力ノードと、出力ノードと、を有する。信号処理回路 32 は、光電変換部 20 から供給されるアナログ信号である信号 IN_1 をパルス信号に変

50

換する波形整形部としての機能を備える。信号IN2は、制御パルス生成部80から供給され、信号IN1に応じたパルス信号を出力ノードから出力するか否かを選択する選択信号である。信号処理回路32の出力ノードは、カウンタ34に接続されている。

【0031】

カウンタ34は、信号処理回路32の出力信号である信号OUTが供給される入力ノードと、制御線14に接続された入力ノードと、出力ノードと、を有する。カウンタ34は、信号処理回路32から出力される信号OUTに重畳するパルスの計数を行い、計数結果であるカウント値を保持する機能を備える。垂直走査回路部40から制御線14を介してカウンタ34に供給される信号には、パルスの計数期間（露光期間）を制御するためのイネーブル信号や、カウンタ34が保持するカウント値をリセットするためのリセット信号などが含まれ得る。カウンタ34の出力ノードは、画素出力回路36を介してデータ線16に接続されている。

10

【0032】

画素出力回路36は、カウンタ34とデータ線16との間の電気的な接続状態（接続又は非接続）を切り替える機能を備える。画素出力回路36は、垂直走査回路部40から制御線14を介して供給される制御信号（図2の構成例にあっては、水平走査回路部60から制御線18を介して供給される制御信号）に応じて、カウンタ34とデータ線16との間の接続状態を切り替える。画素出力回路36は、信号を出力するためのバッファ回路を含み得る。

【0033】

画素12は、典型的には、画像を形成するための画素信号を出力する単位構造体である。ただし、TOF（Time of Flight）方式を用いた測距などを目的とする場合にあっては、画素12は、必ずしも画像を形成するための画素信号を出力する単位構造体である必要はない。すなわち、画素12は、光が到達した時刻と光量とを測定するための信号を出力する単位構造体でもあり得る。

20

【0034】

なお、画素信号処理部30は、必ずしも各々の画素12に1つずつ設けられている必要はなく、複数の画素12に対して1つの画素信号処理部30を設けるようにしてもよい。この場合、1つの画素信号処理部30を用い、複数の画素12の信号処理を順次実行することができる。

30

【0035】

本実施形態による光電変換装置100は、1枚の基板に形成してもよいし、複数の基板を積層した積層型の光電変換装置として構成してもよい。後者の場合、例えば図4に示すように、センサ基板110と回路基板120とを積層して電気的に接続した積層型の光電変換装置として構成可能である。センサ基板110には、画素12の構成要素のうち少なくとも光子検知素子22を配置することができる。また、回路基板120には、画素12の構成要素のうち、クエンチ素子24と画素信号処理部30とを配置することができる。光子検知素子22とクエンチ素子24及び画素信号処理部30とは、画素12毎に設けられた接続配線を介して電気的に接続される。また、回路基板120には、垂直走査回路部40、読み出し回路部50、水平走査回路部60、出力回路部70、制御パルス生成部80等を更に配置することができる。

40

【0036】

各画素12の光子検知素子22とクエンチ素子24及び画素信号処理部30とは、平面視において重なるようにセンサ基板110と回路基板120とに設けられる。垂直走査回路部40、読み出し回路部50、水平走査回路部60、出力回路部70、制御パルス生成部80は、複数の画素12により構成される画素部10の周囲に配置することができる。

【0037】

なお、本明細書において「平面視」とは、センサ基板110の光入射面に対して垂直な方向から視ることを指す。また、「断面」とは、センサ基板110の光入射面に垂直な方向の断面を指す。

50

【 0 0 3 8 】

積層型の光電変換装置 1 0 0 を構成することにより、素子の集積度を上げ、高機能化を図ることができる。特に、光子検知素子 2 2 とクエンチ素子 2 4 及び画素信号処理部 3 0 とを別々の基板に配置することで、光子検知素子 2 2 の受光面積を犠牲にすることなく光子検知素子 2 2 を高密度で配置することができ、光子検知効率を向上することができる。

【 0 0 3 9 】

なお、光電変換装置 1 0 0 を構成する基板の数は 2 枚に限定されるものではなく、3 枚以上の基板を積層して光電変換装置 1 0 0 を構成するようにしてもよい。

【 0 0 4 0 】

また、図 4 ではセンサ基板 1 1 0 及び回路基板 1 2 0 としてダイシングされたチップを想定しているが、センサ基板 1 1 0 及び回路基板 1 2 0 はチップに限定されるものではない。例えば、センサ基板 1 1 0 及び回路基板 1 2 0 の各々はウェーハであってもよい。また、センサ基板 1 1 0 及び回路基板 1 2 0 は、ウェーハ状態で積層した後にダイシングしてもよいし、各々をチップ化した後に積層・接合してもよい。

10

【 0 0 4 1 】

図 5 は、光電変換部 2 0 及び信号処理回路 3 2 の基本動作を説明する図である。図 5 (a) は光電変換部 2 0 及び信号処理回路 3 2 の回路図であり、図 5 (b) は信号処理回路 3 2 の入力ノード (ノード A) における信号の波形を示し、図 5 (c) は信号処理回路 3 2 の出力ノード (ノード B) における信号の波形を示している。なお、ここでは説明の簡略化のため、信号処理回路 3 2 がインバータ回路により構成されている場合を想定している。

20

【 0 0 4 2 】

時刻 t_0 において、光子検知素子 2 2 には $(V_H - V_L)$ に相当する電位差の逆バイアス電圧が印加されている。光子検知素子 2 2 を構成する APD のアノードとカソードとの間にはアバランシェ増倍を生じるに十分な逆バイアス電圧が印加されているが、光子検知素子 2 2 に光子が入射していない状態ではアバランシェ増倍の種となるキャリアが存在しない。そのため、光子検知素子 2 2 においてアバランシェ増倍は起こらず、光子検知素子 2 2 に電流は流れない。

【 0 0 4 3 】

続く時刻 t_1 において、光子検知素子 2 2 に光子 (フォトン) が入射したものとす。光子検知素子 2 2 に光子が入射すると、光電変換によって電子 - 正孔対が生成され、これらキャリアを種としてアバランシェ増倍が生じ、光子検知素子 2 2 にアバランシェ増倍電流が流れる。このアバランシェ増倍電流がクエンチ素子 2 4 を流れることによりクエンチ素子 2 4 による電圧降下が生じ、ノード A の電圧が低下し始める。ノード A の電圧降下量が大きくなり、時刻 t_3 においてアバランシェ増倍が停止すると、ノード A の電圧レベルはそれ以上低下しなくなる。

30

【 0 0 4 4 】

光子検知素子 2 2 におけるアバランシェ増倍が停止すると、電圧 V_L が供給されるノードから光子検知素子 2 2 を介してノード A に電圧降下分を補う電流が流れ、ノード A の電圧は徐々に増加する。その後、時刻 t_5 においてノード A は元の電圧レベルに静定する。

40

【 0 0 4 5 】

信号処理回路 3 2 は、ノード A から入力される信号を所定の判定閾値に応じて二値化し、ノード B から出力する。具体的には、信号処理回路 3 2 は、ノード A の電圧レベルが判定閾値を超えているときはノード B から Low レベルの信号を出力し、ノード A の電圧レベルが判定閾値以下のときはノード B から High レベルの信号を出力する。例えば、図 5 (b) に示すように、時刻 t_2 から時刻 t_4 の期間においてノード A の電圧が判定閾値以下であるとする。この場合、図 5 (c) に示すように、ノード B における信号レベルは、時刻 t_0 から時刻 t_2 の期間及び時刻 t_4 から時刻 t_5 の期間において Low レベルとなり、時刻 t_2 から時刻 t_4 の期間において High レベルとなる。

【 0 0 4 6 】

50

こうして、ノードAから入力されたアナログ信号は、信号処理回路32によってデジタル信号へと波形整形される。光子検知素子22への光子の入射に応じて信号処理回路32から出力されるパルス信号が、光子検知パルス信号である。

【0047】

図6は、信号処理回路32の構成例及び動作を説明する図である。図6(a)は信号処理回路32の構成例を示す回路図であり、図6(b)は信号処理回路32の入力信号(信号IN1, IN2)及び出力信号(信号OUT)の波形を示している。

【0048】

信号処理回路32は、例えば図6(a)に示すように、N型トランジスタMNH1, MNL1と、P型トランジスタMPH1, MPL1と、を含む2入力NOR回路により構成され得る。信号IN1が供給される入力ノードは、N型トランジスタMNH1のゲートと、P型トランジスタMPH1のゲートとに接続されている。信号IN2が供給される入力ノードは、N型トランジスタMNL1のゲートと、P型トランジスタMPL1のゲートとに接続されている。P型トランジスタMPH1のソースは、電源電圧ノード(電圧VDD)に接続されている。P型トランジスタMPH1のドレインは、P型トランジスタMPL1のソースに接続されている。P型トランジスタMPL1のドレインは、N型トランジスタMNH1のドレイン及びN型トランジスタMNL1のドレインに接続されている。N型トランジスタMNH1のソース及びN型トランジスタMNL1のソースは、基準電圧ノード(電圧VSS)に接続されている。P型トランジスタMPL1のドレインと、N型トランジスタMNH1のドレインと、N型トランジスタMNL1のドレインとの接続ノードは、信号処理回路32の出力ノードを構成している。

【0049】

2入力NOR回路により構成される図6(a)の信号処理回路32は、図6(b)に示すように、信号IN2がLowレベルの場合に、光子検知素子22への光子の入射に応じて光子検知パルス信号を出力する。一方、信号処理回路32は、信号IN2がHighレベルの場合には、光子検知素子22に光子が入射しても光子検知パルス信号は出力しない。

【0050】

ここで、本実施形態による光電変換装置100の信号処理回路32は、相対的に耐圧の高い素子(高耐圧トランジスタ)と、相対的に耐圧の低い素子(低耐圧トランジスタ)とにより構成されている。具体的には、信号IN1を制御ノード(ゲート)に受けるN型トランジスタMNH1及びP型トランジスタMPH1は、高耐圧トランジスタで構成されている。また、信号IN2を制御ノード(ゲート)に受けるN型トランジスタMNL1及びP型トランジスタMPL1は、低耐圧トランジスタで構成されている。なお、高耐圧トランジスタは、例えば2.5Vの電源電圧での動作を想定した2.5V系のトランジスタであり得る。また、低耐圧トランジスタは、例えば1.1Vの電源電圧での動作を想定した1.1V系のトランジスタであり得る。

【0051】

カウンタ34や画素出力回路36等を構成する論理回路は、低消費電力且つ高速動作が可能なトランジスタにより構成することが好ましいが、このような特性のトランジスタは相対的に耐圧の低い低耐圧トランジスタである。一方、光電変換部20から出力される信号IN1は、光電変換部20の動作に応じた所定の振幅(電圧V1)を有する。この電圧V1は、通常、論理回路の内部信号の振幅(電圧V2)よりも大きく、低耐圧トランジスタのゲート耐圧を超えるため、低耐圧トランジスタで信号IN1を受けることはできない。そのため、信号処理回路32は、電圧V1よりも高い耐圧を有する高耐圧トランジスタにより構成される。

【0052】

しかしながら、高耐圧トランジスタは、低耐圧トランジスタと比較して占有面積が大きいため、信号処理回路32を高耐圧トランジスタにより構成すると回路面積が大きくなる。特に、SPADイメージセンサはCMOSイメージセンサと比較して1画素当たりの素子数が多いため、信号処理回路32の面積は可能な限り縮小することが望まれる。

10

20

30

40

50

【 0 0 5 3 】

そこで、本実施形態では、信号 I N 1 を受ける N 型トランジスタ M N H 1 及び P 型トランジスタ M P H 1 を高耐圧トランジスタで構成する一方、信号 I N 2 を受ける N 型トランジスタ M N L 1 及び P 型トランジスタ M P L 1 を低耐圧トランジスタで構成している。このように構成することで、高耐圧トランジスタを必要最小限に絞り、電圧 V 1 に対する耐圧を有する信号処理回路 3 2 を小面積で実現することができる。これにより、素子の間隔を広げ、信号間の干渉を減らすことができる。或いは、同じ面積の画素 1 2 内に組み込みうる素子数を増加することができ、光電変換装置の高機能化を図ることが可能となる。

【 0 0 5 4 】

なお、図 6 には信号処理回路 3 2 を 2 入力 NOR 回路により構成する例を示したが、信号処理回路 3 2 は 2 入力 NOR 回路に限定されるものではない。信号処理回路 3 2 は、例えば図 7 に示すように、インバータ回路と NAND 回路とを含む 2 入力 1 出力の論理回路により構成することも可能である。図 7 に示す信号処理回路 3 2 は、N 型トランジスタ M N H 2 と P 型トランジスタ M P H 2 とを含む NOT 回路（インバータ回路）と、N 型トランジスタ M N H 1 , M N L 1 と P 型トランジスタ M P H 1 , M P L 1 とを含む NAND 回路と、により構成されている。

【 0 0 5 5 】

信号 I N 1 が供給される入力ノードは、N 型トランジスタ M N H 2 のゲートと、P 型トランジスタ M P H 2 のゲートとに接続されている。P 型トランジスタ M P H 2 のソースは、電源電圧ノード（電圧 V D H ）に接続されている。P 型トランジスタ M P H 2 のドレインは、N 型トランジスタ M N H 2 のドレインに接続されている。N 型トランジスタ M N H 2 のソースは、基準電圧ノード（電圧 V S S ）に接続されている。P 型トランジスタ M P H 2 のドレインと N 型トランジスタ M N H 2 のドレインとの接続ノード（ノード N 1 ）は、インバータ回路の出力ノードである。ノード N 1 における信号振幅は、電圧 V 1 である。電圧 V D H と電圧 V S S との電位差が、概ね電圧 V 1 である。

【 0 0 5 6 】

ノード N 1 は、N 型トランジスタ M N H 1 のゲートと、P 型トランジスタ M P H 1 のゲートとに接続されている。信号 I N 2 が供給される入力ノードは、N 型トランジスタ M N L 1 のゲートと、P 型トランジスタ M P L 1 のゲートとに接続されている。P 型トランジスタ M P H 1 のソース及び P 型トランジスタ M P L 1 のソースは、電源電圧ノード（電圧 V D D ）に接続されている。P 型トランジスタ M P H 1 のドレイン及び P 型トランジスタ M P L 1 のドレインは、N 型トランジスタ M N H 1 のドレインに接続されている。N 型トランジスタ M N H 1 のソースは、N 型トランジスタ M N L 1 のドレインに接続されている。N 型トランジスタ M N L 1 のソースは、基準電圧ノード（電圧 V S S ）に接続されている。P 型トランジスタ M P H 1 のドレインと、P 型トランジスタ M P L 1 のドレインと、N 型トランジスタ M N H 1 のドレインとの接続ノードは、信号処理回路 3 2 の出力ノードを構成している。

【 0 0 5 7 】

図 7 (a) の回路により構成される信号処理回路 3 2 は、図 7 (b) に示すように、信号 I N 2 が H i g h レベルの場合に、光子検知素子 2 2 への光子の入射に応じて光子検知パルス信号を出力する。一方、信号処理回路 3 2 は、信号 I N 2 が L o w レベルの場合には、光子検知素子 2 2 に光子が入射しても光子検知パルス信号は出力しない。

【 0 0 5 8 】

なお、図 7 (a) における N 型トランジスタ M N H 1 , M N L 1 及び P 型トランジスタ M P H 1 , M P L 1 を低耐圧トランジスタで構成し、NOT 回路の P 型トランジスタ M P H 2 のソースに電圧 V D D を供給する構成としてもよい。

【 0 0 5 9 】

また、図 6 及び図 7 には 2 入力の信号処理回路 3 2 を示したが、信号処理回路 3 2 は 2 入力に限定されるものではなく、3 以上の入力ノードを備えた信号処理回路 3 2 であってもよい。

10

20

30

40

50

【 0 0 6 0 】

図 8 は、画素部 1 0 を構成する素子の回路基板 1 2 0 上における配置例を示す平面図である。図 8 には、画素部 1 0 に設けられた複数の画素 1 2 のうち、2 行×2 列に配された 4 つの画素 1 2 を示している。この 4 つの画素 1 2 からなる単位ブロックが行方向及び列方向に繰り返し配列されることにより、画素部 1 0 が構成される。図 8 には図面の簡略化のため、活性領域のパターン、ゲート層のパターン、N ウェル 1 3 4 及び P ウェル 1 3 6 のパターンのみを示している。N ウェル 1 3 4 と P ウェル 1 3 6 との境界は点線で示し、P ウェル 1 3 6 の領域にはドットパターンを付している。また、低耐圧トランジスタが設けられる領域（低耐圧領域 L V）と、高耐圧トランジスタが設けられる領域（高耐圧領域 H V）との境界を、一点鎖線で示している。

10

【 0 0 6 1 】

回路基板 1 2 0 には、画素 1 2 を構成する素子のうち、光子検知素子 2 2 を除く素子、具体的には、クエンチ素子 2 4 や、信号処理回路 3 2、カウンタ 3 4 及び画素出力回路 3 6 を構成するトランジスタなどが配される。図 8 には、クエンチ素子 2 4 を構成する P 型トランジスタ M P Q と、信号処理回路 3 2 を構成する N 型トランジスタ M N H 1、M N L 1 及び P 型トランジスタ M P H 1、M P L 1 とに、対応する符号を付している。符号を付していないその他のトランジスタは、カウンタ 3 4 や画素出力回路 3 6 を構成するトランジスタである。なお、図 8 では N 型トランジスタ M N L 1 及び P 型トランジスタ M P L 1 として特定のトランジスタを指定しているが、N 型トランジスタ M N L 1 及び P 型トランジスタ M P L 1 は低耐圧領域 L V に配されたトランジスタであれば特に限定されるものではない。

20

【 0 0 6 2 】

クエンチ素子 2 4 及び信号処理回路 3 2 を構成するトランジスタのうち、N 型トランジスタ M N H 1 及び P 型トランジスタ M P H 1、M P Q が高耐圧トランジスタであり、N 型トランジスタ M N L 1 及び P 型トランジスタ M P L 1 が低耐圧トランジスタである。N 型トランジスタ M N H 1 及び P 型トランジスタ M P H 1、M P Q は高耐圧領域 H V に配され、N 型トランジスタ M N L 1 及び P 型トランジスタ M P L 1 は低耐圧領域 L V に配される。高耐圧トランジスタと低耐圧トランジスタとは、製造工程が異なることに起因する位置合わせずれマージンや耐圧を確保する観点から、所定の間隔を空けて配置される。

【 0 0 6 3 】

図 8 の配置例では、2 行×2 列の 4 つの画素 1 2 をミラー対称配置とし、4 つの画素 1 2 の高耐圧領域 H V が隣り合い連続するように構成している。別の言い方をすると、4 つの画素 1 2 の高耐圧領域 H V で構成される 1 つの領域を、これら 4 つの画素 1 2 が共有している。これにより、各画素 1 2 における高耐圧領域 H V と低耐圧領域 L V との境界部を減らし、面積効率を向上することができる。したがって、信号処理回路 3 2、カウンタ 3 4 及び画素出力回路 3 6 等により複雑な回路を適用し、光電変換装置の更なる高機能化を実現することも可能となる。

30

【 0 0 6 4 】

なお、図 8 には高耐圧領域 H V の 2 つの辺が隣り合う画素 1 2 の高耐圧領域 H V に接する例を示しているが、隣り合う画素 1 2 の高耐圧領域 H V に接する辺は 1 つであってもよいし、3 つであってもよい。

40

【 0 0 6 5 】

また、図 8 の配置例では、P 型トランジスタ M P Q のゲートが延在する方向（X 方向）と N 型トランジスタ M N H 1 及び P 型トランジスタ M P H 1 のゲートが延在する方向（Y 方向）が直交するように配置している。こうすることで、P 型トランジスタ M P Q のゲートと N 型トランジスタ M N H 1 及び P 型トランジスタ M P H 1 のゲートが延在する方向とを同じ方向（X 方向）に配置する場合と比較して、面積効率を向上できる場合がある（図 9（a）及び図 9（b）を参照）。各トランジスタのゲートが延在する方向は、面積向上等の観点から適宜選択することができる。

【 0 0 6 6 】

50

また、図 8 に示すように、高耐圧トランジスタである N 型トランジスタ MNH 1 と低耐圧トランジスタである N 型トランジスタ MNL 1 とは、共通の P ウェル 1 3 6 内に配置することができる。同様に、高耐圧トランジスタである P 型トランジスタ MPH 1 , MPQ と低耐圧トランジスタである P 型トランジスタ MPL 1 とは、共通の N ウェル 1 3 4 内に配置することができる。

【 0 0 6 7 】

図 1 0 は、図 8 から 1 つの画素 1 2 の一部の素子を抜き出した平面図である。図 1 1 は、図 1 0 の A - A 線断面図である。図 1 0 及び図 1 1 において、N 型トランジスタ MNL は N 型トランジスタ MNL 1 と同様の構造を有する低耐圧トランジスタであり、P 型トランジスタ MPL は P 型トランジスタ MPL 1 と同様の構造を有する低耐圧トランジスタ

10

【 0 0 6 8 】

シリコン基板 1 3 0 の表面部には、N ウェル 1 3 4 と P ウェル 1 3 6 とが設けられている。また、シリコン基板 1 3 0 の表面部には、活性領域を画定する素子分離領域 1 3 2 が設けられている。P ウェル 1 3 6 に確定された活性領域には、N 型トランジスタ MNH 1 , MNL 1 , MNL と、P ウェルコンタクト部 1 5 4 と、が設けられている。N ウェル 1 3 4 に確定された活性領域には、P 型トランジスタ MPH 1 , MPL 1 , MPL と、N ウェルコンタクト部 1 5 6 と、が設けられている。なお、N ウェル 1 3 4 を P 型領域で囲まれた二重ウェル構造とし、N ウェル 1 3 4 をシリコン基板 1 3 0 の深部の領域から電氣的に分離するように構成してもよい。

20

【 0 0 6 9 】

N 型トランジスタ MNL 1 , MNL は、シリコン基板 1 3 0 の上にゲート絶縁膜 1 4 2 を介して設けられたゲート電極 1 4 6 と、N 型半導体領域よりなるソース/ドレイン領域 1 5 0 と、を有している。P 型トランジスタ MPL 1 , MPL は、シリコン基板 1 3 0 の上にゲート絶縁膜 1 4 2 を介して設けられたゲート電極 1 4 6 と、P 型半導体領域よりなるソース/ドレイン領域 1 5 2 と、を有している。N 型トランジスタ MNH 1 は、シリコン基板 1 3 0 の上にゲート絶縁膜 1 4 4 を介して設けられたゲート電極 1 4 8 と、N 型半導体領域よりなるソース/ドレイン領域 1 5 0 と、を有している。P 型トランジスタ MPH 1 は、シリコン基板 1 3 0 の上にゲート絶縁膜 1 4 4 を介して設けられたゲート電極 1 4 8 と、P 型半導体領域よりなるソース/ドレイン領域 1 5 2 と、を有している。

30

【 0 0 7 0 】

高耐圧の N 型トランジスタ MNH 1 と低耐圧の N 型トランジスタ MNL 1 とは、P ウェルコンタクト部 1 5 4 を共有している。P ウェルコンタクト部 1 5 4 は、P ウェル 1 3 6 の表面部に設けられた高濃度の P 型半導体領域により構成されている。高耐圧の P 型トランジスタ MPH 1 と低耐圧の P 型トランジスタ MPL 1 , MPL とは、N ウェルコンタクト部 1 5 6 を共有している。N ウェルコンタクト部 1 5 6 は、N ウェル 1 3 4 の表面部に設けられた高濃度の N 型半導体領域により構成されている。

【 0 0 7 1 】

低耐圧トランジスタ (N 型トランジスタ MNL 1 , MNL 及び P 型トランジスタ MPL 1 , MPL) と高耐圧トランジスタ (N 型トランジスタ MNH 1 及び P 型トランジスタ MPH 1) とは、ゲート絶縁膜 1 4 2 , 1 4 4 の厚さが異なっている。具体的には、高耐圧トランジスタのゲート絶縁膜 1 4 4 の厚さは、低耐圧トランジスタのゲート絶縁膜 1 4 2 の厚さよりも厚くなっている。

40

【 0 0 7 2 】

次に、低耐圧トランジスタ及び高耐圧トランジスタの製造方法の一例について、図 1 2 及び図 1 3 を用いて説明する。図 1 2 及び図 1 3 は、低耐圧トランジスタ及び高耐圧トランジスタの製造方法を示す工程断面図である。

【 0 0 7 3 】

まず、例えば STI (Shallow Trench Isolation) 法を用い、シリコン基板 1 3 0 の表面部に活性領域を画定する素子分離領域 1 3 2 を形成する。

50

【 0 0 7 4 】

次いで、フォトリソグラフィ及びイオン注入を用い、シリコン基板 1 3 0 の所定領域に所定の不純物を注入し、Nウェル 1 3 4 及びPウェル 1 3 6 を形成する（図 1 2 (a) ）。

【 0 0 7 5 】

次いで、例えば熱酸化法によりシリコン基板 1 3 0 を熱酸化し、素子分離領域 1 3 2 により画定された活性領域の表面部に酸化シリコン膜 1 3 8 を形成する（図 1 2 (b) ）。

【 0 0 7 6 】

次いで、フォトリソグラフィにより、少なくとも高耐圧領域 H V を覆い且つ少なくとも低耐圧領域 L V を露出するフォトレジスト膜 1 4 0 を形成する。

【 0 0 7 7 】

次いで、フォトレジスト膜 1 4 0 をマスクとして酸化シリコン膜 1 3 8 をエッチングし、低耐圧領域 L V の酸化シリコン膜 1 3 8 を除去する（図 1 2 (c) ）。なお、図 1 2 (c) では、低耐圧領域 L V の酸化シリコン膜 1 3 8 とともにウェルコンタクト領域の酸化シリコン膜 1 3 8 も除去しているが、ウェルコンタクト領域の酸化シリコン膜 1 3 8 は必ずしも除去する必要はない。

【 0 0 7 8 】

次いで、例えばアッシングにより、フォトレジスト膜 1 4 0 を除去する。

次いで、例えば熱酸化法によりシリコン基板 1 3 0 を熱酸化し、低耐圧領域 L V 及びウェルコンタクト領域に、第 1 の膜厚の酸化シリコン膜（ゲート絶縁膜 1 4 2 ）を形成する。同時に、高耐圧領域 H V の酸化シリコン膜 1 3 8 を追加酸化し、第 1 の膜厚よりも厚い第 2 の膜厚の酸化シリコン膜（ゲート絶縁膜 1 4 4 ）を形成する（図 1 3 (a) ）。

【 0 0 7 9 】

次いで、例えば C V D 法により多結晶シリコン膜を堆積後、フォトリソグラフィ及びドライエッチングによりこの多結晶シリコン膜をパターニングし、ゲート電極 1 4 6 , 1 4 8 を形成する（図 1 3 (b) ）。

【 0 0 8 0 】

次いで、フォトリソグラフィ及びイオン注入を用い、N型トランジスタ形成領域及びNウェルコンタクト領域にN型不純物を注入する。これにより、N型トランジスタ M N H 1 , M N L 1 , M N L のソース/ドレイン領域 1 5 0 及びNウェルコンタクト部 1 5 6 を形成する。

【 0 0 8 1 】

また、フォトリソグラフィ及びイオン注入を用い、P型トランジスタ形成領域及びPウェルコンタクト領域にP型不純物を注入する。これにより、P型トランジスタ M P H 1 , M P L 1 , M P L のソース/ドレイン領域 1 5 2 及びPウェルコンタクト部 1 5 4 を形成する（図 1 3 (c) ）。

【 0 0 8 2 】

このように、本実施形態によれば、画素回路を構成する素子の面積効率を向上し、光電変換装置の高性能化や高機能化を実現することができる。

【 0 0 8 3 】

[第 2 実施形態]

本発明の第 2 実施形態による光検出システムについて、図 1 4 を用いて説明する。図 1 4 は、本実施形態による光検出システムの概略構成を示すブロック図である。本実施形態では、第 1 実施形態の光電変換装置 1 0 0 を適用した光検出センサについて説明する。

【 0 0 8 4 】

上記第 1 実施形態で述べた光電変換装置 1 0 0 は、種々の光検出システムに適用可能である。適用可能な光検出システムの例としては、デジタルスチルカメラ、デジタルカムコーダ、監視カメラ、複写機、ファックス、携帯電話、車載カメラ、観測衛星などの撮像システムが挙げられる。また、レンズなどの光学系と撮像装置とを備えるカメラモジュールも、光検出システムに含まれる。図 1 4 には、これらのうちの一例として、デジタルスチルカメラのブロック図を例示している。

10

20

30

40

50

【 0 0 8 5 】

図 1 4 に例示した光検出システム 2 0 0 は、光電変換装置 2 0 1、被写体の光学像を光電変換装置 2 0 1 に結像させるレンズ 2 0 2、レンズ 2 0 2 を通過する光量を可変にするための絞り 2 0 4、レンズ 2 0 2 の保護のためのバリア 2 0 6 を有する。レンズ 2 0 2 及び絞り 2 0 4 は、光電変換装置 2 0 1 に光を集光する光学系である。光電変換装置 2 0 1 は、第 1 実施形態で説明した光電変換装置 1 0 0 であって、レンズ 2 0 2 により結像された光学像を画像データに変換する。

【 0 0 8 6 】

光検出システム 2 0 0 は、また、光電変換装置 2 0 1 より出力される出力信号の処理を行う信号処理部 2 0 8 を有する。信号処理部 2 0 8 は、光電変換装置 2 0 1 が出力するデジタル信号から画像データの生成を行う。また、信号処理部 2 0 8 は必要に応じて各種の補正、圧縮を行って画像データを出力する動作を行う。光電変換装置 2 0 1 は、信号処理部 2 0 8 で処理されるデジタル信号を生成する A D 変換部を備え得る。A D 変換部は、光電変換装置 2 0 1 の光子検知素子が形成された半導体層（半導体基板）に形成されていてもよいし、光電変換装置 2 0 1 の光子検知素子が形成された半導体層とは別の半導体基板に形成されていてもよい。また、信号処理部 2 0 8 が光電変換装置 2 0 1 と同一の半導体基板に形成されていてもよい。

10

【 0 0 8 7 】

光検出システム 2 0 0 は、更に、画像データを一時的に記憶するためのバッファメモリ部 2 1 0、外部コンピュータ等と通信するための外部インターフェース部（外部 I / F 部）2 1 2 を有する。更に光検出システム 2 0 0 は、撮像データの記録又は読み出しを行うための半導体メモリ等の記録媒体 2 1 4、記録媒体 2 1 4 に記録又は読み出しを行うための記録媒体制御インターフェース部（記録媒体制御 I / F 部）2 1 6 を有する。なお、記録媒体 2 1 4 は、光検出システム 2 0 0 に内蔵されていてもよく、着脱可能であってもよい。また、記録媒体制御 I / F 部 2 1 6 と記録媒体 2 1 4 との間の通信や外部 I / F 部 2 1 2 からの通信は無線によってなされてもよい。

20

【 0 0 8 8 】

更に光検出システム 2 0 0 は、各種演算とデジタルスチルカメラ全体を制御する全体制御・演算部 2 1 8、光電変換装置 2 0 1 と信号処理部 2 0 8 に各種タイミング信号を出力するタイミング発生部 2 2 0 を有する。ここで、タイミング信号などは外部から入力されてもよく、光検出システム 2 0 0 は少なくとも光電変換装置 2 0 1 と、光電変換装置 2 0 1 から出力された出力信号を処理する信号処理部 2 0 8 とを有すればよい。タイミング発生部 2 2 0 は、光電変換装置 2 0 1 に搭載されていてもよい。また、全体制御・演算部 2 1 8 及びタイミング発生部 2 2 0 は、光電変換装置 2 0 1 の制御機能の一部又は全部を実施するように構成されていてもよい。

30

【 0 0 8 9 】

光電変換装置 2 0 1 は、撮像信号を信号処理部 2 0 8 に出力する。信号処理部 2 0 8 は、光電変換装置 2 0 1 から出力される撮像信号に対して所定の信号処理を実施し、画像データを出力する。信号処理部 2 0 8 は、撮像信号を用いて、画像を生成する。信号処理部 2 0 8 は、光電変換装置 2 0 1 から出力される信号に対して測距演算を行うように構成されていてもよい。

40

【 0 0 9 0 】

このように、本実施形態によれば、第 1 実施形態の光電変換装置を用いて光検出システムを構成することにより、より良質の画像が取得可能な光検出システムを実現することができる。

【 0 0 9 1 】

〔 第 3 実施形態 〕

本発明の第 3 実施形態による距離画像センサについて、図 1 5 を用いて説明する。図 1 5 は、本実施形態による距離画像センサの概略構成を示すブロック図である。本実施形態では、第 1 実施形態の光電変換装置 1 0 0 を適用した光検出システムの一例として距離画

50

像センサを説明する。

【0092】

本実施形態による距離画像センサ300は、図15に示すように、光学系302と、光電変換装置304と、画像処理回路306と、モニタ308と、メモリ310と、を含んで構成され得る。この距離画像センサ300は、光源装置320から被写体330に向かって照射され被写体330の表面で反射された光（変調光やパルス光）を受光し、被写体330までの距離に応じた距離画像を取得するものである。

【0093】

光学系302は、1枚又は複数枚のレンズにより構成され、被写体330からの像光（入射光）を光電変換装置304の受光面（センサ部）に結像させる役割を有する。

10

【0094】

光電変換装置304は、第1実施形態で説明した光電変換装置100であって、被写体330からの像光に基づいて被写体330までの距離を示す距離信号を生成し、生成した距離信号を画像処理回路306へと供給する機能を備える。

【0095】

画像処理回路306は、光電変換装置304から供給された距離信号に基づいて距離画像を構築する画像処理を行う機能を備える。

【0096】

モニタ308は、画像処理回路306における画像処理によって得られた距離画像（画像データ）を表示する機能を備える。また、メモリ310は、画像処理回路306における画像処理によって得られた距離画像（画像データ）を記憶（記録）する機能を備える。

20

【0097】

このように、本実施形態によれば、第1実施形態の光電変換装置を用いて距離画像センサを構成することにより、画素12の特性向上に相俟って、より正確な距離情報を含む距離画像を取得可能な距離画像センサを実現することができる。

【0098】

[第4実施形態]

本発明の第4実施形態による内視鏡手術システムについて、図16を用いて説明する。図16は、本実施形態による内視鏡手術システムの構成例を示す概略図である。本実施形態では、第1実施形態の光電変換装置100を適用した光検出システムの一部として内視鏡手術システムを説明する。

30

【0099】

図16には、術者（医師）460が、内視鏡手術システム400を用いて、患者ベッド470上の患者472に手術を行っている様子が図示されている。

【0100】

本実施形態の内視鏡手術システム400は、図16に示すように、内視鏡410と、術具420と、内視鏡下手術のための各種の装置が搭載されたカート430と、を含んで構成され得る。カート430には、CCU（カメラコントロールユニット：Camera Control Unit）432、光源装置434、入力装置436、処置具制御装置438、表示装置440などが搭載され得る。

40

【0101】

内視鏡410は、先端から所定の長さの領域が患者472の体腔内に挿入される鏡筒412と、鏡筒412の基端に接続されるカメラヘッド414と、を含んで構成される。図16には、硬性の鏡筒412を有するいわゆる硬性鏡として構成される内視鏡410を図示しているが、内視鏡410は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。内視鏡410は、アーム416により移動可能な状態で保持されている。

【0102】

鏡筒412の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡410には光源装置434が接続されており、光源装置434によって生成された光が、鏡筒412の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レ

50

ズを介して患者 4 7 2 の体腔内の観察対象に向かって照射される。なお、内視鏡 4 1 0 は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

【 0 1 0 3 】

カメラヘッド 4 1 4 の内部には図示しない光学系及び光電変換装置が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該光電変換装置に集光される。当該光電変換装置は、観察光を光電変換し、観察光に対応する電気信号、すなわち観察像に対応する画像信号を生成する。当該光電変換装置としては、第 1 実施形態で説明した光電変換装置 1 0 0 を用いることができる。当該画像信号は、RAW データとして CCU 4 3 2 に送信される。

【 0 1 0 4 】

CCU 4 3 2 は、CPU (Central Processing Unit) や GPU (Graphics Processing Unit) 等によって構成され、内視鏡 4 1 0 及び表示装置 4 4 0 の動作を統括的に制御する。更に、CCU 4 3 2 は、カメラヘッド 4 1 4 から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

【 0 1 0 5 】

表示装置 4 4 0 は、CCU 4 3 2 からの制御により、当該 CCU 4 3 2 によって画像処理が施された画像信号に基づく画像を表示する。

【 0 1 0 6 】

光源装置 4 3 4 は、例えば LED (Light Emitting Diode) 等の光源から構成され、術部等を撮影する際の照射光を内視鏡 4 1 0 に供給する。

【 0 1 0 7 】

入力装置 4 3 6 は、内視鏡手術システム 4 0 0 に対する入力インターフェースである。ユーザは、入力装置 4 3 6 を介して、内視鏡手術システム 4 0 0 に対して各種の情報の入力や指示入力を行うことができる。

【 0 1 0 8 】

処置具制御装置 4 3 8 は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具 4 5 0 の駆動を制御する。

【 0 1 0 9 】

内視鏡 4 1 0 に術部を撮影する際の照射光を供給する光源装置 4 3 4 は、例えば LED、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。RGB レーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置 4 3 4 において撮像画像のホワイトバランスの調整を行うことができる。また、この場合には、RGB レーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド 4 1 4 の撮像素子の駆動を制御することにより、RGB それぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

【 0 1 1 0 】

また、光源装置 4 3 4 は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド 4 1 4 の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

【 0 1 1 1 】

また、光源装置 4 3 4 は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用する。具体的には、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光

10

20

30

40

50

を観察すること、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置434は、このような特殊光観察に対応した狭帯域光及び/又は励起光を供給可能に構成され得る。

【0112】

このように、本実施形態によれば、第1実施形態の光電変換装置を用いて内視鏡手術システムを構成することにより、より良質の画像が取得可能な内視鏡手術システムを実現することができる。

【0113】

[第5実施形態]

本発明の第5実施形態による光検出システム及び移動体について、図17乃至図19を用いて説明する。図17は、本実施形態による移動体の構成例を示す概略図である。図18は、本実施形態による光検出システムの概略構成を示すブロック図である。図19は、本実施形態による光検出システムの動作を示すフロー図である。本実施形態では、第1実施形態の光電変換装置100を適用した光検出システムとして、車載カメラへの適用例を示す。

【0114】

図17は、本実施形態による移動体（車両システム）の構成例を示す模式図である。図17には、第1実施形態による光電変換装置を適用した光検出システムが組み込まれた車両システムの一例として、車両500（自動車）の構成を示している。図17（a）は車両500の正面模式図であり、図17（b）は車両500の平面模式図であり、図17（c）は車両500の背面模式図である。車両500は、正面に一对の光電変換装置502を備えている。ここで、光電変換装置502は、第1実施形態で説明した光電変換装置100である。また、車両500は、集積回路503、警報装置512及び主制御部513を備える。

【0115】

図18は、車両500に搭載された光検出システム501の構成例を示すブロック図である。光検出システム501は、光電変換装置502と、画像前処理部515と、集積回路503と、光学系514と、を含む。光電変換装置502は、第1実施形態で説明した光電変換装置100である。光学系514は、光電変換装置502に被写体の光学像を結像する。光電変換装置502は、光学系514により結像された被写体の光学像を電気信号に変換する。画像前処理部515は、光電変換装置502から出力された信号に対して所定の信号処理を行う。画像前処理部515の機能は、光電変換装置502内に組み込まれていてもよい。光検出システム501には、光学系514、光電変換装置502及び画像前処理部515の組が、少なくとも2組設けられており、各組の画像前処理部515からの出力が集積回路503に入力されるようになっている。

【0116】

集積回路503は、撮像システム用途向けの集積回路であり、画像処理部504、光学測距部506、視差演算部507、物体認知部508、異常検出部509を含む。画像処理部504は、画像前処理部515から出力された画像信号を処理する。例えば、画像処理部504は、画像前処理部515の出力信号に対して、現像処理や欠陥補正等の画像処理を行う。画像処理部504は、画像信号を一時的に保持するメモリ505を備える。メモリ505には、例えば光電変換装置502内の既知の欠陥画素の位置が記憶され得る。

【0117】

光学測距部506は、被写体の合焦や測距を行う。視差演算部507は、複数の光電変換装置502により取得された複数の画像データ（視差画像）から測距情報（距離情報）の算出を行う。光電変換装置502の各々が、距離情報などの各種情報を取得可能な構成を備えていてもよい。物体認知部508は、車、道、標識、人等の被写体の認知を行う。異常検出部509は、光電変換装置502の異常を検出すると、主制御部513に異常を通知する。

10

20

30

40

50

【 0 1 1 8 】

集積回路 5 0 3 は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよいし、これらの組合せによって実現されてもよい。また、FPGA (Field Programmable Gate Array) やASIC (Application Specific Integrated Circuit) 等によって実現されてもよいし、これらの組合せによって実現されてもよい。

【 0 1 1 9 】

主制御部 5 1 3 は、光検出システム 5 0 1、車両センサ 5 1 0、制御ユニット 5 2 0 等の動作を統括・制御する。なお、車両 5 0 0 が主制御部 5 1 3 を備えていなくてもよい。この場合、光電変換装置 5 0 2、車両センサ 5 1 0、制御ユニット 5 2 0 が通信ネットワークを介して制御信号の送受を行う。この制御信号の送受には、例えばCAN規格が適用され得る。

10

【 0 1 2 0 】

集積回路 5 0 3 は、主制御部 5 1 3 からの制御信号を受け或いは自身の制御部によって、光電変換装置 5 0 2 へ制御信号や設定値を送信する機能を有する。

【 0 1 2 1 】

光検出システム 5 0 1 は、車両センサ 5 1 0 に接続されており、車速、ヨーレート、舵角などの自車両走行状態及び自車外環境や他車・障害物の状態を検出することができる。車両センサ 5 1 0 は、対象物までの距離情報を取得する距離情報取得手段でもある。また、光検出システム 5 0 1 は、自動操舵、自動巡行、衝突防止機能等の種々の運転支援を行う運転支援制御部 5 1 1 に接続されている。特に、衝突判定機能に関しては、光検出システム 5 0 1 や車両センサ 5 1 0 の検出結果を基に他車・障害物との衝突推定・衝突有無を判定する。これにより、衝突が推定される場合の回避制御、衝突時の安全装置起動を行う。

20

【 0 1 2 2 】

また、光検出システム 5 0 1 は、衝突判定部での判定結果に基づいて、ドライバーに警報を発する警報装置 5 1 2 にも接続されている。例えば、衝突判定部の判定結果として衝突可能性が高い場合、主制御部 5 1 3 は、ブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして、衝突を回避、被害を軽減する車両制御を行う。警報装置 5 1 2 は、音等の警報を鳴らす、カーナビゲーションシステムやメーターパネルなどの表示部画面に警報情報を表示する、シートベルトやステアリングに振動を与えるなどしてユーザに警告を行う。

30

【 0 1 2 3 】

本実施形態では、車両の周囲、例えば前方又は後方を光検出システム 5 0 1 で撮影する。図 1 7 (b) に、車両前方を光検出システム 5 0 1 で撮像する場合の光検出システム 5 0 1 の配置例を示す。

【 0 1 2 4 】

光電変換装置 5 0 2 は、前述のように、車両 5 0 0 の前方に配される。具体的には、車両 5 0 0 の進退方位又は外形 (例えば車幅) に対する中心線を対称軸に見立て、その対称軸に対して 2 つの光電変換装置 5 0 2 が線対称に配されると、車両 5 0 0 と被写対象物との間の距離情報の取得や衝突可能性の判定を行う上で好ましい。また、光電変換装置 5 0 2 は、運転者が運転席から車両 5 0 0 の外の状況を視認する際に運転者の視野を妨げない配置が好ましい。警報装置 5 1 2 は、運転者の視野に入りやすい配置が好ましい。

40

【 0 1 2 5 】

次に、光検出システム 5 0 1 における光電変換装置 5 0 2 の故障検出動作について、図 1 9 を用いて説明する。光電変換装置 5 0 2 の故障検出動作は、図 1 9 に示すステップ S 1 1 0 ~ S 1 8 0 に従って実施され得る。

【 0 1 2 6 】

ステップ S 1 1 0 は、光電変換装置 5 0 2 のスタートアップ時の設定を行うステップである。すなわち、光検出システム 5 0 1 の外部 (例えば主制御部 5 1 3) 又は光検出システム 5 0 1 の内部から、光電変換装置 5 0 2 の動作のための設定を送信し、光電変換装置

50

502の撮像動作及び故障検出動作を開始する。

【0127】

次いで、ステップS120において、有効画素から画素信号を取得する。また、ステップS130において、故障検出用に設けた故障検出画素からの出力値を取得する。この故障検出画素は、有効画素と同じく光電変換素子を備える。この光電変換素子には、所定の電圧が書き込まれる。故障検出用画素は、この光電変換素子に書き込まれた電圧に対応する信号を出力する。なお、ステップS120とステップS130とは逆でもよい。

【0128】

次いで、ステップS140において、故障検出画素の出力期待値と、実際の故障検出画素からの出力値との該非判定を行う。ステップS140における該非判定の結果、出力期待値と実際の出力値とが一致している場合は、ステップS150に移行し、撮像動作が正常に行われていると判定し、処理ステップがステップS160へと移行する。ステップS160では、走査行の画素信号をメモリ505に送信して一次保存する。そののち、ステップS120に戻り、故障検出動作を継続する。一方、ステップS140における該非判定の結果、出力期待値と実際の出力値とが一致していない場合は、処理ステップはステップS170に移行する。ステップS170において、撮像動作に異常があると判定し、主制御部513又は警報装置512に警報を通知する。警報装置512は、表示部に異常が検出されたことを表示させる。その後、ステップS180において光電変換装置502を停止し、光検出システム501の動作を終了する。

【0129】

なお、本実施形態では、1行毎にフローチャートをループさせる例を例示したが、複数行毎にフローチャートをループさせてもよいし、1フレーム毎に故障検出動作を行ってもよい。ステップS170の警報の発報は、無線ネットワークを介して、車両の外部に通知するようにしてもよい。

【0130】

また、本実施形態では、他の車両と衝突しない制御を説明したが、他の車両に追従して自動運転する制御や、車線からはみ出さないように自動運転する制御などにも適用可能である。更に、光検出システム501は、自車両等の車両に限らず、例えば、船舶、航空機或いは産業用ロボットなどの移動体（移動装置）に適用することができる。加えて、移動体に限らず、高度道路交通システム（ITS）等、広く物体認識を利用する機器に適用することができる。

【0131】

[第6実施形態]

本発明の第6実施形態による光検出システムについて、図20を用いて説明する。図20は、本実施形態による光検出システムの構成例を示す概略図である。本実施形態では、第1実施形態の光電変換装置100を適用した光検出システムとして、眼鏡（スマートグラス）への適用例を説明する。

【0132】

図20(a)は、1つの適用例に係る眼鏡600（スマートグラス）を示している。眼鏡600は、レンズ601と、光電変換装置602と、制御装置603と、を有する。

【0133】

光電変換装置602は、第1実施形態で説明した光電変換装置100であって、レンズ601に設けられている。光電変換装置602は1つでもよいし、複数でもよい。また、複数の光電変換装置602を用いる場合にあっては、複数種類の光電変換装置602を組み合わせて用いてもよい。光電変換装置602の配置位置は図20(a)に限定されるものではない。レンズ601の裏面側には、OLEDやLED等の発光装置を含む表示装置（図示せず）が設けられていてもよい。

【0134】

制御装置603は、光電変換装置602と上記の表示装置に電力を供給する電源として機能する。また、制御装置603は、光電変換装置602及び表示装置の動作を制御する

10

20

30

40

50

機能を備える。レンズ601には、光電変換装置602に光を集光するための光学系が設けられている。

【0135】

図20(b)は、他の1つの適用例に係る眼鏡610(スマートグラス)を示している。眼鏡610は、レンズ611と、制御装置612と、を有する。制御装置612には、光電変換装置602に相当する不図示の光電変換装置と表示装置とが搭載され得る。

【0136】

レンズ611には、制御装置612内の光電変換装置と、表示装置からの光を投影するための光学系とが設けられており、画像が投影される。制御装置612は、光電変換装置及び表示装置に電力を供給する電源として機能するとともに、光電変換装置及び表示装置の動作を制御する機能を備える。

10

【0137】

制御装置612は、装着者の視線を検知する視線検知部を更に有してもよい。この場合、制御装置612に赤外発光部を設け、赤外発光部から発せられた赤外線を検知に用いることができる。具体的には、赤外発光部は、表示画像を注視しているユーザの眼球に対して、赤外光を発する。発せられた赤外光の眼球からの反射光を、受光素子を有する撮像部が検出することで眼球の撮像画像が得られる。平面視における赤外発光部から表示部への光を低減する低減手段を有することで、画像品位の低下を低減することができる。

【0138】

表示画像に対するユーザの視線は、赤外光の撮像により得られた眼球の撮像画像から検出することができる。眼球の撮像画像を用いた視線検出には任意の公知の手法が適用できる。一例として、角膜での照射光の反射によるブルキニエ像に基づく視線検出方法を用いることができる。より具体的には、瞳孔角膜反射法に基づく視線検出処理が行われる。瞳孔角膜反射法を用いて、眼球の撮像画像に含まれる瞳孔の像とブルキニエ像とに基づいて、眼球の向き(回転角度)を表す視線ベクトルが算出されることにより、ユーザの視線が検出される。

20

【0139】

本実施形態の表示装置は、受光素子を有する光電変換装置を備え、光電変換装置からのユーザの視線情報に基づいて表示画像を制御するように構成されてもよい。具体的には、表示装置は、視線情報に基づいて、ユーザが注視する第1の視界領域と、第1の視界領域以外の第2の視界領域とを決定する。第1の視界領域及び第2の視界領域は、表示装置の制御装置が決定してもよいし、外部の制御装置が決定してもよい。外部の制御装置が決定する場合は、通信を介して表示装置に伝えられる。表示装置の表示領域において、第1の視界領域の表示解像度は、第2の視界領域の表示解像度よりも高くなるように制御してもよい。つまり、第2の視界領域の解像度は、第1の視界領域の解像度よりも低くしてもよい。

30

【0140】

また、表示領域は、第1の表示領域、第1の表示領域とは異なる第2の表示領域とを有し、視線情報に基づいて、第1の表示領域及び第2の表示領域から優先度が高い領域を決定するように構成されてもよい。第1の表示領域及び第2の表示領域は、表示装置の制御装置が決定してもよいし、外部の制御装置が決定してもよい。外部の制御装置が決定する場合は、通信を介して表示装置に伝えられる。優先度の高い領域の解像度は、優先度が高い領域以外の領域の解像度よりも高くなるように制御してもよい。つまり、優先度が相対的に低い領域の解像度は低くしてもよい。

40

【0141】

なお、第1の視界領域や優先度が高い領域の決定には、AIを用いてもよい。AIは、眼球の画像と当該画像の眼球が実際に視ていた方向とを教師データとして、眼球の画像から視線の角度、視線の先の目的物までの距離を推定するよう構成されたモデルであってよい。AIプログラムは、表示装置が有しても、光電変換装置が有しても、外部装置が有してもよい。外部装置が有する場合は、通信を介して表示装置に伝えられる。

50

【 0 1 4 2 】

視認検知に基づいて表示制御する場合、外部を撮像する光電変換装置を更に有するスマートグラスに好ましく適用できる。スマートグラスは、撮像した外部情報をリアルタイムで表示することができる。

【 0 1 4 3 】

〔 変形実施形態 〕

本発明は、上記実施形態に限らず種々の変形が可能である。

例えば、いずれかの実施形態の一部の構成を他の実施形態に追加した例や、他の実施形態の一部の構成と置換した例も、本発明の実施形態である。

【 0 1 4 4 】

また、上記第 1 実施形態では、画素回路を構成するトランジスタとして低耐圧トランジスタと高耐圧トランジスタとを示したが、耐圧の異なるトランジスタは必ずしも 2 種類である必要はなく、3 種類以上であってもよい。

【 0 1 4 5 】

また、上記第 1 実施形態では、光子検知素子 2 2 のカソードとクエンチ素子 2 4 との間の接続ノードから信号 I N 1 を出力する構成としたが、光電変換部 2 0 の構成はこれに限定されるものではない。例えば、光子検知素子 2 2 のアノード側にクエンチ素子 2 4 を接続し、光子検知素子 2 2 のアノードとクエンチ素子 2 4 との間の接続ノードから信号 I N 1 を取得する構成としてもよい。

【 0 1 4 6 】

また、光子検知素子 2 2 とクエンチ素子 2 4 との間や光電変換部 2 0 と画素信号処理部 3 0 との間にトランジスタ等のスイッチを設け、これらの間の電気的な接続状態を制御するようにしてもよい。また、電圧 V H が供給されるノードとクエンチ素子 2 4 との間及び / 又は電圧 V L が供給されるノードと光子検知素子 2 2 との間にトランジスタ等のスイッチを設け、これらの間の電気的な接続状態を制御するようにしてもよい。

【 0 1 4 7 】

また、上記第 1 実施形態では画素信号処理部 3 0 としてカウンタ 3 4 を用いる構成を示したが、カウンタ 3 4 の代わりに T D C (時間・デジタル変換回路 : Time to Digital Converter) とメモリとを用いてもよい。この場合、信号処理回路 3 2 から出力されたパルス信号の発生タイミングは、T D C によってデジタル信号に変換される。T D C には、パルス信号のタイミングの測定時に、垂直走査回路部 4 0 から制御線 1 4 を介して制御パルス p R E F (参照信号) が供給される。T D C は、制御パルス p R E F を基準として、各画素 1 2 から出力された信号の入力タイミングを相対的な時間としたときの信号をデジタル信号として取得する。

【 0 1 4 8 】

また、本明細書では、トランジスタや半導体領域の極性を「導電型」で表記することができる。例えば、N型が第 1 導電型の場合、P型が第 2 導電型である。N型が第 2 導電型の場合、P型が第 1 導電型である。

【 0 1 4 9 】

なお、上記実施形態は、いずれも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

【 符号の説明 】

【 0 1 5 0 】

1 0 ... 画素部

1 2 ... 画素

1 4 , 1 8 ... 制御線

1 6 ... データ線

2 0 ... 光電変換部

10

20

30

40

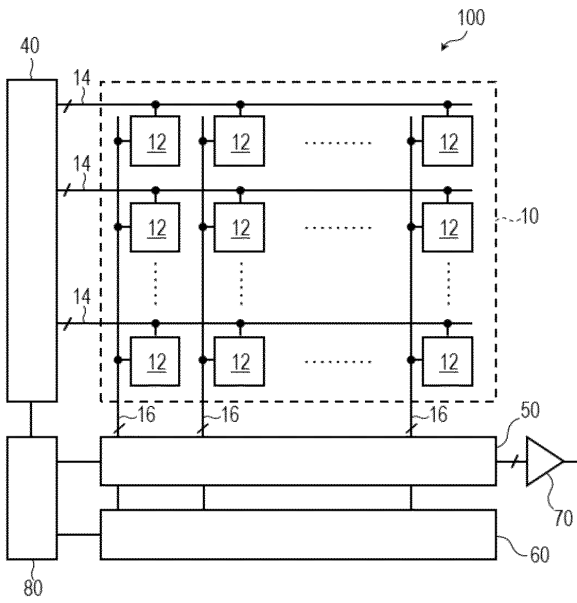
50

- 2 2 ... 光子検知素子
- 2 4 ... クエンチ素子
- 3 0 ... 画素信号処理部
- 3 2 ... 信号処理回路
- 3 4 ... カウンタ
- 3 6 ... 画素出力回路
- 4 0 ... 垂直走査回路部
- 5 0 ... 読み出し回路部
- 6 0 ... 水平走査回路部
- 7 0 ... 出力回路部
- 8 0 ... 制御パルス生成部
- 1 0 0 ... 光電変換装置

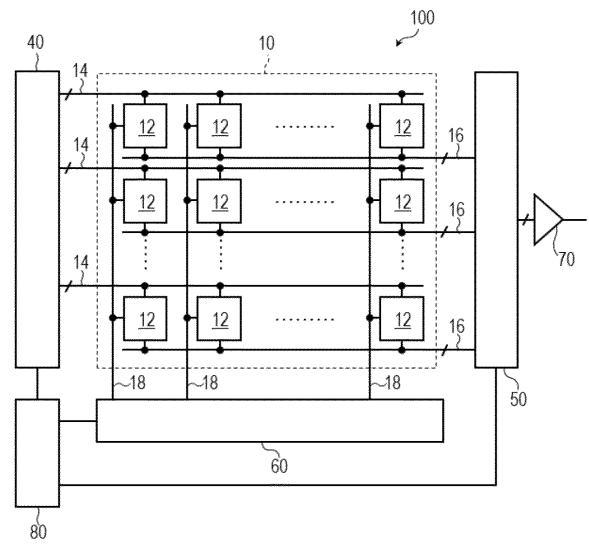
10

【図面】

【図 1】



【図 2】



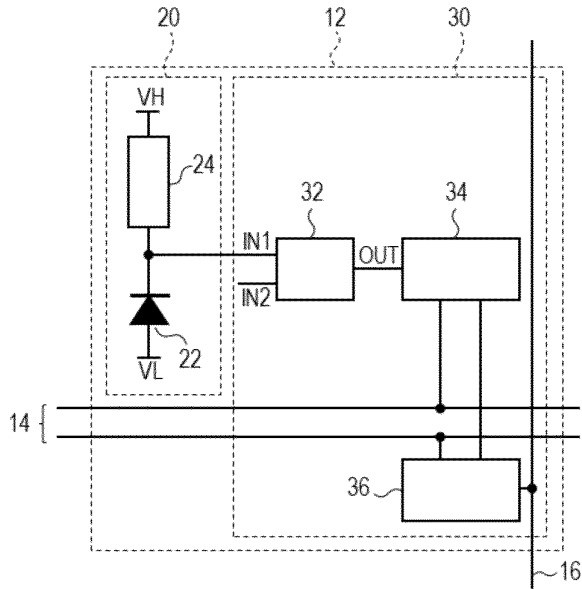
20

30

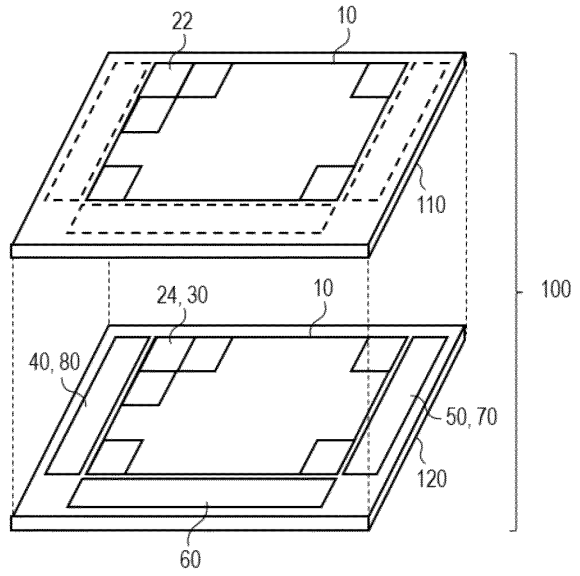
40

50

【図3】

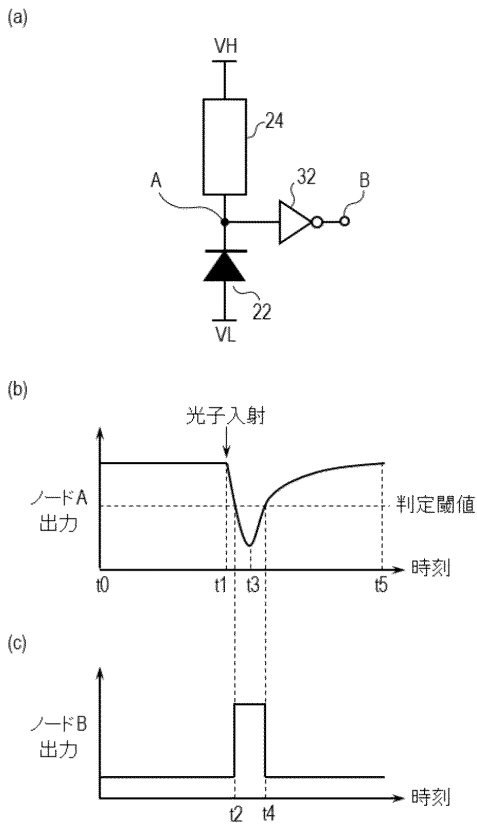


【図4】

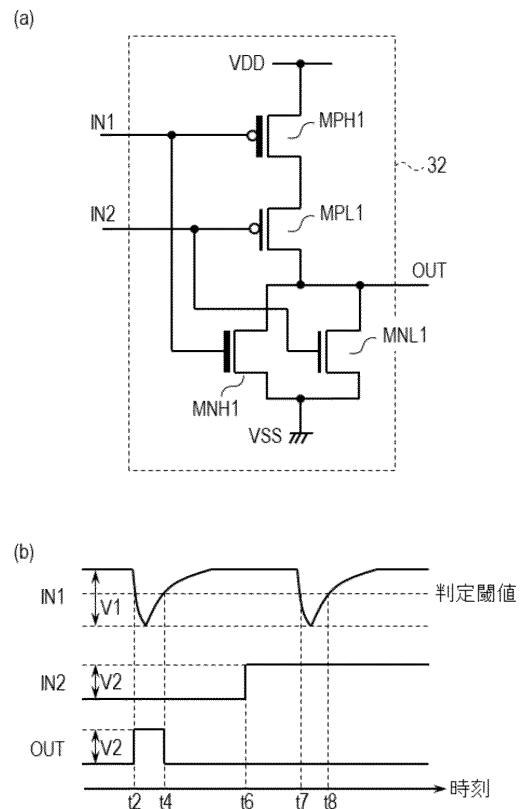


10

【図5】



【図6】

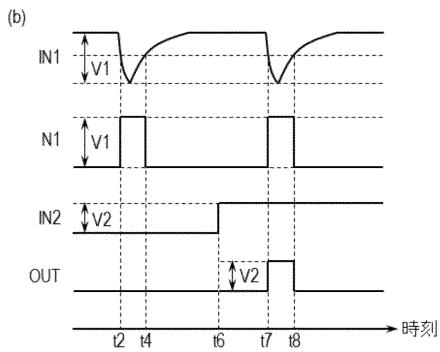
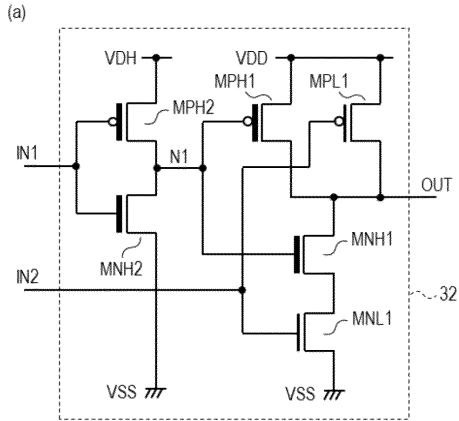


20

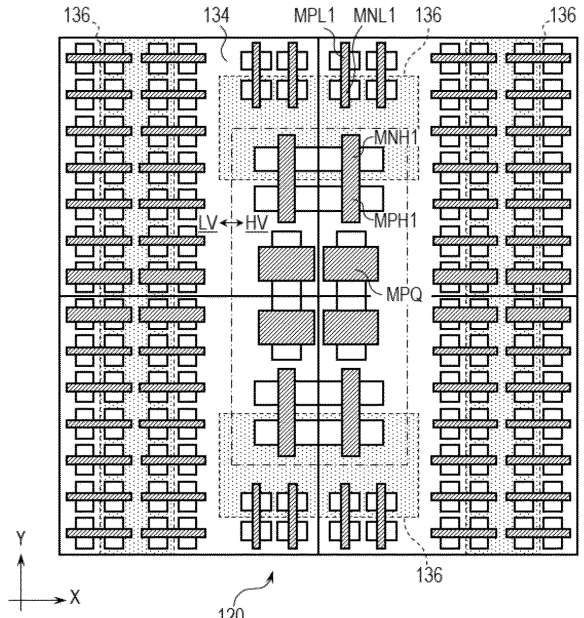
30

40

【 図 7 】



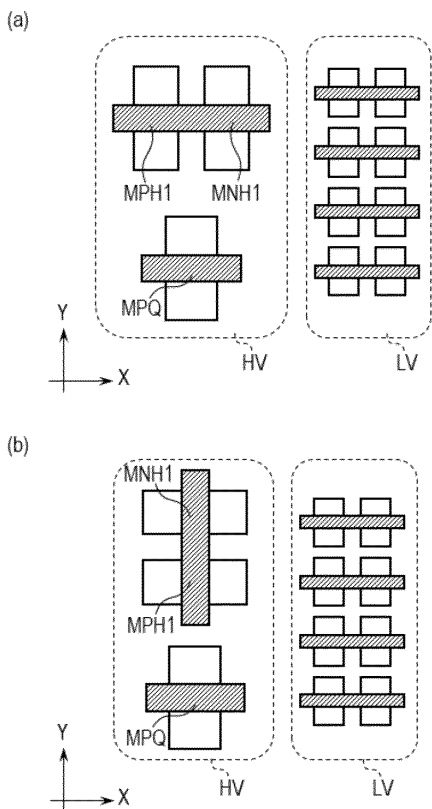
【 図 8 】



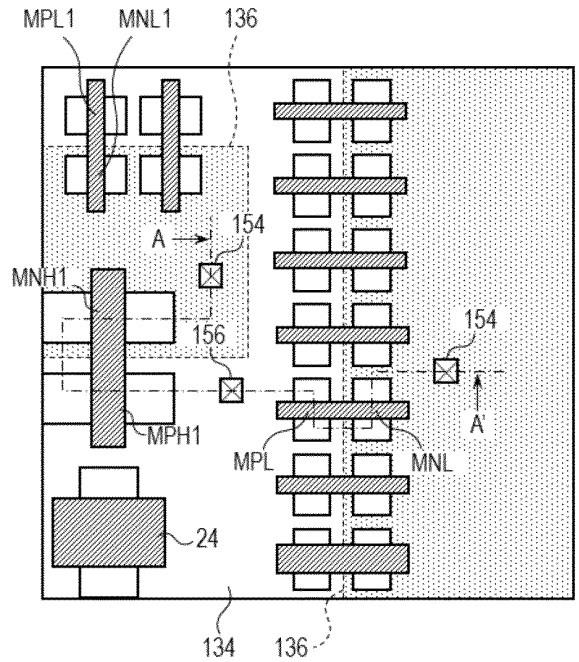
10

20

【 図 9 】



【 図 10 】

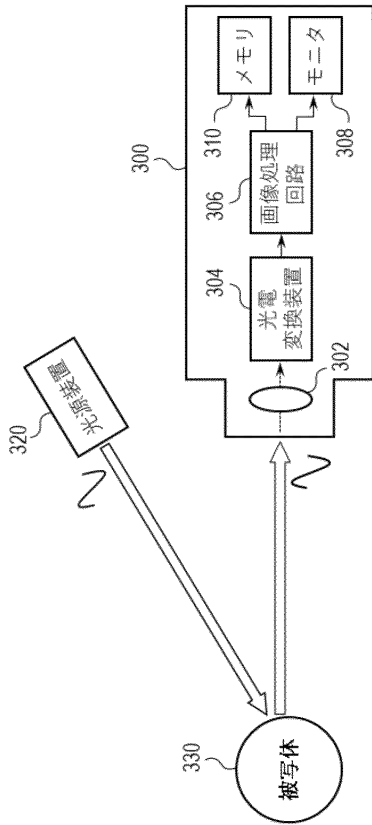


30

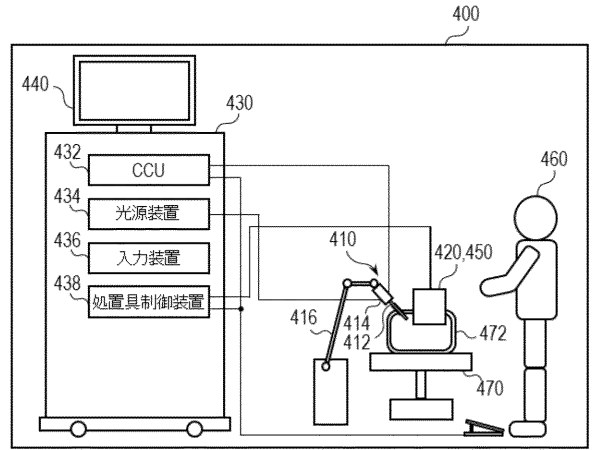
40

50

【図15】



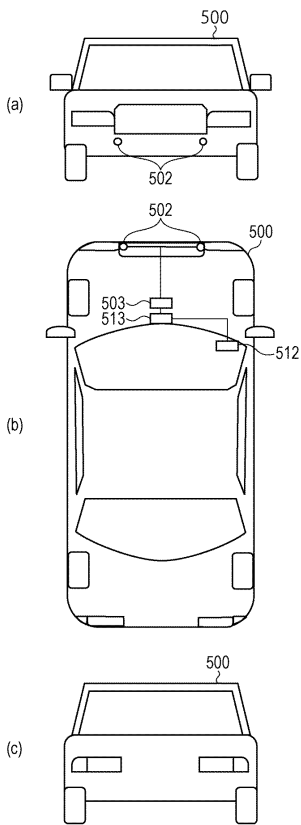
【図16】



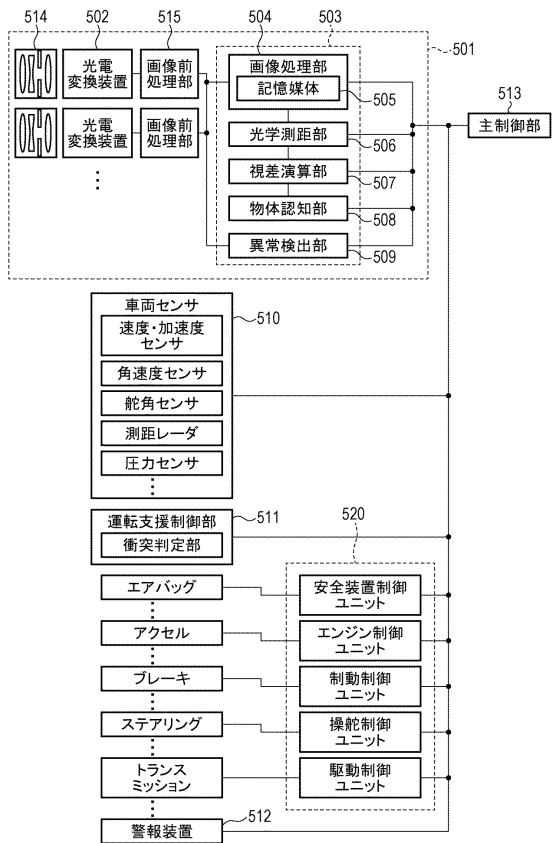
10

20

【図17】



【図18】

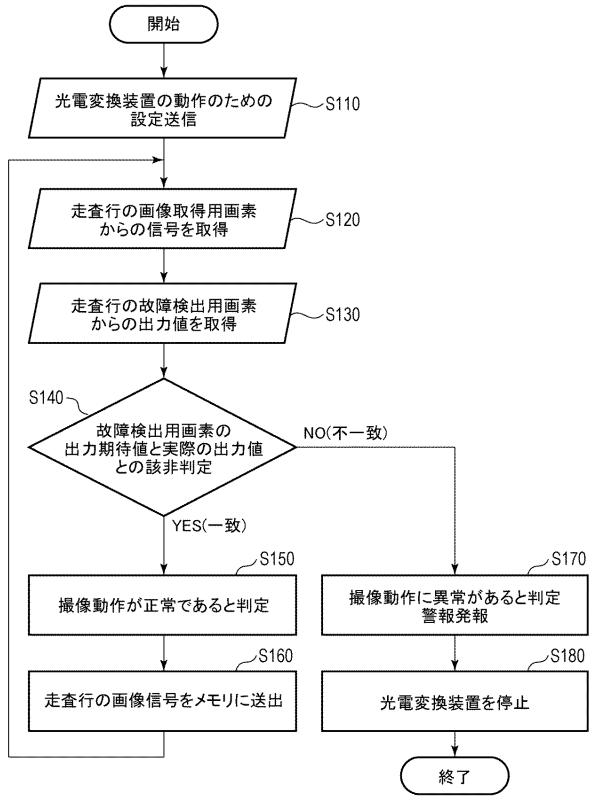


30

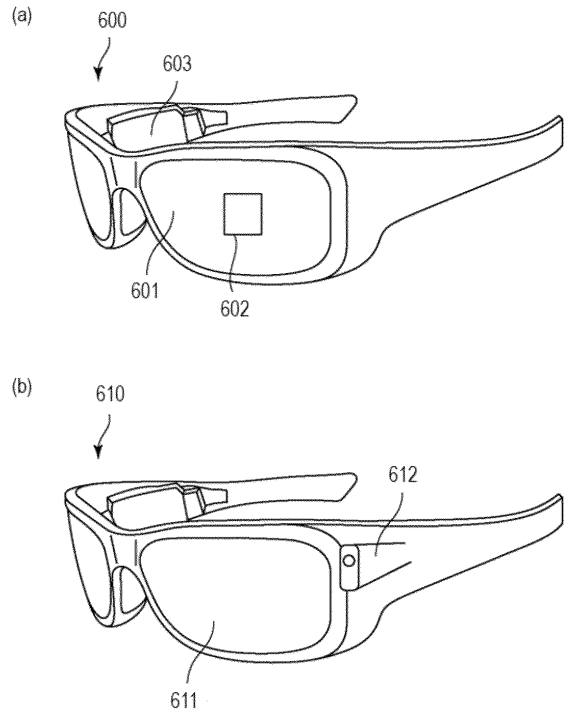
40

50

【図19】



【図20】



10

20

30

40

50

フロントページの続き

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 鈴木 肇

- (56)参考文献 特開2019-140524(JP,A)
特開2020-123847(JP,A)
特開2015-084092(JP,A)
特開2020-182026(JP,A)
特開2020-088535(JP,A)
- (58)調査した分野 (Int.Cl., DB名)
H04N 5/30 - 5/33
H04N 23/11
H04N 23/20 - 23/30
H04N 25/00
H04N 25/20 - 25/61
H04N 25/615 - 25/79
H01L 27/14 - 27/148