



(12) 发明专利申请

(10) 申请公布号 CN 103545266 A

(43) 申请公布日 2014. 01. 29

(21) 申请号 201310286782. 5

(22) 申请日 2013. 07. 09

(30) 优先权数据

10-2012-0074722 2012. 07. 09 KR

(71) 申请人 三星电子株式会社

地址 韩国京畿道水原市

(72) 发明人 金钟局 朴寿珉 朴秀贞 白宝娜
任浩赫 张炳旭 郑允河

(74) 专利代理机构 北京铭硕知识产权代理有限
公司 11286

代理人 王占杰 李云霞

(51) Int. Cl.

H01L 23/13(2006. 01)

H01L 23/522(2006. 01)

H01L 21/58(2006. 01)

H01L 21/60(2006. 01)

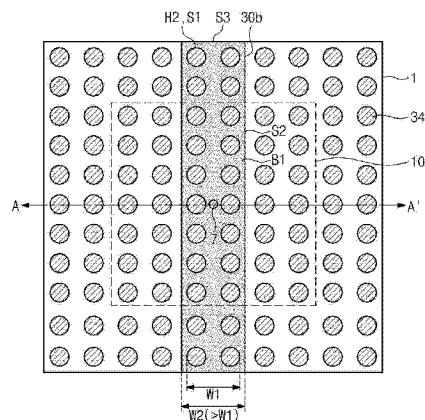
权利要求书3页 说明书13页 附图15页

(54) 发明名称

半导体封装件及其制造方法

(57) 摘要

提供了半导体封装件及其制造方法。封装件基底包括孔，所述孔可用于在无任何孔隙的情况下形成成型层。成型层可以被部分地去除以暴露下导电图案。因此，能够改善焊料焊球的可布线性。



1. 一种半导体封装件，所述半导体封装件包括：

封装件基底，包括至少一个孔；

至少一个下导电图案，在封装件基底的底表面上；

至少一个半导体芯片，以倒装芯片结合的方式安装在封装件基底上；以及

成型层，在封装件基底上，所述成型层包括上成型部分和下成型部分，上成型部分覆盖所述至少一个半导体芯片和封装件基底的顶表面，下成型部分通过所述至少一个孔连接到上成型部分，以覆盖封装件基底的底表面的至少一部分并暴露下导电图案的至少一部分，下成型部分包括限定暴露下导电图案的至少一部分的下成型孔的成型底表面。

2. 如权利要求 1 所述的半导体封装件，其中，

下成型部分包括邻近下导电图案的第一成型侧表面，

成型底表面是下成型部分的最下面的表面，并且

成型底表面的表面粗糙度与第一成型侧表面的表面粗糙度不同。

3. 如权利要求 2 所述的半导体封装件，其中，成型底表面具有第一表面粗糙度，第一成型侧表面具有大于第一表面粗糙度的第二表面粗糙度。

4. 如权利要求 2 所述的半导体封装件，其中，第一成型侧表面对应于下成型孔的内侧表面。

5. 如权利要求 1 所述的半导体封装件，所述半导体封装件还包括设置在封装件基底的底表面与下成型部分之间的绝缘层，以覆盖下导电图案的至少一部分，其中，

绝缘层包括与下成型孔叠置的下绝缘体孔，并且

下绝缘体孔的内部宽度等于或大于下成型孔的内部宽度。

6. 如权利要求 2 所述的半导体封装件，所述半导体封装件还包括与下导电图案接触并且与第一成型侧表面相邻的至少一个下焊料焊球。

7. 如权利要求 6 所述的半导体封装件，其中，从封装件基底的底表面到成型底表面的高度小于从封装件基底到下焊料焊球的底部的高度。

8. 如权利要求 6 所述的半导体封装件，其中，下成型部分在相邻的下焊料焊球之间。

9. 如权利要求 3 所述的半导体封装件，所述半导体封装件还包括设置在封装件基底的顶表面上的上焊料焊球，

其中，上成型部分包括暴露上焊料焊球的上成型孔，上成型孔的内侧表面的表面粗糙度与第二表面粗糙度基本相同。

10. 如权利要求 9 所述的半导体封装件，所述半导体封装件还包括设置在上成型部分上并通过上焊料焊球电连接到封装件基底的上半导体封装件。

11. 如权利要求 1 所述的半导体封装件，其中，下成型部分从封装件基底的底表面的第一边缘延伸至底表面的与第一边缘相对的第二边缘，并且部分地或完全覆盖封装件基底的底表面。

12. 如权利要求 2 所述的半导体封装件，其中，下成型部分具有与封装件基底的侧表面对准的第二成型侧表面，第二成型侧表面的表面粗糙度与第一成型侧表面的表面粗糙度不同。

13. 如权利要求 1 所述的半导体封装件，其中，上成型部分填充半导体芯片和封装件基底之间的空间。

14. 一种制造半导体封装件的方法,该方法包括下述步骤:

以倒装芯片结合的方式将至少一个半导体芯片安装在封装件基底上,封装件基底包括彼此面对的顶表面和底表面、从顶表面到底表面的至少一个孔、以及设置在底表面上的至少一个下导电图案;

形成包括上成型部分和下成型部分的成型层,上成型部分覆盖封装件基底的顶表面的至少一部分,下成型部分通过所述至少一个孔连接到上成型部分并覆盖封装件基底的底表面的至少一部分;以及

去除下成型部分的一部分以暴露下导电图案的至少一部分。

15. 如权利要求 14 所述的方法,其中,利用激光执行去除下成型部分的一部分的步骤。

16. 如权利要求 14 所述的方法,所述方法还包括:

将下焊料焊球附着到下导电图案;以及

顺序地切割上成型部分、封装件基底和下成型部分,以形成彼此分开的单位半导体封装件。

17. 如权利要求 14 所述的方法,其中,封装件基底包括附着到封装件基底的第一上焊料焊球,第一上焊料焊球被上成型部分覆盖,

所述方法还包括去除上成型部分的一部分,以形成暴露第一上焊料焊球的至少一部分的上成型孔。

18. 如权利要求 17 所述的方法,其中,使用相同的工艺来去除下成型部分的一部分和去除上成型部分的一部分。

19. 如权利要求 17 所述的方法,所述方法还包括:

将包括上封装件基底、安装在上封装件基底上的上半导体芯片、以及附着到上封装件基底的底表面的第二上焊料焊球的上半导体封装件放置在上成型部分上,使得第一上焊料焊球与第二上焊料焊球连接;以及

通过向其提供热来焊接第一上焊料焊球和第二上焊料焊球。

20. 如权利要求 14 所述的方法,其中,

封装件基底包括覆盖封装件基底的底表面并暴露下导电图案的一部分的绝缘层,以及去除下成型部分的一部分的步骤部分地去除绝缘层。

21. 一种半导体封装件,所述半导体封装件包括:

封装件基底;

下导电图案,在封装件基底的下表面上;

至少一个半导体芯片,以倒装芯片结合的方式安装在封装件基底的上表面上方;以及成型层,所述成型层包括上成型部分、下成型部分和连接部分,

上成型部分覆盖所述至少一个半导体芯片并且在封装件基底的上表面的至少一部分上方,

下成型部分覆盖封装件基底的下表面的至少一部分,并暴露被下成型部分覆盖的下导电图案的至少一部分,

连接部分穿过封装件基底延伸并且一体化地连接上成型部分和下成型部分。

22. 如权利要求 21 所述的半导体封装件,所述半导体封装件还包括:

绝缘层,在封装件基底的下表面和下成型部分之间,绝缘层覆盖下导电图案的至少一

部分并暴露被绝缘层覆盖并且被下成型部分暴露的下导电图案的至少一部分。

23. 如权利要求 22 所述的半导体封装件, 其中, 被绝缘层暴露的下导电图案的所述至少一部分的宽度等于或大于被下成型部分暴露的下导电图案的所述至少一部分的宽度。

24. 如权利要求 21 所述的半导体封装件, 其中, 下成型部分包括,

底表面, 底表面是下成型部分的最下面的表面; 以及

成型侧表面, 在下成型部分暴露下导电图案的至少一部分的位置处连接到底表面, 成型侧表面的侧表面粗糙度与底表面的底表面粗糙度不同。

25. 如权利要求 24 所述的半导体封装件, 其中, 侧表面粗糙度大于底表面粗糙度。

26. 如权利要求 24 所述的半导体封装件, 所述半导体封装件还包括与下导电图案接触并邻近成型侧表面的至少一个下焊料焊球。

27. 如权利要求 26 所述的半导体封装件, 其中, 从封装件基底的底表面到下成型部分的底表面的高度小于从封装件基底的底表面到焊料焊球的底部的高度。

28. 如权利要求 24 所述的半导体封装件, 所述半导体封装件还包括设置在封装件基底的上表面上的上焊料焊球,

其中, 上成型部分暴露上焊料焊球的至少一部分, 上成型部分的内侧表面的表面粗糙度与下成型部分的侧表面粗糙度基本相同。

29. 如权利要求 28 所述的半导体封装件, 所述半导体封装还包括设置在上成型部分上并通过上焊料焊球电连接到封装件基底的上半导体封装件。

30. 如权利要求 21 所述的半导体封装件, 其中, 上成型部分填充所述至少一个半导体芯片和封装件基底的上表面之间的空间。

半导体封装件及其制造方法

[0001] 本申请要求于 2012 年 7 月 9 号提交到韩国知识产权局的第 10-2012-0074722 号韩国专利申请的优先权，该申请的全部内容通过引用包含于此。

技术领域

[0002] 本发明构思的一些示例实施例包括一种半导体封装件和 / 或其制造方法。

背景技术

[0003] 随着电子工业持续发展，更加需要高性能、高速且小尺寸的电子系统。响应于这种需求，已经提出了各种半导体封装技术。例如，已经提出了倒装芯片结合技术，与引线键合技术的焊盘之间的布线长度和信号传输速度相比，倒装芯片结合技术能够减小焊盘之间的布线长度并进而具有改善了的信号传输速度。另外，使用倒装芯片结合技术能够减小引线之间的电短路的风险。然而，在使用倒装芯片结合技术制造半导体封装件时，在凸块之间可能形成孔隙。为了克服该问题，可提供底部填充树脂层来填充凸块之间的间隙。然而，如果使用底部填充树脂层，则需要坝来防止底部填充树脂溶液的不期望的流动，因此，难以减小半导体封装件的水平尺寸和竖直尺寸。

发明内容

[0004] 本发明构思的一些示例实施例提供了一种具有高速且小的形成因子的半导体封装件。

[0005] 本发明构思的其他示例实施例提供了一种制造半导体封装件的简化方法。

[0006] 根据本发明构思的一些示例实施例，一种半导体封装件可以包括：封装件基底，具有至少一个孔；至少一个下导电图案，在封装件基底的底表面上；至少一个半导体芯片，以倒装芯片结合的方式安装在封装件基底上；以及成型层，在封装件基底上。成型层可以包括上成型部分和下成型部分，上成型部分覆盖所述至少一个半导体芯片和封装件基底的顶表面，下成型部分通过所述至少一个孔连接到上成型部分，以覆盖封装件基底的底表面的至少一部分并暴露下导电图案的至少一部分。下成型部分可包括限定暴露下导电图案的至少一部分的下成型孔的成型底表面。

[0007] 在一些示例实施例中，下成型部分可包括邻近下导电图案的第一成型侧表面，成型底表面可以是下成型部分的最下面的表面，并且成型底表面的表面粗糙度可以与第一成型侧表面的表面粗糙度不同。

[0008] 在一些示例实施例中，成型底表面具有第一表面粗糙度，第一成型侧表面具有大于第一表面粗糙度的第二表面粗糙度。

[0009] 在一些示例实施例中，第一成型侧表面对应于下成型孔的内侧表面。

[0010] 在一些示例实施例中，封装件还可包括设置在封装件基底的底表面与下成型部分之间的绝缘层，以覆盖下导电图案的至少一部分。绝缘层可包括与下成型孔叠置的下绝缘体孔，并且下绝缘体孔的内部宽度可以等于或大于下成型孔的内部宽度。

[0011] 在一些示例实施例中，封装件还可包括至少一个与下导电图案接触的至少一个下焊料焊球。所述至少一个下焊料焊球可以与第一成型侧表面相邻。

[0012] 在一些示例实施例中，从封装件基底的底表面到成型底表面的高度可以小于从封装件基底的底表面到下焊料焊球的底部的高度。

[0013] 在一些示例实施例中，下成型部分可以在相邻的下焊料焊球之间。

[0014] 在一些示例实施例中，封装件还可包括设置在封装件基底的顶表面上的上焊料焊球。上成型部分可包括暴露上焊料焊球的上成型孔，上成型孔的内侧表面的表面粗糙度可以与第二表面粗糙度基本相同。

[0015] 在一些示例实施例中，封装件还可以包括设置在上成型部分上并通过上焊料焊球电连接到封装件基底的上半导体封装件。

[0016] 在一些示例实施例中，下成型部分从封装件基底的底表面的第一边缘延伸至底表面的与第一边缘相对的第二边缘，并且覆盖封装件基底的整个底表面。

[0017] 在一些示例实施例中，下成型部分具有与封装件基底的侧表面对准的第二成型侧表面，第二成型侧表面的表面粗糙度与第一成型侧表面的表面粗糙度不同。

[0018] 在一些示例实施例中，上成型部分填充半导体芯片和封装件基底之间的空间。

[0019] 根据本发明构思的一些示例实施例，一种制造半导体封装件的方法可以包括：以倒装芯片结合的方式将至少一个半导体芯片安装在封装件基底上，封装件基底包括彼此面对的顶表面和底表面、从顶表面到底表面的至少一个孔、以及设置在底表面上的至少一个下导电图案；形成包括上成型部分和下成型部分的成型层，上成型部分覆盖封装件基底的顶表面的至少一部分，下成型部分通过所述至少一个孔连接到上成型部分并覆盖封装件基底的底表面的至少一部分；以及去除下成型部分的一部分以暴露下导电图案的至少一部分。

[0020] 在一些示例实施例中，可以利用激光执行去除下成型部分的一部分的步骤。

[0021] 在一些示例实施例中，该方法还可包括：将下焊料焊球附着到下导电图案；以及顺序地切割上成型部分、封装件基底和下成型部分，以形成彼此分开的单位半导体封装件。

[0022] 在一些示例实施例中，封装件基底还可包括附着到封装件基底的第一上焊料焊球。第一上焊料焊球可以被上成型部分覆盖。该方法还可包括：去除上成型部分的一部分，以形成暴露第一上焊料焊球的至少一部分的上成型孔。

[0023] 在一些示例实施例中，下成型部分的一部分的去除和上成型部分的一部分的去除可以使用相同的工艺。

[0024] 在一些示例实施例中，该方法还可包括：将包括上封装件基底、安装在上封装件基底上的上半导体芯片、以及附着到上封装件基底的底表面的第二上焊料焊球的上半导体封装件放置在上成型部分上，使得第一上焊料焊球与第二上焊料焊球连接；以及通过向其提供热来焊接第一上焊料焊球和第二上焊料焊球。

[0025] 在一些示例实施例中，封装件基底还可包括覆盖封装件基底的底表面并暴露下导电图案的一部分的绝缘层，去除下成型部分的一部分的步骤部分地去除绝缘层。

[0026] 根据本发明构思的一些示例实施例，一种半导体封装件可以包括：封装件基底；下导电图案，在封装件基底的下表面上；至少一个半导体芯片，以倒装芯片结合的方式安装在封装件基底的上表面上方；以及成型层，所述成型层包括上成型部分、下成型部分和连接

部分,上成型部分覆盖所述至少一个半导体芯片并且在封装件基底的上表面的至少一部分上方,下成型部分覆盖封装件基底的下表面的至少一部分,并暴露被下成型部分覆盖的下导电图案的至少一部分,连接部分穿过封装件基底延伸并且一体化地连接上成型部分和下成型部分。

[0027] 在一些示例实施例中,半导体封装件还可包括:绝缘层,在封装件基底的下表面和下成型部分之间,绝缘层覆盖下导电图案的至少一部分并暴露被绝缘层覆盖并且被下成型部分暴露的下导电图案的至少一部分。

[0028] 在一些示例实施例中,被绝缘层暴露的下导电图案的所述至少一部分的宽度等于或大于被下成型部分暴露的下导电图案的所述至少一部分的宽度。

[0029] 在一些示例实施例中,下成型部分包括:底表面,底表面是下成型部分的最下面的表面;以及成型侧表面,在下成型部分暴露下导电图案的至少部分的位置处连接到底表面,成型侧表面的侧表面粗糙度与底表面的底表面粗糙度不同。

[0030] 在一些示例实施例中,侧表面粗糙度大于底表面粗糙度。

[0031] 在一些示例实施例中,半导体封装件还可包括与下导电图案接触并邻近成型侧表面的至少一个下焊料焊球。

[0032] 在一些示例实施例中,从封装件基底的底表面到下成型部分的底表面的高度小于从封装件基底的底表面到下焊料焊球的底表面的高度。

[0033] 在一些示例实施例中,半导体封装件还可包括设置在封装件基底的上表面上的上焊料焊球,其中,上成型部分暴露上焊料焊球的至少一部分,上成型部分的内侧表面的表面粗糙度与下成型部分的侧表面粗糙度基本相同。

[0034] 在一些示例实施例中,半导体封装还可包括设置在上成型部分上并通过上焊料焊球电连接到封装件基底的上半导体封装件。

[0035] 在一些示例实施例中,上成型部分填充所述至少一个半导体芯片和封装件基底的上表面之间的空间。

附图说明

[0036] 通过下面结合附图进行的简要描述,示例实施例将被更清楚地理解。如这里所描述的示例实施例,附图表示非限制性的。

[0037] 图 1A 是示出根据本发明构思的一些示例实施例的封装件基底的底表面的平面图。

[0038] 图 1B 是沿图 1A 的线 A-A' 截取的剖视图。

[0039] 图 1C 是根据本发明构思的一些示例实施例的封装件基底的底表面的透视图。

[0040] 图 2 是示出图 1B 的部分“P1”的放大剖视图。

[0041] 图 3A 和图 3B 是示出图 1B 的部分“P2”的示例的放大剖视图。

[0042] 图 4、图 5 和图 7 是示出制造剖面形状如图 1B 中所示的半导体封装件的工艺的剖视图。

[0043] 图 6A 是示出根据本发明构思的一些示例实施例的成型工艺的剖视图。

[0044] 图 6B 是示出根据本发明构思的一些示例实施例的下模具的透视图。

[0045] 图 8A 是示出根据本发明构思的其他示例实施例的封装件基底的底表面的平面

图。

- [0046] 图 8B 是沿图 8A 的线 A-A' 截取的剖视图。
- [0047] 图 9 是示出图 8B 的部分“P3”的放大剖视图。
- [0048] 图 10 至图 15 是示出制造剖面形状如图 8B 中所示的半导体封装件的工艺的剖视图。
- [0049] 图 16A 是示出根据本发明构思的其它示例实施例的封装件基底的底表面的平面图。
- [0050] 图 16B 是沿图 16A 的线 A-A' 截取的剖视图。
- [0051] 图 17A 是示出根据本发明构思的其它示例实施例的封装件基底的底表面的平面图。
- [0052] 图 17B 是沿图 17A 的线 A-A' 截取的剖视图。
- [0053] 图 18 和图 19 是示出根据本发明构思的一些示例实施例的变型的封装件基底的底表面的平面图。
- [0054] 图 20 是示出根据本发明构思的一些示例实施例的包括半导体封装件的封装件模块的示例的图。
- [0055] 图 21 是示出根据本发明构思的一些示例实施例的包括半导体封装件的电子系统的示例的示意性框图。
- [0056] 图 22 是示出根据本发明构思的一些示例实施例的包括半导体封装件的存储系统的示例的示意性框图。
- [0057] 应当注意的是,这些附意图示出在特定的示例实施例中使用的方法、结构和 / 或材料的一般性质,以补充下面提供的书面描述。然而,这些附图不是按比例的,并且可能未精确地反映任何给出的实施例的精确的结构性质或性能性质,并且不应被解释为限定或限制由示例实施例所包括的值或特性的范围。例如,为了清楚起见,可以缩小或放大模块、层、区域和 / 或结构元件的相对厚度和定位。在不同的附图中使用相似或相同的标号意图表示存在相似或相同的元件或特征。

具体实施方式

[0058] 现在将参照附图更充分地描述本发明构思的一些示例实施例,在附图中示出了一些示例实施例。然而,本发明构思的示例实施例可以以许多不同的形式实施,而不应当被解释为局限于在这里阐述的示例实施例。相反,提供这些示例实施例使得本公开将是彻底的和完整的,并将把示例实施例的构思充分地传达给本领域普通技术人员。在附图中,为了清楚起见,夸大了层和区域的厚度。在附图中的同样的标号指示同样的元件,因此将省略对它们的描述。

[0059] 将理解的是,当元件被称作“连接”或“结合”到另一元件时,该元件可以直接连接到或直接结合到所述另一元件,或者可以存在中间元件。相反,当元件被称作“直接连接”或“直接结合”到另一元件时,不存在中间元件。同样的数字始终指示同样的元件。如在这里使用的,术语“和 / 或”包括一个或多个相关所列项的任意组合和全部组合。用于描述元件或层之间的关系的其他术语应当以相似的方式来解释(例如,“在……之间”与“直接在……之间”,“与……相邻”与“与……直接相邻”,“在……上”与“直接在……上”。

[0060] 将理解的是,虽然这里可以使用术语“第一”、“第二”等来描述不同的元件、组件、区域、层和 / 或部分,但是这些元件、组件、区域、层和 / 或部分不应受这些术语限制。这些术语仅用于将一个元件、组件、区域、层或部分与另一元件、组件、区域、层或部分区分开来。因此,在不脱离示例实施例的教导的情况下,下面描述的第一元件、组件、区域、层或部分可以被命名为第二元件、组件、区域、层或部分。

[0061] 为了方便描述,在这里可使用空间相对术语,如“在……之下”、“在……下方”、“下”、“在……上方”、“上”等,用来描述在图中所示的一个元件或特征与其他元件或特征的关系。将理解的是,空间相对术语意在包含除了在附图中描述的方位之外的装置在使用或操作中的不同方位。例如,如果在附图中的装置被翻转,则描述为“在”其他元件或特征“下方”或“之下”的元件随后将被定位为“在”其他元件或特征“上方”。因而,示例性术语“在……下方”可包括“在……上方”和“在……下方”两种方位。所述装置可被另外定位(旋转 90 度或者其他方位),并对在这里使用的空间相对描述符做出相应的解释。

[0062] 这里使用的术语仅为了描述特定的示例实施例的目的,而不意图限制示例实施例。如这里所使用的,除非上下文另外明确指出,否则单数形式也意图包括复数形式。还应理解的是,当在本说明书中使用术语“包含”和 / 或“包括”时,说明存在所述特征、整体、步骤、操作、元件和 / 或组件,但不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和 / 或它们的组。

[0063] 在此参照作为一些示例性实施例的理想实施例(和中间结构)的示意图的剖视图来描述本发明构思的示例实施例。这样,预计会出现例如由制造技术和 / 或公差引起的图示的形状的变化。因此,本发明构思的示例实施例不应该被理解为局限于在此示出的区域的特定形状,而将包括例如由制造导致的形状偏差。例如,示出为矩形的注入区域在其边缘可具有圆形或弯曲的特征和 / 或注入浓度的梯度,而不是从注入区域到非注入区域的二元变化。同样,通过注入形成的埋区会导致在埋区和通过其发生注入的表面之间的区域中的一些注入。因此,在图中示出的区域实际上是示意性的,它们的形状并不意图示出装置的区域的实际形状,也不意图限制示例实施例的范围。

[0064] 除非另有定义,否则这里使用的所有术语(包括技术术语和科学术语)具有与本发明构思的示例实施例所属领域的普通技术人员所通常理解的意思相同的意思。还将理解的是,除非这里明确定义,否则术语(例如在通用的字典中定义的那些术语)应该被解释为具有与相关领域的环境中它们的意思一致的意思,而不将理想地或者过于正式地解释它们的意思。

[0065] [示例实施例]

[0066] 图 1A 是示出根据本发明构思的一些示例实施例的封装件基底的底表面的平面图。图 1B 是沿图 1A 的线 A-A' 截取的剖视图。图 1C 是根据本发明构思的一些示例实施例的封装件基底的底表面的透视图。

[0067] 参照图 1A、图 1B 和图 1C,半导体封装件可包括封装件基底 1。封装件基底 1 可以是单层或多层结构的印刷电路板。封装件基底 1 可以由双马来酰亚胺三嗪树脂、氧化铝基陶瓷、玻璃基陶瓷或硅形成。封装件基底 1 可包括彼此面对的顶表面 1a 和底表面 1b。封装件基底 1 可具有至少一个穿过封装件基底 1 并将顶表面 1a 连接到底表面 1b 的孔 7。上导电图案 3a 可以设置在封装件基底 1 的顶表面 1a 上,下导电图案 3b 可以设置在底表面 1b

上。下导电图案 3b 可以是例如焊球触点。下导电图案 3b 可以由反射激光但不吸收激光的导电材料形成。例如，下导电图案 3b 可由镍、铅、金和铜中的至少一种形成。上导电图案 3a 可由与下导电图案 3b 的材料相同的材料形成，但是示例实施例不限于此。可分别由上绝缘层 5a 和下绝缘层 5b 覆盖顶表面 1a 和底表面 1b。上绝缘层 5a 和下绝缘层 5b 可用作阻焊层，并且可由例如感光抗蚀层形成。孔 7 可延伸至上绝缘层 5a 和下绝缘层 5b 中的至少一个中。

[0068] 半导体芯片 10 可以以倒装芯片结合的方式安装在封装件基底 1 的顶表面 1a 上。半导体芯片 10 可包括结合焊盘 15。结合焊盘 15 可通过凸块 20 连接到上导电图案 3a。孔 7 可以与半导体芯片 10 叠置。例如，孔 7 可以与封装件基底 1 和 / 或半导体芯片 10 的中心叠置。

[0069] 图 2 是示出图 1B 的部分“P1”的放大剖视图。

[0070] 参照图 1B 和图 2，第一半导体芯片 10 可包括半导体基底 200 和设置在半导体基底 200 上并电连接到引线 215 的多个晶体管 TR。晶体管 TR 可被用作逻辑元件或非存储器元件的一部分，或者被用作数据存储单元(例如，电容器)的开关元件。引线 215 和晶体管 RR 可被层间绝缘层 210 覆盖。最上部的引线 215 可以通过再分布线 218 电连接到结合焊盘 15。再分布线 218 和结合焊盘 15 可以被钝化层 225 部分地覆盖。凸块 20 可以设置在第一结合焊盘 15a 上。凸块 20 可由金属(例如，铅、锡、铟、铋、锑、银或它们的合金)形成。参照图 1A、图 1B 和图 1C，成型层 30a 和 30b 可以设置在封装件基底 1 上。成型层 30a 和 30b 可包括上成型部分 30a 和下成型部分 30b。半导体芯片 10 和封装件基底 1 的顶表面 1a 可被上成型部分 30a 覆盖。上成型部分 30a 可以延伸为填充半导体芯片 10 和封装件基底 1 之间的空间以及在凸块 20 之间的空间。根据本发明构思的一些示例实施例，半导体芯片 10 和封装件基底 1 之间的空间可被上成型部分 30a 填充，而不使用底部填充树脂，并且没有孔隙。因此，可以不包括底部填充树脂层，这会简化制造工艺。下成型部分 30b 可通过孔 7 连接到上成型部分 30a 并覆盖封装件基底 1 的下表面 1b 的一部分。上成型部分 30a 和下成型部分 30b 可以以单个主体的形式形成，在它们之间不具有界面表面，并且可由相同的材料形成。在孔 7 中的下成型部分 30b 可以是穿过封装件基底延伸并一体化地连接上成型部分和下成型部分的连接部分。

[0071] 成型层 30a 和 30b 可包括树脂层和分布在树脂层中的多个填料颗粒。树脂层可包括至少一种聚合物材料。填料颗粒可包括例如硅石或氧化铝。在一些示例实施例中，下成型部分 30b 的宽度 W2 可以大于最相邻于孔 7 的一对下焊料焊球 34 的外表面之间的距离 W1。例如，下成型部分 30b 可被形成为具有覆盖最相邻于孔 7 的两列下焊料焊球 34 的侧壁的线性结构。下成型部分 30b 可包括从封装件基底 1 的底表面 1b 突出的底表面。上绝缘层 5a 可设置在封装件基底 1 的顶表面 1a 和上成型部分 30a 之间，并且覆盖一些上导电图案 3a 或者上导电图案 3a 的一部分。下绝缘层 5b 可设置在封装件基底 1 的底表面 1b 与下成型部分 30b 之间，并且覆盖一些下导电图案 3b 或者下导电图案 3b 的一部分。

[0072] 图 3A 和图 3B 是示出图 1B 的部分“P2”的示例的放大剖视图。

[0073] 参照图 1B、图 1C、图 3A 和图 3B，下绝缘层 5b 可被形成为具有暴露下导电图案 3b 的下绝缘体孔 H1。下成型部分 30b 可与下绝缘体孔 H1 叠置并且可具有暴露下导电图案 3b 的下成型孔 H2。在下导电图案 3b 处，下绝缘体孔 H1 的宽度 W3 可以大于下成型孔 H2 的宽

度 W4, 如图 3A 所示, 或者在下导电图案 3b 处, 下绝缘体孔 H1 的宽度 W3 等于下成型孔 H2 的宽度 W4, 如图 3B 所示。下成型部分 30b 可包括第一成型侧表面 S1、第二成型侧表面 S2、第三成型侧表面 S3 以及连接第一成型侧表面 S1、第二成型侧表面 S2、第三成型侧表面 S3 的底表面 B1。第一成型侧表面 S1 可利用激光打孔工艺形成。第二成型侧表面 S2 可利用成型工艺形成。第三成型侧表面 S3 可利用切割工艺形成。因此, 成型侧表面 S1、S2 和 S3 可被形成为彼此之间具有不同的表面粗糙度。第一成型侧表面 S1 可对应于下成型孔 H2 的内侧壁。第一成型侧表面 S1 的表面粗糙度(例如, 中心线平均或者平均粗糙度 Ra 或十点高度 Rz)可以是例如大约 $2 \mu\text{m}$ 。第二成型侧表面 S2 可以与第一成型侧表面 S1 相对地定位。第二成型侧表面 S2 可具有与成型底表面 B1 的粗糙度基本相同的粗糙度。第一成型侧表面 S1 的表面粗糙度可以大于第二成型侧表面 S2 和成型底表面 B1 的粗糙度。第三成型侧表面 S3 可与封装件基底 1 的侧壁对准。下焊料焊球 34 可设置在下成型孔 H2 中, 以与下导电图案 3b 接触。下焊料焊球 34 可以与第一成型侧表面 S1 部分地接触。从底表面 1b 至下成型部分 30b 的底表面之间的距离可小于下焊料焊球 34 的高度。例如, 与下焊料焊球 34 的底部相比, 下成型部分 30b 的底表面可更接近于底表面 1b。下焊料焊球 34 可以与下成型部分 30b 分隔开。下焊料焊球 34 可由金属(例如, 铅、锡、铟、铋、锑、银或它们的合金)形成。下成型部分 30b 可以在下焊料焊球 34 中的相邻的下焊料焊球之间, 以防止下焊料焊球 34 之间的电短路。

[0074] 图 4、图 5 和图 7 是示出制造剖面形状如图 1B 中所示的半导体封装件的工艺的剖视图。

[0075] 参照图 4, 可制备封装件基底 1。封装件基底 1 可包括彼此面对的顶表面 1a 和底表面 1b、分别设置在顶表面 1a 和底表面 1b 上的上导电图案 3a 和下导电图案 3b、将顶表面 1a 连接到底表面 1b 的孔 7、以及分别覆盖顶表面 1a 和底表面 1b 的上绝缘层 5a 和下绝缘层 5b。半导体芯片 10 可以设置在封装件基底 1 上。半导体芯片 10 可包括结合焊盘 15 和凸块 20。然后, 可将获得的结构加热至凸块 20 的熔点的温度或以上, 从而凸块 20 可以被焊接在上导电图案 3a 上。因此, 半导体芯片 10 可以以倒装芯片结合的方式被安装在封装件基底 1 的顶表面 1a 上。

[0076] 参照图 5, 可以执行成型工艺来形成上成型部分 30a 和下成型部分 30b。在下文中, 将更详细地描述成型工艺。

[0077] 图 6A 是示出根据本发明构思的一些示例实施例的成型工艺的剖视图。图 6B 是示出根据本发明构思的一些示例实施例的下模具的透视图。

[0078] 参照图 5、图 6A 和图 6B, 封装件基底 1 可以设置在下模具 120 和上模具 122 之间。下模具 120 可被形成为界定多个线形的凹进区域 R1, 每个凹进区域 R1 与孔 7 叠置, 以限定下成型部分 30b 的形状。上模具 122 可被形成为界定限定上成型部分 30a 的形状的下陷部分 125。另外, 可在上模具 122 的一侧形成树脂溶液入口(未示出), 用于形成成型层的树脂溶液将供应到树脂溶液入口。当树脂溶液开始从树脂溶液入口(未示出)供应时, 下模具 120 和上模具 122 之间的空气可从与树脂溶液入口(未示出)分开的出口(未示出)排出。孔 7 可以用作空气排出口, 并保持树脂溶液向前流动。这可防止产生孔隙或者减少产生的孔隙的数量。在不存在孔 7 的情况下, 树脂溶液的流动速度会具有差异, 因此, 会在凸块之间产生孔隙。如果在凸块之间产生孔隙, 则凸块会在后面的回流工艺中熔化并彼此连接, 这会导致

凸块之间的电短路。另外,如果孔隙中填充有湿气,则在后续的高温工艺中,孔隙会由于湿气的膨胀而破裂。根据本发明构思的一些示例实施例,由于存在孔 7,树脂溶液可填充下陷部分 125、凹进区域 R1 以及半导体芯片 10 和封装件基底 1 之间的空间,而没有孔隙或者有极少的孔隙。树脂溶液可以在后续的固化工艺中转换为成型层 30a 和 30b,并且可以去除模具 122 和 120。因此,上成型部分 30a 可被形成为覆盖半导体芯片 10 和封装件基底 1 的顶表面 1a,并填充半导体芯片 10 和封装件基底 1 之间的空间,下成型部分 30b 可被形成为覆盖封装件基底 1 的底表面 1b。上成型部分 30a 和下成型部分 30b 可以彼此连接并且利用相同的工艺同时地形成。此外,作为该工艺的结果,可以限定下成型部分 30b 的成型底表面 B1 和第二侧壁 S2。可通过成型工艺来形成第二侧壁 S2。第二侧壁 S2 可以通过下模具 120 的凹进区域 R1 的内壁形成。在特定的示例实施例中,下成型部分 30b 可被形成为完全或部分地覆盖下导电图案 3b。由于存在下成型部分 30b,这可在将焊料焊球 34 附着到下导电图案 3b 时引起困难。

[0079] 参照图 7,下成型部分 30b 可以被至少部分地去除,以暴露下导电图案 3b。可利用激光(例如,波长为大约 1064nm 的红外激光)来执行下成型部分 30b 的去除。在一些示例实施例中,激光的输出功率可以是大约 7W。通过使用激光,下成型部分 30b 可以被加热至能够烧掉构成下成型部分 30b 的树脂层或聚合物层的温度。例如,如果下成型部分 30b 包括由环氧成型化合物制成的聚合物层,则可以以这样的方式执行激光照射工艺,即,将下成型部分 30b 加热至大约 300–500°C 的温度。在一些示例实施例中,下成型部分 30b 的去除速率可以是大约 650mm/秒。因此,可暴露下导电图案 3b。由于下导电图案 3b 可由反射性材料(例如,从由镍、铅、金和铜组成的组中选择的至少一种)形成,所以能够防止下导电图案 3b 被激光损坏。当下成型部分 30b 的一部分被激光去除时,也可去除下绝缘层 5b 的一部分。作为利用激光去除下成型部分 30b 的一部分的工艺的结果,可形成下成型孔 H2,以暴露下导电图案 3b,同时可将第一成型侧表面 S1 形成为具有如图 3A 和图 4B 所示的凹凸表面。

[0080] 返回参照图 1A 和图 1B,可执行切割工艺来以半导体封装件为单位切割上成型部分 30a、封装件基底 1 和下成型部分 30b。切割工艺可利用钻石切割刀来执行。作为切割工艺的结果,可形成第三成型侧表面 S3。然后,可将下焊料焊球 34 附着或焊接到下导电图案 3b。可以在切割工艺之前执行下焊料焊球 34 的附着或焊接工艺。

[0081] 根据本发明构思的一些示例实施例,可以例如使用激光来去除下成型部分 30b,以暴露下导电图案 3b。因此,下焊料焊球 34 的形成可以不因下成型部分 30b 的存在而被干扰,并且可以改善了的可布线性来形成焊料焊球 34。另外,可以在不对下成型部分 30b 的形状进行任何限制或对其形状进行较少限制的情况下形成下成型部分 30b。

[0082] 下成型部分 30b 的第一至第三成型侧表面 S1、S2 和 S3 可以分别通过激光钻孔工艺、成型工艺和切割工艺来形成,以具有彼此不同的表面粗糙度。

[0083] [其他示例实施例]

[0084] 图 8A 是示出根据本发明构思的其他示例实施例的封装件基底的底表面的平面图。图 8B 是沿图 8A 的线 A-A' 截取的剖视图。图 9 是示出图 8B 的部分“P3”的放大剖视图。

[0085] 参照图 8A、图 8B 和图 9,半导体封装件可被设置为封装件上封装件(堆叠)结构,其中,第二半导体封装件 101 安装在第一半导体封装件 100 上。

[0086] 第一半导体封装件 100 可包括第一封装件基底 1。第一封装件基底 1 可包括彼此面对的顶表面 1a 和底表面 1b。第一封装件基底 1 可包括穿过第一封装件基底 1 并将顶表面 1a 连接到底表面 1b 的孔 7。第一至第三上导电图案 3a、3c 和 3d 可以设置在第一封装件基底 1 的顶表面 1a 上，第一下导电图案 3b 可以设置在底表面 1b 上。顶表面 1a 和底表面 1b 可以分别被上绝缘层 5a 和下绝缘层 5b 覆盖。第一半导体芯片 10 可以以倒装芯片结合的方式安装在封装件基底 1 的顶表面 1a 上。第一半导体芯片 10 的第一结合焊盘 15 可以利用凸块 20 连接到第一上导电图案 3a。孔 7 可以与第一半导体芯片 10 叠置。第二半导体芯片 40 可以利用设置在第二半导体芯片 40 和第一半导体芯片 10 之间的第一粘合层 26 附着到第一半导体芯片 10。第二半导体芯片 40 的第二结合焊盘 42 可以利用第一引线 44 连接到第二上导电图案 3c。

[0087] 第一半导体芯片 10 和第二半导体芯片 40 以及第一封装件基底 1 可以被第一上成型部分 30a 覆盖。第一上成型部分 30a 可以延伸以填充第一半导体芯片 10 和第一封装件基底 1 之间的空间以及凸块 20 之间的空间。下成型部分 30b 可以通过孔 7 连接到第一上成型部分 30a，并覆盖封装件基底 1 的底表面 1b 的一部分。在一些示例实施例中，第一上成型部分 30a 和下成型部分 30b 可以以单个主体的形式形成，而在它们之间没有任何界面表面，并且可以由相同的材料形成。在一些示例实施例中，在平面图中，下成型部分 30b 可被形成为具有跨过底表面 1b 的中心的线性形状。下成型部分 30b 的底表面可从第一封装件基底 1 的底表面 1b 突出。图 8B 中的部分“P2”可以是与图 3A 和图 3B 中描绘相似的形状。因此，将省略对此的详细描述。

[0088] 第二半导体封装件 101 可包括第二封装件基底 50。第四上导电图案 52a 和第二下导电图案 52b 可以分别设置在第二封装件基底 50 的顶表面和底表面上。多个第三半导体芯片 60 可以以引线键合的方式安装在第二封装件基底 50 上。例如，设置在第三半导体芯片 60 上的第三结合焊盘 62 可利用第二引线 66 连接到第四上导电图案 52a。第三半导体芯片 60 可利用第二粘合层 56 附着到第二封装件基底 50。第二封装件基底 50 和第三半导体芯片 60 可以被第二上成型部分 70 覆盖。

[0089] 参照图 8B 和图 9，上成型孔 H3 可形成在第一上成型部分 30a 中，以暴露第三上导电图案 3d。第一上成型部分 30a 可包括成型顶表面 U1 和第四成型侧表面 S4。第四成型侧表面 S4 可对应于上成型孔 H3 的内部侧壁。第四成型侧表面 S4 的表面粗糙度可以与成型顶表面 U1 的表面粗糙度不同。第四成型侧表面 S4 的表面粗糙度可以与参照图 3A 和图 3B 描述的第一成型侧表面 S1 的表面粗糙度基本相同。成型顶表面 U1 的表面粗糙度可以与参照图 3A 和图 3B 描述的成型底表面 B1 和第二成型侧表面 S2 的表面粗糙度基本相同。上焊料焊球 80 可以设置在上成型孔 H3 中。上焊料焊球 80 可被形成为是第三上导电图案 3d 与第二下导电图案 52b 连接。

[0090] 除了上述区别之外，根据本实施例的半导体封装件可以被构造为具有前述示例实施例的特征基本相同的特征。

[0091] 图 10 至图 15 是示出制造剖面形状如图 8B 中所示的半导体封装件的工艺的剖视图。

[0092] 参照图 10，第一封装件基底 1 可被制备为包括彼此面对的顶表面 1a 和底表面 1b、设置在顶表面 1a 上的第一至第三上导电图案 3a、3c 和 3d、设置在底表面 1b 上的第一下导

电图案 3b、使顶表面 1a 与下表面 1b 连接的孔 7、以及分别覆盖顶表面 1a 和底表面 1b 的上绝缘层 5a 和下绝缘层 5b。第一半导体芯片 10 可以以倒装芯片结合的方式安装在第一封装件基底 1 上。

[0093] 参照图 11，第二半导体芯片 40 可以附着到第一半导体芯片 10 上，在它们之间设置有第一粘合层 26。第二半导体芯片 40 的第二结合焊盘 42 可以利用第一引线 44 连接到第二上导电图案 3c。第一预备上焊料焊球 25 可以附着到第三上导电图案 3c 上。

[0094] 参照图 12，可执行成型工艺来形成如前所述的第一上成型部分 30a 和下成型部分 30b。

[0095] 参照图 13，覆盖第一下导电图案 3b 的下成型部分 30b 的一部分可被去除，以形成暴露第一下导电图案 3b 的下成型孔 H2。可通过前述示例实施例的形成方法来执行下成型孔 H2 的形成。

[0096] 参照图 14，可去除第一上成型部分 30a 的一部分以形成暴露第一预备上焊料焊球 25 的上成型孔 H3。可利用与下成型孔 H2 的工艺基本相同的工艺来执行上成型孔 H3 的形成。例如，可利用激光（例如，波长为大约 1064nm 的红外激光）来形成上成型孔 H3。在一些示例实施例中，激光的输出功率可以是大约 7W。通过使用激光，上成型部分 30a 可以被加热至能够烧掉构成上成型部分 30a 的树脂层或聚合物层的温度。例如，在上成型部分 30a 包括由环氧成型化合物制成的聚合物层的情况下，可以以这样的方式执行激光照射工艺，即，将上成型部分 30a 加热至大约 300–500°C 的温度。在一些示例实施例中，上成型部分 30a 的去除速率可以是大约 650mm/秒。因此，可暴露第三上导电图案 3d。由于第三上导电图案 3d 可由反射材料（例如，从由镍、铅、金和铜组成的组中选择的至少一种）形成，所以能够防止第三上导电图案 3d 被激光损坏。当第一上成型部分 30a 的一部分被激光去除时，也可去除上绝缘层 5a 的一部分。作为利用激光去除第一上成型部分 30a 的一部分的工艺的结果，如图 9 中所示，可形成上成型孔 H3，以暴露第三上导电图案 3d，同时可将第四成型侧表面 S4 形成为具有凹凸表面。

[0097] 参照图 15，可执行切割工艺来以半导体封装件为单位切割第一上成型部分 30a、第一封装件基底 1 和下成型部分 30b。然后，可将下焊料焊球 34 附着或焊接到第一下导电图案 3b，从而形成第一半导体封装件 100。

[0098] 另外，可以制造第二半导体封装件 101。第二预备上焊料焊球 75 可以附着到第二半导体新封装件 101 的第二下导电图案 52b。

[0099] 第二半导体封装件 101 可以位于第一半导体封装件 100 上。第二预备上焊料焊球 75 可以插入到上成型孔 H3 中，以与第一预备上焊料焊球 25 接触。预备上焊料焊球 25 和 75 可被加热至它们的熔点的温度或更高，因此，它们可被焊接以形成将第一半导体封装件 100 和第二半导体之间 101 彼此电连接的上焊料焊球 80，如图 8B 中所示。因此，半导体封装件可被形成为具有如图 8B 中所描述的封装件上封装件的结构。

[0100] 除了上述区别之外，根据本实施例的半导体封装件可利用与前述示例实施例的工艺基本相同的工艺制造。

[0101] [其它示例实施例]

[0102] 图 16A 是示出根据本发明构思的其它示例实施例的封装件基底的底表面的平面图。图 16B 是沿图 16A 的线 A-A' 截取的剖视图。

[0103] 参照图 16A 和图 16B, 参照图 1A 和图 1B 描述的下成型部分 30b 可被形成为整体覆盖封装件基底 1 的底表面 1b。下成型部分 30b 可被形成为包括暴露下导电图案 5b 的多个下成型孔 H2。另外, 下成型部分 30b 可设置在下焊料焊球 34 之间。因此, 下成型部分 30b 可防止下焊料焊球 34 在回流工艺中彼此电连接, 可执行所述回流工艺以将封装件基底 1 安装在母板上。另外, 下成型部分 30b 可被形成为具有分别与封装件基底 1 的侧表面对准的四个第三成型侧表面 S3。在一些示例实施例中, 下成型部分 30b 可被形成为不具有第二成型侧表面 S2。

[0104] 除了上述区别之外, 根据本实施例的半导体封装件可以被构造为具有与前述示例实施例的特征基本相同的特征。

[0105] 在制造图 16A 和图 16B 的半导体封装件的工艺中, 用于成型工艺的下模具 120 可被形成为不具有图 6B 的线形凹进区域 R1。例如, 下模具 120 的整个表面可以凹进。因此, 可以不形成第二成型侧表面 S2。除了上述区别之外, 根据本实施例的半导体封装件可以利用与前述示例实施例的工艺基本相同的工艺制造。

[0106] [其它示例实施例]

[0107] 图 17A 是示出根据本发明构思的其它示例实施例的封装件基底的底表面的平面图。图 17B 是沿图 17A 的线 A-A' 截取的剖视图。

[0108] 参照图 17A 和图 17B, 参照图 1A 和图 1B 描述的下成型部分 30b 可以被形成为不具有下成型孔 H2。例如, 下成型部分 30b 的宽度 W2 可以小于设置为邻近封装件基底 1 的中心的一对下焊料焊球 34 的相对的外侧之间的距离 W1。因此, 下成型部分 30b 可被形成为具有沿列方向延伸的线形结构, 并且与设置为与封装件基底 1 的中心相邻的两列下焊料焊球 34 的侧壁部分地接触。除了上述区别之外, 根据本实施例的封装件基底可被构造为具有与前述示例实施例的特征基本相同的特征。

[0109] 在制造图 17A 和图 17B 的半导体封装件的工艺中, 用于成型工艺的下模具 120 可被形成为具有比图 6B 的线形凹进区域 R1 的宽度小的宽度。例如, 成型工艺可包括形成成型层 30a 和 30b, 然后利用激光去除下成型部分 30b 的一部分。因此, 可以暴露下导电图案 5b 并且可以形成与之相邻的第一成型侧壁 S1。除了上述区别之外, 根据本实施例的半导体封装件可以利用与前述示例实施例的工艺基本相同的工艺制造。

[0110] 图 18 和图 19 是示出根据本发明构思的一些示例实施例的变型的封装件基底的底表面的平面图。

[0111] 如图 18 中所示, 半导体封装件可包括封装件基底 1, 封装件基底 1 具有设置在封装件基底 1 上的多个下成型部分 30b 和多个孔 7。在一些示例实施例中, 下成型部分 30b 可以分别与孔 7 叠置, 下成型部分 30b 中的每个可具有与图 17A 相似的平面形状。

[0112] 如图 19 中所示, 半导体封装件可包括设置为覆盖围绕孔 7 设置的一些(例如, 6 个)下焊料焊球 34 的侧壁并暴露其余的下焊料焊球 34 的下成型部分 30b。例如, 下成型部分 30b 可利用成型工艺形成, 以具有与图 1A 中描述的平面形状相同的平面形状, 然后利用激光钻孔工艺图案化, 以围绕孔 7 局部地保留。下成型部分 30b 可被形成为具有可通过激光钻孔工艺限定的第一成型侧壁 S1, 而不具有第二成型侧壁 S2 和第三成型侧壁 S3。

[0113] 除了上述特征之外, 根据本示例实施例的半导体封装件可被构造为具有与前述示例实施例的结构特征或工艺特征相同或相似的结构特征或工艺特征。

[0114] 上面描述的半导体封装技术可被应用于各种类型的半导体器件和包括其的封装件模块。

[0115] 图 20 是示出根据本发明构思的一些示例实施例的包括半导体封装件的封装件模块的示例的图。参照图 20, 封装件模块 1200 可包括以四侧引脚扁平封装(QFP)类型封装的半导体器件 1220 和半导体器件 1230。由于应用了根据本发明构思的一些示例实施例的半导体技术的半导体器件 1220 和 1230 安装在基底 1210 上, 所以可形成封装件模块 1200。封装件模块 1200 可通过设置在基底 1210 的一侧的外部连接端子 1240 连接到外部电子装置。

[0116] 上面描述的半导体封装技术可应用于电子系统。图 21 是示出根据本发明构思的一些示例实施例的包括半导体封装件的电子系统的示例的示意性框图。参照图 21, 电子系统 1300 可包括控制器 1310、输入 / 输出(I/O)单元 1320 和存储装置 1330。控制器 1310、I/O 单元 1320 和存储装置 1330 可以通过数据总线 1350 彼此结合。数据总线 1350 可以对应于电信号通过其传输的路径。控制器 1310 可包括微处理器、数字信号处理器、微控制器或其它逻辑器件中的至少一种。其它逻辑器件可具有与微处理器、数字信号处理器和微控制器中的任意一种相似的功能。I/O 单元 1320 可包括键区、键盘和 / 或显示单元。存储装置 1330 可存储数据和 / 或由控制器 1310 执行的指令。存储装置 1330 可包括易失性存储装置和 / 或非易失性存储装置。例如, 存储装置 1330 可包括闪存存储装置, 闪存存储装置可以被实现为固态硬盘(SSD)。电子系统 1300 可以将大量的数据稳定地存储至闪存存储系统。电子系统 1300 还可包括将电子数据传输至通信网络或从通信网络接收电子数据的接口单元 1340。接口单元 1340 可通过无线或有线来操作。例如, 接口单元 1340 可包括用于无线通信的天线或者用于有线通信的收发器。虽然未在附图中示出, 但是还可在电子系统 1300 中设置应用芯片组和 / 或照相图像处理器(CIS)。

[0117] 电子系统 1300 可被实现为移动系统、个人计算机、工业计算机或执行各种功能的逻辑系统。例如, 移动系统可以是个人数字助理(PDA)、便携式计算机、网络平板电脑、无线电话、移动电话、膝上计算机、数字音乐系统和信息收发系统中的一种。当电子系统 1300 执行无线通信时, 电子系统 1300 可以使用诸如 CDMA、GSM、NADC、E-TDMA、WCDMA、CDMA2000、Wi-Fi、Muni Wi-Fi、蓝牙、DECT、无线 USB、Flash-OFDM、IEEE802.20、GPRS、iBurst、WiBro、WiMAX、WiMAX-Advanced、UMTS-TDD、HSPA、EVDO、LTE-Advanced、MMDS 等的通信系统的通信接口协议。

[0118] 上面描述的半导体封装技术可以被应用于存储系统。图 22 是示出根据本发明构思的一些示例实施例的包括半导体封装件的存储系统的示例的示意性框图。参照图 22, 存储系统 1400 可包括非易失性存储装置 1410 和存储控制器 1420。非易失性存储装置 1410 和存储控制器 1420 可以存储数据或读取存储的数据。非易失性存储装置 1410 可包括应用有根据本发明构思的一些示例实施例的半导体封装技术的至少一种非易失性存储器。存储控制器 1420 可控制非易失性存储装置 1410, 以响应于主机 1430 的读取 / 写入请求来读取存储的数据和 / 或存储数据。

[0119] 根据本发明构思的一些示例实施例, 半导体封装件被构造为包括利用倒装芯片结合技术安装在封装件基底上的半导体芯片, 因此由于其缩短的信号传输长度, 所以半导体封装件可以提高速度操作。另外, 可形成上成型部分, 以填充半导体芯片之间的空间, 从而没有孔隙或具有极少的孔隙, 并且这改善了半导体封装件的可靠性。另外, 可以在不使

用底部填充树脂层的情况下实现半导体封装件，并且减少对防止底部填充树脂溶液的不期望的流动的坝的需要。因此，能够减小半导体封装件的竖直和 / 或水平尺寸(或者实现小的形成因子)。

[0120] 根据本发明构思的其他示例实施例，半导体封装件被构造为包括设置在封装件基底的底表面上的下成型部分。下成型部分可设置在下焊料焊球之间，从而防止下焊料焊球之间的电短路。

[0121] 根据本发明构思的一些示例实施例，在制造半导体封装件的工艺中使用具有孔的封装件基底。孔在形成上成型部分的工艺中可用作空气排出口，并且保持用于成型层的树脂溶液的向前流动。因此，上成型部分可被形成为填充半导体芯片之间的空间而不具有任何孔隙。结果，能够防止凸块不期望地彼此连接，并且减少由填充有湿气的孔隙导致的技术问题。换言之，能够实现具有改善的可靠性的半导体封装件，并且提高生产良率。此外，由于不需要底部填充树脂层，所以可以简化工艺。

[0122] 根据本发明构思的其它示例实施例，在制造半导体封装件的工艺中，可设置下成型部分来覆盖位于封装件基底的底表面上的下导电图案，并且可通过激光去除下成型部分的至少一部分。因此，可以自由地布置下焊料焊球，而具有更少的由成型部分导致的限制。换言之，可以提高焊料焊球的可布线性。

[0123] 虽然已经具体地示出并描述了本发明构思的示例实施例，但是本领域普通技术人员应当理解的是，在不脱离权利要求的精神和范围的情况下，可以对其进行形式和细节上的改变。

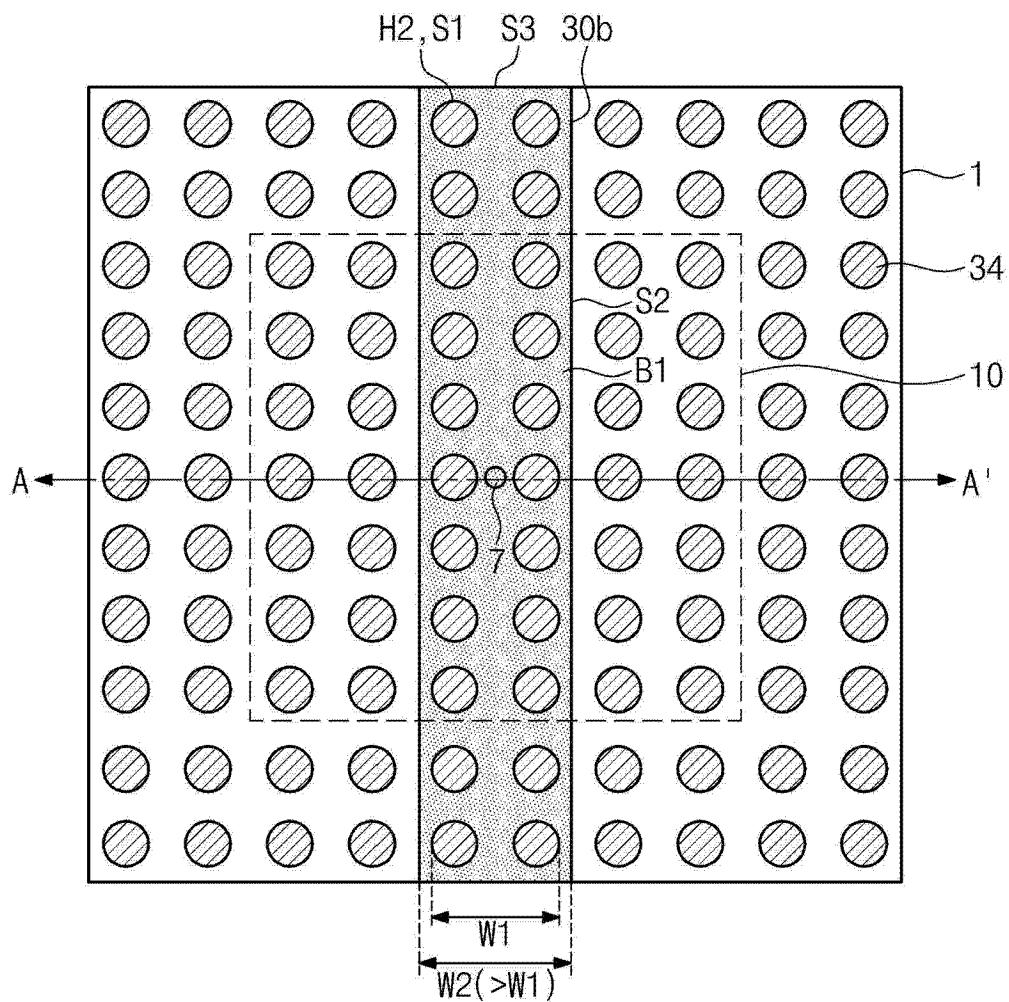


图 1A

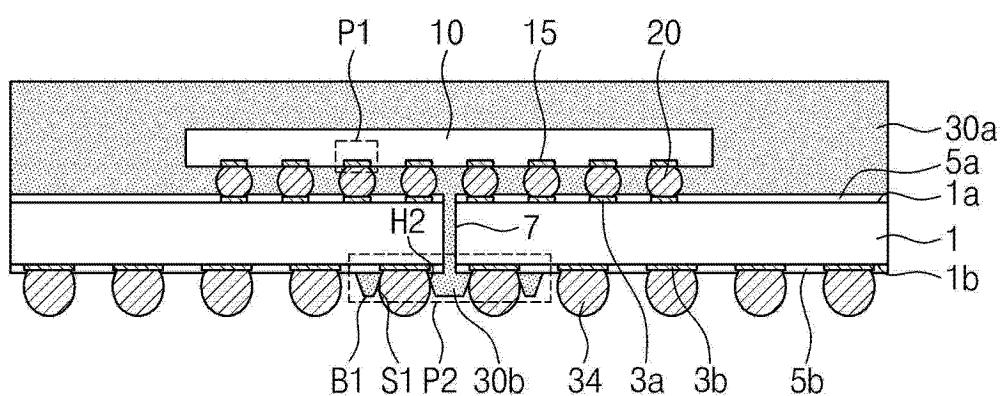


图 1B

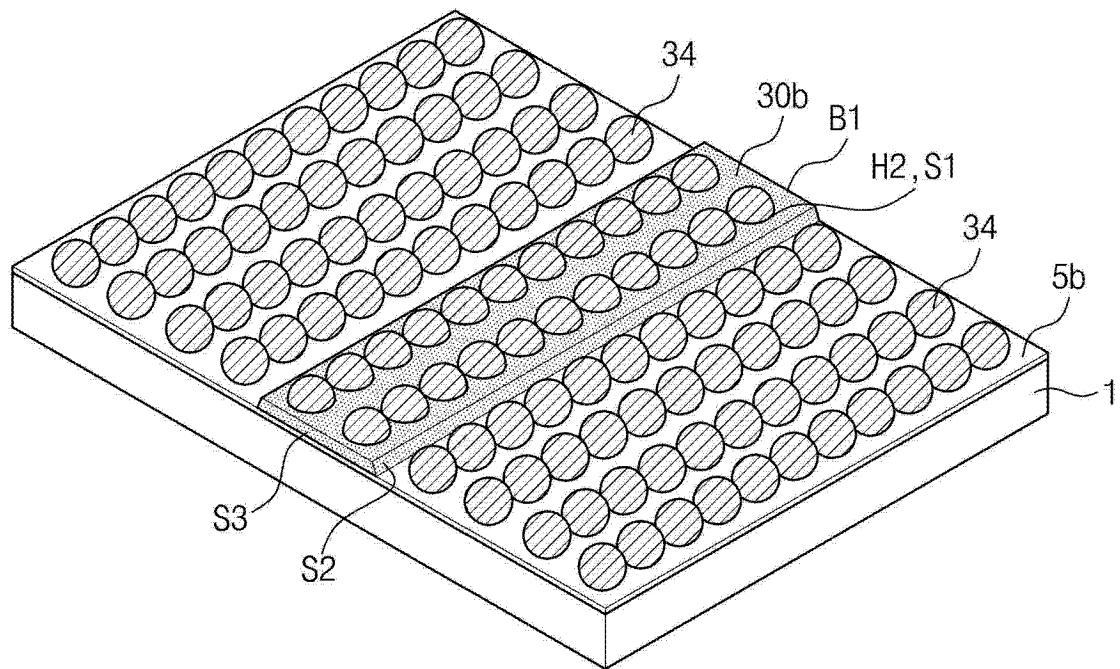


图 1C

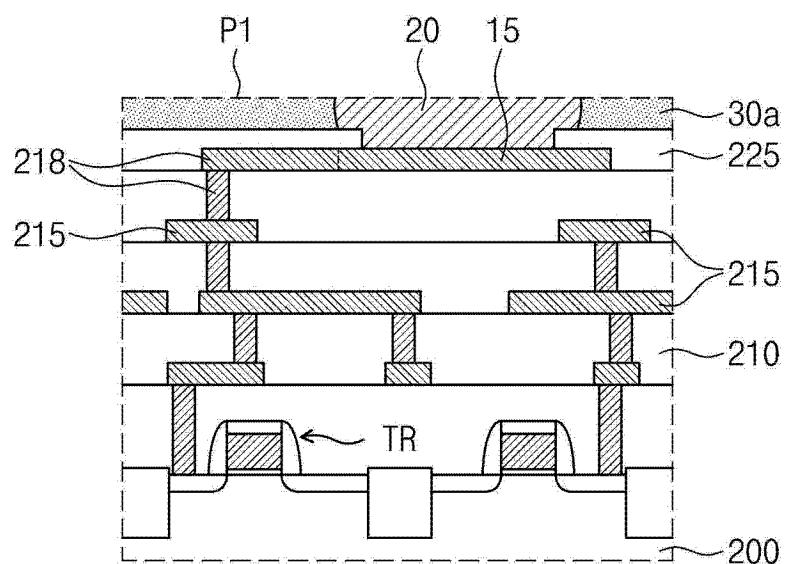


图 2

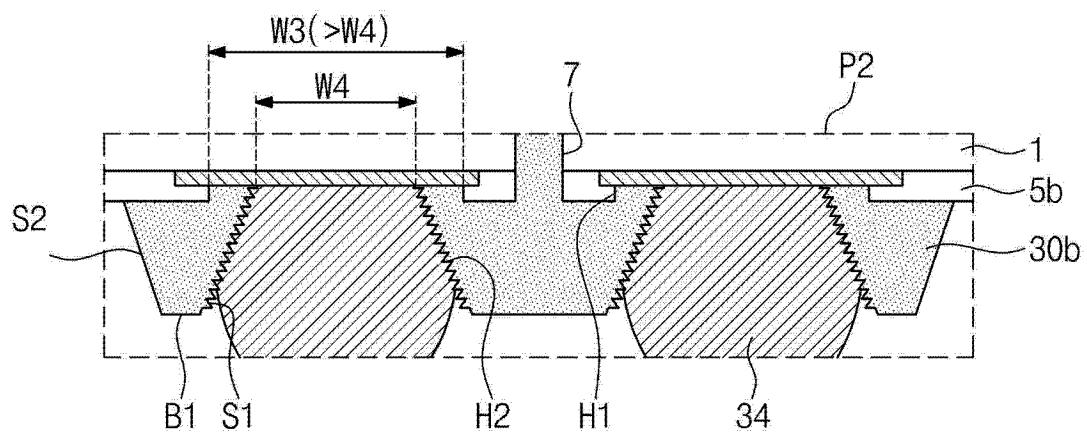


图 3A

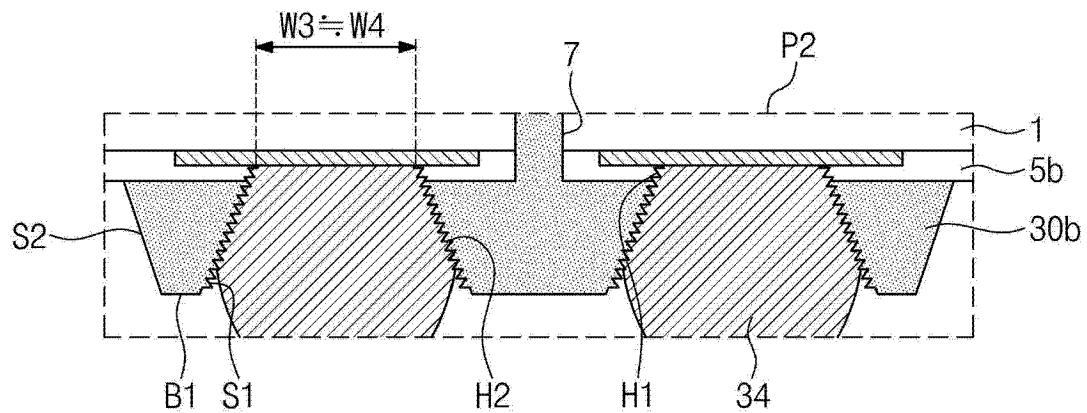


图 3B

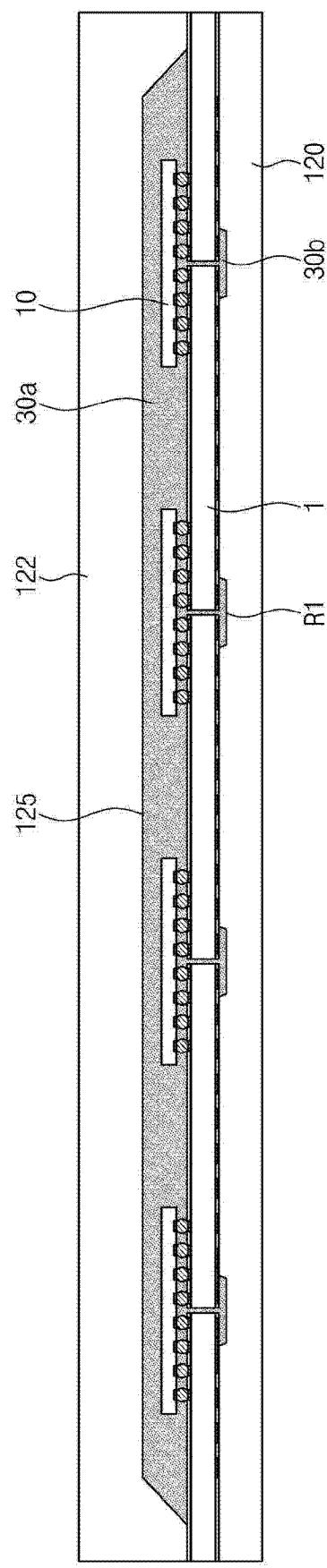
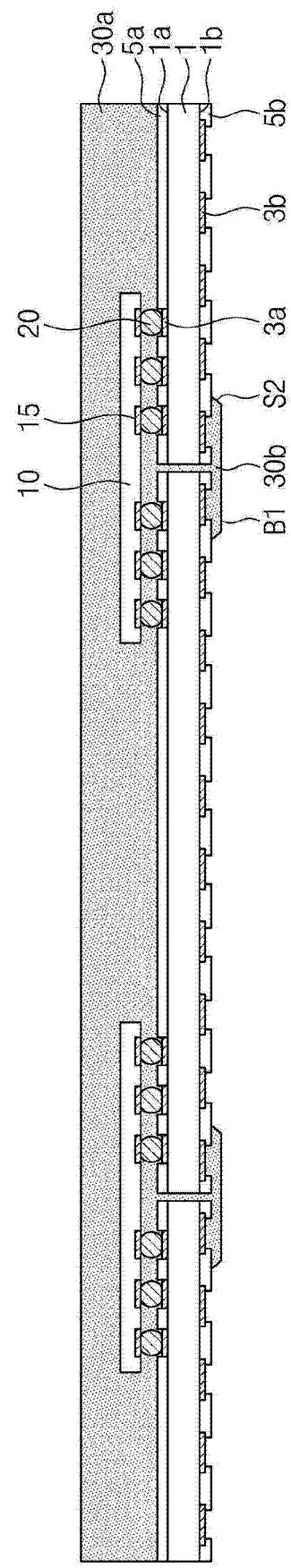
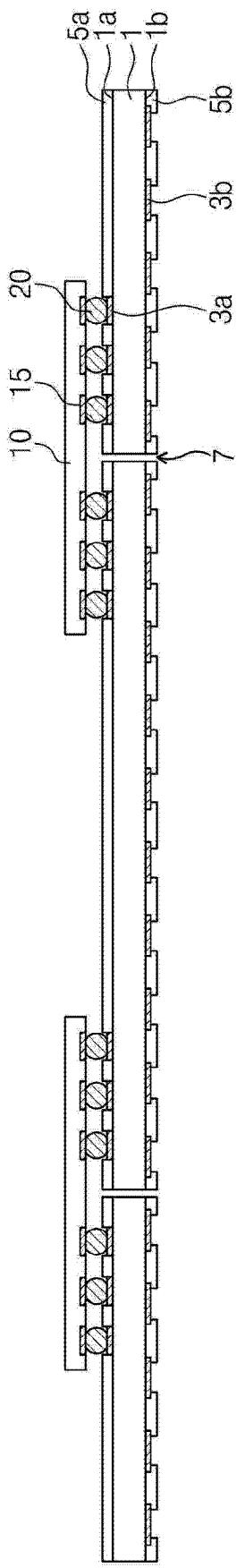


图 4

图 5

图 6A

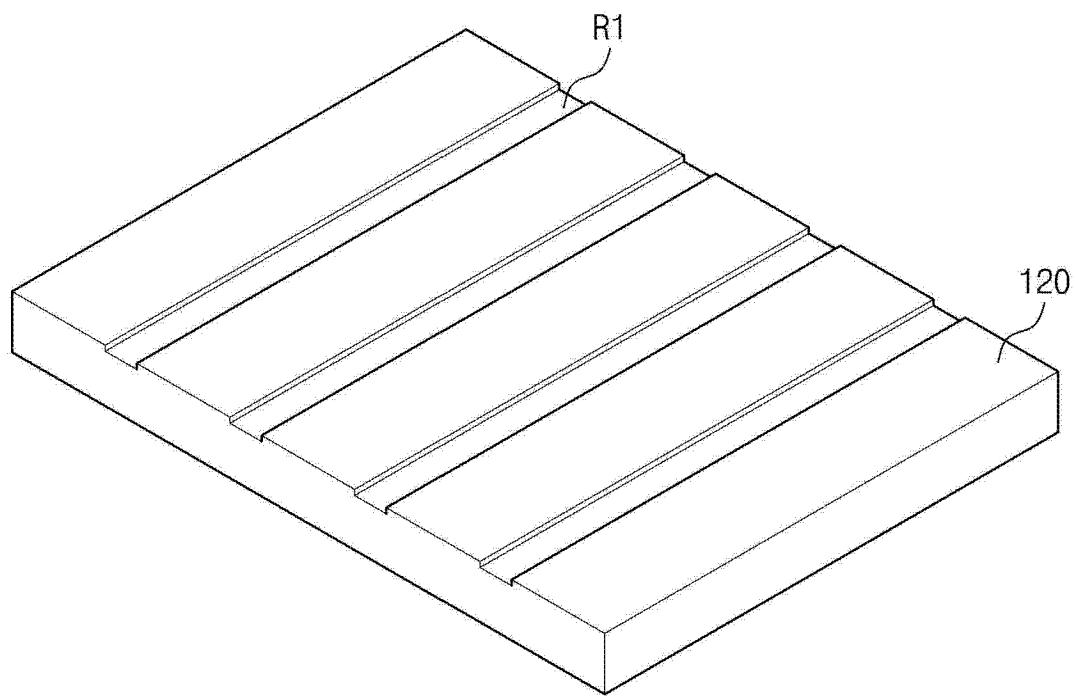


图 6B

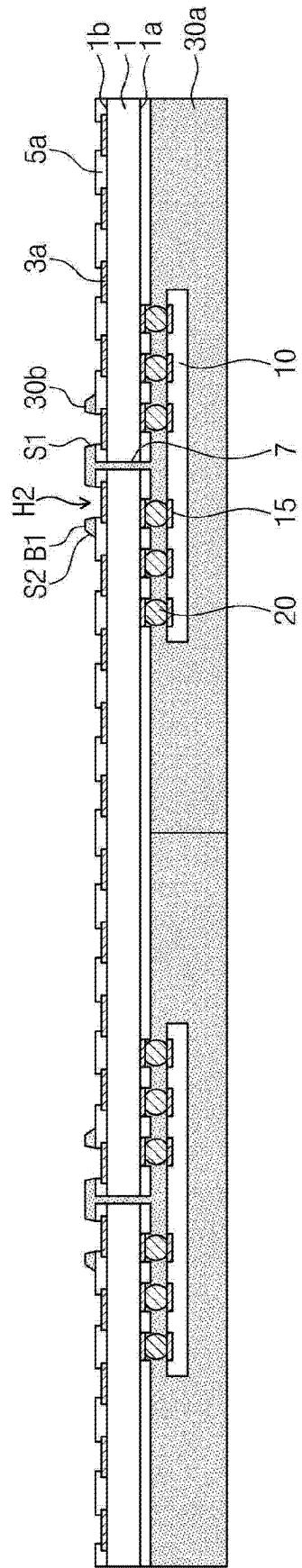


图 7

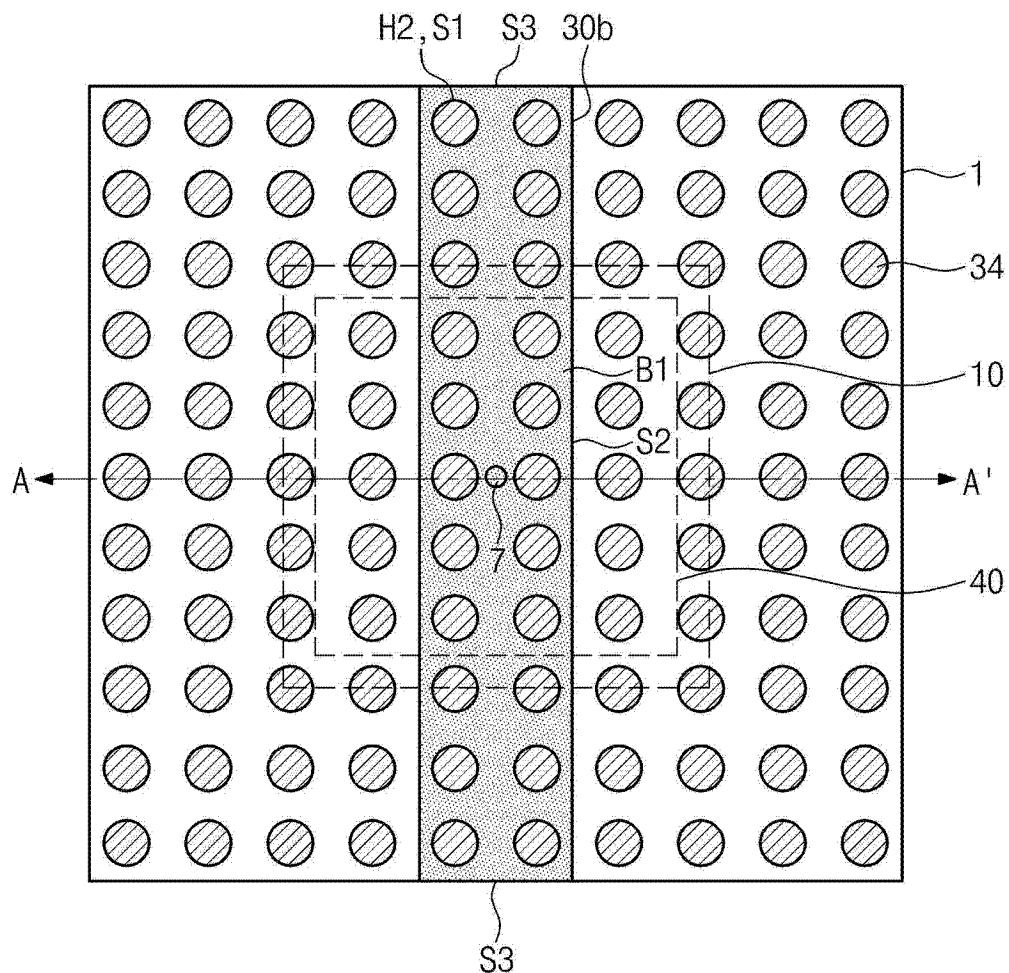


图 8A

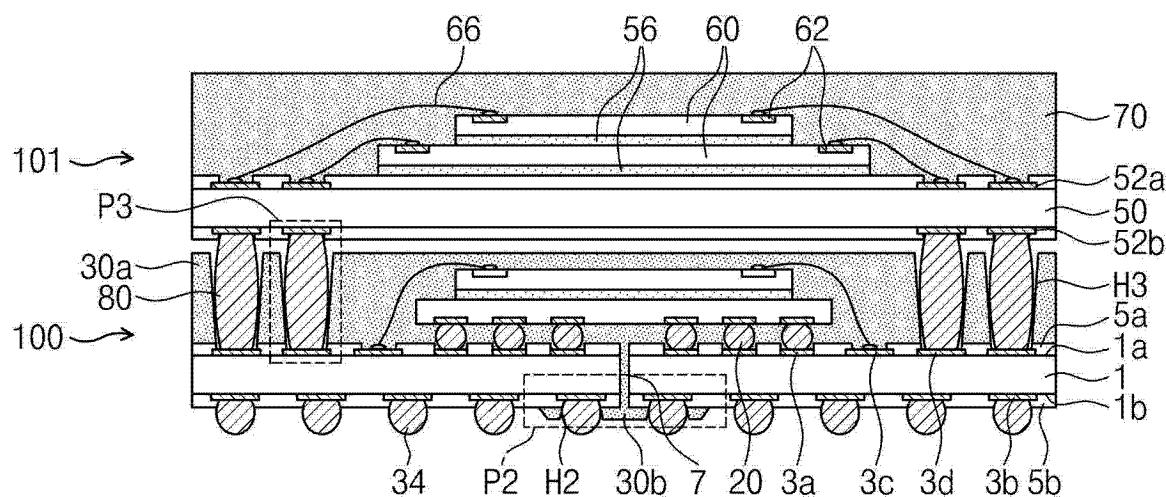


图 8B

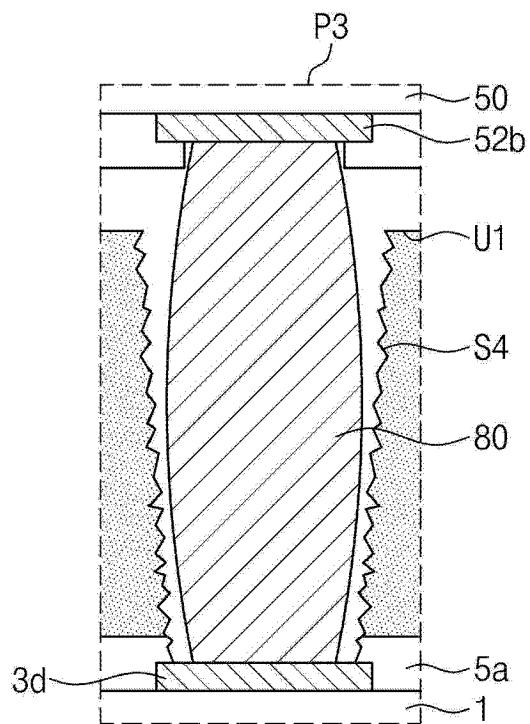


图 9

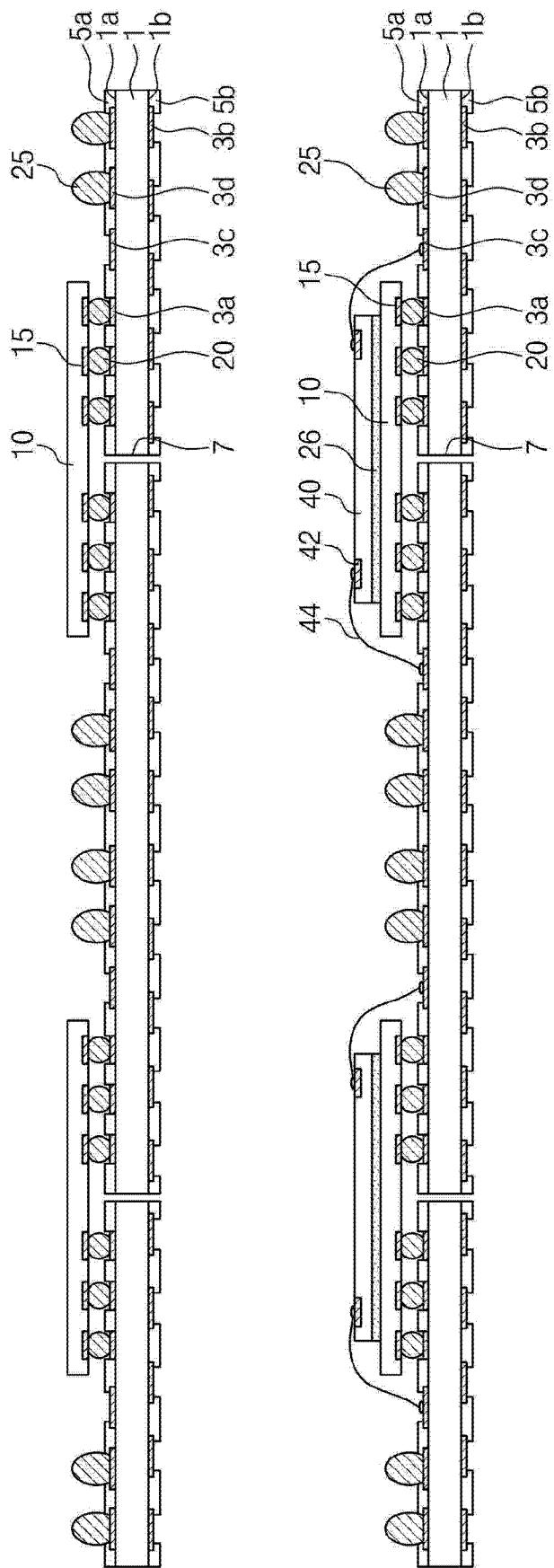


图 10

图 11

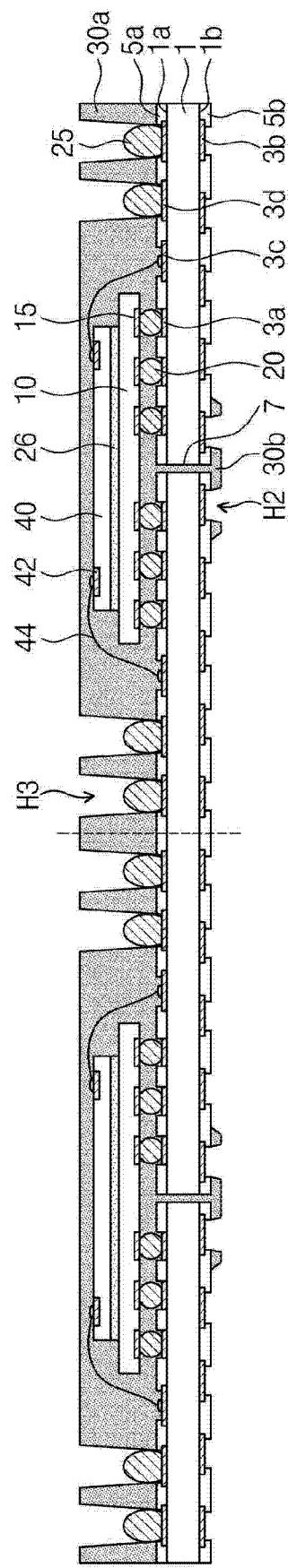
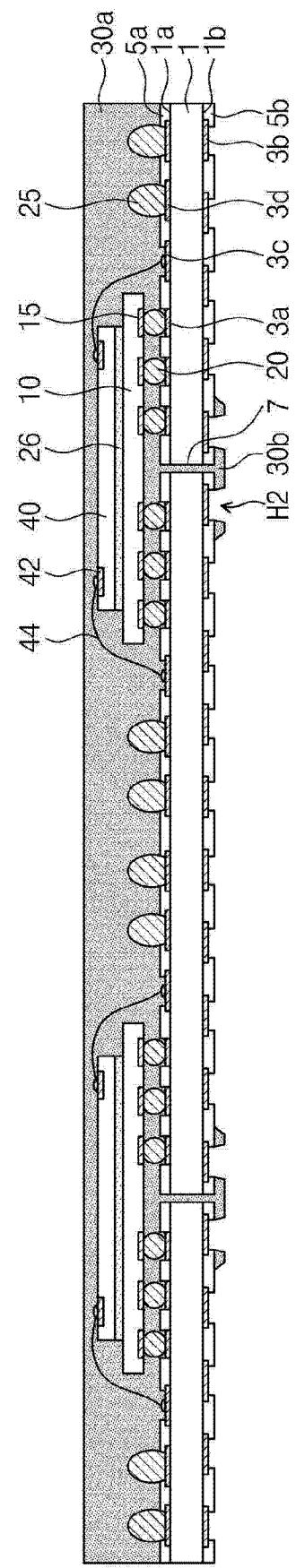
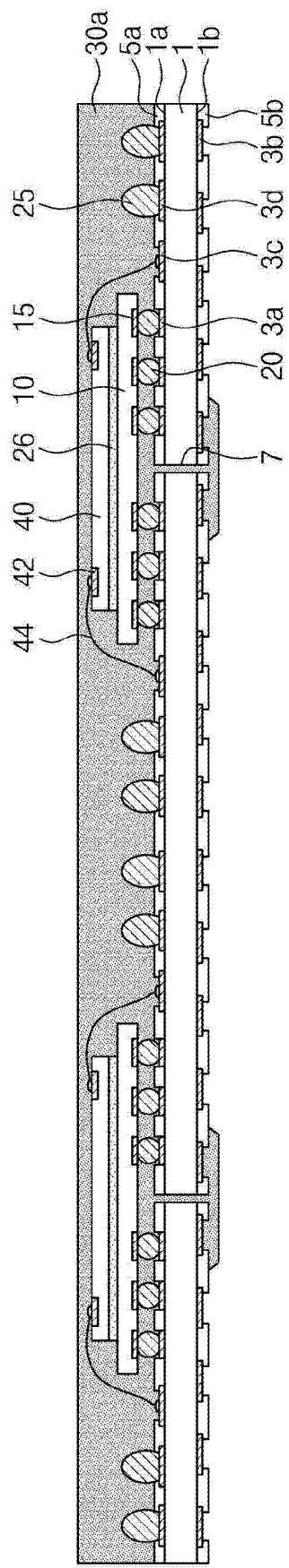


图 12

图 13

图 14

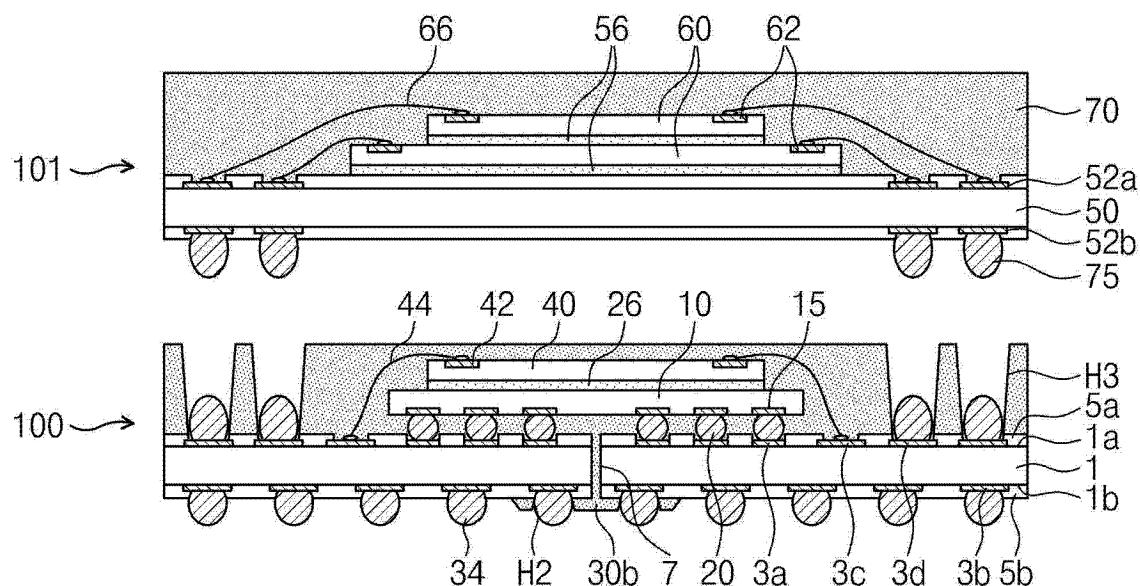


图 15

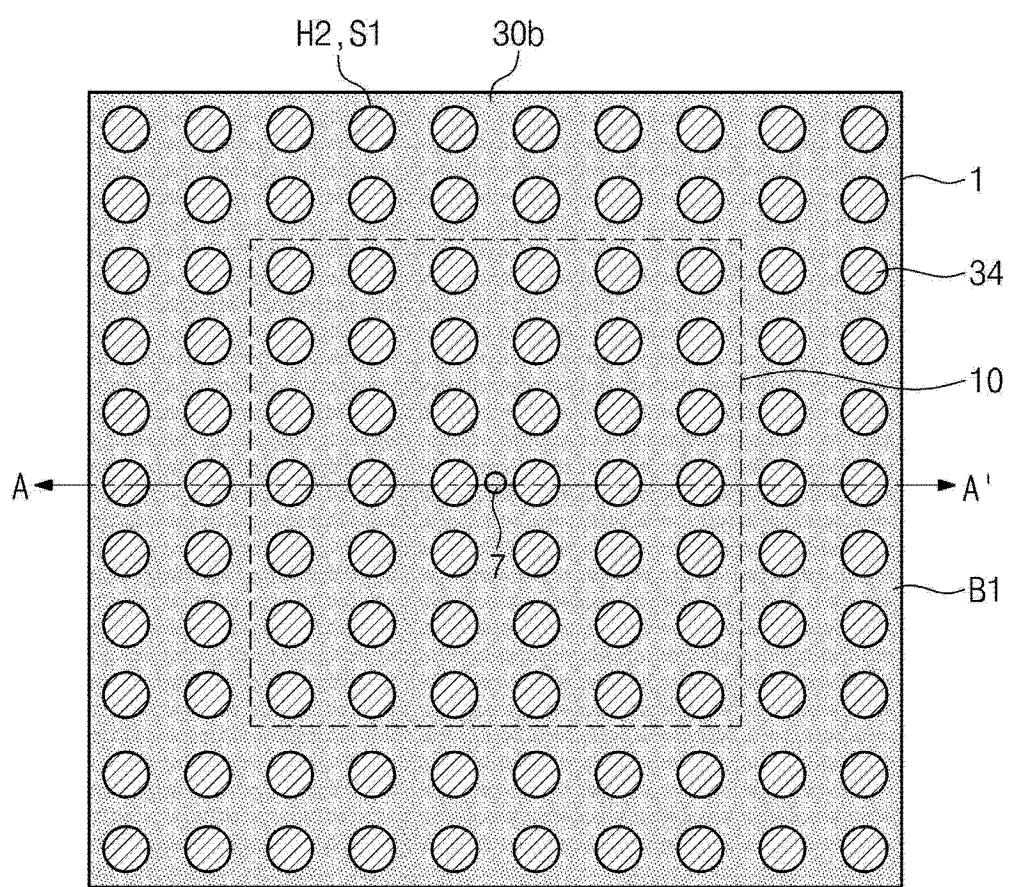


图 16A

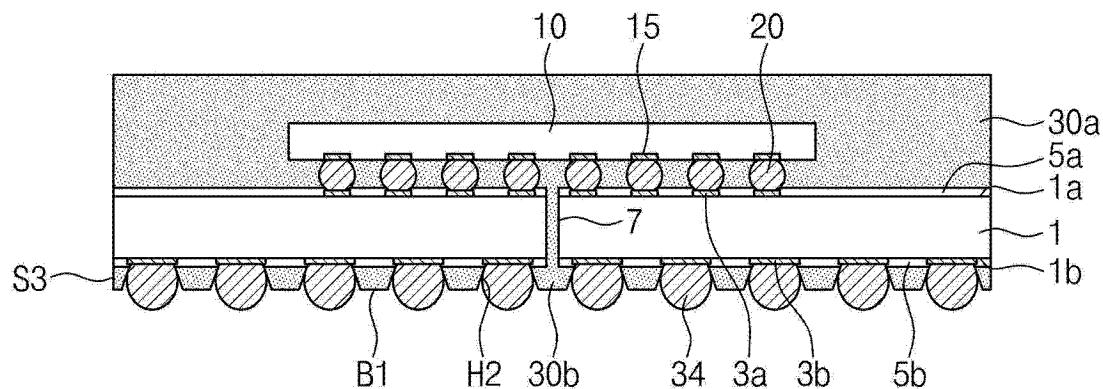


图 16B

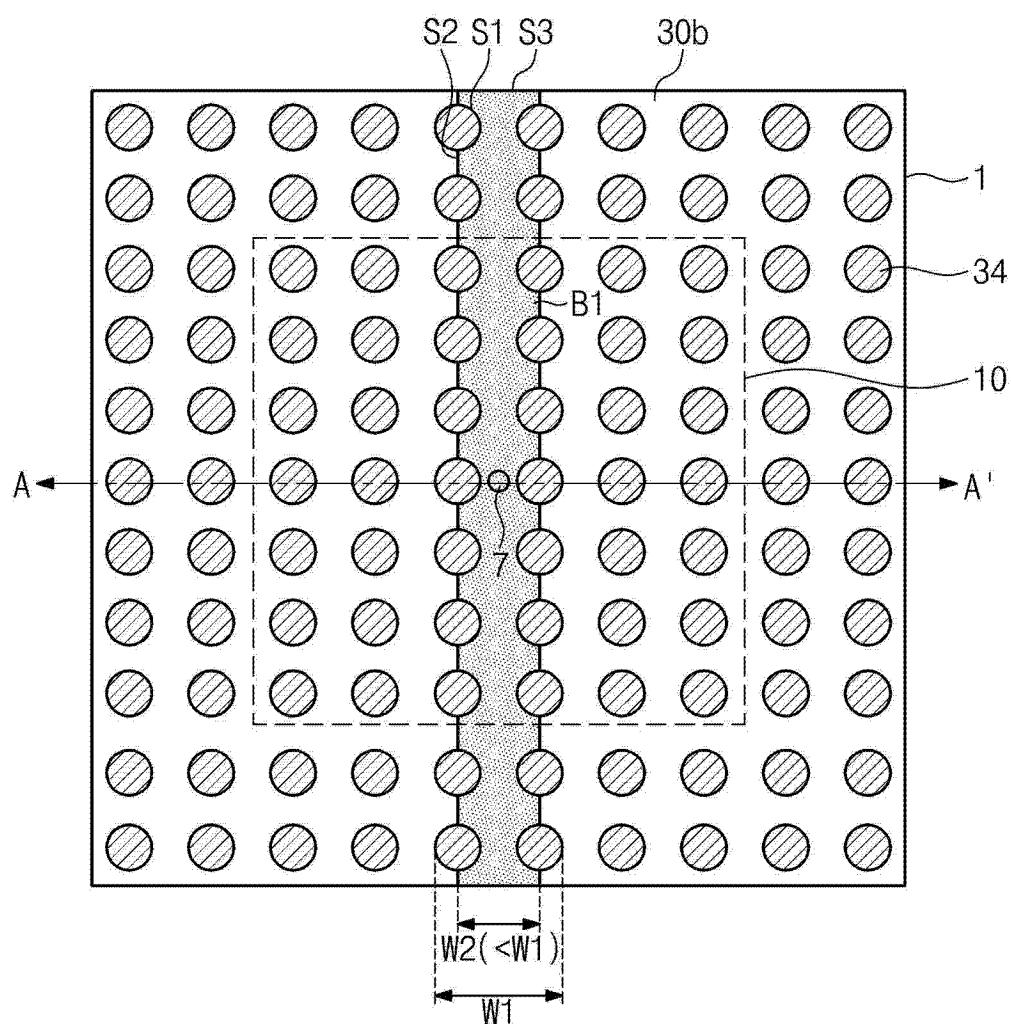


图 17A

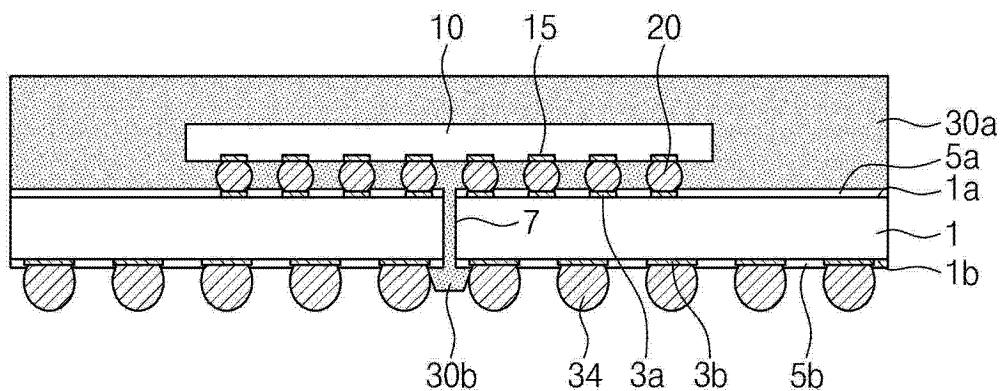


图 17B

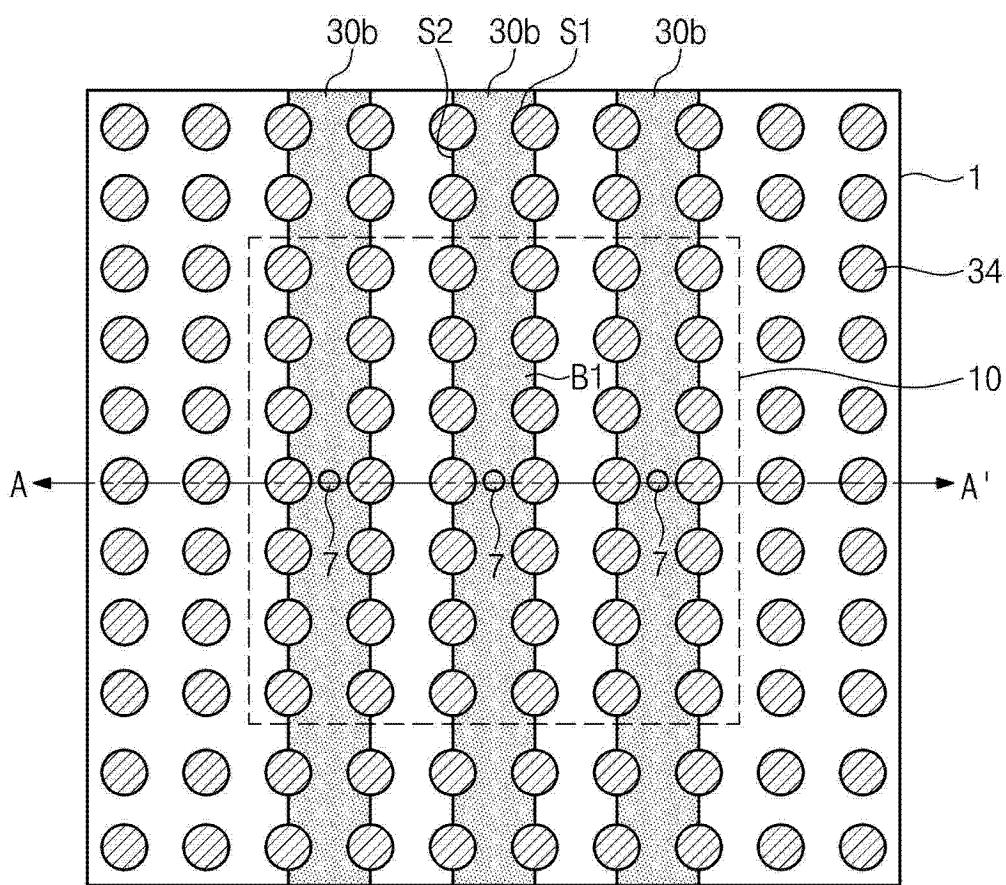


图 18

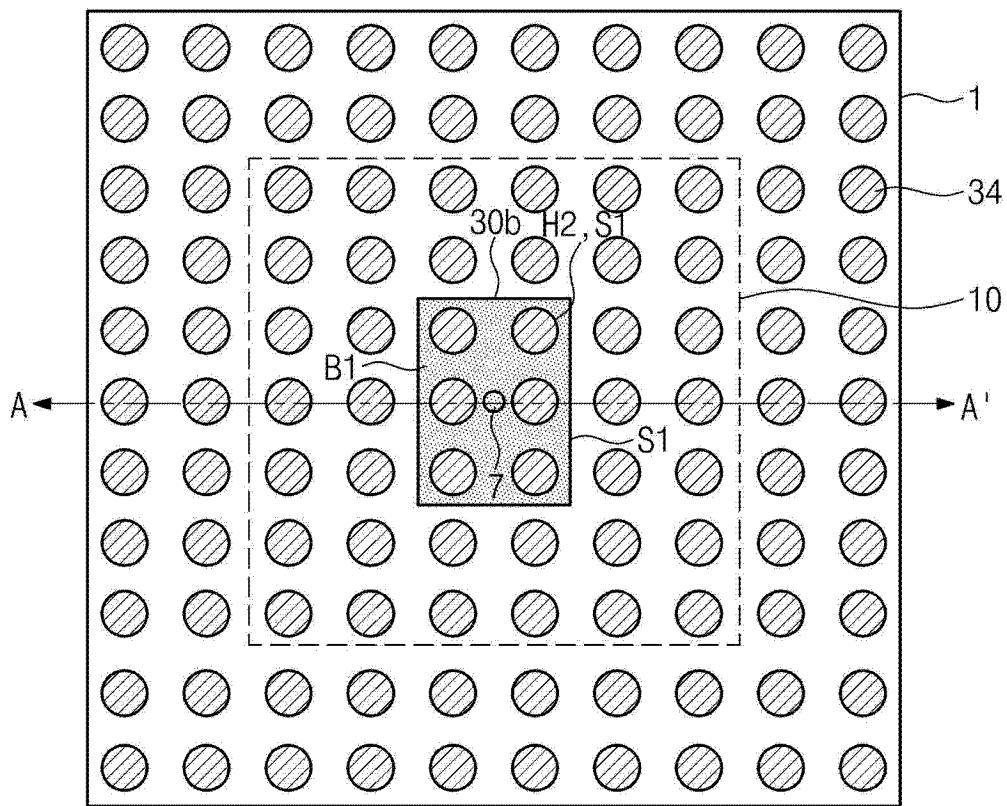


图 19

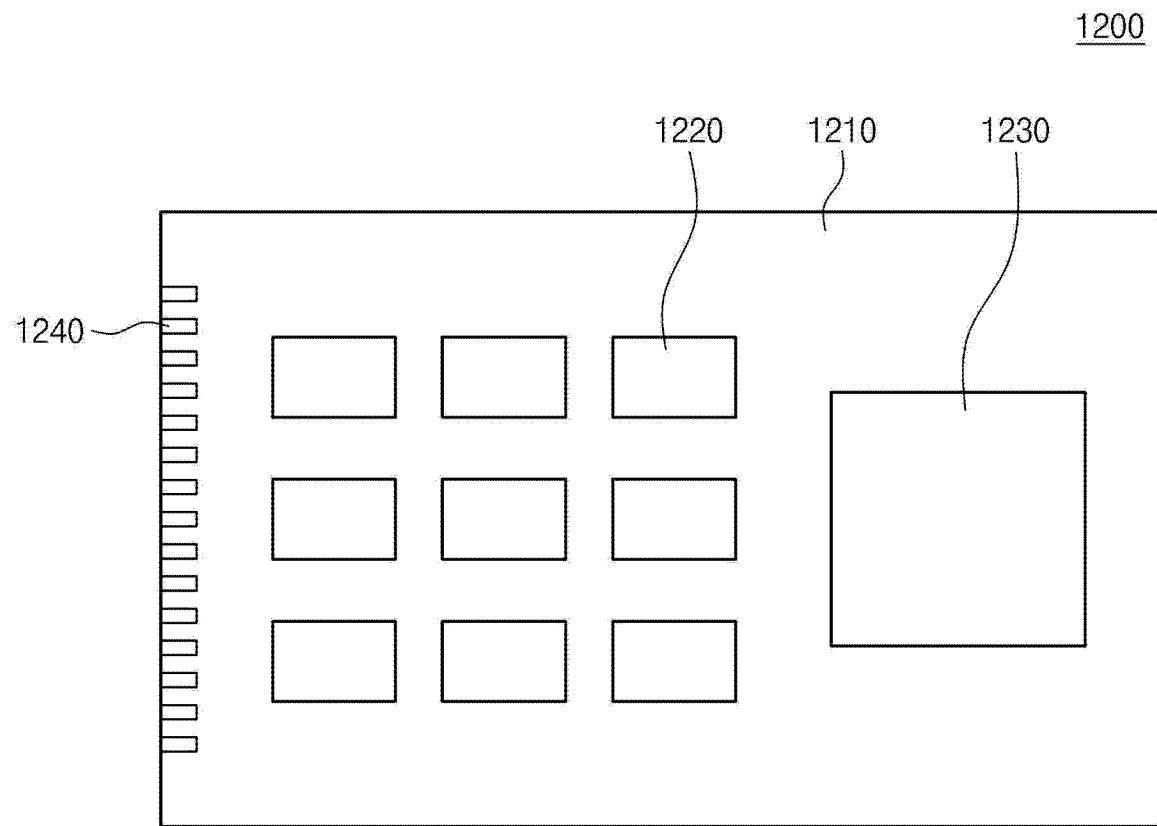


图 20

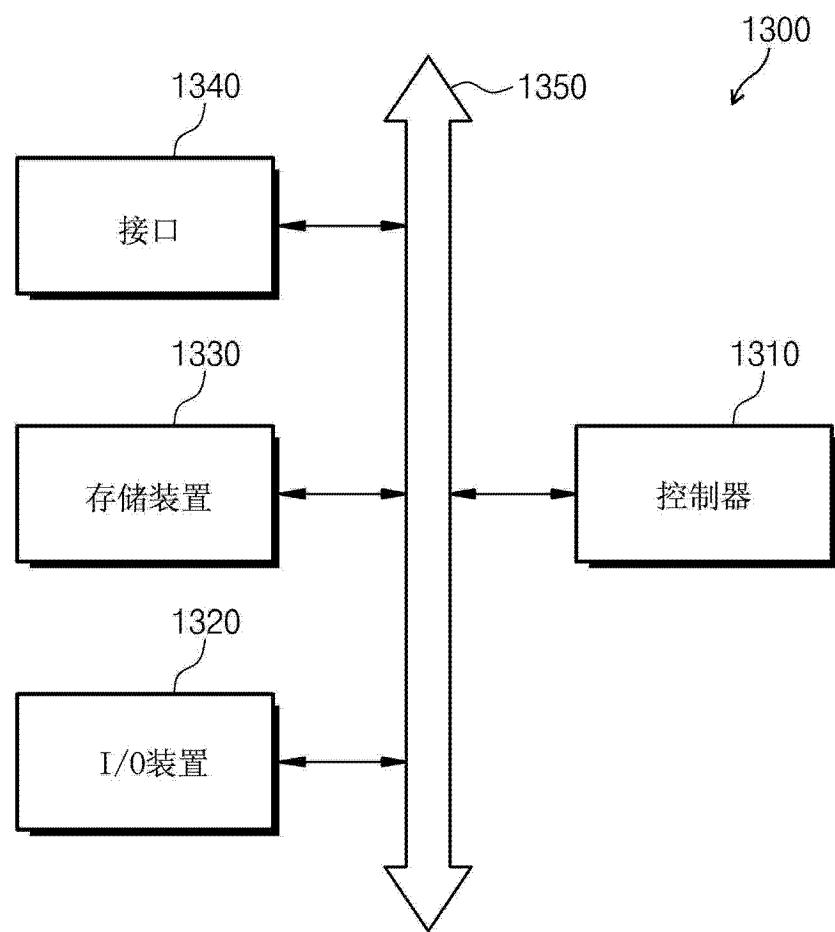


图 21

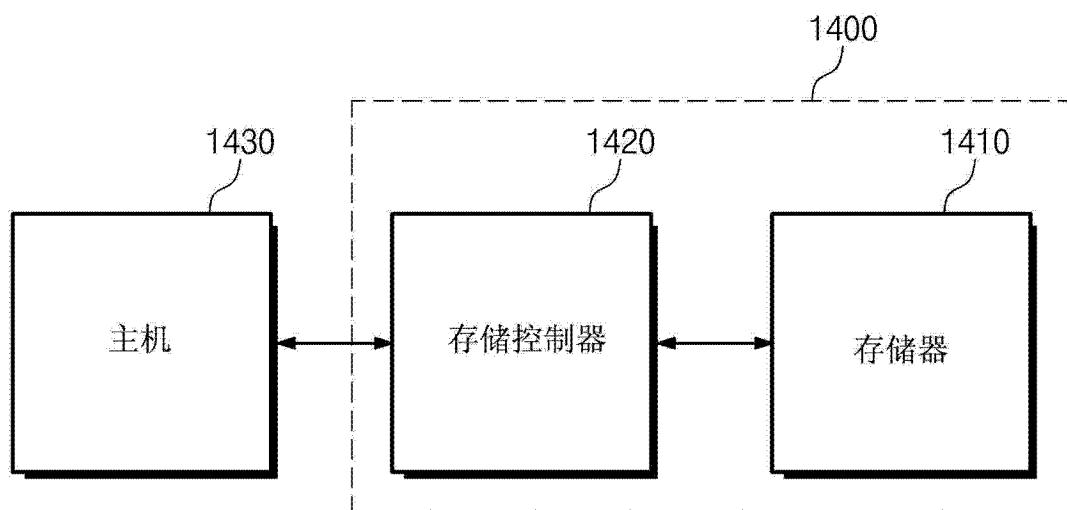


图 22