

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3624357号  
(P3624357)

(45) 発行日 平成17年3月2日(2005.3.2)

(24) 登録日 平成16年12月10日(2004.12.10)

(51) Int. Cl.<sup>7</sup>

F I

H O 1 L 21/331

H O 1 L 29/72

H

H O 1 L 29/205

H O 1 L 29/205

H O 1 L 29/737

請求項の数 2 (全 10 頁)

(21) 出願番号	特願平7-213163	(73) 特許権者	000005223
(22) 出願日	平成7年8月22日(1995.8.22)		富士通株式会社
(65) 公開番号	特開平9-64057		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成9年3月7日(1997.3.7)	(74) 代理人	100105337
審査請求日	平成13年5月18日(2001.5.18)		弁理士 眞鍋 潔
		(74) 代理人	100110238
			弁理士 伊藤 壽郎
		(74) 代理人	100072833
			弁理士 柏谷 昭司
		(74) 代理人	100075890
			弁理士 渡邊 弘一
		(72) 発明者	遠藤 浩
			神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 ヘテロ接合バイポーラトランジスタの製造方法

(57) 【特許請求の範囲】

【請求項1】

半絶縁性半導体基板上に少なくとも一導電型コレクタ層、反対導電型ベース層、及び、一導電型エミッタ層を順次堆積させる工程、前記ベース層が露出しない深さまで前記エミッタ層の一部をエッチングする工程、前記エッチングにより露出したエミッタ層の少なくとも一部に反応性イオンエッチング法を用いてダメージを与えて高抵抗領域を形成する工程、前記高抵抗領域の一部にベース電極を形成する工程、前記ベース層に達する合金化領域を形成する工程、前記エミッタ層及び前記ベース層をエッチングして前記コレクタ層の一部を露出させる工程、及び、前記エミッタ層及び前記コレクタ層に夫々エミッタ電極及びコレクタ電極を形成する工程を有することを特徴とするヘテロ接合バイポーラトランジスタの製造方法。

10

【請求項2】

上記ベース層が露出しない深さまでエミッタ層の一部をエッチングする工程の後に、全面に絶縁膜を形成し、反応性イオンエッチング法を用いて前記絶縁膜からなるサイドウォールを形成すると同時に、前記露出したエミッタ層にダメージを与えて高抵抗領域を形成することを特徴とする請求項1記載のヘテロ接合バイポーラトランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はヘテロ接合バイポーラトランジスタの製造方法に関するものであり、特に、III-

20

V族化合物半導体からなるエミッタメサ構造を有するHBT（ヘテロ接合バイポーラトランジスタ）におけるエミッタ電極とベース電極との間に存在するエミッタ層の高抵抗化に関するものである。

【0002】

【従来の技術】

従来、GaAs等の電子移動度の大きなIII-V族化合物半導体を用いたヘテロ接合バイポーラトランジスタ等の化合物半導体装置は、高周波素子或いは高速スイッチング素子として広く用いられている。

【0003】

このヘテロ接合バイポーラトランジスタは、エミッタ層としてAlGaAsを用い、ベース層及びコレクタ層としてGaAsを用いて構成するのが一般的であったが、近年、エミッタ層としてのAlGaAs層に形成される深い準位に起因する劣化の問題を解決するために、エミッタ層としてInGaP層が用いられるようになっている。

10

【0004】

即ち、エミッタ層として活性な原子であるAlを含むAlGaAs層を用いた場合には、AlGaAs層に深い準位に起因する多くの非発光性再結合中心が形成され、この非発光性再結合中心を介してヘテロ接合バイポーラトランジスタの劣化が進行するため、Alを含まないInGaP層をエミッタ層として用いることによって劣化の問題を解決して、ヘテロ接合バイポーラトランジスタの信頼性を向上させている。

【0005】

この様な従来のヘテロ接合バイポーラトランジスタを図5を参照して説明する。

なお、図5(a)はヘテロ接合バイポーラトランジスタの概略的断面図であり、また、図5(b)はヘテロ接合バイポーラトランジスタのベース電極の形状を示す部分的上面図である。

20

【0006】

図5(a)参照

まず、MOVPE法（有機金属気相成長法）、或いは、MBE法（分子線エピタキシャル成長法）を用いて、半絶縁性GaAs基板21上に $n^+$ 型GaAsサブコレクタ層22、 $n$ 型GaAsコレクタ層23、 $p^+$ 型GaAsベース層24、及び、 $n$ 型InGaP層25/ $n$ 型GaAs層26/ $n^+$ 型InGaAs層27からなるエミッタ層28を順次成長

30

【0007】

次いで、エミッタメサ、ベースメサ、及び、コレクタメサを形成してキャップ層としての $n^+$ 型InGaAs層27、 $n$ 型GaAs層26の露出部、及び、 $n^+$ 型GaAsサブコレクタ層12の露出部に夫々導電層を設けてオーミック性のエミッタ電極30、ベース電極35、及び、コレクタ電極37を形成し、最後にパッシベーション膜としてSiON膜38を設けてヘテロ接合バイポーラトランジスタが完成する。

【0008】

図5(b)参照

この場合、ベース電極35は、エミッタメサを取り囲むように、従って、エミッタ電極30を取り囲むようにU字状に設けられており、このベース電極35とエミッタ電極30との間にガードリング34が形成される。

40

【0009】

なお、この従来のヘテロ接合バイポーラトランジスタにおいては、熱処理を行ってベース電極35の構成元素を $n$ 型GaAs層26及び $n$ 型InGaP層25に拡散させて合金化領域36を形成し、この合金化領域36によってベース電極35と $p$ 型GaAsベース層24とをオーミックに接続している。

【0010】

また、 $p^+$ 型GaAsベース層24を直接露出させた場合には、エミッタ/ベース接合、即ち、 $pn$ 接合が表面に露出し、表面準位に起因して劣化が進行するので、キャップ層

50

の $n^+$ 型InGaAs層27のみをメサエッチングしてエミッタメサを形成している。

【0011】

また、露出する層がn型InGaP層25の場合には、具体的理由は解明されていないもののベース電極35の合金化反応の制御が困難になり、且つ、n型InGaP層25の禁制帯幅がn型GaAs層26の禁制帯幅より大きいので、ベース電極35の接触抵抗が大きくなり素子特性が低下することになる。

【0012】

【発明が解決しようとする課題】

しかし、n型GaAs層26を残存させた従来の構造において、n型InGaP層25及びn型GaAs層26はエミッタ層28を構成する層であるのでドナー濃度をある程度以下には下げることができず、ベース電極35とエミッタ電極30との間のガードリング34が導電性を有することになり、この導電性に基づく表面電導が素子の安定動作を阻害し、素子劣化の原因となっている。

10

【0013】

したがって、本発明は、ガードリング34の表面を高抵抗化することによって、ヘテロ接合バイポーラトランジスタの動作を安定にし、且つ、劣化を抑制することを目的とする。

【0014】

【課題を解決するための手段】

図1は本発明の原理的構成の説明図であり、この図1を参照して本発明における課題を解決するための手段を説明する。

20

【0015】

図1参照

(1)本発明は、ヘテロ接合バイポーラトランジスタの製造方法において、半絶縁性半導体基板1上に少なくとも一導電型コレクタ層2、反対導電型ベース層3、及び、一導電型エミッタ層7(4~6)を順次堆積させる工程、ベース層3が露出しない深さまでエミッタ層7の一部をエッチングする工程、このエッチングにより露出したエミッタ層7(4,5)の少なくとも一部に反応性イオンエッチング法を用いてダメージを与えて高抵抗領域13を形成する工程、高抵抗領域13の一部にベース電極9を形成する工程、ベース層3に達する合金化領域14を形成する工程、エミッタ層7及びベース層3をエッチングしてコレクタ層2の一部を露出させる工程、及び、エミッタ層7及びコレクタ層2に夫々エミッタ電極8及びコレクタ電極10を形成する工程を有することを特徴とする。

30

【0016】

この様に、エミッタ電極8とベース電極9との間のガードリング12の表面にダメージ領域からなる高抵抗領域13を設けることによって表面電導を抑制したので、表面電導による素子の劣化を防止することができ、且つ、ベース層3を露出させることがないのでpn接合の露出に伴う表面準位に起因する劣化も防止することができる。

【0022】

また、本発明においては、ヘテロ接合バイポーラトランジスタを製造する際に、ベース層3が露出しない深さまでエミッタ層7の一部をエッチングすると共に、このエッチングによって露出したエミッタ層7(4,5)の少なくとも一部に反応性イオンエッチング法を用いてダメージを与えて高抵抗領域13を形成するので、簡単な工程によって導電性を有するガードリング12を高抵抗化することができる。

40

【0023】

この事情を図2を参照して説明する。

なお、図2は半絶縁性GaAs基板上に設けた厚さ190nmで、不純物濃度が $2.5 \times 10^{12} \text{ cm}^{-3}$ のn型GaAs層を、 $\text{CF}_4$ と $\text{CHF}_3$ を反応ガスとして用いたRIE(反応性イオンエッチング)法によってエッチングした場合のn型GaAs層の電流変動(RIE処理後/初期値)を示したものである。

【0024】

この場合の具体的条件としては、 $\text{CF}_4$ と $\text{CHF}_3$ を夫々36sccm及び30sccm

50

cm流して、内容積24000ccの反応室の圧力を4.0Paにした状態で、室温で300秒間エッチングを行い、エッチング終了後にn型GaAs層に直流電圧( $V_{dc}$ )を印加して流れる電流値を測定したものである。

【0025】

図2参照

この様なRIE処理によってn型GaAs層は損傷を受け、表面にダメージ領域が形成されて電流値が減少し、この電流値の減少の程度は印加電圧値の増加と共に大きくなる。

【0026】

したがって、実際のヘテロ接合バイポーラトランジスタにおいては、RIEを用いたエッチング処理によって露出したエミッタ層7(4,5)の抵抗値が増加して、表面電導が抑制されることになる。

10

なお、実際の製造工程においては、RIE処理時間は300秒以上であるので、受ける損傷はより大きくなり、抵抗値はさらに増加することになる。

【0027】

(2)また、本発明は、上記(1)において、ベース層3が露出しない深さまでエミッタ層7の一部をエッチングする工程の後に、全面に絶縁膜を堆積させ、反応性イオンエッチング法を用いて絶縁膜からなるサイドウォール11を形成すると同時に露出したエミッタ層7(4,5)にダメージを与えて高抵抗領域13を形成することを特徴とする。

【0028】

この様に、エミッタメサ側面を保護するためのサイドウォール11の形成工程を用いて高抵抗領域13を形成することができるので、高抵抗化工程が簡素化されスループットが向上する。

20

なお、図において符号15はパッシベーション膜を表す。

【0033】

【発明の実施の形態】

ここで、図3乃至図4を参照して、本発明の第1の実施の形態を説明する。

図3(a)参照

まず、半絶縁性GaAs基板21上にMOVPE法を用いて、不純物濃度が $4 \times 10^{18} \text{ cm}^{-3}$ で厚さが500nmの $n^+$ 型GaAsサブコレクタ層22、不純物濃度が $4 \times 10^{17} \text{ cm}^{-3}$ で厚さが600nmのn型GaAsコレクタ層23、不純物濃度が $4 \times 10^{19} \text{ cm}^{-3}$ で厚さが70nmの $p^+$ 型GaAsベース層24、及び、不純物濃度が $4 \times 10^{17} \text{ cm}^{-3}$ で厚さが24nmのn型InGaP層25 / 不純物濃度が $4 \times 10^{17} \text{ cm}^{-3}$ で厚さが6nmのn型GaAs層26 / 不純物濃度が $3 \times 10^{19} \text{ cm}^{-3}$ で厚さが110nmの $n^+$ 型InGaAs層27からなる積層エミッタ層28を順次成長させる。

30

【0034】

なお、本発明の特許請求の範囲の記載においては、 $n^+$ 型GaAsサブコレクタ層22及びn型GaAsコレクタ層23を総称してコレクタ層と言うものであり、コレクタ層と言う場合には、n型GaAsコレクタ層23及び $n^+$ 型GaAsサブコレクタ層22の一方を指す場合もあるし、両者を指す場合もある。

40

【0035】

また、 $n^+$ 型InGaAs層27は、実際には、不純物濃度が $4 \times 10^{17} \text{ cm}^{-3}$ で厚さが10nmの $n^+$ 型InGaP層、不純物濃度が $4 \times 10^{18} \text{ cm}^{-3}$ で厚さが250nmの $n^+$ 型GaAs層、及び、不純物濃度が $3 \times 10^{19} \text{ cm}^{-3}$ で厚さが110nmのInGaAs層を順次積層させた3層構造からなり、この $n^+$ 型InGaAs層27を構成する $n^+$ 型InGaP層はエッチングストップパ層として機能し、また $n^+$ 型GaAs層は応力緩和層として機能する。

【0036】

また、結晶成長法は、MOVPE法に限られるものでなく、MBE法を用いても良く、また、 $p^+$ 型不純物としては拡散係数の小さな炭素(C)を用い、n型不純物としても拡

50

散係数の小さなSiを用いているが、他の導電型決定不純物を用いても良い。

【0037】

図3(b)参照

次いで、 $n^+$ 型InGaAs層27上にWシリサイドからなるエミッタ電極形成用導電層を設け、その上に設けたSiON膜パターン29をマスクとして、 $CH_4$ 及び $O_2$ を反応ガスとしたRIE(反応性イオンエッチング)法によってWシリサイド層を異方性エッチングすることによってエミッタ電極30を形成したのち、エミッタ電極30をマスクとして、 $H_3PO_4$ 、 $H_2O_2$ 、及び、 $H_2O$ からなるエッチング液を用いたウェット・エッチングによって $n^+$ 型InGaAs層27をエッチングしてn型GaAs26の表面を露出させてエミッタメサ構造を形成する。

10

【0038】

なお、エッチングに際しては、 $n^+$ 型InGaAs層27を構成する $n^+$ 型InGaAs層をウェット・エッチングにより除去したのち、SiON膜パターン29を除去し、次いで、 $CCl_2F_2$ 及びHeを反応ガスとしたRIE法により $n^+$ 型InGaAs層27を構成する $n^+$ 型GaAs層及び $n^+$ 型InGaP層も除去する。

【0039】

図3(c)

次いで、減圧化学気相成長法(LPCVD法)を用いて、全面に厚さ70nmの $Si_3N_4$ 膜31(図においては点線で示している)を堆積させたのち、 $CHF_3/CF_4$ をエッチングガスとしたRIE法を用いて異方性エッチングすることによってサイドウォール32を形成する。

20

なお、この $Si_3N_4$ 膜31は、エミッタメサ側面を保護する保護膜として設けるものであり、 $SiO_2$ 等の他の絶縁膜より保護作用が良好である。

【0040】

また、このRIE工程において、図2に示したように露出しているn型GaAs層26及びその下のn型InGaP層25はRIEに伴うプラズマダメージを受けてプラズマダメージによる高抵抗化領域33が形成されるが、このRIE工程に特別の条件は必要とされず通常のサイドウォールを形成する条件のRIE工程で十分である。

【0041】

図4(d)参照

次いで、全面にPd/Zn/Pt/Auからなる4層構造のベース電極形成用導電層を堆積させ、パターンニングすることによってn型GaAs層26上にベース電極35を形成したのち、 $N_2$ 雰囲気中で350~400、好適には375の基板温度で、3~5分、好適には4分間の熱処理を行ってベース電極35中のPd及びZnをn型GaAs層26及びn型InGaP層25中に固相拡散して合金化領域36を形成し、ベース電極35と $p^+$ 型GaAsベース層24とをオーミックに接続する。

30

【0042】

図4(e)参照

次いで、所定パターンのフォトリソマスクを用いてn型GaAs層26乃至n型GaAsコレクタ層23をエッチングして $n^+$ 型GaAsサブコレクタ層22を露出させてベースメサ構造を形成したのち、全面にTi/AuGe/Auからなるコレクタ電極形成用導電層を堆積させ、次いで、パターンニングしたのち合金化処理することによって $n^+$ 型GaAsサブコレクタ層22上にコレクタ電極37を形成し、最後に、全面にパッシベーション膜として厚さ600nmのSiON膜38を形成してヘテロ接合バイポーラトランジスタが完成する。

40

なお、パッシベーション膜としてSiON膜38を用いるのは、応力を緩和するためである。

【0043】

この第1の実施の形態においては、n型GaAs層26上にベース電極35を形成しているので、エミッタ/ベース接合からなるpn接合が露出することがなく、表面準位の起因

50

する劣化を抑制することができる。

【0044】

また、 $n$ 型InGaP層25に直接ベース電極35を形成するものではないので、合金化領域36を制御性良く形成することができ、また、ベース電極35の接触抵抗が大きくなるらずオーミック性が良好になる。

【0045】

なお、上記第1の実施の形態においては、エミッタメサ形成工程における制御性を高めるためにエミッタキャップ層を $n^+$ 型InGaP層、 $n^+$ 型GaAs層、及び、 $n^+$ 型InGaAs層の3層構造で構成しているが、 $n^+$ 型InGaAs層のみで構成しても良い。

10

【0046】

また、エミッタ電極30の構成部材として、ノンアロイでInGaAsに対するオーミック電極の形成が可能なWシリサイドを用いているが、同じくノンアロイでオーミック電極の形成が可能であるTiW合金を用いても良い。

【0053】

また、上記の第1の実施の形態においては、ベース電極35の合金化反応とコレクタ電極37の合金化反応を別工程で行っているが、同じ工程で行っても良く、また、用いている導電性部材の組成は単なる一例を示したものであり、従来のInGaAsやGaAsのオーミック電極として用いられている他の組成の導電性部材を用いても良いものである。

【0054】

また、上記の第1の実施の形態においては、ワイドエミッタとしてInGaPを用いたInGaP/GaAs系ヘテロ接合バイポーラトランジスタを説明しているが、本発明はワイドエミッタとしてAlGaAsを用いたAlGaAs/GaAs系ヘテロ接合バイポーラトランジスタ等の他のヘテロ接合バイポーラトランジスタをも対象とするものである。

20

【0055】

このようなワイドエミッタとしてAlGaAsを用いたAlGaAs/GaAs系ヘテロ接合バイポーラトランジスタに上記の構成を適用することにより、pn接合を露出させることがないので、界面準位に起因する劣化を抑制することができ、また、酸化しやすく且つ禁制帯幅の大きなAlGaAs層を露出させないことによってベース電極のオーミック性を良好にすることができる。

30

【0056】

さらに、上記の第1の実施の形態においては、npn型ヘテロ接合バイポーラトランジスタを説明しているが、本発明はpnp型ヘテロ接合バイポーラトランジスタをも対象とするものである。

【0057】

【発明の効果】

本発明によれば、エミッタ電極とベース電極との間のガードリング領域の少なくとも一部に高抵抗領域を設けたので、エミッタ/ベース接合を露出させることがなく、したがって、表面準位に基づく劣化を抑制することができ、また、ガードリング領域の導電性を高抵抗領域によって低下させたので表面電導に基づく劣化も抑制することができ、ヘテロ接合バイポーラトランジスタの信頼性を高め、長寿命化することができる。

40

【図面の簡単な説明】

【図1】本発明の原理的構成の説明図である。

【図2】本発明の作用の説明図である。

【図3】本発明の第1の実施の形態の途中までの製造工程の説明図である。

【図4】本発明の第1の実施の形態の図3以降の製造工程の説明図である。

【図5】

従来のヘテロ接合バイポーラトランジスタの説明図である。

【符号の説明】

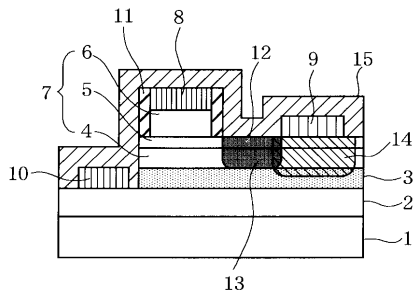
1 半絶縁性半導体基板

50

2	コレクタ層	
3	ベース層	
4	ワイドエミッタ層	
5	エミッタ付加層	
6	エミッタキャップ層	
7	エミッタ層	
8	エミッタ電極	
9	ベース電極	
10	コレクタ電極	
11	サイドウォール	10
12	ガードリング	
13	高抵抗領域	
14	合金化領域	
15	パッシベーション膜	
21	半絶縁性GaAs基板	
22	n <sup>+</sup> 型GaAsサブコレクタ層	
23	n型GaAsコレクタ層	
24	p <sup>+</sup> 型GaAsベース層	
25	n型InGaP層	
26	n型GaAs層	20
27	n <sup>+</sup> 型InGaAs層	
28	エミッタ層	
29	SiONマスク層	
30	エミッタ電極	
31	Si <sub>3</sub> N <sub>4</sub> 膜	
32	サイドウォール	
33	高抵抗化領域	
34	ガードリング	
35	ベース電極	
36	合金化領域	30
37	コレクタ電極	
38	SiON膜	

【 図 1 】

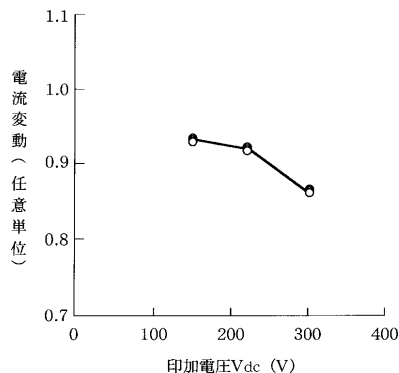
本発明の原理的構成の説明図



- |              |               |
|--------------|---------------|
| 1: 半絶縁性半導体基板 | 9: ベース電極      |
| 2: コレクタ層     | 10: コレクタ電極    |
| 3: ベース層      | 11: サイドウォール   |
| 4: ワイドエミッタ層  | 12: ガードリング    |
| 5: エミッタ付加層   | 13: 高抵抗領域     |
| 6: エミッタキャップ層 | 14: 合金化領域     |
| 7: エミッタ層     | 15: パッシベーション膜 |
| 8: エミッタ電極    |               |

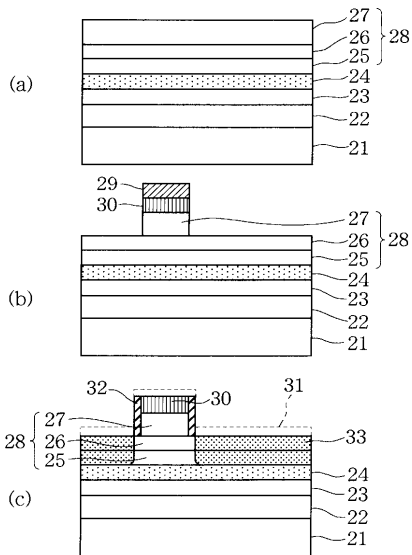
【 図 2 】

本発明の作用の説明図



【 図 3 】

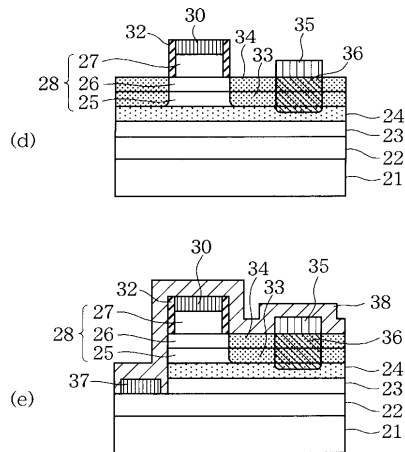
本発明の第1の実施の形態の途中までの製造工程の説明図



- |                                   |                                      |
|-----------------------------------|--------------------------------------|
| 21: 半絶縁性 GaAs 基板                  | 28: エミッタ層                            |
| 22: n <sup>+</sup> 型 GaAs サブコレクタ層 | 29: SiON マスク層                        |
| 23: n 型 GaAs コレクタ層                | 30: エミッタ電極                           |
| 24: p <sup>+</sup> 型 GaAs ベース層    | 31: Si <sub>3</sub> N <sub>4</sub> 膜 |
| 25: n 型 InGaP 層                   | 32: サイドウォール                          |
| 26: n 型 GaAs 層                    | 33: 高抵抗化領域                           |
| 27: n <sup>+</sup> 型 InGaAs 層     |                                      |

【 図 4 】

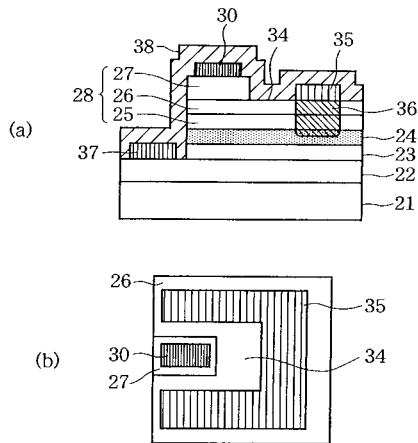
本発明の第1の実施の形態の図3以降の製造工程の説明図



- |                                   |             |
|-----------------------------------|-------------|
| 21: 半絶縁性 GaAs 基板                  | 30: エミッタ電極  |
| 22: n <sup>+</sup> 型 GaAs サブコレクタ層 | 32: サイドウォール |
| 23: n 型 GaAs コレクタ層                | 33: 高抵抗化領域  |
| 24: p <sup>+</sup> 型 GaAs ベース層    | 34: ガードリング  |
| 25: n 型 InGaP 層                   | 35: ベース電極   |
| 26: n 型 GaAs 層                    | 36: 合金化領域   |
| 27: n <sup>+</sup> 型 InGaAs 層     | 37: コレクタ電極  |
| 28: エミッタ層                         | 38: SiON 膜  |

## 【 図 5 】

従来のヘテロ接合バイポーラトランジスタの説明図



- |                                   |            |
|-----------------------------------|------------|
| 21: 半絶縁性 GaAs 基板                  | 34: ガードリング |
| 22: n <sup>+</sup> 型 GaAs サブコレクタ層 | 35: ベース電極  |
| 23: n 型 GaAs コレクタ層                | 36: 合金化領域  |
| 24: p <sup>+</sup> 型 GaAs ベース層    | 37: コレクタ電極 |
| 25: n 型 InGaP 層                   | 38: SiON 膜 |
| 26: n 型 GaAs 層                    |            |
| 27: n <sup>+</sup> 型 InGaAs 層     |            |
| 28: エミッタ層                         |            |
| 30: エミッタ電極                        |            |

---

フロントページの続き

審査官 河口 雅英

- (56)参考文献 特開平03 - 073540 (JP, A)  
特開平06 - 181217 (JP, A)  
特開平06 - 244195 (JP, A)  
特開昭63 - 054767 (JP, A)  
特開昭62 - 162358 (JP, A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

H01L 29/737

H01L 21/331

H01L 29/205