(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年4月5日(05.04.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/061982 A1

(51) 国際特許分類:
H01L 25/065 (2006.01) *H01L 25/18* (2006.01)
H01L 25/07 (2006.01)

(21) 国際出願番号： PCT/JP2017/034112

(22) 国際出願日： 2017年9月21日(21.09.2017)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2016-195122 2016年9月30日(30.09.2016) JP

(71) 出願人: デクセリアルズ株式会社(**DEXERIALS CORPORATION**) [JP/JP]; 〒1410032 東京都品川区大崎１丁目１１番２号 ゲートシティ大崎イーストタワー８階 Tokyo (JP).

(72) 発明者: 森 大地 (**MORI, Daichi**); 〒1410032 東京都品川区大崎１丁目１１番２号ゲートシティ大崎イーストタワー８階デクセリアルズ株式会社内 Tokyo (JP).

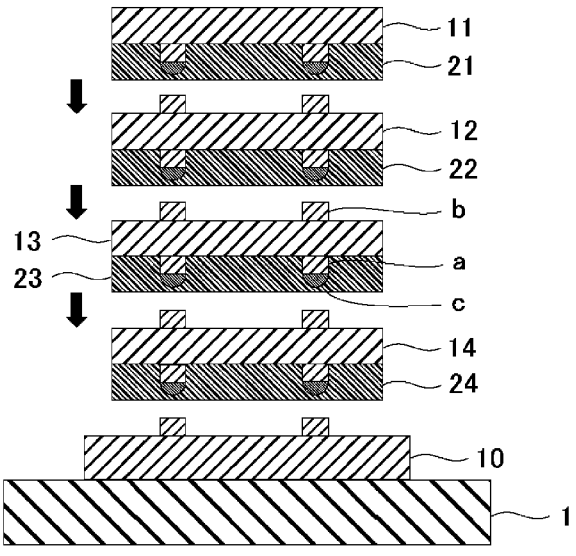
(74) 代理人: 野口 信博 (**NOGUCHI, Nobuhiro**); 〒1010054 東京都千代田区神田錦町３－１６－１１ エルヴァージュ神田錦町２階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) **Title:** SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称： 半導体装置の製造方法

[図1]



(57) **Abstract:** Provided is a semiconductor device manufacturing method that enables suppression of curing retardation when a laminatedly disposed semiconductor chip group is pressed by a thermocompression bonding tool, whereby good bonding performance can be obtained. The semiconductor chip group formed of a first thermosetting adhesive disposed below a first semiconductor chip which is the uppermost layer, extending to an m-th (m is an integer not smaller than 3) thermosetting adhesive disposed below an m-th semiconductor chip which is the lowermost layer, is disposed on an

WO 2018/061982 A1

［続葉有］

HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

interposer. The minimum melt viscosity reaching temperature of the first thermosetting adhesive is not lower than any of the minimum melt viscosity reaching temperatures of the second to m-th thermosetting adhesives. The minimum melt viscosity reaching temperature of at least one of the second to m-th thermosetting adhesives is lower than the minimum melt viscosity reaching temperature of the first thermosetting adhesive.

(57) 要約:積層配置された半導体チップ群を熱圧着ツールにて押圧した際の硬化遅延を抑制し、良好な接合性を得ることができる半導体装置の製造方法を提供する。最上層の第1半導体チップ下に配置された第1熱硬化性接着剤から最下層の第m(mは3以上の整数)半導体チップ下に配置された第m熱硬化性接着剤までの半導体チップ群をインターポーザ上に配置する。第1熱硬化性接着剤の最低溶融粘度到達温度が、第2～第m熱硬化性接着剤の最低溶融粘度到達温度以上であり、第2～第m熱硬化性接着剤のうち少なくとも1つの熱硬化性接着剤の最低溶融粘度到達温度が、第1熱硬化性接着剤の最低溶融粘度到達温度よりも低い。

明　細　書

発明の名称 ： 半導体装置の製造方法

技術分野

[0001] 本発明は、熱硬化性接着剤を用いて半導体チップを複数積層させる半導体装置の製造方法に関する。本出願は、日本国において２０１６年９月３０日に出願された日本特許出願番号特願２０１６－１９５１２２を基礎として優先権を主張するものであり、この出願は参照されることにより、本出願に援用される。

背景技術

[0002] 従来、熱硬化性接着剤を用いてシリコン貫通電極（TSV：through silicon via）を有する半導体チップを１段ずつ積層実装する方法が知られている（例えば、特許文献１参照。）。

先行技術文献

特許文献

[0003] 特許文献1：特開２０１４－１５４６９７号公報

発明の概要

発明が解決しようとする課題

[0004] 半導体チップを１段ずつ積層実装する方法は、生産性が低いため、積層配置された半導体チップ群を一括圧着させる方法が望まれている。

[0005] しかしながら、積層配置された半導体チップ群を一括圧着させる方法は、熱圧着ツールからの距離が長くなるに伴って、熱硬化性接着剤に伝わる温度が低くなり、硬化が遅延する。この結果、チップ間の接合性が悪化してしまう傾向にある。

[0006] 本発明は、このような従来の実情に鑑みて提案されたものであり、積層配置された半導体チップ群を熱圧着ツールにて押圧した際の硬化遅延を抑制し、良好な接合性を得ることができる半導体装置の製造方法を提供する。

課題を解決するための手段

[0007] 本件発明者は、鋭意検討を行った結果、最上層の第１半導体チップよりも下層の半導体チップ下に配置された熱硬化性接着剤の最低溶融粘度到達温度を、最上層の第１半導体チップ下に配置された第１熱硬化性接着剤の最低溶融粘度到達温度よりも低くすることにより、複数積層配置された半導体チップ群を熱圧着ツールにて押圧した際の硬化遅延を抑制し、良好な接合性が得られることを見出し、本発明を完成させるに至った。

[0008] すなわち、本発明に係る半導体装置の製造方法は、熱硬化性接着剤を介して、貫通電極と一方の面に形成された半田付き電極とを有する半導体チップを複数積層し、最上層の第１半導体チップ下に配置された第１熱硬化性接着剤から最下層の第ｍ（ｍは３以上の整数）半導体チップ下に配置された第ｍ熱硬化性接着剤までの半導体チップ群をインターポーザ上に配置する配置工程と、前記半導体チップ群を３００℃～４００℃の温度の熱圧着ツールにて押圧し、第１～第ｍ熱硬化性接着剤を硬化させる硬化工程とを有し、前記第１熱硬化性接着剤の最低溶融粘度到達温度が、第２～第ｍ熱硬化性接着剤の最低溶融粘度到達温度以上であり、前記第２～第ｍ熱硬化性接着剤のうち少なくとも１つの熱硬化性接着剤の最低溶融粘度到達温度が、前記第１熱硬化性接着剤の最低溶融粘度到達温度よりも低いことを特徴とする。

発明の効果

[0009] 本発明によれば、複数積層配置された半導体チップ群を熱圧着ツールにて押圧した際の硬化遅延を抑制し、良好な接合性を得ることができる。

図面の簡単な説明

[0010] [図1]図１は、搭載前の複数の半導体チップを模式的に示す断面図である。

[図2]図２は、搭載時の半導体チップ群を模式的に示す断面図である。

[図3]図３は、最上層のアンダーフィルフィルム（ポイントＡ）の温度、及び最下層のアンダーフィルフィルム（ポイントＢ）の温度を示すグラフである。

発明を実施するための形態

[0011] 以下、本発明の実施の形態について、下記順序にて詳細に説明する。

１．半導体装置の製造方法

２．実施例

[0012] ＜１．半導体装置の製造方法＞

本実施の形態に係る半導体装置の製造方法は、熱硬化性接着剤を介して、貫通電極と一方の面に形成された半田付き電極とを有する半導体チップを複数積層し、最上層の第１半導体チップ下に配置された第１熱硬化性接着剤から最下層の第ｍ（ｍは３以上の整数）半導体チップ下に配置された第ｍ熱硬化性接着剤までの半導体チップ群をインターポーザ上に配置する配置工程と、半導体チップ群を３００℃～４００℃の温度の熱圧着ツールにて押圧し、第１～第ｍ熱硬化性接着剤を硬化させる硬化工程とを有するものである。

[0013] また、第１熱硬化性接着剤の最低溶融粘度到達温度は、第２～第ｍ熱硬化性接着剤の最低溶融粘度到達温度以上であり、第２～第ｍ熱硬化性接着剤のうち少なくとも１つの熱硬化性接着剤の最低溶融粘度到達温度は、第１熱硬化性接着剤の最低溶融粘度到達温度よりも低い。これにより、第１～第ｍ熱硬化性接着剤の最低溶融粘度到達温度のずれを小さくすることができ、第１～第ｍ熱硬化性接着剤の粘度上昇の時間を揃える、すなわち同時に硬化させることが可能となる。このため、残留応力によってチップ間が離間する方向に生じる反動（スプリングバック）を抑制することができ、ボイドが抜け易く、良好な半田接合性を実現することができる。

[0014] また、第ｎ（ｎは１～［ｍ－１］の整数）熱硬化性接着剤の最低溶融粘度到達温度は、第ｎ＋１熱硬化性接着剤の最低溶融粘度到達温度以上であることが好ましい。また、第ｎ（ｎは１～［ｍ－１］の整数）熱硬化性接着剤の最低溶融粘度到達温度は、第ｎ＋１熱硬化性接着剤の最低溶融粘度到達温度よりも高いことが好ましい。これにより、熱圧着ツールからの距離に応じて、熱硬化性接着剤の最低溶融粘度到達温度を低くすることが可能となり、第１～第ｍ熱硬化性接着剤を同時に硬化させることが可能となる。

[0015] また、積層配置された半導体チップ群を３００℃～４００℃の温度の熱圧着ツールにて押圧した際、最上層の第１熱硬化性接着剤の温度と最下層の第

ｍ熱硬化性接着剤の温度との差は、４０℃以上、好ましくは４０℃以上６０℃以下、より好ましくは４０℃以上８０℃以下、さらに好ましくは４０℃以上１００℃以下である。多くの半導体チップを積層配置させるほど、最上層の熱硬化性接着剤の温度と最下層の熱硬化性接着剤の温度との差は大きくなる。

[0016] また、半導体チップ群を熱圧着ツールにて押圧した際、最上層の第１熱硬化性接着剤の温度と最下層の第ｍ熱硬化性接着剤の温度との差が４０℃以上６０℃以下である場合、第１熱硬化性接着剤の最低溶融粘度到達温度と第ｍ熱硬化性接着剤の最低溶融粘度到達温度との差が５℃以上４０℃以下であることが好ましい。また、第１～第ｍ熱硬化性接着剤の最低溶融粘度は、２２００～２８００Ｐａ・ｓであることが好ましく、２３００～２７００Ｐａ・ｓであることがより好ましい。これにより、スプリングバックを抑制することができ、ボイドが抜け易く、良好な半田接合性を実現することができる。

[0017] また、熱硬化性接着剤として、フィルム状の熱硬化性接着フィルムを用い、配置工程において、熱硬化性接着フィルムが半田付き電極の形成面に貼り合わされた半導体チップを複数積層配置させてもよい。

[0018] ［具体例］

以下、半導体チップを４段積層実装させる具体例について、図１及び図２を用いて説明する。図１は、搭載前の複数の半導体チップを模式的に示す断面図であり、図２は、搭載時の半導体チップ群を模式的に示す断面図である。

[0019] 図１に示すように、具体例として示す配置工程において、最上層の第１の半導体チップ１１と、中間層の第２～第４の半導体チップ１２～１４とを、インターポーザ１０上に第１～第４のアンダーフィルフィルム１１～１４を介して積層配置させる。

[0020] ステージ１は、インターポーザ１０を保持する機能を有するとともに、インターポーザ１０を含む積層体を加熱する機能を有する。ステージ１の温度は、半田付き電極ａの半田ｃの溶融温度未満、且つの最低溶融粘度到達温度

と略同一であることが好ましく、具体的には５０℃～１５０℃であることが好ましく、６０℃～１００℃であることがより好ましい。また、半田付き電極の半田の融点は、２２０℃～２４０℃であることが好ましい。

[0021] インターポーザ１０は、半導体チップを機械的に支持する機能と、半導体チップ上の端子を再配線してパッケージの端子（例えば、プリント基板実装用の半田ボール）に電気的に接続する機能とを有する。

[0022] 最上層の第１の半導体チップ１１は、一方の面に形成された半田付き電極ａを有する。半田付き電極ａは、中間層の第２～第４の半導体チップ１２～１４と同様、例えばＣｕピラー頂上に半田をメッキしたものである。

[0023] 中間層の第２～第４の半導体チップ１２～１４は、シリコン貫通電極（TSV：through silicon via）と、一方の面に形成された半田付き電極ａと、他方の面に形成された電極ｂとを有する。シリコン貫通電極は、半導体チップの内部を垂直に貫通する電極であり、上下のチップ同士の接続を行う。半田付き電極ａは、例えばＣｕピラー頂上に半田をメッキしたものである。半田付き電極ａの半田ｃは、所謂Ｐｂフリー半田であり、半田ｃとしては、例えば、Ｓｎ／Ａｇ／Ｃｕ半田（融点：２２０℃～２４０℃）、Ｓｎ／Ａｇ半田（融点：２２０℃）などが挙げられる。電極ｂは、他の半導体チップの半田付き電極と接続されるものであり、電極ｂとしては、例えばＣｕピラーなどが挙げられる。

[0024] また、第１～第４の半導体チップ１１～１４の半田付き電極ａが形成された一方の面には、それぞれ熱硬化性接着剤である第１～第４のアンダーフィルフィルム２１～２４が予め貼り合わされている。これにより、半導体チップ１１～１４を積層配置する工程数を削減することができる。

[0025] これらの第１～第４の半導体チップ１１～１４は、第１～第４のアンダーフィルフィルム２１～２４に流動性は生じるが、本硬化は生じない程度の所定の温度、圧力、時間の条件で積層配置される。

[0026] 次に、図２に示すように、具体例として示す硬化工程において、第１～第４のアンダーフィルフィルム２１～２４と第１～第４の半導体チップ１１～

１４とが複数積層配置された半導体チップ群を３００℃～４００℃の温度の熱圧着ツールにて押圧し、第１～第４のアンダーフィルフィルム２１～２４を硬化させる。

[0027] 半導体チップ群を熱圧着ツールにて押圧した際、最上層の第１のアンダーフィルフィルム２４の温度と最下層の第４のアンダーフィルフィルム２１の温度との差は４０℃以上であることが好ましい。多くの半導体チップを積層配置させるほど、最上層の第１のアンダーフィルフィルム２１の温度と最下層の第４のアンダーフィルフィルム２４の温度との差は大きくなる。

[0028] この硬化工程では、例えば第１の温度から第２の温度まで所定の昇温速度で昇温させるボンディング条件で、半田付き電極の半田を溶融させて金属結合を形成させるとともに、１２０℃～２００℃の温度条件でキュアし、第１～第４のアンダーフィルフィルム２１～２４を完全硬化させる。

[0029] 第１の温度は、第１のアンダーフィルフィルム２１の最低溶融粘度到達温度と略同一であることが好ましく、５０℃以上１５０℃以下であることが好ましい。これによりアンダーフィル材の硬化挙動をボンディング条件に合致させることができ、ボイドの発生を抑制することができる。

[0030] また、昇温速度は、５０℃／ｓｅｃ以上１５０℃／ｓｅｃ以下であることが好ましい。また、第２の温度は、半田の種類にもよるが、２００℃以上２８０℃以下であることが好ましく、より好ましくは２２０℃以上２６０℃以下である。これにより、半田付き電極ａと電極ｂとを半田ｃにより結合させるとともに、アンダーフィルフィルム２１～２４を完全硬化させ、インターポーザ１０と、第１～第４の半導体チップ１１～１４とを電気的、機械的に接続させることができる。

[0031] このような半導体装置の製造方法において、第１のアンダーフィルフィルム２１の最低溶融粘度到達温度は、第２～第４のアンダーフィルフィルム２２～２４の最低溶融粘度到達温度以上であり、第２～第４のアンダーフィルフィルム２２～２４のうち少なくとも１つのアンダーフィルフィルムの最低溶融粘度到達温度は、第１のアンダーフィルフィルム２１の最低溶融粘度到

達温度よりも低い。これにより、インターポーザ１０と、最上層の第１の半導体チップ１１と、中間層の第２～第４の半導体チップ１２～１４とを一括圧着した際の硬化遅延を抑制し、良好な接合性を得ることができる。

[0032] また、第ｎ（ｎは１～３の整数）のアンダーフィルフィルムの最低溶融粘度到達温度は、第ｎ＋１のアンダーフィルフィルムの最低溶融粘度到達温度以上であることが好ましい。また、第ｎ（ｎは１～３の整数）のアンダーフィルフィルムの最低溶融粘度到達温度は、第ｎ＋１のアンダーフィルフィルムの最低溶融粘度到達温度よりも高いことが好ましい。これにより、熱圧着ツールからの距離に応じて、アンダーフィルフィルムの最低溶融粘度到達温度を低くすることが可能となり、第１～第４のアンダーフィルフィルム２１～２４を同時に硬化させることが可能となる。

[0033] また、従来のように半導体チップを１段ずつ圧着実装する方法では、例えば１段圧着５ｓｅｃ×４段＝２０ｓｅｃの実装タクトであったのに対し、本法では、例えば一括圧着１０ｓｅｃの実装タクトとすることができる。また、本法では、例えば１０ｓｅｃの実装とすることにより、従来よりも良好な半田付け性を得ることができる。

[0034] なお、具体例では、アンダーフィルフィルム２１～２４を介して、インターポーザ１０上に第１～第４の半導体チップ１１～１４を複数積層配置させ、一括圧着させたが、第１～第４の半導体チップ１１～１４を圧着させた後、これらをインターポーザ１０上に圧着させるようにしてもよい。また、例えば４段の半導体チップを複数積層配置させて一括圧着させた後、さらに、４段の半導体チップを複数積層配置させて一括圧着させ、８段の半導体チップの積層体を得るようにしてもよい。

[0035] ［アンダーフィルフィルム］

次に、前述した具体例として示す半導体装置の製造方法に用いられるアンダーフィルフィルムについて説明する。アンダーフィルフィルムは、熱硬化性接着剤であるアンダーフィル材をフィルム状に成形したものである。

[0036] アンダーフィル材は、アクリル硬化系、エポキシ硬化系のいずれであって

もよく、アクリル硬化系とエポキシ硬化系とを併用してもよい。アクリル硬化系とエポキシ硬化系とを併用する場合、アクリル硬化系とエポキシ硬化系との配合比は、７０：３０～３０：７０であることが好ましい。速硬化のアクリル硬化系と、遅硬化のエポキシ硬化系とを配合することにより、半田の溶融前及び溶融後の熱硬化性接着剤の反応率を所定範囲とすることができる。

[0037] アクリル硬化系は、（メタ）アクリレートと、有機過酸化物とを含有することが好ましい。なお、本明細書において、（メタ）アクリレートとは、アクリル酸エステル（アクリレート）とメタクリル酸エステル（メタクリレート）とを包含する意味である。

[0038] （メタ）アクリレートとしては、単官能（メタ）アクリレート、２官能以上の（メタ）アクリレートを使用可能である。単官能（メタ）アクリレートとしては、メチル（メタ）アクリレート、エチル（メタ）アクリレート、ｎ－プロピル（メタ）アクリレート、ｉ－プロピル（メタ）アクリレート、ｎ－ブチル（メタ）アクリレートなどが挙げられる。２官能以上の（メタ）アクリレートとしては、フルオレン型（メタ）アクリレート、ビスフェノールＦ－ＥＯ変性ジ（メタ）アクリレート、ビスフェノールＡ－ＥＯ変性ジ（メタ）アクリレート、トリメチロールプロパンＰＯ変性（メタ）アクリレート、多官能ウレタン（メタ）アクリレートなどを挙げることができる。これらの（メタ）アクリレートは、単独で用いてもよいし、２種以上を組み合わせて用いてもよい。これらの中でも、本実施の形態では、フルオレン型（メタ）アクリレートが好適に用いられる。

[0039] 有機過酸化物としては、例えば、パーオキシケタール、パーオキシエステル、ハイドロパーオキサイド、ジアルキルパーオキサイド、ジアシルパーオキサイド、パーオキシジカーボネートなどを挙げることができる。これらの有機過酸化物は、単独で用いてもよいし、２種以上を組み合わせて用いてもよい。これらの中でも、本実施の形態では、パーオキシケタールが好適に用いられる。

[0040] エポキシ硬化系は、エポキシ化合物と、酸無水物とを含有することが好ましい。エポキシ化合物としては、例えば、ジシクロペンタジエン型エポキシ樹脂、グリシジルエーテル型エポキシ樹脂、グリシジルアミン型エポキシ樹脂、ビスフェノールＡ型エポキシ樹脂、ビスフェノールＦ型エポキシ樹脂、ビスフェノールＳ型エポキシ樹脂、スピロ環型エポキシ樹脂、ナフタレン型エポキシ樹脂、ビフェニル型エポキシ樹脂、テルペン型エポキシ樹脂、テトラブロムビスフェノールＡ型エポキシ樹脂、クレゾールノボラック型エポキシ樹脂、フェノールノボラック型エポキシ樹脂、α－ナフトールノボラック型エポキシ樹脂、臭素化フェノールノボラック型エポキシ樹脂などを挙げることができる。これらのエポキシ化合物は、１種を単独で用いても、２種類以上を組み合わせて用いてもよい。これらの中でも、本実施の形態では、高接着性、耐熱性の点から、多官能ノボラック型エポキシ化合物を用いることが好ましい。

[0041] 酸無水物は、半田表面の酸化膜を除去するフラックス機能を有するため、優れた接続信頼性を得ることができる。酸無水物としては、例えば、テトラプロペニル無水コハク酸、ドデセニル無水コハク酸などの脂肪族酸無水物、ヘキサヒドロ無水フタル酸、メチルテトラヒドロ無水フタル酸などの脂環式酸無水物、無水フタル酸、無水トリメリット酸、無水ピロメリット酸などの芳香族酸無水物などを挙げることができる。これらのエポキシ硬化剤は、１種を単独で用いても、２種類以上を組み合わせて用いてもよい。これらの酸無水物の中でも、脂環式酸無水物を用いることが好ましい。

[0042] また、アンダーフィル材は、膜形成樹脂を含有することが好ましい。膜形成樹脂は、重量平均分子量が１０×１０^{4}以上の高分子量樹脂に相当し、フィルム形成性の観点から、１０×１０^4～１００×１０^{4}の重量平均分子量であることが好ましい。膜形成樹脂としては、アクリルゴムポリマー、フェノキシ樹脂、エポキシ樹脂、変性エポキシ樹脂、ウレタン樹脂等の種々の樹脂を用いることができる。これらの膜形成樹脂は、１種を単独で用いても、２種類以上を組み合わせて用いてもよい。これらの中でも、本実施の形態では、

膜強度及び接着性の観点から、アクリルゴムポリマーが好適に用いられる。

[0043] また、アンダーフィル材は、硬化促進剤を含有することが好ましい。硬化促進剤の具体例としては、２－メチルイミダゾール、２－エチルイミダゾール、２－エチル－４－メチルイミダゾールなどのイミダゾール類、１，８－ジアザビシクロ（５，４，０）ウンデセン－７塩（ＤＢＵ塩）、２－（ジメチルアミノメチル）フェノールなどの第３級アミン類、トリフェニルホスフィンなどのホスフィン類、オクチル酸スズなどの金属化合物などが挙げられる。

[0044] また、アンダーフィル材は、無機フィラーを含有することが好ましい。無機フィラーを含有することにより、圧着時における樹脂層の流動性を調整することができる。無機フィラーとしては、シリカ、タルク、酸化チタン、炭酸カルシウム、酸化マグネシウム等を用いることができる。

[0045] また、その他の添加組成物として、必要に応じて、エポキシ系、アミノ系、メルカプト・スルフィド系、ウレイド系などのシランカップリング剤を添加してもよい。

[0046] このようなアンダーフィル材において、硬化促進剤の配合量を増加させると、最低溶融粘度到達温度が低くなり、逆に硬化促進剤の配合量を減少させると、最低溶融粘度到達温度が高くなる傾向にある。このため、硬化促進剤の配合量を調整して所定の最低溶融粘度到達温度を得ることができる。

[0047] また、フィラーの配合量を増加させると、最低溶融粘度が高くなり、逆にフィラーの配合量を減少させると、最低溶融粘度が低くなる傾向になる。このため、フィラーの配合量を調整して所定の最低溶融粘度を得ることができる。

[0048] したがって、図１及び図２に示す具体例では、第１～第４のアンダーフィルフィルム２１～２４の硬化促進剤の配合量及びフィラーの配合量を調整することにより、第１のアンダーフィルフィルム２１の最低溶融粘度到達温度が、第２～第４のアンダーフィルフィルム２２～２４の最低溶融粘度到達温度以上であり、第２～第４のアンダーフィルフィルム２２～２４のうち少な

くとも１つのアンダーフィルフィルムの最低溶融粘度到達温度が、第１のアンダーフィルフィルム２１の最低溶融粘度到達温度よりも低くすることができる。

実施例

[0049] ＜２．実施例＞

以下、本発明の実施例について説明する。本実施例では、最低溶融粘度の到達温度が異なるアンダーフィルフィルムを複数作製し、これらのアンダーフィルフィルムを用いてインターポーザ上に３段の中間層の半導体チップと最上層の半導体チップとを実装した３次元実装体を作製した。そして、３次元実装体のスプリングバック有無、ボイド抜け、及び半田接合性の評価について評価した。なお、本発明は、これらの実施例に限定されるものではない。

[0050] アンダーフィルフィルムの作製、３次元実装体の作製、スプリングバック有無の評価、ボイド抜けの評価、及び半田接合性の評価は、次のように行った。

[0051] ［アンダーフィルフィルムの作製］

表１に示す材料を配合し、厚み２０μｍのアンダーフィルフィルムＦ０～Ｆ４を作製した。硬化促進剤の配合量を増加させると、最低溶融粘度到達温度が低くなり、逆に硬化促進剤の配合量を減少させると、最低溶融粘度到達温度が高くなる傾向にあるため、硬化促進剤の配合量を調整して所定の最低溶融粘度到達温度を得た。また、フィラーの配合量を増加させると、最低溶融粘度が高くなり、逆にフィラーの配合量を減少させると、最低溶融粘度が低くなる傾向になるため、フィラーの配合量を調整して所定の最低溶融粘度を得た。なお、各アンダーフィルフィルムの最低溶融粘度到達温度及び最低溶融粘度は、レオメータ（ＴＡ社製ＡＲＥＳ）を用いて、５℃／ｍｉｎ、１Ｈｚの条件で測定した。

[0052]

[表1]

材料	商品名	メーカ名	配合部数
アクリルゴム	SG-P3	ナガセケムテックス	17
フェノキシ樹脂	YP-50	新日鐵化学	7
エポキシ化合物	JER-1031S	三菱化学	12
	YL-980	三菱化学	24
硬化剤	TD-2131	DIC	20
硬化促進剤	2PZ-CN	四国化成	0.056～5.6
フィラー	R202	日本アエロジル	20～10

[0053] Ｆ０：最低溶融粘度到達温度１６５℃、最低溶融粘度２４００Ｐａ・ｓ

Ｆ１：最低溶融粘度到達温度１６０℃、最低溶融粘度２５００Ｐａ・ｓ

Ｆ２：最低溶融粘度到達温度１５３℃、最低溶融粘度２６００Ｐａ・ｓ

Ｆ３：最低溶融粘度到達温度１４５℃、最低溶融粘度２７００Ｐａ・ｓ

Ｆ４：最低溶融粘度到達温度１３５℃、最低溶融粘度２７００Ｐａ・ｓ

[0054] ［３次元実装体の作製］

図１及び図２に示すように、アンダーフィルフィルムを用いて、インターポーザ上に積層配置された中間層の３個の半導体チップと最上層の半導体チップとを含む半導体チップ群を熱圧着ツールにて押圧し、シリコン貫通電極（TSV：through silicon via）にて接続させ、３次元実装体を作製した。インターポーザ、中間層の半導体チップ、及び最上層の半導体チップは、次のものを使用した。

[0055] インターポーザ（Ｓｉ）

大きさ：８×８ｍｍ□、厚み：２００μｍ

バンプ仕様：Ｃｕピラー（７μｍ）、Ｎｉ／Ａｕメッキ、φ２０μｍ、バンプ数１０００ｐｉｎ

[0056] 中間層の半導体チップ

大きさ：６×６ｍｍ□、厚み：５０μｍ

上側バンプ仕様：Ｃｕピラー（７μｍ）、φ２０μｍ、バンプ数１０００ｐｉｎ

下側バンプ仕様：Ｃｕピラー（７μｍ）＋Ｓｎ／Ａｇ半田（５μｍ）、φ２０μｍ、バンプ数１０００ｐｉｎ、

[0057] 最上層の半導体チップ

大きさ：６×６ｍｍ□、厚み：５０μｍ

バンプ仕様：Ｃｕピラー（７μｍ）＋Ｓｎ／Ａｇ半田（５μｍ）、φ２０μｍ、バンプ数１０００ｐｉｎ

[0058] 先ず、最上層の半導体チップ及び中間層の半導体チップのインターポーザ側の面にアンダーフィルフィルムを貼り合わせた。次に、フリップチップボンダーを用いて、８０℃のステージに保持されたインターポーザ上に、アンダーフィルフィルムが貼り合わされた中間層の半導体チップを３段、及びアンダーフィルフィルムが貼り合わされた最上層の半導体チップを１段、順次積層配置した。

[0059] そして、実装装置（ＦＣＢ３、Ｐａｎａｓｏｎｉｃ（株））を用いて、３５０℃－１０秒の条件にて押圧した。さらに、１７０℃－２時間の条件でキュアし、３次元実装体を作製した。

[0060] 図３は、インターポーザ上に積層配置された中間層の３個の半導体チップと最上層の半導体チップとを含む半導体チップ群を３５０℃の温度の熱圧着ツールにて３０秒間押圧したときの最上層のアンダーフィルフィルム（ポイントＡ）の温度、及び最下層のアンダーフィルフィルム（ポイントＢ）の温度を示すグラフである。なお、ポイントＡ及びポイントＢは、図１及び図２において、それぞれ第１のアンダーフィルフィルム２１及び第４のアンダーフィルム２４に対応する。また、アンダーフィルフィルムの温度は、熱電対により実温を測定したものである。

[0061] 最上層の半導体チップと中間層の半導体チップとの間にあるポイントＡのアンダーフィルフィルムの温度は、５秒において約２５０℃であった。また、インターポーザと中間層の半導体チップとの間にあるポイントＢのアンダーフィルフィルムの温度は、５秒において約２００℃であった。すなわち、ポイントＡとポイントＢのアンダーフィルムの温度差は約５０℃であり、こ

の温度差は、３０秒でもほとんど変わらなかった。

[0062] ［スプリングバック有無の評価］

３次元実装体を切断し、断面研磨を行い、チップ間のバンプの接続状態をＳＥＭ（Scanning Electron Microscope）にて観察し、スプリングバックの有無を確認した。スプリングバック無しの場合を「Ａ」と評価し、スプリングバック有りの場合を「Ｃ」と評価した。

[0063] ［ボイド抜けの評価］

３次元実装体のチップ間のバンプの接続状態をＳＡＴ（Scanning Acoustic Tomograph，超音波映像装置）にて観察し、ボイドの有無を確認した。ボイド無しで接続性が良好な場合を「Ａ」と評価し、ボイド有りで接続性が良好な場合を「Ｂ」と評価し、ボイド有りで接続性が不良な場合を「Ｃ」と評価した。一般的に、ボイドが生じると、長期信頼性に悪影響を及ぼす可能性が高くなる。

[0064] ［半田接合性の評価］

３次元実装体を切断し、断面研磨を行い、チップ間のバンプの接続状態をＳＥＭ（Scanning Electron Microscope）にて観察した。半田の接続形状が良好で接続性が良好な場合を「Ａ」と評価し、半田の接続形状が不良で接続性が良好な場合を「Ｂ」と評価し、半田の接続形状が不良で接続性が不良な場合を「Ｃ」と評価した。

[0065] ＜実施例１＞

表２に示すように、アンダーフィルフィルムを最上層の半導体チップ側からＦ１、Ｆ２、Ｆ３、Ｆ４の順に配置して半導体チップ群を実装した。その結果、全てのチップ間でスプリングバックが無かった。また、全てのチップ間でボイドも無く、接続性が良好であった。さらに、全てのチップ間で半田の接続形状が良好で接続性も良好であった。

[0066] ＜実施例２＞

表２に示すように、アンダーフィルフィルムを最上層の半導体チップ側からＦ１、Ｆ２、Ｆ２、Ｆ３の順に配置して半導体チップ群を実装した。その

結果、４段目－５段目のチップ間において、接続性は良好であるもののボイドが残っていた。これは、３段目－４段目のアンダーフィルフィルムの粘度上昇が遅く、４段目－５段目のチップ間に加重不足が生じためであると考えられる。また、３段目－４段目のチップ間において、接続性は良好であるものの半田の接続形状が不良であった。これは、３段目－４段目のアンダーフィルフィルムの粘度上昇が遅いため、半田が潰れたものと考えられる。その他のチップ間は、実施例１と同様に良好であった。

[0067] ＜実施例３＞

表２に示すように、アンダーフィルフィルムを最上層の半導体チップ側からＦ１、Ｆ２、Ｆ３、Ｆ３の順に配置して半導体チップ群を実装した。その結果、４段目－５段目のチップ間において、接続性は良好であるものの半田の接続形状が不良であった。これは、４段目－５段目のアンダーフィルフィルムの粘度上昇が遅いため、半田が潰れたものと考えられる。その他のチップ間は、実施例１と同様に良好であった。

[0068] ＜実施例４＞

表２に示すように、アンダーフィルフィルムを最上層の半導体チップ側からＦ１、Ｆ２、Ｆ２、Ｆ２の順に配置して半導体チップ群を実装した。その結果、３段目－４段目及び４段目－５段目のチップ間において、接続性は良好であるもののボイドが残っていた。これは、２段目－３段目のアンダーフィルフィルムの粘度上昇が遅く、３段目－４段目及び４段目－５段目のチップ間に加重不足が生じためであると考えられる。また、３段目－４段目及び４段目－５段目のチップ間において、接続性は良好であるものの半田の接続形状が不良であった。これは、３段目－４段目及び４段目－５段目のアンダーフィルフィルムの粘度上昇が遅いため、半田が潰れたものと考えられる。その他のチップ間は、実施例１と同様に良好であった。

[0069] ＜実施例５＞

表２に示すように、アンダーフィルフィルムを最上層の半導体チップ側からＦ１、Ｆ３、Ｆ３、Ｆ３の順に配置して半導体チップ群を実装した。その

結果、２段目－３段目のチップ間において、接続性は良好であるもののボイドが残っていた。これは、２段目－３段目のアンダーフィルフィルムの粘度上昇が早く、ボイドが抜ける前に硬化しためであると考えられる。また、２段目－３段目のチップ間において、接続性は良好であるものの半田の接続形状が不良であった。これは、２段目－３段目のアンダーフィルフィルムの粘度上昇が早く、半田の濡れ広がりが妨げられたためであると考えられる。その他のチップ間は、実施例１と同様に良好であった。

[0070] ＜実施例６＞

表２に示すように、アンダーフィルフィルムを最上層の半導体チップ側からＦ１、Ｆ４、Ｆ４、Ｆ４の順に配置して半導体チップ群を実装した。その結果、２段目－３段目及び３段目－４段目のチップ間において、接続性は良好であるもののボイドが残っていた。これは、２段目－３段目及び３段目－４段目のアンダーフィルフィルムの粘度上昇が早く、ボイドが抜ける前に硬化しためであると考えられる。また、２段目－３段目、３段目－４段目及び４段目－５段目のチップ間において、接続性は良好であるものの半田の接続形状が不良であった。２段目－３段目及び３段目－４段目は、アンダーフィルフィルムの粘度上昇が早く、半田の濡れ広がりが妨げられたためであると考えられる。また、４段目－５段目は、２段目－３段目及び３段目－４段目の粘度上昇が早いために弾性が大きくなり、半田が潰れたものと考えられる。その他のチップ間は、実施例１と同様に良好であった。

[0071] ＜実施例７＞

表２に示すように、アンダーフィルフィルムを最上層の半導体チップ側からＦ１、Ｆ４、Ｆ４、Ｆ４の順に配置して半導体チップ群を実装した。その結果、全てのチップ間において、接続性は良好であるもののボイドが残っていた。これは、２段目－３段目のアンダーフィルフィルムの粘度上昇が早く、４段目－５段目のアンダーフィルフィルムの粘度上昇が遅く、全体的にチップ間の加重不足が生じためであると考えられる。また、全てのチップ間において、接続性は良好であるものの半田の接続形状が不良であった。これは

、２段目－３段目のアンダーフィルフィルムの粘度上昇が早く、４段目－５段目のアンダーフィルフィルムの粘度上昇が遅く、アンダーフィルフィルムの粘度上昇の時間がばらついているためであると考えられる。

[0072] ＜比較例１＞

表２に示すように、アンダーフィルフィルムを最上層の半導体チップ側からＦ１、Ｆ１、Ｆ１、Ｆ１の順に配置して半導体チップ群を実装した。その結果、４段目－５段目のチップ間において、スプリングバックが発生した。これは、２段目－３段目、３段目－４段目、４段目－５段目になるのに伴い、アンダーフィルフィルムの粘度上昇の時間が遅くなり、残留応力が大きくなったものと考えられる。

[0073] また、２段目－３段目のチップ間において、接続性は良好であるもののボイドが残っていた。これは、２段目－３段目、３段目－４段目及び４段目－５段目のアンダーフィルフィルムの粘度上昇が遅く、２段目－３段目のチップ間に加重不足が生じためであると考えられる。また、３段目－４段目及び４段目－６段目のチップ間において、ボイドが残り、接続性も不良であった。これは、２段目－３段目のチップ間と同様、２段目－３段目、３段目－４段目及び４段目－５段目のアンダーフィルフィルムの粘度上昇が遅く、３段目－４段目及び４段目－６段目に加重不足が生じためであると考えられる。

[0074] また、２段目－３段目のチップ間において、接続性は良好であるものの半田の接続形状が不良であった。これは、２段目－３段目のアンダーフィルフィルムの粘度上昇が遅いため、半田が潰れたものと考えられる。また、３段目－４段目及び４段目－５段目のチップ間において、半田の接続形状が不良であり、接続性も不良であった。これは、３段目－４段目及び４段目－５段目のアンダーフィルフィルムの粘度上昇がさらに遅いため、半田が潰れたものと考えられる。

[0075] ＜比較例２＞

表２に示すように、アンダーフィルフィルムを最上層の半導体チップ側からＦ１、Ｆ０、Ｆ０、Ｆ０の順に配置して半導体チップ群を実装した。その

結果、２段目－３段目、３段目－４段目、及び４段目－５段目のチップ間において、スプリングバックが発生した。これは、２段目－３段目、３段目－４段目、４段目－５段目になるのに伴い、アンダーフィルフィルムの粘度上昇の時間が比較例１よりも遅くなり、残留応力が大きくなったものと考えられる。

[0076] また、１段目－２段目のチップ間において、接続性は良好であるもののボイドが残っていた。これは、２段目－３段目、３段目－４段目及び４段目－５段目のアンダーフィルフィルムの粘度上昇が比較例１よりも遅いため、１段目－２段目のチップ間に加重不足が生じためであると考えられる。また、２段目－３段目、３段目－４段目及び４段目－６段目のチップ間において、ボイドが残り、接続性も不良であった。これは、１段目－２段目のチップ間と同様、２段目－３段目、３段目－４段目及び４段目－５段目のアンダーフィルフィルムの粘度上昇が比較例１よりも遅いため、３段目－４段目及び４段目－６段目に加重不足が生じためであると考えられる。

[0077] また、１段目－２段目のチップ間において、接続性は良好であるものの半田の接続形状が不良であった。これは、２段目－３段目、３段目－４段目及び４段目－６段目のアンダーフィルフィルムの粘度上昇が比較例１よりも遅いため、半田が潰れたものと考えられる。また、２段目－３段目、３段目－４段目及び４段目－５段目のチップ間において、半田の接続形状が不良であり、接続性も不良であった。これは、２段目－３段目、３段目－４段目及び４段目－５段目のアンダーフィルフィルムの粘度上昇が比較例１よりもさらに遅いため、半田が潰れたものと考えられる。

[0078]

[表2]

		実施例1	実施例2	実施例3	実施例4	実施例5	実施例6	実施例7	比較例1	比較例2
フィルム	1段目-2段目	F1	F1	F1	F1	F1	F1	F1	F1	F1
	2段目-3段目	F2	F2	F2	F2	F3	F4	F4	F1	F0
	3段目-4段目	F3	F2	F3	F2	F3	F4	F3	F1	F0
	4段目-5段目	F4	F3	F3	F2	F3	F4	F2	F1	F0
スプリングバック有無	1段目-2段目	A	A	A	A	A	A	A	A	A
	2段目-3段目	A	A	A	A	A	A	A	A	C
	3段目-4段目	A	A	A	A	A	A	A	A	C
	4段目-5段目	A	A	A	A	A	A	A	C	C
ボイド抜け	1段目-2段目	A	A	A	A	A	A	B	A	B
	2段目-3段目	A	A	A	A	B	B	B	B	C
	3段目-4段目	A	A	A	B	A	B	B	C	C
	4段目-5段目	A	B	A	B	A	A	B	C	C
半田接続性	1段目-2段目	A	A	A	A	A	A	B	A	B
	2段目-3段目	A	A	A	A	B	B	B	B	C
	3段目-4段目	A	B	A	B	A	B	B	C	C
	4段目-5段目	A	A	B	B	A	B	B	C	C

[0079] 比較例１、２のように、１段目－２段目のアンダーフィルフィルムの最低溶融粘度到達温度が、２段目－３段目、３段目－４段目及び４段目－５段目のアンダーフィルフィルムの最低溶融粘度到達温度以下である場合、良好なスプリングバック有無、ボイド抜け、及び半田接合性の評価結果を得ることができなかった。

[0080] 一方、実施例１～７のように、１段目－２段目のアンダーフィルフィルムの最低溶融粘度到達温度が、２段目－３段目、３段目－４段目及び４段目－５段目のアンダーフィルフィルムの最低溶融粘度到達温度以上であり、２段目－３段目、３段目－４段目及び４段目－５段目のアンダーフィルフィルムのうち少なくとも１つのアンダーフィルフィルムの最低溶融粘度到達温度が、１段目－２段目のアンダーフィルフィルムよりも低いことにより、良好なスプリングバック有無、ボイド抜け、及び半田接合性の評価結果を得ることができた。

符号の説明

[0081] １　ステージ、１０　インターポーザ、１１　第１の半導体チップ、１２　第２の半導体チップ、１３　第３の半導体チップ、１４　第４の半導体チップ、２１　第１のアンダーフィルフィルム、２２　第２のアンダーフィルフィルム、２３　第３のアンダーフィルフィルム、２４　第４のアンダーフィルフィルム

請求の範囲

[請求項1] 熱硬化性接着剤を介して、貫通電極と一方の面に形成された半田付き電極とを有する半導体チップを複数積層し、最上層の第１半導体チップ下に配置された第１熱硬化性接着剤から最下層の第ｍ（ｍは３以上の整数）半導体チップ下に配置された第ｍ熱硬化性接着剤までの半導体チップ群をインターポーザ上に配置する配置工程と、

前記半導体チップ群を３００℃～４００℃の温度の熱圧着ツールにて押圧し、第１～第ｍ熱硬化性接着剤を硬化させる硬化工程とを有し、

前記第１熱硬化性接着剤の最低溶融粘度到達温度が、第２～第ｍ熱硬化性接着剤の最低溶融粘度到達温度以上であり、

前記第２～第ｍ熱硬化性接着剤のうち少なくとも１つの熱硬化性接着剤の最低溶融粘度到達温度が、前記第１熱硬化性接着剤の最低溶融粘度到達温度よりも低い半導体装置の製造方法。

[請求項2] 第ｎ（ｎは１～［ｍ－１］の整数）熱硬化性接着剤の最低溶融粘度到達温度が、第ｎ＋１熱硬化性接着剤の最低溶融粘度到達温度以上である請求項１記載の半導体装置の製造方法。

[請求項3] 第ｎ（ｎは１～ｍの整数）熱硬化性接着剤の最低溶融粘度到達温度が、第ｎ＋１熱硬化性接着剤の最低溶融粘度到達温度よりも高い請求項１記載の半導体装置の製造方法。

[請求項4] 前記半導体チップ群を前記熱圧着ツールにて押圧した際、前記第１熱硬化性接着剤の温度と前記第ｍ熱硬化性接着剤の温度との差が４０℃以上である請求項１乃至３のいずれか１項に記載の半導体装置の製造方法。

[請求項5] 前記第１～第ｍ熱硬化性接着剤の最低溶融粘度が、２２００～２８００Ｐａ・ｓである請求項１乃至３のいずれか１項に記載の半導体装置の製造方法。

[請求項6] 前記第１～第ｍ熱硬化性接着剤の最低溶融粘度が、２２００～２８

００Ｐａ・ｓである請求項４記載の半導体装置の製造方法。

[請求項7] 前記半田付き電極の半田の融点が、２２０℃～２４０℃である請求項１乃至３のいずれか１項に記載の半導体装置の製造方法。

[請求項8] 前記半田付き電極の半田の融点が、２２０℃～２４０℃である請求項４記載の半導体装置の製造方法。

[請求項9] 前記半田付き電極の半田の融点が、２２０℃～２４０℃である請求項５記載の半導体装置の製造方法。

[請求項10] 前記熱硬化性接着剤が、フィルム状の熱硬化性接着フィルムであり、

前記配置工程では、前記熱硬化性接着フィルムが前記半田付き電極の形成面に貼り合わされた半導体チップを複数積層配置させる請求項１乃至３のいずれか１項に記載の半導体装置の製造方法。

[請求項11] 前記熱硬化性接着剤が、フィルム状の熱硬化性接着フィルムであり、

前記配置工程では、前記熱硬化性接着フィルムが前記半田付き電極の形成面に貼り合わされた半導体チップを複数積層配置させる請求項４記載の半導体装置の製造方法。

[請求項12] 前記熱硬化性接着剤が、フィルム状の熱硬化性接着フィルムであり、

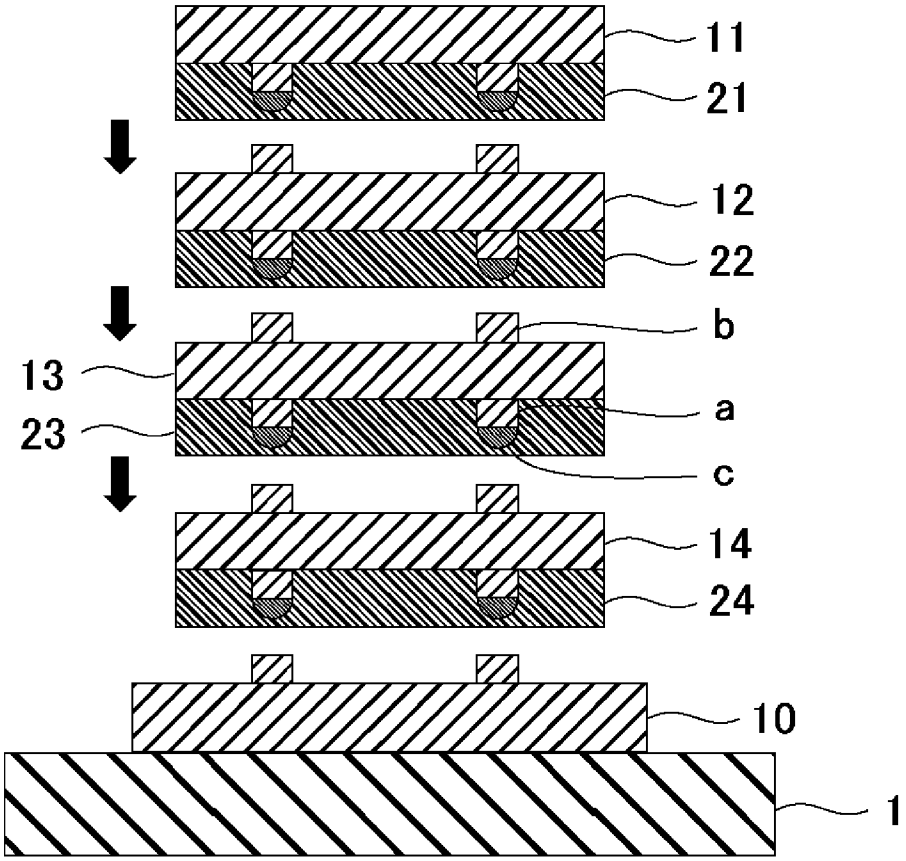
前記配置工程では、前記熱硬化性接着フィルムが前記半田付き電極の形成面に貼り合わされた半導体チップを複数積層配置させる請求項５記載の半導体装置の製造方法。

[請求項13] 前記熱硬化性接着剤が、フィルム状の熱硬化性接着フィルムであり、

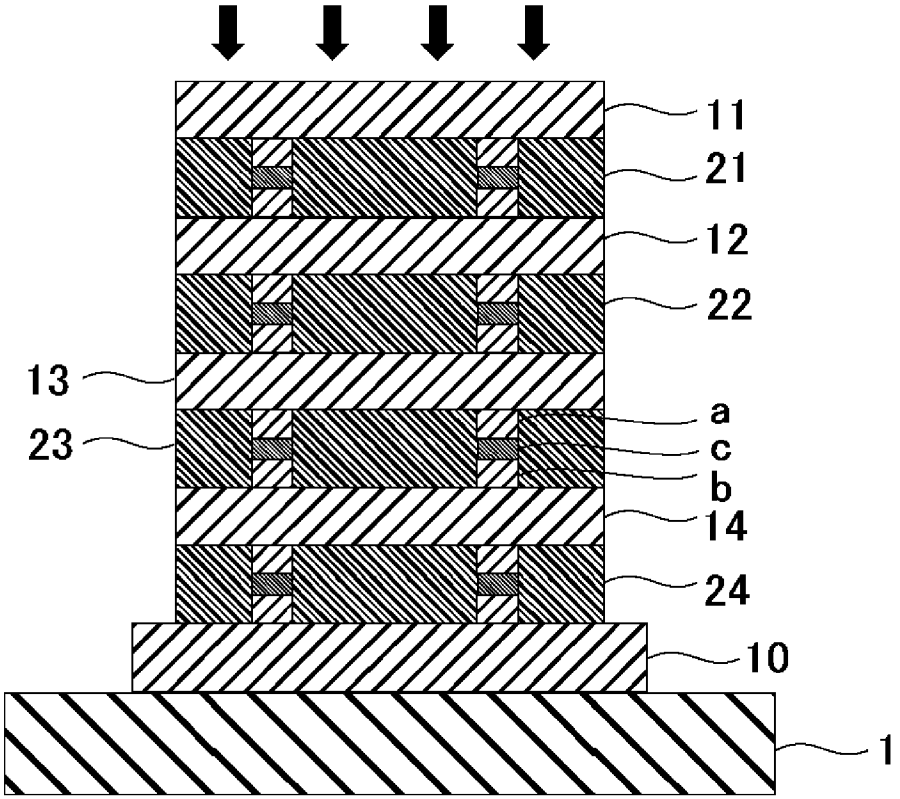
前記配置工程では、前記熱硬化性接着フィルムが前記半田付き電極の形成面に貼り合わされた半導体チップを複数積層配置させる請求項７記載の半導体装置の製造方法。

WO 2018/061982 PCT/JP2017/034112

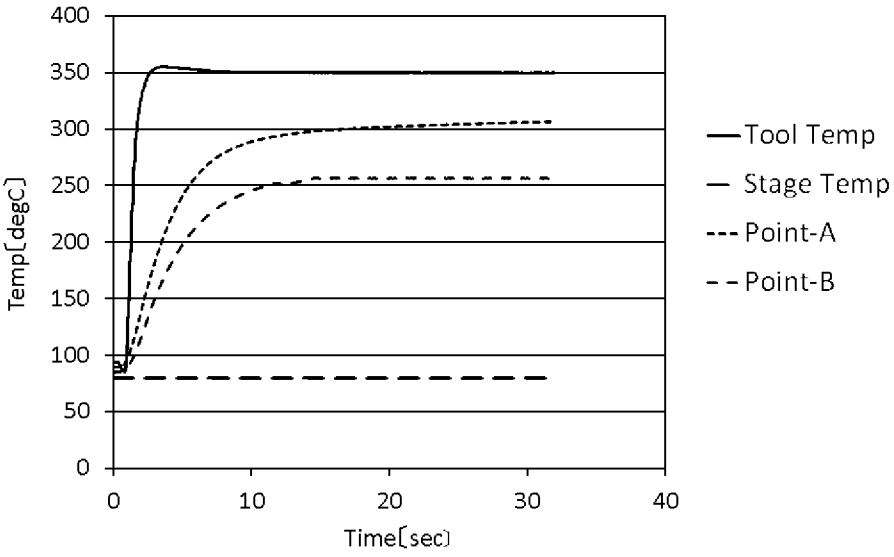
[図1]



[図2]


11
21
12
22
13
23
a
c
b
14
24
10
1

[図3]


400
350
300
250
200
150
100
50
0
Temp[degC]
0
10
20
30
40
Time[sec]
Tool Temp
Stage Temp
Point-A
Point-B

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/034112

A. CLASSIFICATION OF SUBJECT MATTER
H01L25/065(2006.01)i, *H01L25/07*(2006.01)i, *H01L25/18*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L25/065, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2013/133015 A1 (Toray Industries, Inc.), 12 September 2013 (12.09.2013), paragraphs [0012] to [0078]; fig. 4 & US 2015/0050778 A1 paragraphs [0020] to [0087]; fig. 4 & CN 104145328 A & KR 10-2014-0140042 A & TW 201347054 A	1-13
Y	JP 53-71176 A (Fujitsu Ltd.), 24 June 1978 (24.06.1978), page 1, lower right column, line 17 to page 3, upper left column, line 5 (Family: none)	1-13

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
30 October 2017 (30.10.17)	14 November 2017 (14.11.17)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/034112

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-142508 A (Kyocera Corp.), 16 May 2003 (16.05.2003), paragraph [0008] (Family: none)	1-13
Y	JP 2013-153071 A (Nitto Denko Corp.), 08 August 2013 (08.08.2013), paragraph [0091] & TW 201335326 A & CN 104040697 A & KR 10-2014-0116058 A	5-13

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／０３４１１２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L25/065, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１７年
日本国実用新案登録公報	１９９６－２０１７年
日本国登録実用新案公報	１９９４－２０１７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2013/133015 A1 (東レ株式会社) 2013.09.12, 段落[0012]-[0078],図４ & US 2015/0050778 A1, paragraphs[0020]-[0087], Fig.4 & CN 104145328 A & KR 10-2014-0140042 A & TW 201347054 A	1-13
Y	JP 53-71176 A (富士通株式会社) 1978.06.24, 第１頁右下欄第１７行～第３頁左上欄第５行（ファミリーなし）	1-13

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
３０．１０．２０１７	１４．１１．２０１７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｄ　３４５５
井上　和俊
電話番号　０３－３５８１－１１０１　内線　３５５１

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2003-142508 A (京セラ株式会社) 2003.05.16, 段落[0008] (ファミリーなし)	1-13
Y	JP 2013-153071 A (日東電工株式会社) 2013.08.08, 段落[0091] & TW 201335326 A & CN 104040697 A & KR 10-2014-0116058 A	5-13