



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0140407
(43) 공개일자 2013년12월24일

(51) 국제특허분류(Int. Cl.)

H01L 21/60 (2006.01)

(21) 출원번호 10-2012-0063792

(22) 출원일자 2012년06월14일

심사청구일자 없음

기술이전 희망 : 기술양도, 실시권허여, 기술지도

(71) 출원인

한국전자통신연구원

대전광역시 유성구 가정로 218 (가정동)

(72) 발명자

엄용성

대전광역시 유성구 관평동 대덕테크노 벨리 310동 1002호

최광성

대전광역시 유성구 전민동 엑스포아파트 205-1706

노정현

대전광역시 서구 가장로 106 삼성래미안아파트 104-803

(74) 대리인

특허법인한벗

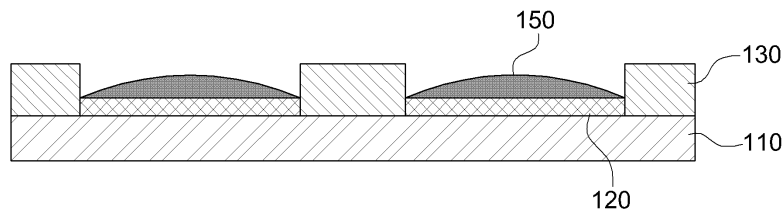
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 미세 피치 PCB 기판에 솔더 범프 형성 방법 및 이를 이용한 반도체 소자의 플립 칩 본딩 방법

(57) 요약

본 발명은 미세 피치 PCB 기판에 솔더 범프 형성 방법 및 이를 이용한 반도체 소자의 플립 칩 본딩 방법에 관한 것으로서, 금속 패드 및 솔더 마스크를 포함하는 PCB 기판 전면에 일정한 두께의 SBM(Solder Bump Maker) 페이스트를 도포하는 단계; 상기 SBM 페이스트를 상기 SBM 페이스트에 포함된 솔더의 녹는점보다 높은 온도로 가열한 후 냉각시켜 솔더 범프를 형성하는 단계; 및 상기 SBM 페이스트의 잔여 고분자 수지와 잔여 솔더 입자를 솔벤트를 사용하여 세척하는 단계를 포함한다.

대표도 - 도3



이 발명을 지원한 국가연구개발사업

과제고유번호 10037039

부처명 지식경제부

연구사업명 부품소재기술개발사업

연구과제명 차세대 초박형 MCP 인쇄회로기판 모듈/SiP용 임베디드 PCB 모듈

기여율 1/1

주관기관 하나마이크론

연구기간 2010.06.01 ~ 2013.05.31

특허청구의 범위

청구항 1

금속 패드 및 솔더 마스크를 포함하는 PCB 기판 전면에 일정한 두께의 SBM(Solder Bump Maker) 페이스트를 도포하는 단계;

상기 SBM 페이스트를 상기 SBM 페이스트에 포함된 솔더의 녹는점보다 높은 온도로 가열한 후 냉각시켜 솔더 범프를 형성하는 단계; 및

상기 SBM 페이스트의 잔여 고분자 수지와 잔여 솔더 입자를 솔벤트를 사용하여 세척하는 단계;

를 포함하는 미세 피치 PCB 기판에 솔더 범프 형성 방법.

청구항 2

제1항에 있어서, 상기 솔더 범프를 형성하는 단계에서,

상기 SBM 페이스트의 솔더 입자들이 상기 금속 패드 위에서 젖음 특성을 나타내어 솔더 범프가 형성되는 것을 특징으로 하는 미세 피치 PCB 기판에 솔더 범프 형성 방법.

청구항 3

제1항에 있어서,

상기 SBM 페이스트는 SBM 페이스트 100 중량% 기준으로 15 ~ 25 중량%의 고분자 수지, 1 ~ 10 중량%의 환원제 및 50 ~ 80 중량%의 솔더를 포함하는 것을 특징으로 하는 미세 피치 PCB 기판에 솔더 범프 형성 방법.

청구항 4

제3항에 있어서,

상기 고분자 수지는 DGEBA, TGDDM, TriTGDDM, 이소시아네이트(Isocyanate), 비스말레이미드(Bismaleimide), 에폭시 변성 실리콘 오일, 아민변성 실리콘 오일, 카복실 변성실리콘 오일 및 폴리올 중 적어도 하나를 포함하는 것을 특징으로 하는 미세 피치 PCB 기판에 솔더 범프 형성 방법.

청구항 5

제3항에 있어서,

상기 환원제는 글루타르산(Glutaric Acid), 말산(Malic Acid), 아젤라익산(Azelaic Acid), 아비에트산(Abietic Acid), 아디프산(Adipic Acid), 아스코르빈산(Ascorbic Acid), 아크릴산(Acrylic Acid) 및 시트르산(Citric Acid) 중 적어도 하나를 포함하는 것을 특징으로 하는 미세 피치 PCB 기판에 솔더 범프 형성 방법.

청구항 6

제3항에 있어서,

상기 솔더의 입자 크기는 0.1 μ m ~ 70 μ m인 것을 특징으로 하는 미세 피치 PCB 기판에 솔더 범프 형성 방법.

청구항 7

제3항에 있어서,

상기 솔더는 Sn, Bi, Ag, Cu, In 및 Pb 중 적어도 하나를 포함하는 것을 특징으로 하는 미세 피치 PCB 기판에 솔더 범프 형성 방법.

청구항 8

제1항에 있어서,

상기 솔더 범프가 형성된 PCB 기판에 코이닝 공정을 수행하는 단계;
를 더 포함하는 것을 특징으로 하는 미세 피치 PCB 기판에 솔더 범프 형성 방법.

청구항 9

금속 패드 및 솔더 마스크를 포함하는 PCB 기판 전면에 일정한 두께의 SBM(Solder Bump Maker) 페이스트를 도포하는 단계;

상기 SBM 페이스트를 상기 SBM 페이스트에 포함된 솔더의 녹는점보다 높은 온도로 가열한 후 냉각시켜 솔더 범프를 형성하는 단계;

상기 SBM 페이스트의 잔여 고분자 수지와 잔여 솔더 입자를 솔벤트를 사용하여 세척하는 단계;

상기 솔더 범프가 형성된 PCB 기판 전면에 산화막 제거를 위한 플렉스를 도포하는 단계;

상기 플렉스가 도포된 PCB 기판에 구리 필러가 형성된 반도체 소자를 플립 칩 본딩하는 단계; 및

잔류 플렉스를 제거하는 단계;

를 포함하는 반도체 소자의 플립 칩 본딩 방법.

청구항 10

제9항에 있어서,

상기 구리 필러의 끝단에 솔더 캡 또는 니켈 캡이 형성되어 있는 것을 특징으로 하는 반도체 소자의 플립 칩 본딩 방법.

청구항 11

금속 패드 및 솔더 마스크를 포함하는 PCB 기판 전면에 일정한 두께의 SBM(Solder Bump Maker) 페이스트를 도포하는 단계;

상기 SBM 페이스트를 상기 SBM 페이스트에 포함된 솔더의 녹는점보다 높은 온도로 가열한 후 냉각시켜 솔더 범프를 형성하는 단계;

상기 SBM 페이스트의 잔여 고분자 수지와 잔여 솔더 입자를 솔벤트를 사용하여 세척하는 단계;

상기 솔더 범프가 형성된 PCB 기판 전면에 산화막 제거 및 언더필 기능을 수행하는 플렉싱 언더필을 도포하는 단계; 및

상기 플렉싱 언더필이 도포된 PCB 기판에 구리 필러가 형성된 반도체 소자를 플립 칩 본딩하는 단계;

를 포함하는 반도체 소자의 플립 칩 본딩 방법.

청구항 12

제11항에 있어서,

상기 구리 필러의 끝단에 솔더 캡 또는 니켈 캡이 형성되어 있는 것을 특징으로 하는 반도체 소자의 플립 칩 본딩 방법.

명세서

기술분야

[0001] 본 발명은 솔더 범프 형성 방법에 관한 것으로, 더욱 상세하게는 PCB 기판의 미세 피치 금속 패드 위에 형성된 솔더 마스크로 인하여 두께방향의 금속 패드가 PCB 기판의 표면보다 낮은 부분에 위치하여 오목한 형상을 갖는 경우 작은 부피의 솔더 범프를 형성하는 미세 피치 PCB 기판에 솔더 범프 형성 방법 및 이를 이용한 반도체 소자의 플립 칩 본딩 방법에 관한 것이다.

배경기술

[0002] 최근 들어 휴대폰, 노트북 등의 휴대용 단말의 두께가 수 밀리미터 수준으로 얇아지는 등, 전자 기기가 소형화 되고 슬림화되어 감에 따라, PCB 기판의 동박 회로 패턴을 미세화하는 기술이 요구되고 있다.

[0003] 기존에는 PCB 기판의 금속 패드 위에 솔더 범프를 형성하기 위해 각각의 금속 패드와 일대일로 일치하는 형상의 스크린 프린터용 메탈 마스크를 제작한 후 금속 패드 부분에 국한하여 솔더 페이스트를 도포하였다.

[0004] 이와 같은 경우 금속 패드의 피치가 130um 이하인 경우에는 마스크에서 솔더 페이스트의 빠짐성이 저하되므로 금속 패드 위에 일정량의 솔더 페이스트를 골고루 도포하는 데 어려움이 있었다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 상기한 바와 같은 문제점을 해결하기 위하여 안출된 것으로서, 130um 이하의 미세 피치를 갖는 PCB 기판에 작은 부피의 솔더 범프(LVSoP)를 형성하는 미세 피치 PCB 기판에 솔더 범프 형성 방법을 제공하는 데 그 목적이 있다.

[0006] 본 발명의 다른 목적은 구리 필러가 형성된 반도체 소자의 플립 칩 본딩을 용이하게 할 수 있는 미세 피치 PCB 기판에 솔더 범프 형성 방법 및 이를 이용한 반도체 소자의 플립 칩 본딩 방법을 제공한다.

과제의 해결 수단

[0007] 이와 같은 목적을 달성하기 위한, 본 발명의 일실시예에 따르면, 본 발명에 따른 미세 피치 PCB 기판에 솔더 범프 형성 방법은, 금속 패드 및 솔더 마스크를 포함하는 PCB 기판 전면에 일정한 두께의 SBM(Solder Bump Maker) 페이스트를 도포하는 단계; 상기 SBM 페이스트를 상기 SBM 페이스트에 포함된 솔더의 녹는점보다 높은 온도로 가열한 후 냉각시켜 솔더 범프를 형성하는 단계; 및 상기 SBM 페이스트의 잔여 고분자 수지와 잔여 솔더 입자를 솔벤트를 사용하여 세척하는 단계를 포함한다.

[0008] 본 발명의 다른 실시예에 따르면, 본 발명에 따른 반도체 소자의 플립 칩 본딩 방법은, 금속 패드 및 솔더 마스크를 포함하는 PCB 기판 전면에 일정한 두께의 SBM(Solder Bump Maker) 페이스트를 도포하는 단계; 상기 SBM 페이스트를 상기 SBM 페이스트에 포함된 솔더의 녹는점보다 높은 온도로 가열한 후 냉각시켜 솔더 범프를 형성하는 단계; 상기 SBM 페이스트의 잔여 고분자 수지와 잔여 솔더 입자를 솔벤트를 사용하여 세척하는 단계; 상기 솔더 범프가 형성된 PCB 기판 전면에 산화막 제거를 위한 플럭스를 도포하는 단계; 상기 플럭스가 도포된 PCB 기판에 구리 필러가 형성된 반도체 소자를 플립 칩 본딩하는 단계; 및 잔류 플럭스를 제거하는 단계를

포함한다.

[0009] 본 발명의 또 다른 실시예에 따르면, 본 발명에 따른 반도체 소자의 플립 칩 본딩 방법은, 금속 패드 및 솔더 마스크를 포함하는 PCB 기판 전면에 일정한 두께의 SBM(Solder Bump Maker) 페이스트를 도포하는 단계; 상기 SBM 페이스트를 상기 SBM 페이스트에 포함된 솔더의 녹는점보다 높은 온도로 가열한 후 냉각시켜 솔더 범프를 형성하는 단계; 상기 SBM 페이스트의 잔여 고분자 수지와 잔여 솔더 입자를 솔벤트를 사용하여 세척하는 단계; 상기 솔더 범프가 형성된 PCB 기판 전면에 산화막 제거 및 언더필 기능을 수행하는 플럭싱 언더필을 도포하는 단계; 및 상기 플럭싱 언더필이 도포된 PCB 기판에 구리 필러가 형성된 반도체 소자를 플립 칩 본딩하는 단계를 포함한다.

발명의 효과

[0010] 이상에서 설명한 바와 같이 본 발명에 의하면, 금속 패드 및 솔더 마스크를 포함하는 PCB 기판 전면에 일정두께의 SBM 페이스트를 도포한 후, 가열 및 냉각시켜 작은 부피의 솔더 범프를 형성하는 미세 피치 PCB 기판에 솔더 범프 형성 방법 및 이를 이용한 반도체 소자의 플립 칩 본딩 방법을 제공함으로써, 작은 부피의 솔더 범프를 매우 용이하게 형성할 수 있고, 구리 필러가 형성된 반도체 소자의 플립 칩 본딩 공정시 공정 압력에 의하여 인접한 솔더 범프가 전기적으로 연결되는 현상을 방지할 수 있는 효과가 있다.

도면의 간단한 설명

[0011] 도 1 내지 도 3은 본 발명의 일실시예에 따른 미세 피치 PCB 기판에 솔더 범프 형성 방법을 설명하기 위한 공정 흐름도,
 도 4 내지 도 6은 본 발명의 다른 실시예에 따른 LVSoP가 형성된 PCB 기판에 반도체 소자의 플립 칩 본딩 방법을 설명하기 위한 공정 흐름도,
 도 7 및 도 8은 본 발명의 또 다른 실시예에 따른 LVSoP가 형성된 PCB 기판에 반도체 소자의 플립 칩 본딩 방법을 설명하기 위한 공정 흐름도,
 도 9는 70um의 직경 및 130um의 피치를 가지는 금속 패드와 약 10um의 두께를 가지는 솔더 마스크가 형성된 PCB 기판의 SEM 사진,
 도 10은 도 9의 PCB 기판에 도 1 내지 도 3의 공정을 통해 LVSoP를 형성한 PCB 기판의 SEM 사진,
 도 11은 도 9의 LVSoP의 높이를 측정한 그래프,
 도 12는 코이닝 공정을 통하여 솔더 마스크의 높이보다 높이가 높은 LVSoP가 평평하게 된 PCB 기판의 SEM 사진이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하, 본 발명의 실시예를 첨부된 도면들을 참조하여 상세히 설명한다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.

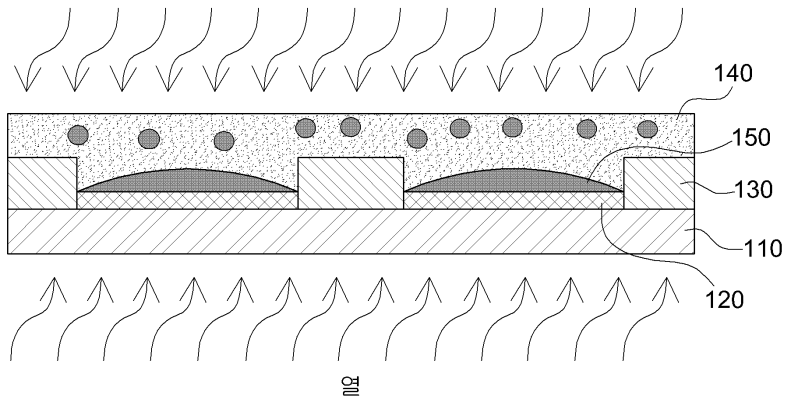
[0013] 도 1 내지 도 3은 본 발명의 일실시예에 따른 미세 피치 PCB 기판에 솔더 범프 형성 방법을 설명하기 위한 공정 흐름도이다.

[0014] 도 1을 참조하면, PCB 기판(110)의 표면에 형성된 금속 패드(120)는 고분자 소재를 사용한 솔더 마스크(130)에 의해 일정두께로 덮여져 있어 오목한 형상을 하고 있다. 이러한 금속 패드(120) 및 솔더 마스크(130)를 포함하는 PCB 기판(110) 전면에 일정한 두께의 SBM(Solder Bump Maker) 페이스트(140)를 도포한다.

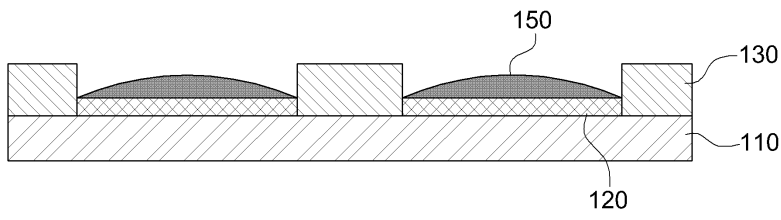
[0015] SBM 페이스트(140)는 SBM 페이스트 100 중량% 기준으로 15 ~ 25 중량%의 고분자 수지, 1 ~ 10 중량%의 환원제 및 50 ~ 80 중량%의 솔더를 포함한다.

- [0016] 고분자 수지는 온도의 증감에 따라 반응을 나타내지 않는 일원계 소재로서, DGEBA, TGDDM, TriTGDDM, 이소시아네이트(Isocyanate), 비스말레이미드(Bismaleimide), 에폭시 변성 실리콘 오일, 아민변성 실리콘 오일, 카복실 변성실리콘 오일 및 폴리올 등을 포함할 수 있다.
- [0017] 환원제는 글루타르산(Glutaric Acid), 말산(Malic Acid), 아젤라익산(Azelaic Acid), 아비에트산(Abietic Acid), 아디프산(Adipic Acid), 아스코르빈산(Ascorbic Acid), 아크릴산(Acrylic Acid) 및 시트르산(Citric Acid) 등을 포함할 수 있다.
- [0018] 또한, 솔더의 입자 크기는 0.1um ~ 70um이고, 솔더는 Sn, Bi, Ag, Cu, In 및 Pb의 합금, 바람직하게는 60Sn/40Bi, 52In/48Sn, 97In/3Ag, 57Bi/42Sn/1Ag, 58Bi/42Sn, 52Bi/32Pb/16Sn 및 96.5Sn/3Ag/0.5Cu의 조성이 사용되며, 솔벤트와 같은 용제를 사용하지 않는다.
- [0019] 본 발명에서는 금속 패드(120)뿐만 아니라 솔더 마스크(130)를 포함한 PCB 기판(110) 전면에 SBM 페이스트(140)를 일정두께로 도포함으로써, 130um 피치 이하의 PCB 기판에서도 솔더 범프를 용이하게 형성할 수 있다.
- [0020] 도 2를 참조하면, SBM 페이스트(140)를 SBM 페이스트(140)에 포함된 솔더의 녹는점보다 높은 온도로 가열한 후 냉각시킨다. 따라서, 솔더 입자들이 금속 패드(120) 위에서 젖음 특성을 나타내어 작은 부피의 솔더 범프(Low Volume Solder on Pad, 이하, 'LVSoP')(150)가 형성된다. 이때, SBM 페이스트(140)에 포함된 고분자 수지는 공정 이후에도 상온 상태에서 액체의 특성을 나타내고, 금속 패드(120)의 젖음 특성에 참여하지 않은 솔더 입자는 SBM 페이스트(140)의 고분자 수지 내에 갇혀있게 된다.
- [0021] 도 3을 참조하면, SBM 페이스트(140)의 잔여 고분자 수지와 잔여 솔더 입자를 솔벤트를 이용하여 세척한다.
- [0022] 최종적으로, LVSoP(150)의 높이는 솔더 마스크(130)의 높이와 비슷하다.
- [0023] 도 4 내지 도 6은 본 발명의 다른 실시예에 따른 LVSoP가 형성된 PCB 기판에 반도체 소자의 플립 칩 본딩 방법을 설명하기 위한 공정 흐름도이다.
- [0024] 도 4를 참조하면, LVSoP(150)가 형성된 PCB 기판(110)에 플립 칩 본딩되는 반도체 소자(400)가 도시되어 있다. 반도체 소자(400)의 기판(410)에는 도출된 형상의 구리 필러(Cu Pillar)(420)가 형성되어 있고, 구리 필러(420)의 끝단에는 솔더 캡(Solder Cap) 또는 니켈 캡(Nikel Cap)(430)이 형성될 수 있다. 여기서, 솔더 캡 또는 니켈 캡(430)은 필요에 따라 생략될 수 있다.
- [0025] 도 5를 참조하면, LVSoP(150)가 형성된 PCB 기판(110)의 표면에 산화막 제거를 위한 플럭스(160)를 도포한다.
- [0026] 도 6을 참조하면, 열과 약간의 압력을 가하여 반도체 소자(400)를 플럭스(160)가 도포된 PCB 기판(110)에 플립 칩 본딩한 후, 잔류 플럭스를 제거한다. 이때, LVSoP(150)에 높은 압력을 가하여도 반도체 소자(400)와 PCB 기판(110) 사이에 일정한 거리가 유지됨으로써 솔더(152)가 금속 패드(120)를 벗어나 인접한 금속 패드가 전기적으로 연결되는 현상을 방지할 수 있다. 따라서, 본 발명에 따른 LVSoP(150)를 사용하는 경우 반도체 소자의 플립 칩 본딩시 압력 사용 여부에 상관없이 인접한 금속 패드 간의 전기적 연결을 완벽하게 방지할 수 있다.
- [0027] 도 7 및 도 8은 본 발명의 또 다른 실시예에 따른 LVSoP가 형성된 PCB 기판에 반도체 소자의 플립 칩 본딩 방법을 설명하기 위한 공정 흐름도이다.
- [0028] 도 7을 참조하면, LVSoP(150)가 형성된 PCB 기판(110)의 표면에 산화막 제거 및 언더필 기능을 동시에 수행하는 플럭싱 언더필(170)을 도포한다. 여기서, 플럭싱 언더필(170)은 저융점 솔더를 포함하지 않는 열경화 혼합물이나 광경화 물질 등이 될 수 있다.
- [0029] 도 8을 참조하면, 열과 약간의 압력을 가하여 반도체 소자(400)를 플럭싱 언더필(170)이 도포된 PCB 기판(110)에 플립 칩 본딩한다. 여기서, 플럭싱 언더필(170)은 LVSoP(150)의 산화막을 제거하고, LVSoP(150)가 젖음 특성을 나타낸 이후에 경화되어 액체 상태에서 고체 상태로 변화된다.
- [0030] 따라서, 도 8에 도시된 바와 같이, LVSoP(150)가 형성된 PCB 기판(110)에 플럭싱 언더필(170)을 사용하여 플립 칩 본딩을 수행하는 경우 플럭싱 언더필(170)이 구리 필러(420) 및 솔더(152)를 감싸는 형상을 가짐으로써 매우 우수한 신뢰성을 기대할 수 있다.

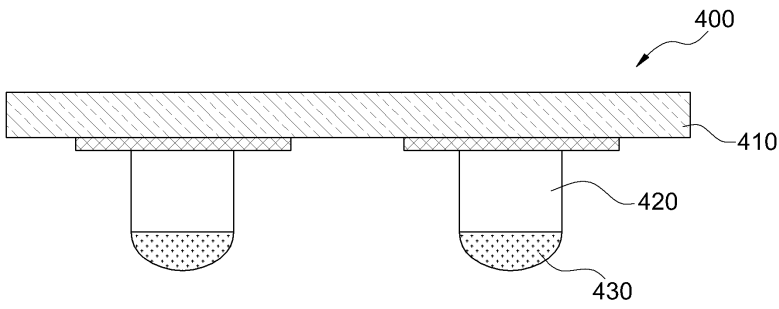
도면2



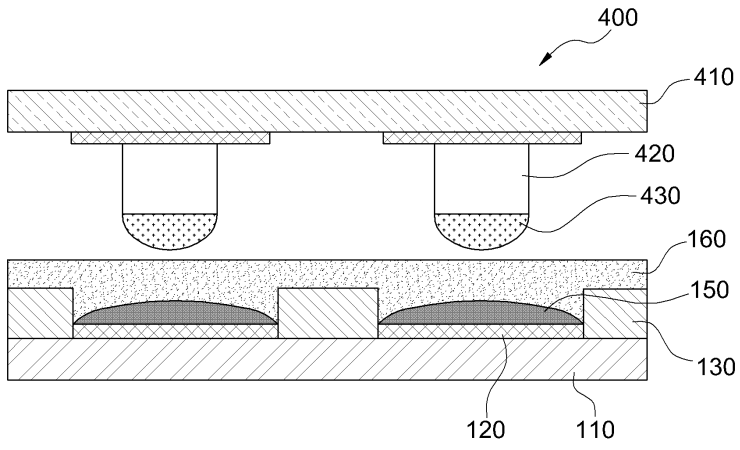
도면3



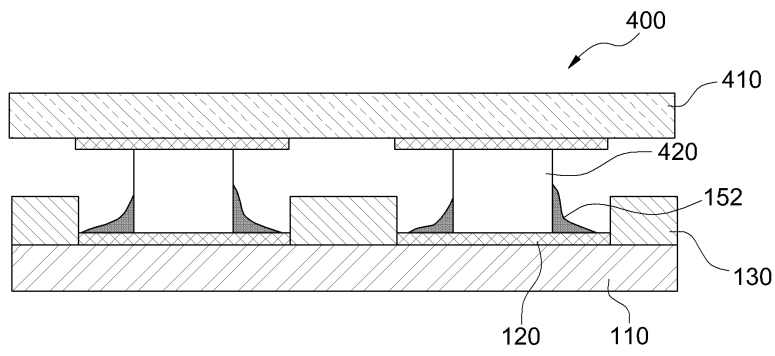
도면4



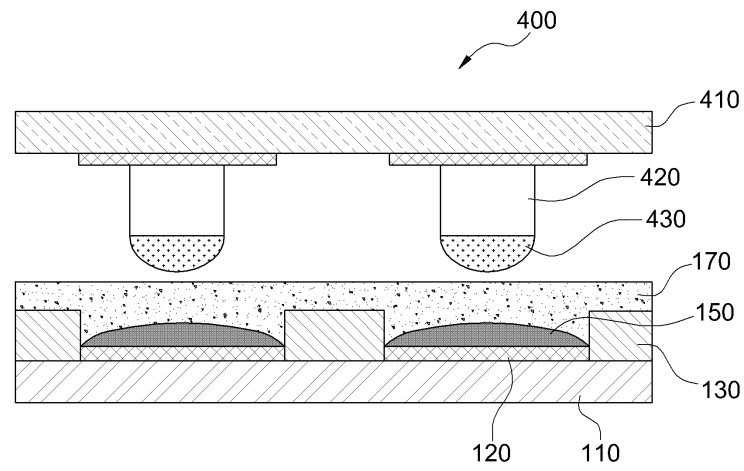
도면5



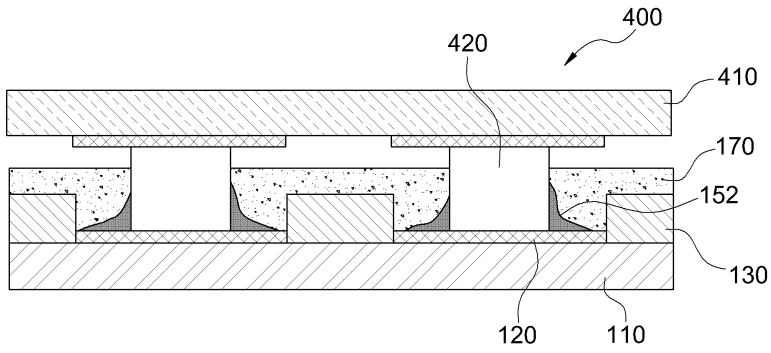
도면6



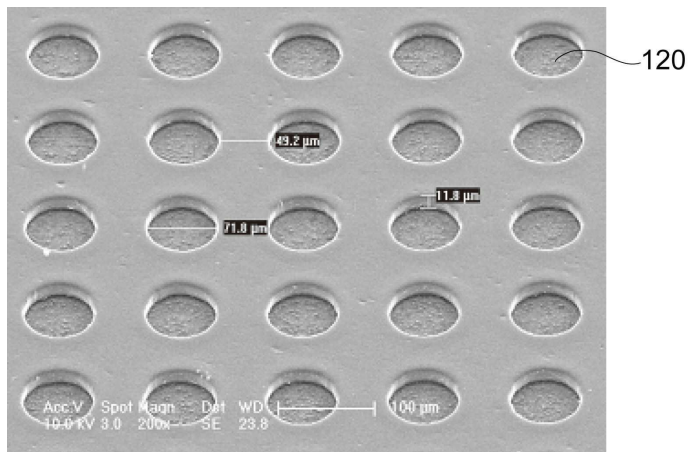
도면7



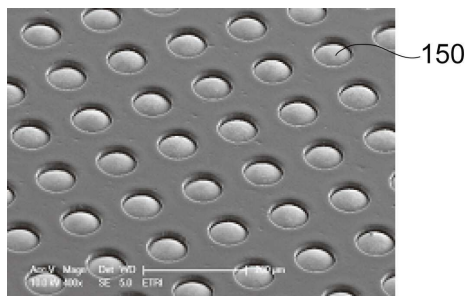
도면8



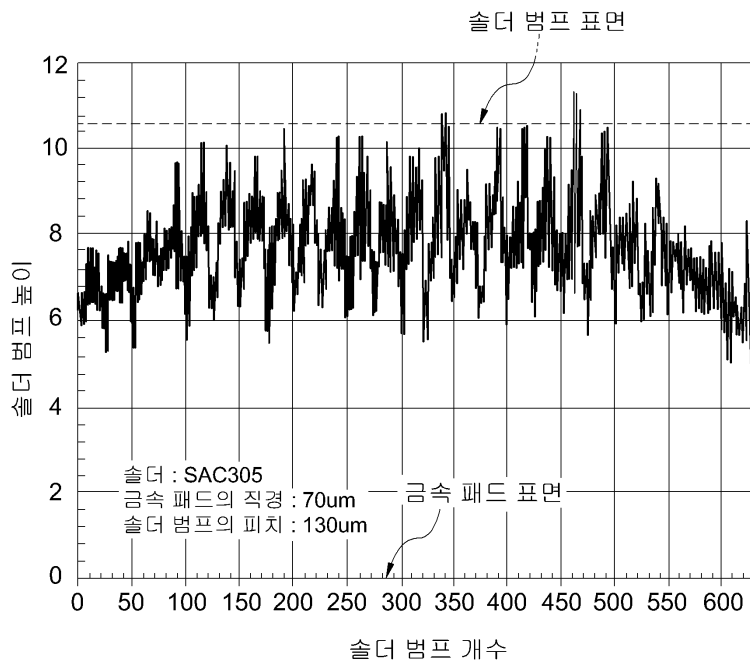
도면9



도면10



도면11



도면12

