(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2016 年 9 月 29 日 (29.09.2016)

WIPO | PCT

(10) 国际公布号
WO 2016/150037 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2015/084277

(22) 国际申请日: 2015 年 7 月 17 日 (17.07.2015)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201510138217.3 2015 年 3 月 26 日 (26.03.2015) CN

(71) 申请人: **京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.)** [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
鄂尔多斯市源盛光电有限责任公司 (ORDOS YUANSHENG OPTOELECTRONICS CO., LTD.) [CN/CN]; 中国内蒙古自治区鄂尔多斯市东胜区装本制造基地, Inner Mongolia 017020 (CN)。

(72) 发明人: **黄飞 (HUANG, Fei)**; 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: **中国专利代理(香港)有限公司 (CHINA PATENT AGENT (H.K.) LTD.)**; 中国香港特别行政区港湾道 23 号鹰君中心 22 号楼, Hong Kong (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) **Title**: SHIFT REGISTER, GATE ELECTRODE DRIVE CIRCUIT, DISPLAY PANEL, AND DISPLAY APPARATUS

(54) **发明名称** : 一种移位寄存器、栅极驱动电路、显示面板及显示装置

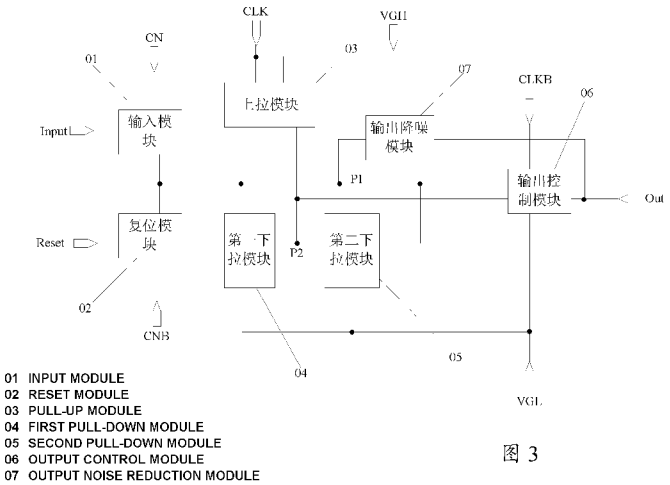


图 3

(57) **Abstract**: A shift register, gate electrode drive circuit, display panel, and display apparatus, the shift register comprising an input module (01), a reset module (02), a pull-up module (03), a first pull-down module (04), a second pull-down module (05), an output control module (06), and an output noise reduction module (07); the input module (01) is used for pulling up the potential of a first node (P1); the reset module (02) is used for pulling down the potential of the first node (P1); the pull-up module (03) is used for pulling up the potential of a second node (P2); the first pull-down module (04) is used for pulling down the potential of the first node (P1); the second pull-down module (05) is used for pulling down the potential of the second node (P2); the output control module (06) is used for controlling a scanning signal output terminal to choose to output a signal of a second clock signal terminal (CLKB) or a signal of a low voltage signal terminal (VGL); when the scanning signal output terminal outputs a scanning signal, the output noise reduction module (07) feeds back the scanning signal to a first control terminal of the output control module (06), and reduces the signal noise of the first control terminal of the output control module (06), thus reducing the noise of the scanning signal outputted by the scanning signal output terminal.

(57) **摘要**:

[见续页]

WO 2016/150037 A1

RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种移位寄存器、栅极驱动电路、显示面板及显示装置，该移位寄存器包括输入模块（ 01）、复位模块（02）、上拉模块（03）、第一下拉模块（04）、第二下拉模块（05）、输出控制模块（06），以及输出降噪模块（07）；输入模块（01）用于拉高第一节点（P1）的电位；复位模块（02）用于拉低第一节点（P1）的电位；上拉模块（03）用于拉高第二节点（P2）的电位；第一下拉模块（04）用于拉低第一节点（P1）的电位；第二下拉模块（05）用于拉低第二节点（P2）的电位；输出控制模块（06）用于控制扫描信号输出端选择输出第二时钟信号端（CLKB）的信号或低电平信号端（VGL）的信号；输出降噪模块（07）在扫描信号输出端输出扫描信号时，将扫描信号反馈给输出控制模块（06）的第一控制端，从而降低输出控制模块（06）的第一控制端的信号噪声，进而降低扫描信号输出端输出的扫描信号的噪声。

一种移位寄存器、栅极驱动电路、显示面板及显示装置

技术领域

本公开涉及显示技术领域，尤其涉及一种移位寄存器、栅极驱动电路、显示面板及显示装置。

背景技术

目前，随着液晶显示技术的发展，液晶面板业竞争越来越激烈，降低液晶显示面板的生产成本成为面板商提高竞争力的首选方案。为了降低显示面板的生产成本，一般地，相关技术领域的技术人员利用显示面板的边缘搭建栅极驱动电路。栅极驱动电路包括多个移位寄存器，每个移位寄存器对应一条栅线。多个移位寄存器采用串联设置，并且相邻两个移位寄存器之间有逐级传递的触发信号。每个移位寄存器在接收到触发信号后，向对应栅线输出栅线扫描信号，并把触发信号输送给下一级单元电路以实现栅极驱动的功能。这样的设计可以省去在显示面板的边框区域单独设置栅极驱动芯片的需要，因而有利于实现显示面板的窄边框设计，同时降低了相关产品的生产成本，提高了显示产品的市场竞争力。

一般地，现有的移位寄存器的电路结构如图 1 所示，其对应的输入输出时序图如图 2 所示。从图 2 可以看出，移位寄存器在正常开启工作时，第一节点 PU 的电位在第一时间段被拉高，并且在第二时间段被继续拉高，进而控制开关晶体管 T7 开启，使得扫描信号输出端对应输出扫描信号。然而由于第一节点 PU 输出的电压信号有噪声（如图 2 中标注的区域 A 所示），且第一节点 PU 在第一次被拉高时产生的信号的电位较高，因此电容 C1 的充放电过程易造成扫描信号输出端输出的扫描信号有较大噪声（如图 2 中标注的区域 B 所示），进而造成移位寄存器电路功耗较大，降低了显示面板的良率。

因此，如何降低移位寄存器输出的扫描信号的噪声，降低功耗，从而提高显示面板的良率，是本领域技术人员亟需解决的技术问题。

发明内容

本公开的一个目的在于提供一种移位寄存器、栅极驱动电路、显示面板及显示装置，其能够至少部分地缓解或消除以上提到的问题。

本公开的第一方面提供了一种移位寄存器，包括：输入模块、复位模块、上拉模块、第一下拉模块、第二下拉模块、输出控制模块，以及输出降噪模块；其中，

所述输入模块的输入端与第一参考信号端相连，控制端与信号输入端相连，输出端与第一节点相连，所述输入模块用于在所述信号输入端的控制下拉高所述第一节点的电位；

所述复位模块的输入端与第二参考信号端相连，控制端与复位信号端相连，输出端与所述第一节点相连，所述复位模块用于在所述复位信号端的控制下拉低所述第一节点的电位；

所述上拉模块的输入端和控制端分别与第一时钟信号端相连，输出端与第二节点相连，所述上拉模块用于在所述第一时钟信号端的控制下拉高所述第二节点的电位；

所述第一下拉模块的输入端与低电平信号端相连，控制端与所述第二节点相连，输出端与所述第一节点相连，所述第一下拉模块用于在所述第二节点的控制下拉低所述第一节点的电位；

所述第二下拉模块的输入端与低电平信号端相连，控制端与所述第一节点相连，输出端与所述第二节点相连，所述第二下拉模块用于在所述第一节点的控制下拉低所述第二节点的电位；

所述输出控制模块的第一输入端与所述低电平信号端相连，第二输入端与第二时钟信号端相连，第一控制端与所述第一节点相连，第二控制端与所述第二节点相连，输出端与所述扫描信号输出端相连，所述输出控制模块用于在所述第一节点和所述第二节点的控制下，控制所述扫描信号输出端选择输出所述第二时钟信号端的信号或所述低电平信号端的信号；

所述输出降噪模块的输入端与高电平信号端相连，控制端与所述扫描信号输出端相连，输出端与所述第一节点相连，所述输出降噪模块用于在所述扫描信号输出端输出扫描信号时将扫描信号反馈给所述输出控制模块的第一控制端。

根据一个实施例，所述输出降噪模块可以包括第一开关晶体管。所述第一开关晶体管的栅极与所述扫描信号输出端相连，源极与所述高电平信号端相连，漏极与所述第一节点相连。

根据另一实施例，所述输出降噪模块还可以包括传输模块。所述传输模块连接于所述高电平信号端、所述输入模块的输出端、所述复位模块的

输出端、所述第一下拉模块的输出端、所述第一开关晶体管的漏极，以及所述第一节点之间，所述传输模块用于对所述第一开关晶体管的漏极的信号进行滤波降噪并且然后将其输出到所述第一节点。

根据又一实施例，所述传输模块可以包括第二开关晶体管。所述第二开关晶体管的栅极与所述高电平信号端相连，源极与所述第一开关晶体管的漏极相连，漏极与所述第一节点相连。

根据再一实施例，所述输出控制模块可以包括第一输出控制模块和第二输出控制模块；其中，

所述第一输出控制模块连接于所述第一节点、所述第二时钟信号端，以及所述扫描信号输出端之间，所述第一输出控制模块用于在所述第一节点的控制下，控制所述扫描信号输出端输出所述第二时钟信号端的信号；

所述第二输出控制模块连接于所述低电平信号端、所述第二节点，以及所述扫描信号输出端之间，所述第二输出控制模块用于在所述第二节点的控制下，控制所述扫描信号输出端输出所述低电平信号端的信号。

在一个实施例中，所述第一输出控制模块可以包括第三开关晶体管和第一电容；其中，

所述第三开关晶体管的栅极与所述第一节点相连，源极与所述第二时钟信号端相连，漏极与所述扫描信号输出端相连；

所述第一电容连接于所述第一节点与所述扫描信号输出端之间。

根据另一实施例，所述第二输出控制模块可以包括第四开关晶体管和第五开关晶体管；其中，

所述第四开关晶体管的栅极与所述第二节点相连，源极与所述低电平信号端相连，漏极与所述扫描信号输出端相连；

所述第五开关晶体管的栅极与所述第二节点相连，源极和漏极分别与所述低电平信号端相连。

根据又一实施例，所述第二输出控制模块可以包括第四开关晶体管和第二电容；其中，

所述第四开关晶体管的栅极与所述第二节点相连，源极与所述低电平信号端相连，漏极与所述扫描信号输出端相连；

所述第二电容连接于所述第二节点和所述低电平信号端之间。

根据再一实施例，所述输入模块可以包括第六开关晶体管。所述第六开关晶体管的栅极与所述信号输入端相连，源极与所述第一参考信号端相

连，漏极分别与所述第一开关晶体管的漏极和所述第二开关晶体管的源极相连。

根据实施例，所述复位模块可以包括第七开关晶体管。所述第七开关晶体管的栅极与所述复位信号端相连，源极与所述第二参考信号端相连，漏极分别与所述第一开关晶体管的漏极和所述第二开关晶体管的源极相连。

根据另一实施例，所述第一下拉模块可以包括第八开关晶体管。所述第八开关晶体管的栅极与所述第二节点相连，源极与所述低电平信号端相连，漏极分别与所述第一开关晶体管的漏极和所述第二开关晶体管的源极相连。

根据又一实施例，所述上拉模块可以包括第九开关晶体管。所述第九开关晶体管的栅极和源极分别与所述第一时钟信号端相连，漏极与所述第二节点相连。

根据再一实施例，所述第二下拉模块可以包括第十开关晶体管。所述第十开关晶体管的栅极与所述第一节点相连，源极与所述低电平信号端相连，漏极与所述第二节点相连。

本公开的第二方面提供了一种栅极驱动电路，包括级联的多个本公开的第一方面提供的上述移位寄存器，其中除第一个移位寄存器和最后一个移位寄存器之外，其余每个移位寄存器的扫描信号输出端均向与其相邻的下一个移位寄存器的信号输入端输入触发信号，并向与其相邻的上一个移位寄存器的复位信号端输入复位信号；第一个移位寄存器的扫描信号输出端向第二个移位寄存器的信号输入端输入触发信号；最后一个移位寄存器的扫描信号输出端向自身以及上一个移位寄存器的复位信号端输入复位信号。

本公开的第三方面提供了一种显示面板，包括本公开的第二方面提供的上述栅极驱动电路。

本公开的第四方面提供了一种显示装置，包括本公开的第三方面提供的上述显示面板。

本公开的实施例提供了一种移位寄存器、栅极驱动电路、显示面板及显示装置，其中移位寄存器包括输入模块、复位模块、上拉模块、第一下拉模块、第二下拉模块，输出控制模块，以及输出降噪模块；其中，输入模块用于在信号输入端的控制下拉高第一节点的电位；复位模块用于在复

位信号端的控制下拉低第一节点的电位；上拉模块用于在第一时钟信号端的控制下拉高第二节点的电位；第一下拉模块用于在第二节点的控制下拉低第一节点的电位；第二下拉模块用于在第一节点的控制下拉低第二节点的电位；输出控制模块用于在第一节点和第二节点的控制下，控制扫描信号输出端选择输出第二时钟信号端的信号或低电平信号端的信号。通过这样的布置，实现了移位寄存器输出扫描信号的功能。同时，输出降噪模块在扫描信号输出端输出扫描信号时，将扫描信号反馈给输出控制模块的第一控制端，从而降低输出控制模块的第一控制端的信号噪声，进而降低扫描信号输出端输出的扫描信号的噪声。以此方式增强了信号的无损耗传输，降低了功耗，从而提高显示面板的良率。

附图说明

图 1 为现有技术中的移位寄存器的结构示意图；

图 2 为现有技术中的移位寄存器的输入输出时序图；

图 3 为本公开实施例提供的移位寄存器的结构示意图；

图 4 为本公开实施例提供的移位寄存器中输出降噪模块的示例结构示意图；

图 5 为本公开实施例提供的移位寄存器中传输模块的示例结构示意图；

图 6a 和图 6b 分别为本公开实施例提供的移位寄存器中输出控制模块的示例结构示意图；

图 7a 和图 7b 分别为本公开实施例提供的移位寄存器的示例结构示意图；

图 8 为本公开实施例提供的移位寄存器的输入输出时序图；

图 9 为本公开实施例提供的栅极驱动电路的结构示意图。

具体实施方式

下面结合附图，对本公开实施例提供的移位寄存器，栅极驱动电路、显示面板及显示装置的具体实施方式进行详细地说明。

如图 3 所示，一种移位寄存器包括：输入模块 01、复位模块 02、上拉模块 03、第一下拉模块 04、第二下拉模块 05、输出控制模块 06，以及输出降噪模块 07；其中，

输入模块 01 的输入端与第一参考信号端 CN 相连，控制端与信号输入端 Input 相连，输出端与第一节点 P1 相连，输入模块 01 用于在信号输入端 Input 的控制下拉高第一节点 P1 的电位；

复位模块 02 的输入端与第二参考信号端 CNB 相连，控制端与复位信号端 Reset 相连，输出端与第一节点 P1 相连，复位模块 02 用于在复位信号端 Reset 的控制下拉低第一节点 P1 的电位；

上拉模块 03 的输入端和控制端分别与第一时钟信号端 CLK 相连，输出端与第二节点 P2 相连，上拉模块 03 用于在第一时钟信号端 CLK 的控制下拉高第二节点 P2 的电位；

第一下拉模块 04 的输入端与低电平信号端 VGL 相连，控制端与第二节点 P2 相连，输出端与第一节点 P1 相连，第一下拉模块 04 用于在第二节点 P2 的控制下拉低第一节点 P1 的电位；

第二下拉模块 05 的输入端与低电平信号端 VGL 相连，控制端与第一节点 P1 相连，输出端与第二节点 P2 相连，第二下拉模块 05 用于在第一节点 P1 的控制下拉低第二节点 P2 的电位；

输出控制模块 06 的第一输入端与低电平信号端 VGL 相连，第二输入端与第二时钟信号端 CLKB 相连，第一控制端与第一节点 P1 相连，第二控制端与第二节点 P2 相连，输出端与扫描信号输出端 Out 相连，输出控制模块 06 用于在第一节点 P1 和第二节点 P2 的控制下，控制扫描信号输出端 Out 选择输出第二时钟信号端 CLKB 的信号或低电平信号端 VGL 的信号；

输出降噪模块 07 的输入端与高电平信号端 VGH 相连，控制端与扫描信号输出端 Out 相连，输出端与第一节点 P1 相连，输出降噪模块 07 用于在扫描信号输出端 Out 输出扫描信号时将扫描信号反馈给输出控制模块 06 的第一控制端。

在上述移位寄存器中，包括输入模块 01、复位模块 02、上拉模块 03、第一下拉模块 04、第二下拉模块 05，输出控制模块 06，以及输出降噪模块 07；其中，输入模块 01 用于拉高第一节点 P1 的电位；复位模块 02 用于拉低第一节点 P1 的电位；上拉模块 03 用于拉高第二节点 P2 的电位；第一下拉模块用于拉低第一节点 P1 的电位；第二下拉模块用于拉低第二节点 P2 的电位；输出控制模块 06 用于控制扫描信号输出端 Out 选择输出第二时钟信号端 CLKB 的信号或低电平信号端 VGL 的信号。通过这样的

布置，实现了移位寄存器输出扫描信号的功能。同时，输出降噪模块 07 在扫描信号输出端 Out 输出扫描信号时，将扫描信号反馈给输出控制模块 06 的第一控制端，从而降低输出控制模块 06 的第一控制端的信号噪声，进而降低扫描信号输出端 Out 输出的扫描信号的噪声。以此方式增强了信号的无损耗传输，降低功耗，从而提高显示面板的良率。

在具体实施时，在上述移位寄存器中，如图 4 所示，输出降噪模块 07 包括第一开关晶体管 T1。第一开关晶体管 T1 的栅极与扫描信号输出端 Out 相连，源极与高电平信号端 VGH 相连，漏极与第一节点 P1 相连。

具体地，在扫描信号输出端 Out 输出扫描信号时，第一开关晶体管 T1 处于导通状态，导通的第一开关晶体管 T1 将高电平信号端 VGH 与第一节点 P1 导通，拉高第一节点 P1 的电位，即在扫描信号输出端 Out 输出扫描信号时，将扫描信号反馈给输出控制模块 06 的第一控制端，从而降低输出控制模块 06 的第一控制端的信号噪声，进而降低扫描信号输出端 Out 输出的扫描信号的噪声。这样的布置增强了信号的无损耗传输，降低功耗，从而提高显示面板的良率。

在具体实施时，在上述移位寄存器中，如图 5 所示，输出降噪模块 07 还包括传输模块 071。传输模块 071 连接于高电平信号端 VGH、输入模块 01 的输出端、复位模块 02 的输出端、第一下拉模块 04 的输出端、第一开关晶体管 T1 的漏极，以及第一节点 P1 之间，传输模块 071 用于对第一开关晶体管 T1 的漏极的信号进行滤波降噪并且然后将其输出到第一节点 P1。

具体地，传输模块 071 在高电平信号端 VGH 的控制下处于常开状态，并且作为单管传输门，将第一开关晶体管 T1 反馈的扫描信号传递到第一节点 P1，并对第一开关晶体管 T1 漏极的信号进行滤波以进一步降低信号的噪声。传输模块 071 同时也降低了信号的电位，避免由于第一节点 P1 的电位过高而造成第一电容充放电，进而造成扫描信号输出端 Out 输出噪声信号的问题。

在具体实施时，在上述移位寄存器中，如图 5 所示，传输模块 071 包括第二开关晶体管 T2。第二开关晶体管 T2 的栅极与高电平信号端 VGH 相连，源极与第一开关晶体管 T1 的漏极相连，并且漏极与第一节点 P1 相连。

由于第二开关晶体管 T2 的栅极与高电平信号端 VGH 相连，因此第

二开关晶体管 T2 处于常开状态，并且作为单管传输门，对第一开关晶体管 T1 的漏极的信号进行滤波降噪。第二开关晶体管 T2 同时还使第一开关晶体管 T1 的漏极与第一节点 P1 导通，从而对第一开关晶体管 T1 反馈的扫描信号进行滤波降噪并且然后将其传递到第一节点 P1。

在具体实施时，在上述移位寄存器中，如图 6a 和图 6b 所示，输出控制模块 06 包括第一输出控制模块 061 和第二输出控制模块 062；其中，

第一输出控制模块 061 连接于第一节点 P1、第二时钟信号端 CLKB，以及扫描信号输出端 Out 之间。第一输出控制模块 061 用于在第一节点 P1 的控制下，控制扫描信号输出端 Out 输出第二时钟信号端 CLKB 的信号；

第二输出控制模块 062 连接于低电平信号端 VGL、第二节点 P2，以及扫描信号输出端 Out 之间，第二输出控制模块 062 用于在第二节点 P2 的控制下，控制扫描信号输出端 Out 输出低电平信号端 VGL 的信号。

具体地，由于第一输出控制模块 061 和第二输出控制模块 062 分别在第一节点 P1 和第二节点 P2 的控制下对应输出第二时钟信号端 CLKB 的信号和低电平信号端 VGL 的信号，因此能够使得移位寄存器在对应时间段向对应栅线输出扫描信号，从而驱动显示面板实现逐行扫描。

在具体实施时，在上述移位寄存器中，如图 6a 和图 6b 所示，第一输出控制模块 061 包括第三开关晶体管 T3 和第一电容 C1。其中，第三开关晶体管 T3 的栅极与第一节点 P1 相连，源极与第二时钟信号端 CLKB 相连，漏极与扫描信号输出端 Out 相连；第一电容 C1 连接于第一节点 P1 与扫描信号输出端 Out 之间。

当第一节点 P1 的电位被拉高时，第三开关晶体管 T3 处于导通状态，导通的第三开关晶体管 T3 将第二时钟信号端 CLKB 与扫描信号输出端 Out 导通，同时第一电容 C1 对第一节点 P1 的电位起到自举作用，以进一步保持第一节点 P1 的电位。

在具体实施时，在上述移位寄存器中，如图 6a 所示，第二输出控制模块 062 包括第四开关晶体管 T4 和第五开关晶体管 T5。其中，第四开关晶体管 T4 的栅极与第二节点 P2 相连，源极与低电平信号端 VGL 相连，漏极与扫描信号输出端 Out 相连；第五开关晶体管 T5 的栅极与第二节点 P2 相连，源极和漏极分别与低电平信号端 VGL 相连。

当第二节点 P2 的电位被拉高时，第四开关晶体管 T4 和第五开关晶体

管 T5 处于导通状态，导通的第四开关晶体管 T4 将低电平信号端 VGL 与扫描信号输出端 Out 导通，同时导通的第五开关晶体管 T5 可以等效为电容，以进一步保持第二节点 P2 的电位，从而降低第二节点 P2 的电压信号的噪声。

在具体实施时，在上述移位寄存器中，如图 6b 所示，第二输出控制模块 062 包括第四开关晶体管 T4 和第二电容 C2。其中，第四开关晶体管 T4 的栅极与第二节点 P2 相连，源极与低电平信号端 VGL 相连，漏极与扫描信号输出端 Out 相连；第二电容 C2 连接于第二节点 P2 和低电平信号端 VGL 之间。

当第二节点 P2 的电位被拉高时，第四开关晶体管 T4 处于导通状态，导通的第四开关晶体管 T4 将低电平信号端 VGL 与扫描信号输出端 Out 导通，同时第二电容 C2 可以进一步保持第二节点 P2 的电位，从而降低第二节点 P2 的电压信号的噪声。

在具体实施时，在上述移位寄存器中，如图 7a 和图 7b 所示，输入模块 01 包括第六开关晶体管 T6。第六开关晶体管 T6 的栅极与信号输入端 Input 相连，源极与第一参考信号端 CN 相连，漏极分别与第一开关晶体管 T1 的漏极和第二开关晶体管 T2 的源极相连。

当信号输入端 Input 输入信号时，第六开关晶体管 T6 处于导通状态。导通的第六开关晶体管 T6 将第一参考信号端 CN 与第二开关晶体管 T2 的源极导通，通过第二开关晶体管 T2 将第一参考信号端 CN 的信号传递给第一节点 P1。

在具体实施时，在上述移位寄存器中，如图 7a 和图 7b 所示，复位模块 02 包括第七开关晶体管 T7。第七开关晶体管 T7 的栅极与复位信号端 Reset 相连，源极与第二参考信号端 CNB 相连，漏极分别与第一开关晶体管 T1 的漏极和第二开关晶体管 T2 的源极相连。

当复位信号端 Reset 输入信号时，第七开关晶体管 T7 处于导通状态。导通的第七开关晶体管 T7 将第二参考信号端 CNB 与第二开关晶体管 T2 的源极导通，并且通过第二开关晶体管 T2 将第二参考信号端 CNB 的信号传递给第一节点 P1。

在具体实施时，在上述移位寄存器中，如图 7a 和图 7b 所示，第一下拉模块 04 包括第八开关晶体管 T8。第八开关晶体管 T8 的栅极与第二节点 P2 相连，源极与低电平信号端 VGL 相连，漏极分别与第一开关晶体管

T1 的漏极和所述第二开关晶体管 T2 的源极相连。

当第二节点 P2 的电位被拉高时，第八开关晶体管 T8 处于导通状态。导通的第八开关晶体管 T8 将第二开关晶体管 T2 的源极与低电平信号端 VGL 导通，进而将第二开关晶体管 T2 的源极的电位拉低。

在具体实施时，在上述移位寄存器中，如图 7a 和图 7b 所示，上拉模块 03 包括第九开关晶体管 T9。第九开关晶体管 T9 的栅极和源极分别与第一时钟信号端 CLK 相连，漏极与第二节点 P2 相连。

当第一时钟信号端 CLK 输入高电平信号时，第九开关晶体管 T9 处于导通状态，导通的第九开关晶体管 T9 将第一时钟信号端 CLK 与第二节点 P2 导通，进而将第二节点 P2 的电位拉高。

在具体实施时，在上述移位寄存器中，如图 7a 和图 7b 所示，第二下拉模块 05 包括第十开关晶体管 T10。第十开关晶体管 T10 的栅极与第一节点 P1 相连，源极与低电平信号端 VGL 相连，漏极与第二节点 P2 相连。

当第一节点 P1 的电位被拉高时，第十开关晶体管 T10 处于导通状态。导通的第十开关晶体管 T10 将第二节点 P2 与低电平信号端 VGL 导通，进而将第二节点 P2 的电位拉低。

需要说明的是，在本公开的上述实施例中提到的开关晶体管可以是薄膜晶体管（TFT，Thin Film Transistor），也可以是金属氧化物半导体场效应管（MOS，Metal Oxide Scmiconductor），在此不做限定。在具体实施中，这些晶体管的源极和漏极可以互换，不做具体区分。在描述具体实施例时以薄膜晶体管为例进行说明。

另外，由于在本公开的实施例中提供的上述移位寄存器中信号输入端 Input 和复位信号端 Reset 为对称设计，可以实现功能互换，因此本公开实施例提供的上述移位寄存器可以实现双向扫描。

一般地，在启动正向扫描时，第一参考信号端 CN 提供高电平信号，第二参考信号端 CNB 提供低电平信号。一般地，在反向扫描时，第一参考信号端 CN 提供低电平信号，第二参考信号端 CNB 提供高电平信号。

下面结合图 7a 所示的移位寄存器以及图 8 所示的图 7a 的输入输出时序图，以正向扫描为例对本公开实施例提供的移位寄存器的工作过程作以描述。具体地，选取如图 8 所示的输入输出时序图中的 t1～t3 三个阶段。下述描述中以 1 表示高电平信号，0 表示低电平信号。

在 t1 阶段，Input = 1，CLKB = 0，CLK=0，Reset = 0，CN=1，CNB=0。

由于 Input=1，因此第六开关晶体管 T6 导通。导通的第六开关晶体管 T6 将第一参考信号端 CN 与第二开关晶体管 T2 的源极导通，进而将第二开关晶体管 T2 的源极的电位拉高，。由于第二开关晶体管 T2 处于常开状态，因此第一节点 P1 的电位也被拉高，同时对第一电容 C1 充电。由于第一节点 P1 的电位被拉高，因此，第三开关晶体管 T3 和第十开关晶体管 T10 处于导通状态。导通的第三开关晶体管 T3 将第二时钟信号端 CLKB 与扫描信号输出端 Out 导通。由于此时 CLKB=0，因此扫描信号输出端 Out 输出低电平信号。导通的第十开关晶体管 T10 将第二节点 P2 与低电平信号端 VGL 导通，从而拉低第二节点 P2 的电位。t1 阶段为充电阶段。

在 t2 阶段，Input = 0，CLKB = 1，CLK=0，Reset = 0，CN=1，CNB=0。由于第一电容 C1 的自举作用，第一节点 P1 的电位进一步升高，因此第三开关晶体管 T3 仍处于导通状态。而此时 CLKB=1，因此，扫描信号输出端 Out 输出高电平信号。同时，第十开关晶体管 T10 仍处于导通状态，因此第二节点 P2 的电位继续被拉低。t2 阶段为扫描信号输出阶段。

在 t3 阶段，Input = 0，CLKB = 0，CLK=1，Reset = 1，CN=1，CNB=0。由于 Reset =1，因此第七开关晶体管 T7 导通。导通的第七开关晶体管 T7 将第二参考信号端 CNB 与第二开关晶体管 T2 的源极导通。由于 CNB=0，因此将第二开关晶体管 T2 的源极的电位拉低。由于第二开关晶体管 T2 处于常开状态，因此第一节点 P1 的电位也被拉低。由于第一节点 P1 的电位被拉低，因此，第三开关晶体管 T3 和第十开关晶体管 T10 处于截止状态。由于 CLK =1，因此第九开关晶体管 T9 导通。导通的第九开关晶体管 T9 将第一时钟信号端 CLK 与第二节点 P2 导通。因此，第二节点 P2 的电位被拉高。此时，第四开关晶体管 T4 处于导通状态。导通的第四开关晶体管 T4 将低电平信号端 VGL 与扫描信号输出端 Out 导通，因此扫描信号输出端 Out 输出低电平信号。t3 阶段为非扫描信号输出阶段。

在后续时间段，扫描信号输出端 Out 将一直输出低电平信号，直到某个时间段信号输入端 Input 再次输入高电平信号时，则该移位寄存器将重复上述工作工程。

基于同一发明构思，本公开的第二方面提供了一种栅极驱动电路，包括级联的多个本公开实施例提供的上述移位寄存器，。其中除第一个移位寄存器和最后一个移位寄存器之外，其余每个移位寄存器的扫描信号输出端均向与其相邻的下一个移位寄存器的信号输入端输入触发信号，并向与

其相邻的上一个移位寄存器的复位信号端输入复位信号；第一个移位寄存器的扫描信号输出端向第二个移位寄存器的信号输入端输入触发信号；最后一个移位寄存器的扫描信号输出端向自身以及上一个移位寄存器的复位信号端输入复位信号。

为了方便说明，图 9 中示出了 N 个移位寄存器，分别为第 1 级移位寄存器、第 2 级移位寄存器、第 3 级移位寄存器、第 4 级移位寄存器……第 N-3 级移位寄存器、第 N-2 级移位寄存器、第 N-1 级移位寄存器、第 N 级移位寄存器。其中，第 N-1 级移位寄存器的信号输出端 Out 不仅向与其连接的栅线输出栅开启信号，还向第 N-2 级移位寄存器输出复位信号，同时还向第 N 级移位寄存器输出触发信号。

具体地，上述栅极驱动电路中的每个移位寄存器与本公开提供的上述移位寄存器在功能和结构上均相同，重复之处不再赘述。

基于同一发明构思，本公开的第三方面提供了一种显示面板，包括本公开实施例提供的上述栅极驱动电路。由于该显示面板的原理与上述栅极驱动电路相似，因此该显示面板的实施可以参见上述栅极驱动电路的实施，重复之处不再赘述。

基于同一发明构思，本公开的第四方面提供了一种显示装置，包括本公开实施例提供的上述显示面板。该显示装置可以应用于手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。由于该显示装置的原理与显示面板相似，因此该显示装置的实施可以参见上述显示面板的实施，重复之处不再赘述。

本公开实施例提供了一种移位寄存器、栅极驱动电路、显示面板及显示装置，该移位寄存器包括输入模块、复位模块、上拉模块、第一下拉模块、第二下拉模块，输出控制模块，以及输出降噪模块；其中，输入模块用于在信号输入端的控制下拉高第一节点的电位；复位模块用于在复位信号端的控制下拉低第一节点的电位；上拉模块用于在第一时钟信号端的控制下拉高第二节点的电位；第一下拉模块用于在第二节点的控制下拉低第一节点的电位；第二下拉模块用于在第一节点的控制下拉低第二节点的电位；输出控制模块用于在第一节点和第二节点的控制下，控制扫描信号输出端选择输出第二时钟信号端的信号或低电平信号端的信号。通过这样的布置，实现了移位寄存器输出扫描信号的功能。同时，输出降噪模块在扫描信号输出端输出扫描信号时，将扫描信号反馈给输出控制模块的第一控

制端，从而降低输出控制模块的第一控制端的信号噪声，进而降低扫描信号输出端输出的扫描信号的噪声。以此方式增强了信号的无损耗传输，降低功耗，从而提高显示面板的良率。

显然，本领域的技术人员可以对本公开进行各种改动和变型而不脱离本公开的精神和范围。这样，倘若本公开的这些修改和变型属于本公开权利要求及其等同技术的范围之内，则本公开也意图包含这些改动和变型在内。

权 利 要 求

1. 一种移位寄存器，包括：输入模块、复位模块、上拉模块、第一下拉模块、第二下拉模块、输出控制模块，以及输出降噪模块；其中，

所述输入模块的输入端与第一参考信号端相连，控制端与信号输入端相连，输出端与第一节点相连，所述输入模块用于在所述信号输入端的控制下拉高所述第一节点的电位；

所述复位模块的输入端与第二参考信号端相连，控制端与复位信号端相连，输出端与所述第一节点相连，所述复位模块用于在所述复位信号端的控制下拉低所述第一节点的电位；

所述上拉模块的输入端和控制端分别与第一时钟信号端相连，输出端与第二节点相连，所述上拉模块用于在所述第一时钟信号端的控制下拉高所述第二节点的电位；

所述第一下拉模块的输入端与低电平信号端相连，控制端与所述第二节点相连，输出端与所述第一节点相连，所述第一下拉模块用于在所述第二节点的控制下拉低所述第一节点的电位；

所述第二下拉模块的输入端与低电平信号端相连，控制端与所述第一节点相连，输出端与所述第二节点相连，所述第二下拉模块用于在所述第一节点的控制下拉低所述第二节点的电位；

所述输出控制模块的第一输入端与所述低电平信号端相连，第二输入端与第二时钟信号端相连，第一控制端与所述第一节点相连，第二控制端与所述第二节点相连，输出端与所述扫描信号输出端相连，所述输出控制模块用于在所述第一节点和所述第二节点的控制下，控制所述扫描信号输出端选择输出所述第二时钟信号端的信号或所述低电平信号端的信号；

所述输出降噪模块的输入端与高电平信号端相连，控制端与所述扫描信号输出端相连，输出端与所述第一节点相连，所述输出降噪模块用于在所述扫描信号输出端输出扫描信号时将扫描信号反馈给所述输出控制模块的第一控制端。

2. 如权利要求 1 所述的移位寄存器，其中，所述输出降噪模块包括第一开关晶体管，

所述第一开关晶体管的栅极与所述扫描信号输出端相连，源极与所述高电平信号端相连，漏极与所述第一节点相连。

3. 如权利要求 2 所述的移位寄存器，其中，所述输出降噪模块还包括传输模块，

所述传输模块连接于所述高电平信号端、所述输入模块的输出端、所述复位模块的输出端、所述第一下拉模块的输出端、所述第一开关晶体管的漏极，以及所述第一节点之间，所述传输模块用于对所述第一开关晶体管的漏极的信号进行滤波降噪并且然后将其输出到所述第一节点。

4. 如权利要求 3 所述的移位寄存器，其中，所述传输模块包括第二开关晶体管，

所述第二开关晶体管的栅极与所述高电平信号端相连，源极与所述第一开关晶体管的漏极相连，漏极与所述第一节点相连。

5. 如权利要求 1 所述的移位寄存器，其中，所述输出控制模块包括第一输出控制模块和第二输出控制模块；其中，

所述第一输出控制模块连接于所述第一节点、所述第二时钟信号端，以及所述扫描信号输出端之间，所述第一输出控制模块用于在所述第一节点的控制下，控制所述扫描信号输出端输出所述第二时钟信号端的信号；

所述第二输出控制模块连接于所述低电平信号端、所述第二节点，以及所述扫描信号输出端之间，所述第二输出控制模块用于在所述第二节点的控制下，控制所述扫描信号输出端输出所述低电平信号端的信号。

6. 如权利要求 5 所述的移位寄存器，其中，所述第一输出控制模块包括：第三开关晶体管和第一电容；其中，

所述第三开关晶体管的栅极与所述第一节点相连，源极与所述第二时钟信号端相连，漏极与所述扫描信号输出端相连；

所述第一电容连接于所述第一节点与所述扫描信号输出端之间。

7. 如权利要求 5 所述的移位寄存器，其中，所述第二输出控制模块包括第四开关晶体管和第五开关晶体管；其中，

所述第四开关晶体管的栅极与所述第二节点相连，源极与所述低电平信号端相连，漏极与所述扫描信号输出端相连；

所述第五开关晶体管的栅极与所述第二节点相连，源极和漏极分别与所述低电平信号端相连。

8. 如权利要求 5 所述的移位寄存器，其中，所述第二输出控制模块包括第四开关晶体管和第二电容；其中，

所述第四开关晶体管的栅极与所述第二节点相连，源极与所述低电平

信号端相连，漏极与所述扫描信号输出端相连；

所述第二电容连接于所述第二节点和所述低电平信号端之间。

9. 如权利要求 4 所述的移位寄存器，其中，所述输入模块包括第六开关晶体管，

所述第六开关晶体管的栅极与所述信号输入端相连，源极与所述第一参考信号端相连，漏极分别与所述第一开关晶体管的漏极和所述第二开关晶体管的源极相连。

10. 如权利要求 4 所述的移位寄存器，其中，所述复位模块包括第七开关晶体管，

所述第七开关晶体管的栅极与所述复位信号端相连，源极与所述第二参考信号端相连，漏极分别与所述第一开关晶体管的漏极和所述第二开关晶体管的源极相连。

11. 如权利要求 4 所述的移位寄存器，其中，所述第一下拉模块包括第八开关晶体管，

所述第八开关晶体管的栅极与所述第二节点相连，源极与所述低电平信号端相连，漏极分别与所述第一开关晶体管的漏极和所述第二开关晶体管的源极相连。

12. 如权利要求 1-11 任一项所述的移位寄存器，其中，所述上拉模块包括第九开关晶体管，

所述第九开关晶体管的栅极和源极分别与所述第一时钟信号端相连，漏极与所述第二节点相连。

13. 如权利要求 1-11 任一项所述的移位寄存器，其中，所述第二下拉模块包括第十开关晶体管，

所述第十开关晶体管的栅极与所述第一节点相连，源极与所述低电平信号端相连，漏极与所述第二节点相连。

14. 一种栅极驱动电路，包括级联的多个如权利要求 1-13 任一项所述的移位寄存器，其中除第一个移位寄存器和最后一个移位寄存器之外，其余每个移位寄存器的扫描信号输出端均向与其相邻的下一个移位寄存器的信号输入端输入触发信号，并向与其相邻的上一个移位寄存器的复位信号端输入复位信号；第一个移位寄存器的扫描信号输出端向第二个移位寄存器的信号输入端输入触发信号；最后一个移位寄存器的扫描信号输出端向自身以及上一个移位寄存器的复位信号端输入复位信号。

15. 一种显示面板，包括如权利要求 14 所述的栅极驱动电路。

16. 一种显示装置，包括如权利要求 15 所述的显示面板。

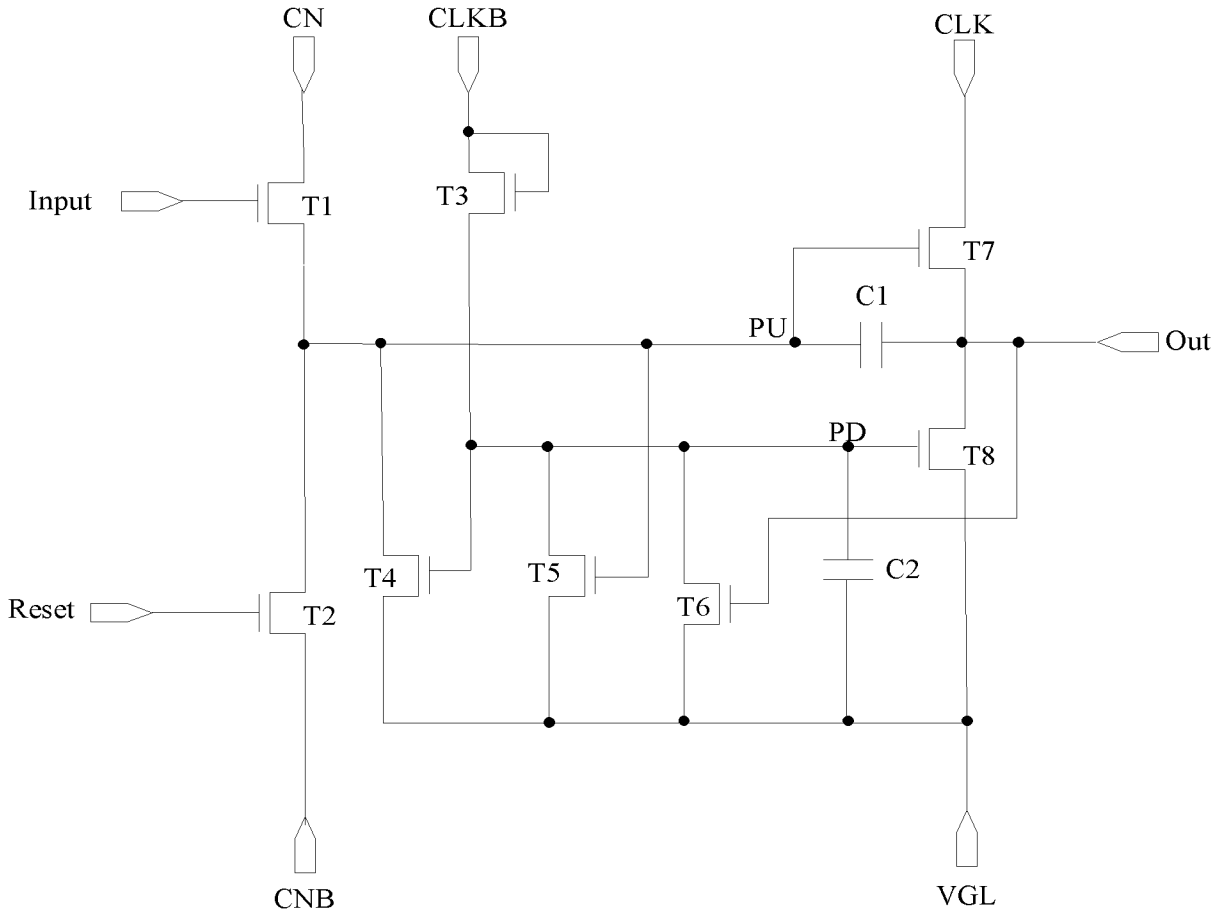

CN
CLKB
CLK
Input
T1
T3
T7
C1
PU
Out
PD
T8
T4
T5
T6
C2
Reset
T2
CNB
VGL

图 1

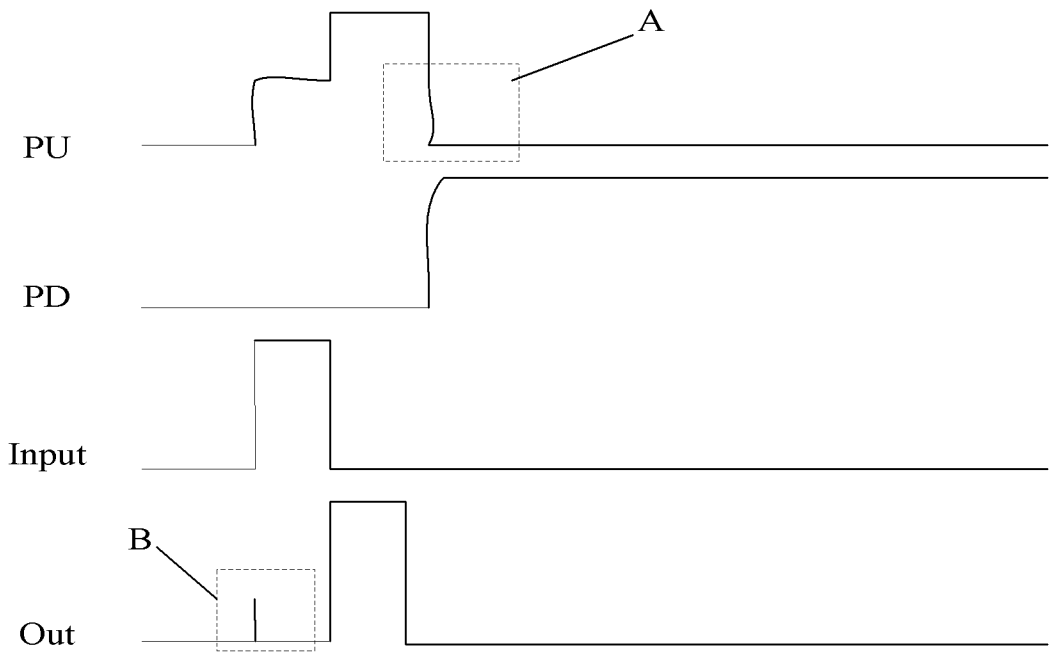

A
PU
PD
Input
B
Out

图 2

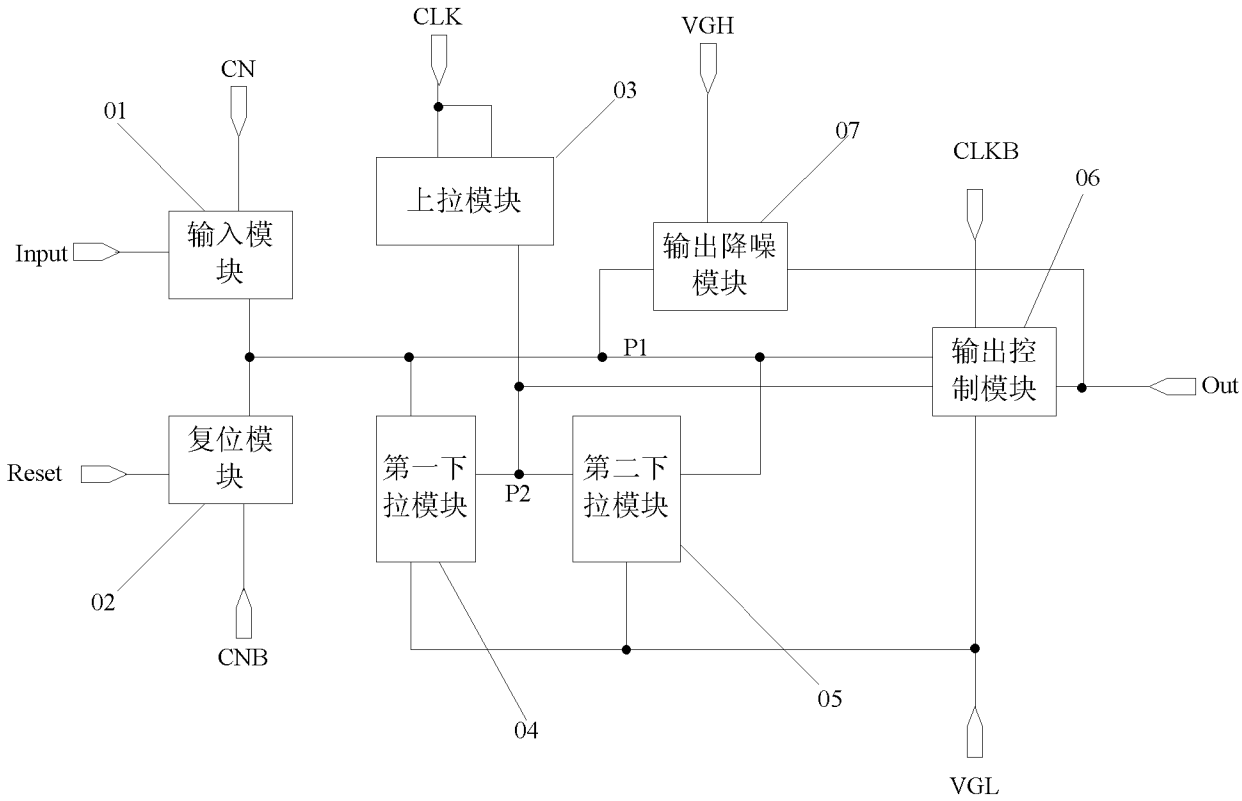

CLK
VGH
CN
01
03
07
CLKB
06
上拉模块
Input
输入模块
输出降噪模块
P1
输出控制模块
Out
复位模块
第一下拉模块
P2
第二下拉模块
Reset
02
CNB
04
05
VGL

图 3

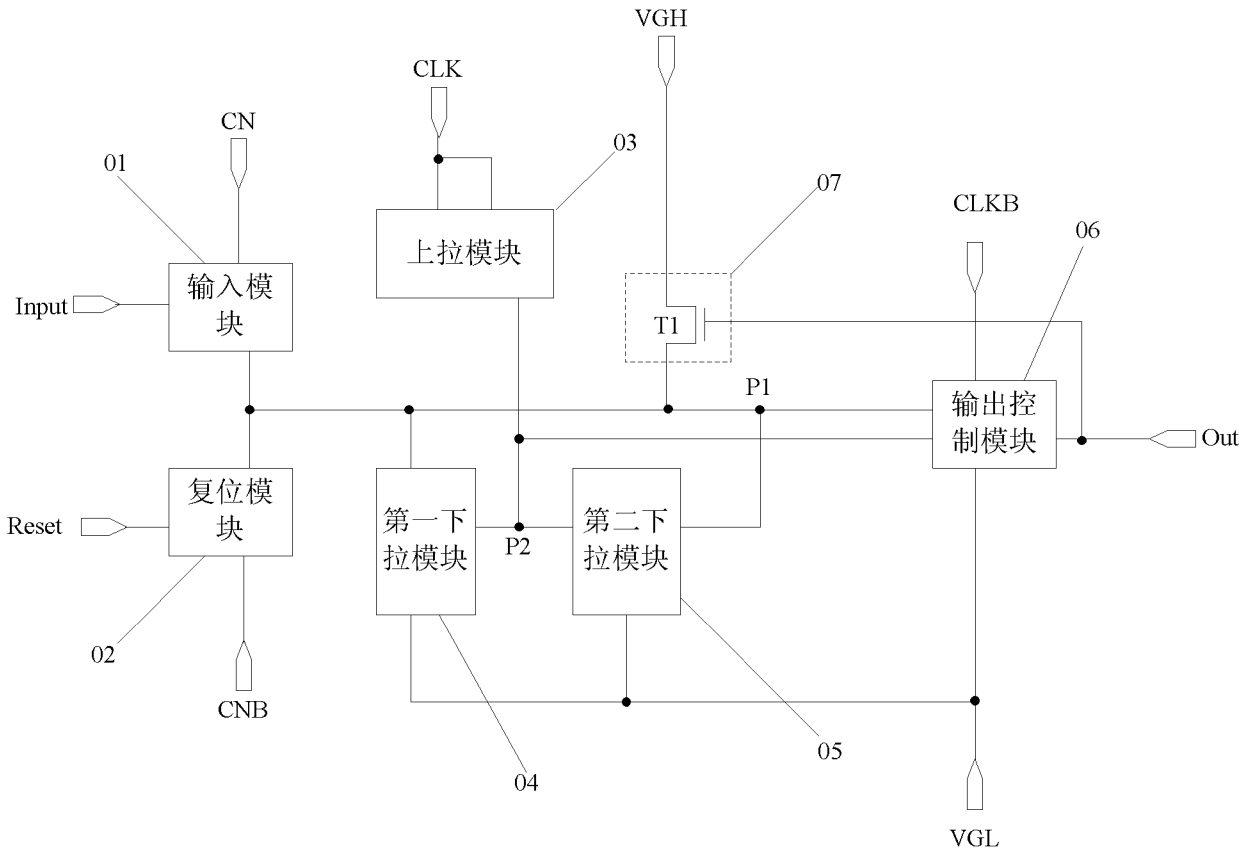

VGH
CLK
CN
01
03
07
CLKB
06
上拉模块
Input
输入模块
T1
P1
输出控制模块
Out
复位模块
第一下拉模块
P2
第二下拉模块
Reset
02
CNB
04
05
VGL

图 4

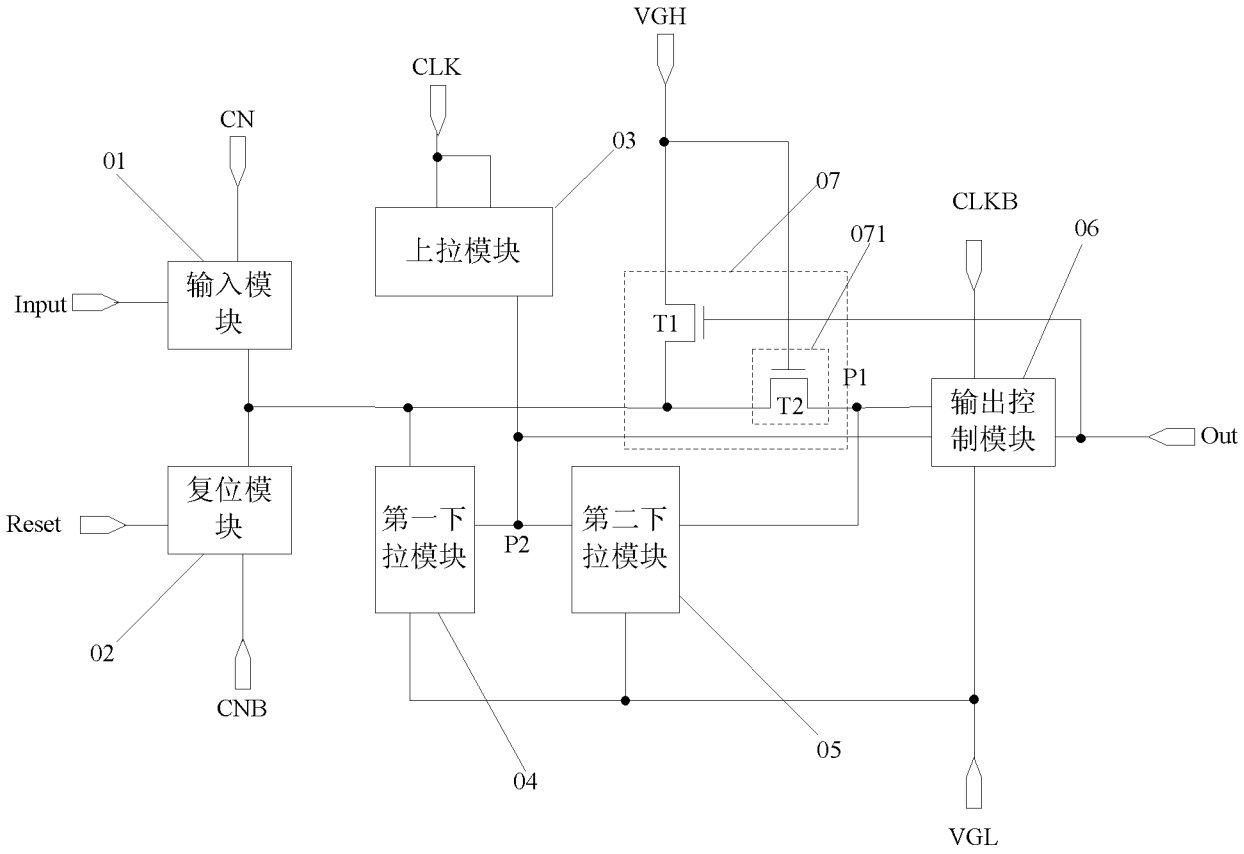

VGH
CLK
CN
01
03
07
CLKB
071
06
上拉模块
Input
输入模块
T1
T2
P1
输出控制模块
Out
复位模块
Reset
第一下拉模块
P2
第二下拉模块
02
CNB
04
05
VGL

图 5

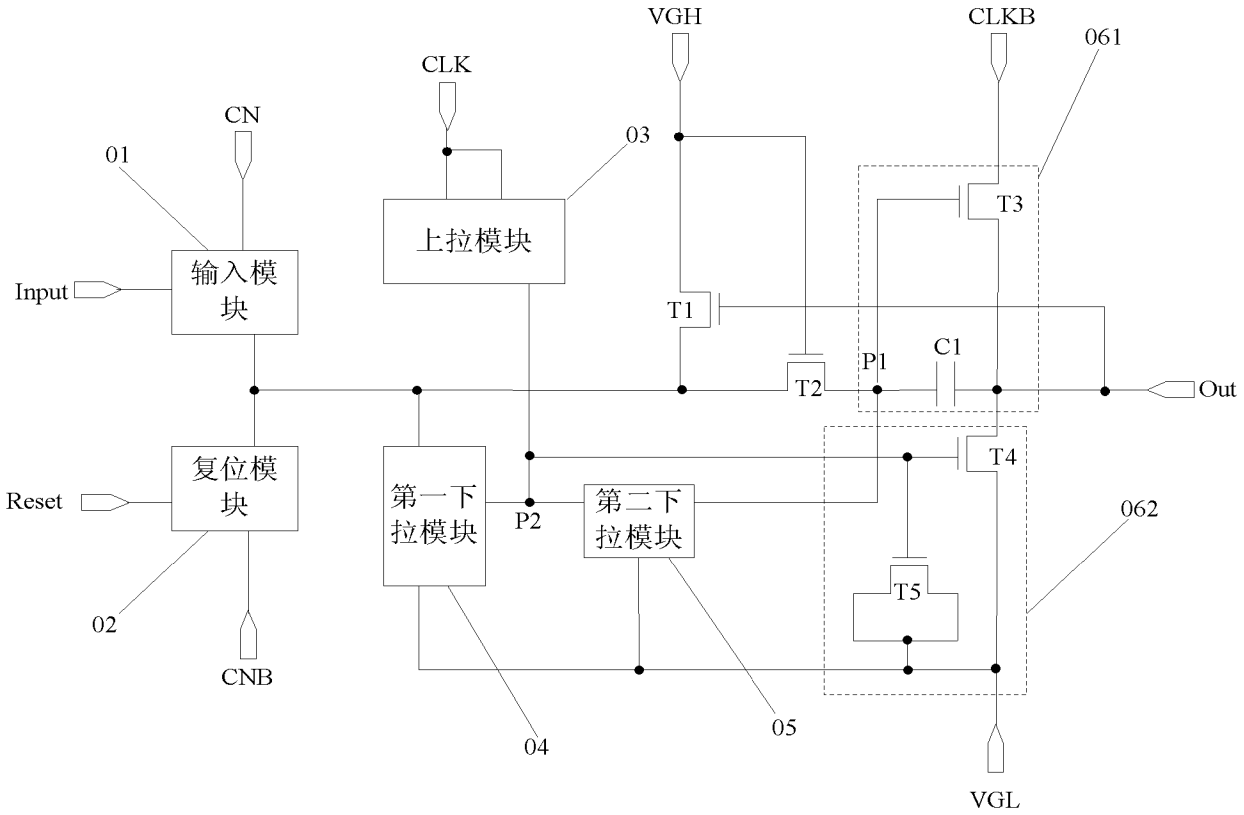

VGH
CLKB
061
CLK
CN
01
03
上拉模块
T3
Input
输入模块
T1
C1
P1
T2
Out
T4
复位模块
Reset
第一下拉模块
P2
第二下拉模块
062
T5
02
CNB
04
05
VGL

图 6a

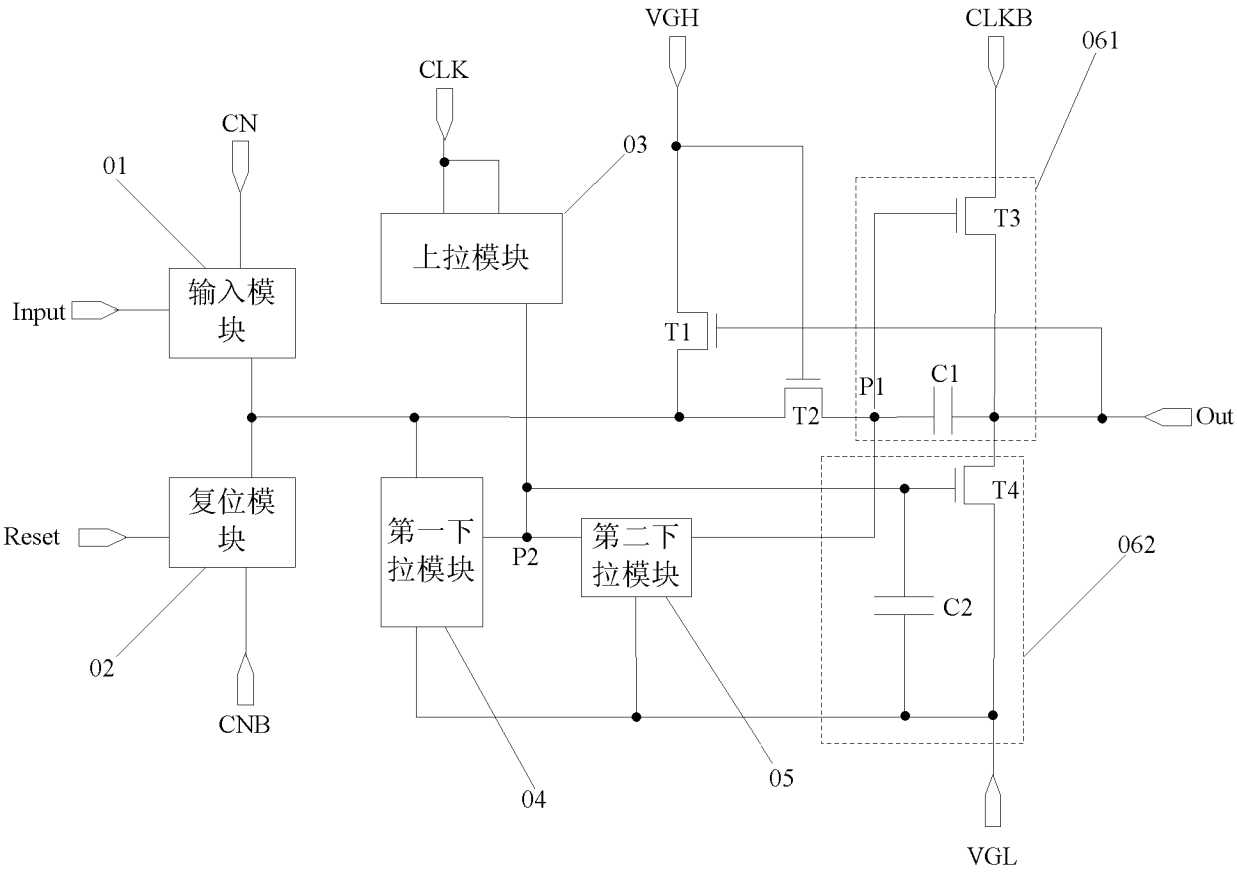

VGH
CLKB
061
CLK
CN
03
01
上拉模块
T3
Input
输入模块
T1
P1
C1
T2
Out
T4
复位模块
第一下拉模块
第二下拉模块
Reset
P2
062
C2
02
CNB
04
05
VGL

图 6b

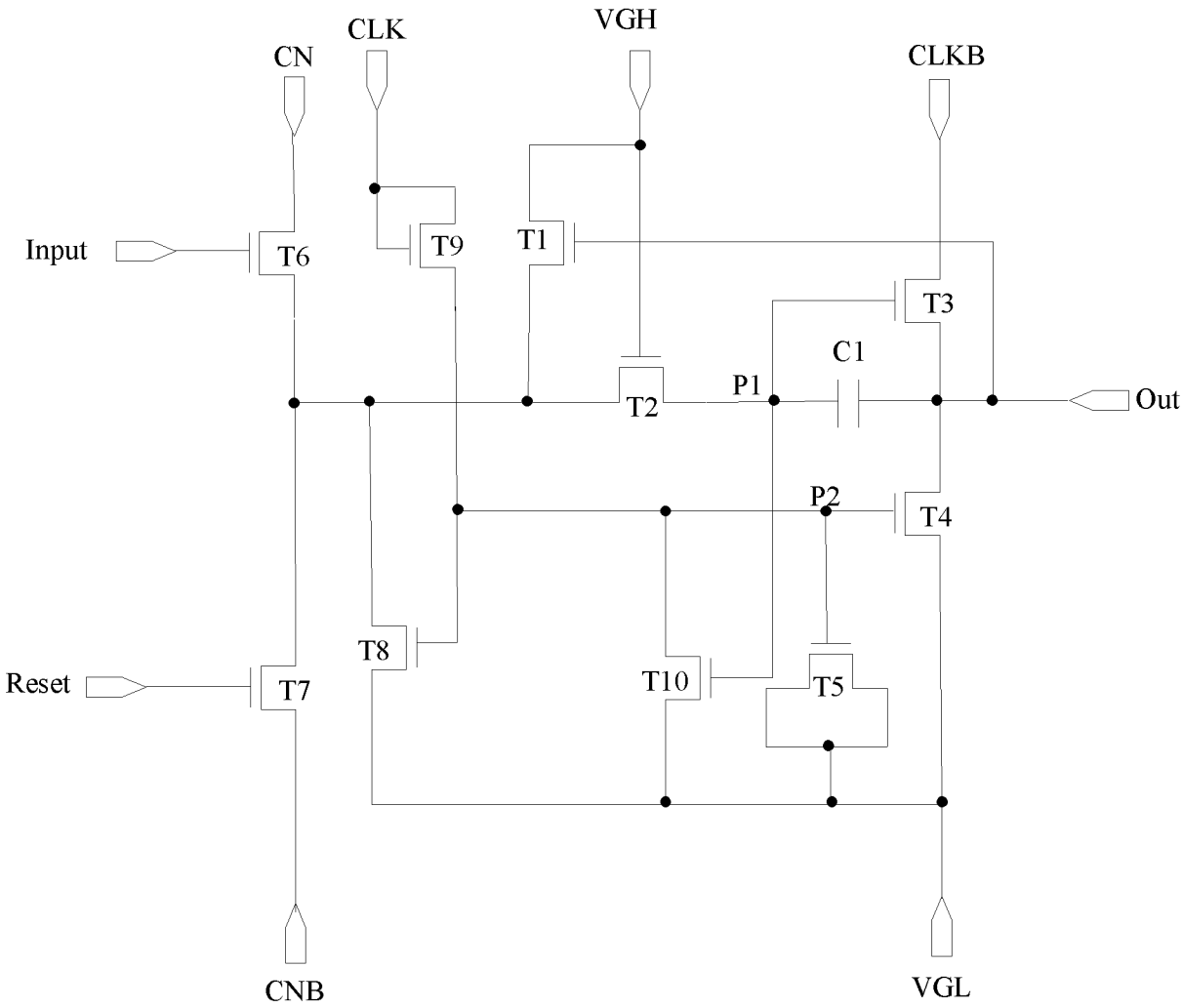

CN
CLK
VGH
CLKB
Input
T6
T9
T1
T3
C1
P1
T2
Out
P2
T4
T8
Reset
T7
T10
T5
CNB
VGL

图 7a

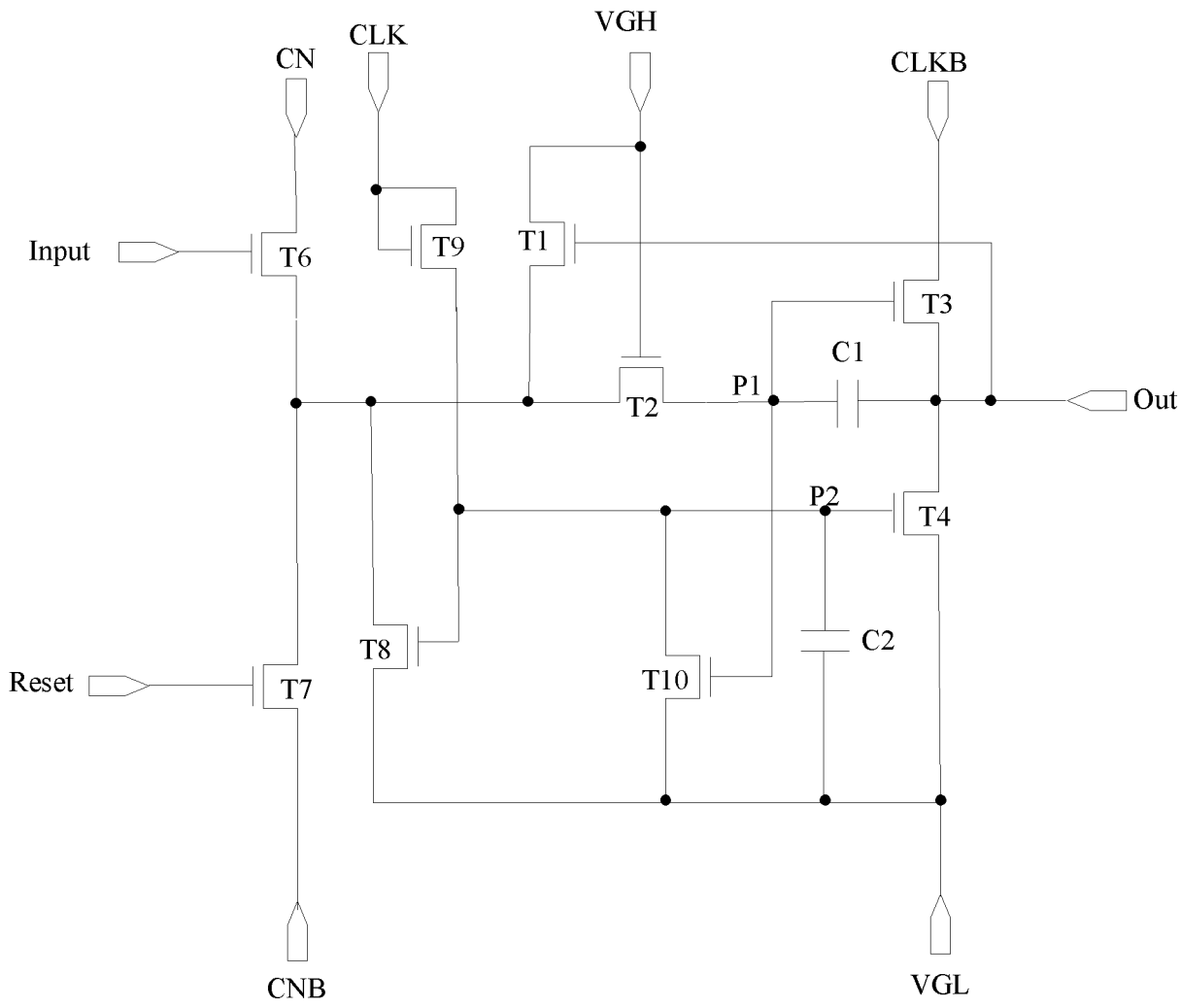

CN
CLK
VGH
CLKB
Input
T6
T9
T1
T3
C1
P1
T2
Out
P2
T4
T8
C2
Reset
T7
T10
CNB
VGL

图 7b

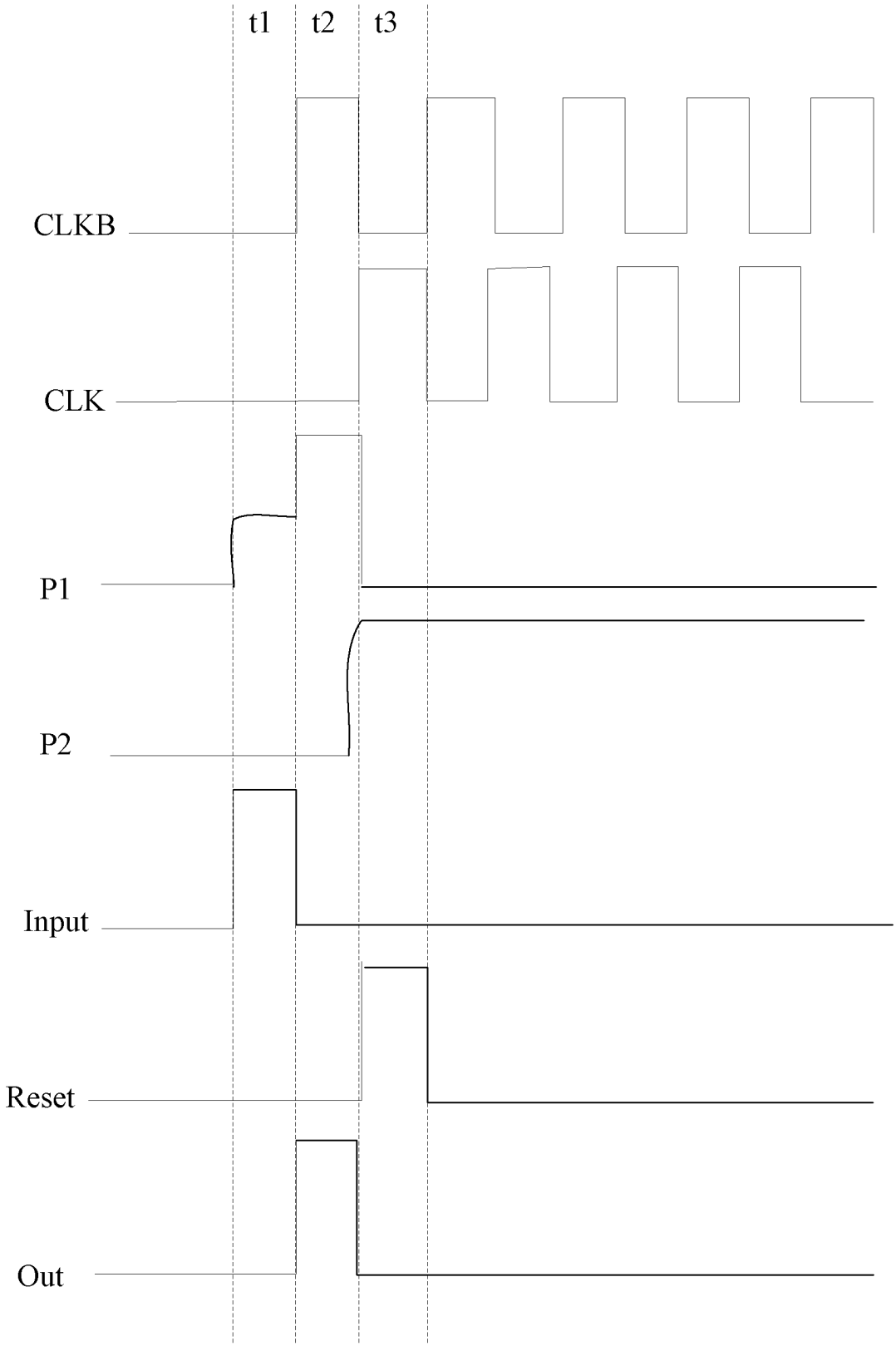


图 8

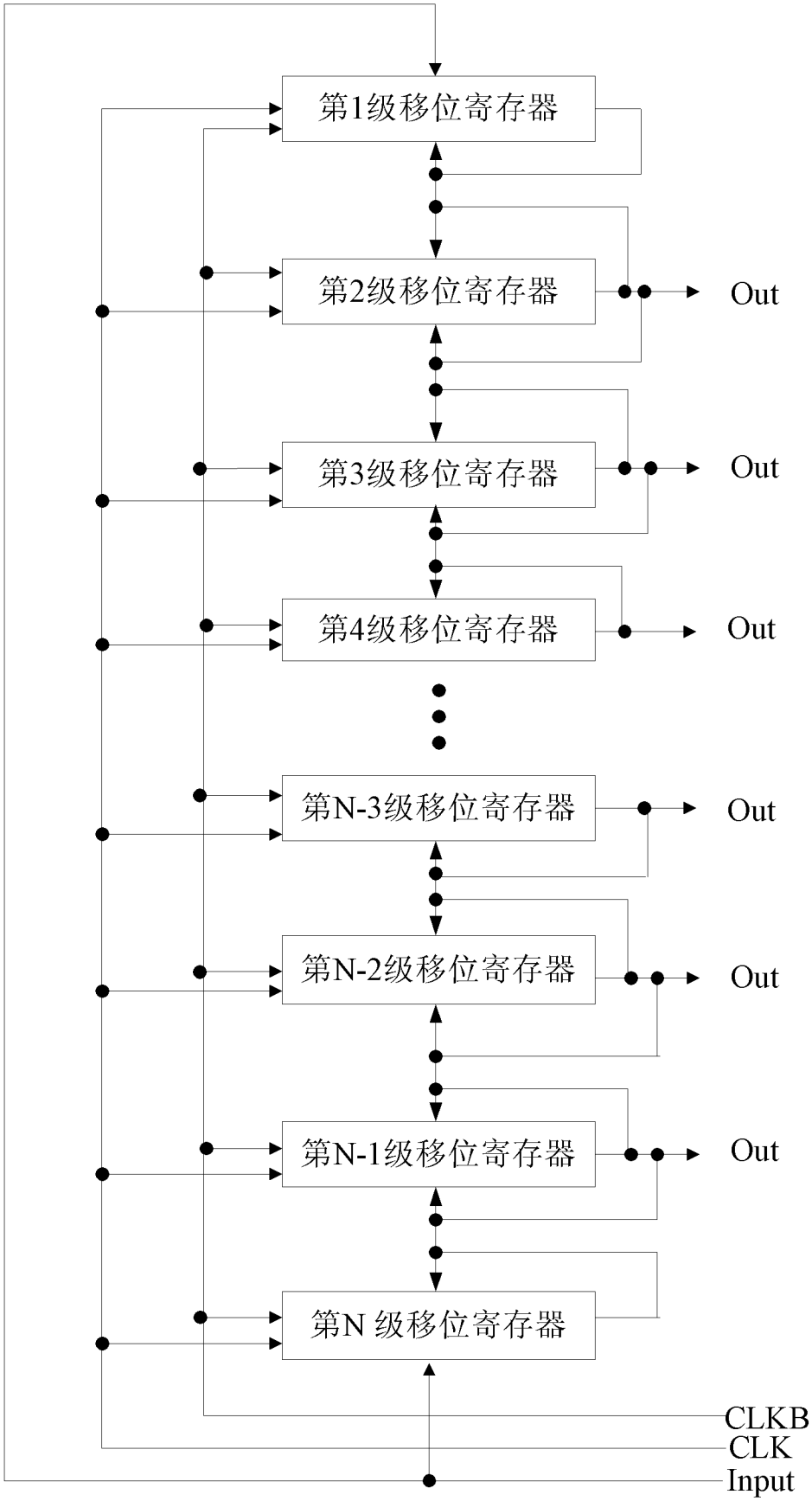

第1级移位寄存器
第2级移位寄存器
第3级移位寄存器
第4级移位寄存器
第N-3级移位寄存器
第N-2级移位寄存器
第N-1级移位寄存器
第N 级移位寄存器
Out
Out
Out
Out
Out
Out
CLKB
CLK
Input

图 9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/084277

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: gate line, gate electrode, react, reflect, noise reduction, pull up, pull down, promote, synchronize, electric potential, display, panel, shift+, mov+, step+, circuilat+, register?, driv+, gat+, scan+, sweep+, feedback, backfeed, return+, coupl+, noise, reduct+, tim+, clock, reset+, input, output, voltage, pull+, down, up

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 104700805 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 10 June 2015 (10.06.2015), description, paragraphs 0056-0106, and figures 3-9	1-16
A	CN 104299594 A (BOE TECHNOLOGY GROUP CO., LTD.), 21 January 2015 (21.01.2015), description, paragraphs 0047-0063, and figures 3-6	1-16
A	CN 103927972 A (SOUTH CHINA UNIVERSITY OF TECHNOLOGY et al.), 16 July 2014 (16.07.2014), the whole document	1-16
A	CN 103700356 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.), 02 April 2014 (02.04.2014), the whole document	1-16
A	CN 103295511 A (SHANGHAI AVIC OPTOELECTRONICS CO. LTD.), 11 September 2013 (11.09.2013), the whole document	1-16
A	US 2010289780 A1 (CHANG, L.H. et al.), 18 November 2010 (18.11.2010), the whole document	1-16

☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
02 December 2015 (02.12.2015)	**10 December 2015 (10.12.2015)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **ZHANG, Peng** Telephone No.: (86-10) **010-61648477**

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2015/084277

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2007188436 A1 (WEI, C.C. et al.), 16 August 2007 (16.08.2007), the whole document	1-16

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/084277

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104700805 A	10 June 2015	None	
CN 104299594 A	21 January 2015	None	
CN 103927972 A	16 July 2014	None	
CN 103700356 A	02 April 2014	WO 2015096372 A1	02 July 2015
CN 103295511 A	11 September 2013	None	
US 2010289780 A1	18 November 2010	US 7791582 B2	07 September 2010
		US 2007164971 A1	19 July 2007
		TW I326445 B	21 June 2010
US 2007188436 A1	16 August 2007	TW I325132 B	21 May 2010
		US 7450681 B2	11 November 2008

国际检索报告

国际申请号
PCT/CN2015/084277

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNKI,CNPAT,WPI,EPODOC: 显示，面板，移位，移动，寄存器，寄入器，驱动，栅极，栅线，闸极，扫描，反馈，回馈，反应，反映，回授，反授，回归，降噪，降低噪声，上拉，下拉，提升，降低，复位，输入，输出，时钟，定时，计时，同步，校时，调时，电位，电压 display,panel,shift+,mov+,step+,circuilat+,register?,driv+,gat+,scan+,sweep+,feedback,backfeed,return+,coupl+,noise,reduct+,tim+,clock,reset+,input,output,voltage,pull+,down,up

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 104700805 A (京东方科技集团股份有限公司 等) 2015年 6月 10日 (2015-06-10) 说明书第0056-0106段、附图3-9	1-16
A	CN 104299594 A (京东方科技集团股份有限公司) 2015年 1月 21日 (2015-01-21) 说明书第0047-0063段、附图3-6	1-16
A	CN 103927972 A (华南理工大学 等) 2014年 7月 16日 (2014-07-16) 全文	1-16
A	CN 103700356 A (合肥京东方光电科技有限公司 等) 2014年 4月 2日 (2014-04-02) 全文	1-16
A	CN 103295511 A (上海中航光电子有限公司) 2013年 9月 11日 (2013-09-11) 全文	1-16
A	US 2010289780 A1 (CHANG, LEE HSUN 等) 2010年 11月 18日 (2010-11-18) 全文	1-16

☑ 其余文件在C栏的续页中列出。 ☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2015年 12月 2日	2015年 12月 10日

ISA/CN的名称和邮寄地址	受权官员
中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国	张鹏
传真号 (86-10)62019451	电话号码 (86-10)010-61648477

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 2007188436 A1 (WEI, CHUN CHING 等) 2007年 8月 16日 (2007-08-16) 全文	1-16

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2015/084277

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104700805	A	2015年 6月 10日	无			
CN	104299594	A	2015年 1月 21日	无			
CN	103927972	A	2014年 7月 16日	无			
CN	103700356	A	2014年 4月 2日	WO	2015096372	A1	2015年 7月 2日
CN	103295511	A	2013年 9月 11日	无			
US	2010289780	A1	2010年 11月 18日	US	7791582	B2	2010年 9月 7日
				US	2007164971	A1	2007年 7月 19日
				TW	I326445	B	2010年 6月 21日
US	2007188436	A1	2007年 8月 16日	TW	I325132	B	2010年 5月 21日
				US	7450681	B2	2008年 11月 11日