



(12) 发明专利

(10) 授权公告号 CN 101295972 B

(45) 授权公告日 2012.07.04

(21) 申请号 200810088494.8

(22) 申请日 2008.03.31

(30) 优先权数据

2007-117849 2007. 04. 27 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川県

(72) 发明人 远藤正己

(74) 专利代理机构 上海专利商标事务所有限公
司 31100

代理人 侯颖嫻

(51) Int. Cl.

HO3K 5/153 (2006.01)

НОЗК 5/1534 (2006. 01)

G06F 1/08 (2006.01)

G06K 7/10 (2006.01)

(56) 对比文件

CN 1649151 A, 2005. 08. 03, 权利要求 1, 图

2.

US 2004264620 A1, 2004. 12. 30, 说明书摘要, 摘要附图.

US 2004264620 A1, 2004. 12. 30, 说明书摘要, 摘要附图.

CN 1897462 A, 2007.01.17, 权利要求 1.

CN 1649151 A, 2005.08.03, 权利要求 1, 图 2.

US 2003204766 A1, 2003. 10. 30, 全文.

CN 1897462 A, 2007.01.17, 权利要求 1.

审查员 黄渊

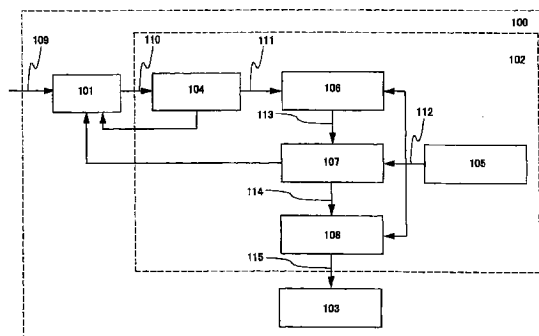
权利要求书 3 页 说明书 18 页 附图 19 页

(54) 发明名称

时钟信号产生电路及半导体装置

(57) 摘要

本发明提供一种时钟信号产生电路及半导体装置,目的如下:在能够进行无线通信的半导体装置中,即使用来产生时钟信号的基准时钟信号根据每个周期而具有不同的频率,也可以产生稳定的时钟信号。本发明的技术要点如下:包括边沿检测电路,该电路通过检测输入了的信号的沿产生同步信号、基准时钟信号产生电路,该电路产生基准的时钟信号、计数电路,该电路根据同步信号计数基准时钟信号的上升的沿数、占空比选择电路,该电路根据计数的值选择时钟信号的占空比、以及分频电路,该电路产生具有所述被选择了的占空比的时钟信号。



1. 一种时钟信号产生电路,包括:

边沿检测电路,该电路检测输入了的信号的沿;

基准时钟信号产生电路,该电路产生基准时钟信号;

计数电路,该电路根据从所述边沿检测电路输入了的信号计数所述基准时钟信号的沿数;

占空比选择电路,该电路根据在所述计数电路中的所述基准时钟信号的计数值选择预定的占空比;以及

分频电路,该电路对所述基准时钟信号进行分频,并产生具有被所述占空比选择电路选择的所述预定的占空比的时钟信号。

2. 一种时钟信号产生电路,包括:

边沿检测电路,该电路检测输入了的信号的沿;

基准时钟信号产生电路,该电路产生基准时钟信号;

计数电路,该电路根据从所述边沿检测电路输入了的信号计数所述基准时钟信号的沿数;

占空比选择电路,该电路根据在所述计数电路中的所述基准时钟信号的计数值选择第一及第二占空比;以及

分频电路,该电路对所述基准时钟信号进行分频,并产生具有所述第一占空比的第一时钟信号、以及具有所述第二占空比的第二时钟信号。

3. 根据权利要求2所述的时钟信号产生电路,其中所述第一占空比和所述第二占空比相同。

4. 根据权利要求1或2所述的时钟信号产生电路,其中所述占空比选择电路包括存储部及占空比选择部,该存储部存储多个占空比的数据,而该占空比选择部判定从所述计数电路输入了的所述计数值,根据所述计数值从所述存储部选出一个占空比的数据,并将所述数据输出到所述分频电路。

5. 根据权利要求1或2所述的时钟信号产生电路,其中所述边沿检测电路是计数电路、锁存电路、NOT 电路、AND 电路、OR 电路、NAND 电路、NOR 电路、EXOR 电路及 EX-NOR 电路中的任意组合。

6. 一种半导体装置,包括:

时钟信号产生电路,包括:

边沿检测电路,该电路检测输入了的信号的沿;

基准时钟信号产生电路,该电路产生基准时钟信号;

计数电路,该电路根据从所述边沿检测电路输入了的信号计数所述基准时钟信号的沿数;

占空比选择电路,该电路根据在所述计数电路中的所述基准时钟信号的计数值选择预定的占空比;以及

分频电路,该电路对所述基准时钟信号进行分频,并产生具有被所述占空比选择电路选择的所述预定的占空比的时钟信号;

RF 电路,该电路进行信号收发,并通过使用所接收的信号产生电源电压;以及

逻辑电路,该电路通过使用所述时钟信号产生电路所产生的所述时钟信号进行计算处

理。

7. 一种半导体装置,包括:

时钟信号产生电路,包括:

边沿检测电路,该电路检测输入了的信号的沿;

基准时钟信号产生电路,该电路产生基准时钟信号;

计数电路,该电路根据从所述边沿检测电路输入了的信号计数所述基准时钟信号的沿数;

占空比选择电路,该电路根据在所述计数电路中的所述基准时钟信号的计数值选择第一及第二占空比;以及

分频电路,该电路对所述基准时钟信号进行分频,并产生具有所述第一占空比的第一时钟信号、以及具有所述第二占空比的第二时钟信号;

RF 电路,该电路进行信号收发,并通过使用所接收的信号产生电源电压;以及

逻辑电路,该电路通过使用所述时钟信号产生电路所产生的所述第一时钟信号和所述第二时钟信号进行计算处理。

8. 根据权利要求 6 或 7 所述的半导体装置,其中所述占空比选择电路包括存储部及占空比选择部,该存储部存储多个占空比的数据,而该占空比选择部判定从所述计数电路输入了的所述计数值,根据所述计数值从所述存储部选出一个占空比的数据,并将所述数据输出到所述分频电路。

9. 根据权利要求 6 或 7 所述的半导体装置,其中所述边沿检测电路是组合计数电路、锁存电路、NOT 电路、AND 电路、OR 电路、NAND 电路、NOR 电路、EXOR 电路及 EX-NOR 电路中的任何电路的。

10. 一种时钟信号产生电路,其特征在于,所述时钟信号产生电路被配置为根据接收信号的频率通过选择最合适的占空比来产生时钟信号,所述时钟信号产生电路包括:

边沿检测电路,被配置为检测接收信号的沿;

基准时钟信号产生电路,被配置为产生基准时钟信号;

计数电路,被配置为根据从所述边沿检测电路输入的信号计数所述基准时钟信号的沿数;

占空比选择电路,被配置为根据在所述计数电路中的所述基准时钟信号的计数值来选择预定的占空比;以及

分频电路,被配置为对所述基准时钟信号进行分频,并产生具有被所述占空比选择电路选择的所述预定的占空比的时钟信号,

其中,所述边沿检测电路是计数电路、锁存电路、NOT 电路、AND 电路、OR 电路、NAND 电路、NOR 电路、EXOR 电路及 EX-NOR 电路中的任意组合,且

其中,所述占空比选择电路包括存储部及占空比选择部。

11. 一种时钟信号产生电路,其特征在于,所述时钟信号产生电路被配置为根据基准时钟信号的变化频率的变化来产生最合适的时钟信号,所述时钟信号产生电路包括:

边沿检测电路,被配置为检测输入信号的沿;

基准时钟信号产生电路,被配置为产生所述基准时钟信号;

计数电路,被配置为根据从所述边沿检测电路输入的信号计数所述基准时钟信号的沿

数；

占空比选择电路，被配置为根据在所述计数电路中的所述基准时钟信号的计数值选择预定的占空比；以及

分频电路，被配置为对所述基准时钟信号进行分频，并产生具有被所述占空比选择电路选择的所述预定的占空比的最合适的时钟信号，

其中，所述边沿检测电路是计数电路、锁存电路、NOT 电路、AND 电路、OR 电路、NAND 电路、NOR 电路、EXOR 电路及 EX-NOR 电路中的任意组合，且

其中，所述占空比选择电路包括存储部及占空比选择部。

12. 一种时钟信号产生电路，其特征在于，所述时钟信号产生电路被配置为在计数值变化的情况下，通过为包括在所述时钟信号产生电路中的占空比选择电路内的每个技术值选择最合适的占空比来产生时钟信号，

其中，所述时钟信号产生电路包括：

边沿检测电路，被配置为检测输入信号的沿；

基准时钟信号产生电路，被配置为产生基准时钟信号；

计数电路，被配置为根据从所述边沿检测电路输入的信号计数所述基准时钟信号的沿数；以及

分频电路，被配置为对所述基准时钟信号进行分频，并产生具有被所述占空比选择电路选择的所述最合适的占空比的时钟信号。

13. 根据权利要求 12 所述的时钟信号产生电路，其特征在于，所述占空比选择电路包括存储部及占空比选择部。

14. 根据权利要求 12 所述的时钟信号产生电路，其特征在于，所述边沿检测电路是计数电路、锁存电路、NOT 电路、AND 电路、OR 电路、NAND 电路、NOR 电路、EXOR 电路及 EX-NOR 电路中的任意组合。

15. 一种半导体装置，其特征在于，包括：

如权利要求 10、11 以及 12 中的任意一项所述的时钟信号产生电路、A/D 转换电路、以及

逻辑电路。

时钟信号产生电路及半导体装置

技术领域

[0001] 本发明涉及产生时钟信号的电路。本发明还涉及安装有产生时钟信号的电路的半导体装置。

背景技术

[0002] 近年来,超小型 IC 芯片和无线通信天线彼此组合的半导体装置(也称为 RFID 标签、无线标签、ID 标签、RF 标签)引人注目。上述半导体装置可以通过与使用无线通信装置(能够以无线方式进行通信的装置如读写器、便携式电话机或个人计算机等)的发送/接收电路等进行通信信号的收发来非接触地进行数据收发如数据写入或数据读出等。

[0003] 例如,可以举出流通业界的商品管理作为以无线信号进行数据收发的半导体装置的应用领域。现在,虽然主要通过利用条形码等管理商品,但是由于条形码是以光学方式而被读取的,所以若存在着遮蔽物则有可能不能读取数据。另一方面,在使用无线通信装置来非接触地进行数据收发的方式中,以无线读取半导体装置的数据,因此在无线通信信号经过遮蔽物的情况下,即使存在着遮蔽物也能够读取数据。因此,商品管理被期待着高效化及低成本化。再者,还被期待着广泛地应用于车票、飞机票、自动付款等。通过以无线通信进行数据收发的小型半导体装置来识别并管理人或物体的这种机制被称为 RFID(Radio Frequency Identification;射频识别),作为 IT(信息技术)社会的基本技术受到多注目(例如专利文件 1)。

[0004] 专利文件 1 日本专利申请公开平 11-225091 号公报

[0005] 当无线通信装置和半导体装置进行信号收发时,无线通信装置和半导体装置可以分别使用不相同的时钟信号。但是,存在着如下问题:在使用不相同的时钟信号的情况下,从各装置输出的数据与各装置的时钟同步,因此在从无线通信装置输出的接收信号的下降与半导体装置内的时钟的上升同步的情况下,在直到下一接收信号下降为止的期间中,半导体装置的时钟的占空比变化,信号的设定时间、保持时间不一定。

[0006] 作为产生时钟信号的电路,可举出 PLL 电路。PLL 电路可以通过使用 VCO(Voltage Controlled Oscillator;压控振荡器)电路等的电压控制振荡电路控制振荡频率。但是,在将时钟信号产生电路适用于利用外部电源的无源型半导体装置等的情况下,例如被要求省略了 VCO 电路的低耗电量电路。在使用低耗电量的时钟信号产生电路的情况下,由于耗电量减少,所以难以产生具有固定频率的时钟信号。

[0007] 在本说明书中,将信号从低电位向高电位变化称为上升,并将信号从高电位向低电位变化称为下降。

[0008] 在本说明书中,将上升时或下降时的电位的变化点称为沿(edge)。

[0009] 下面,说明已知的时钟信号产生方法。在从无线通信装置等的外部电路发送到半导体装置的具有一定间隔的周期的同步信号的期间中,使用计数电路等计数从环形振荡器等基准时钟信号产生电路输出的基准时钟信号的沿数,而且,基于通过使用分频电路等将计数的值除以为了产生具有预定脉冲数的时钟信号而需要的数目来得到的值,产生时

钟信号。此时,将计数的值除以所述数目来得到的余数是不产生时钟信号的期间,各时钟信号的前半周期和后半周期根据计数值而具有其长短不相同的 Low 期间。

[0010] 这里,一个周期指的是如下期间:在同步信号中,将初期状态设定为 High 状态,从第 N(N 是自然数)下降到第 N+1 下降的期间。

[0011] 在本说明书中,High 状态表示信号的上升状态,而 Low 状态表示信号的下降状态。

[0012] 再者,参照图 11 的时序图说明现有的时钟信号产生电路的工作。

[0013] 首先,通过使用来自基准时钟信号产生电路的基准时钟信号 2101 及同步信号 2102,使用计数电路计数同步信号 2102 的一个周期中的基准时钟信号 2101 的沿数。

[0014] 计数值 2103 是通过计数基准时钟信号 2101 的沿数并根据同步信号 2102 将计数值复位而得到的值。

[0015] 第一时钟信号 2104 及第二时钟信号 2105 是根据计数值而产生的两相时钟信号。此时,第一时钟信号 2104 和第二时钟信号 2105 的占空比为 1 : 3。期间 2004 是第一时钟信号 2104 处于 High 状态的期间(以下称为 High 期间),而期间 2005 是第一时钟信号 2104 处于 Low 状态的期间(以下称为 Low 期间)。另外,关于占空比为 1 : 3,1 相当于期间 2004,而 3 相当于期间 2005。如上所述,第一时钟信号 2104 和第二时钟信号 2105 的占空比为 1 : 3,但是在分频时产生余数的 Low 期间,因此在每个周期中,各 Low 期间的长短不相同。

[0016] 另外,控制信号 2106 是基于第一时钟信号 2104 及第二时钟信号 2105 而产生的信号,将初期状态设定为 Low 状态,根据第一时钟信号 2104 的上升而处于 High 状态,并根据第二时钟信号 2105 的上升而处于 Low 状态。此时,基于第一时钟信号 2104 及第二时钟信号 2105 而产生的控制信号 2106 的第 N(N 是自然数)周期为 2009,而第 N+1 周期为 2010。

[0017] 如图 11 所示,基于第一时钟信号 2104 及第二时钟信号 2105 而产生的控制信号 2106 在信号周期 2009 和信号周期 2010 中具有不相同的频率。此时,信号周期 2010 中的 Low 期间 2007 是信号周期 2009 中的 Low 期间 2006 的 1.75 倍。

[0018] 如上所述,所产生的时钟信号是在每个周期中各 Low 期间的差异大的信号,因此当使用根据时钟信号而产生的控制信号使电路工作时,难以进行准确的工作。

发明内容

[0019] 鉴于上述问题,本发明的目的在于提供一种时钟信号产生电路,其中即使在各周期中基准时钟信号的频率变化也能够产生在期间中变化少的时钟信号。

[0020] 为了达到上述目的,本发明是根据接收信号的频率选择最合适的占空比来产生时钟信号的时钟信号产生电路。

[0021] 具体地说,本发明之一是一种时钟信号产生电路,包括:边沿检测电路,该电路检测输入了的信号的沿;基准时钟信号产生电路,该电路产生基准时钟信号;计数电路,该电路根据从边沿检测电路输入了的信号计数基准时钟信号的沿数;占空比选择电路,该电路根据在计数电路中的基准时钟信号的计数值选择预定的占空比;以及分频电路,该电路对基准时钟信号进行分频,来产生具有被占空比选择电路选择的占空比的时钟信号。

[0022] 本发明之一是一种时钟信号产生电路,包括:边沿检测电路,该电路检测输入了的信号的沿;基准时钟信号产生电路,该电路产生基准时钟信号;计数电路,该电路根据从边

沿检测电路输入了的信号计数基准时钟信号的沿数；占空比选择电路，该电路根据在计数电路中的基准时钟信号的计数值选择第一及第二占空比；以及分频电路，该电路对基准时钟信号进行分频，来产生具有被占空比选择电路选择的第一占空比的第一时钟信号、以及具有被占空比选择电路选择的第二占空比的第二时钟信号。

[0023] 在本发明中，还可以采用如下结构：占空比选择电路包括存储部、以及占空比选择部，其中该存储部存储多个占空比的数据，而该占空比选择部判定从计数电路输入了的计数值，并根据计数值从存储部选出一个占空比的数据，来将它输出到分频电路。

[0024] 在本发明中，还可以采用如下结构：边沿检测电路是组合计数电路、锁存电路、NOT 电路、AND 电路、OR 电路、NAND 电路、NOR 电路、EXOR 电路及 EX-NOR 电路中的任何电路的。

[0025] 本发明之一是具有上述时钟信号产生电路的半导体装置，包括：RF 电路，该电路能够进行信号收发，并通过使用所接收的信号产生电源电压；以及逻辑电路，该电路通过使用时钟信号产生电路所产生的时钟信号进行计算处理。

[0026] 根据本发明的时钟信号产生电路，即使基准时钟信号的频率变化也可以产生在一个周期中变化少的时钟信号。

附图说明

[0027] 图 1 是根据本发明的时钟信号产生电路的框图；

[0028] 图 2 是根据实施方式 1 的时钟信号产生电路的工作的流程图；

[0029] 图 3 是根据实施方式 1 的时钟信号产生电路的工作的各信号的时序图；

[0030] 图 4 是根据实施方式 1 的时钟信号产生电路的工作的各信号的时序图；

[0031] 图 5 是根据实施方式 1 的时钟信号产生电路的工作的各信号的时序图；

[0032] 图 6 是根据实施方式 1 的时钟信号产生电路的工作的各信号的时序图；

[0033] 图 7 是根据实施方式 2 的时钟信号产生电路的工作的各信号的时序图；

[0034] 图 8 是根据实施方式 2 的时钟信号产生电路的工作的各信号的时序图；

[0035] 图 9 是根据实施方式 2 的时钟信号产生电路的工作的各信号的时序图；

[0036] 图 10 是根据实施方式 2 的时钟信号产生电路的工作的各信号的时序图；

[0037] 图 11 是现有的时钟信号产生电路的工作的时序图；

[0038] 图 12 是根据实施方式 3 的具有本发明的时钟信号产生电路的半导体装置的框图；

[0039] 图 13A 至 13D 是表示根据实施方式 4 的具有本发明的时钟信号产生电路的半导体装置的制造方法的截面图；

[0040] 图 14A 至 14C 是表示根据实施方式 4 的具有本发明的时钟信号产生电路的半导体装置的制造方法的截面图；

[0041] 图 15A 和 15B 是表示根据实施方式 4 的具有本发明的时钟信号产生电路的半导体装置的制造方法的截面图；

[0042] 图 16A 至 16C 是表示根据实施方式 5 的具有本发明的时钟信号产生电路的半导体装置的制造方法的截面图；

[0043] 图 17A 至 17C 是表示根据实施方式 5 的具有本发明的时钟信号产生电路的半导体装置的制造方法的截面图；

[0044] 图 18A 和 18B 是表示根据实施方式 5 的具有本发明的时钟信号产生电路的半导体装置的制造方法的截面图；

[0045] 图 19A 至 19F 是表示根据实施方式 6 的具有本发明的时钟信号产生电路的半导体装置的使用例子的图。

具体实施方式

[0046] 下面,参照附图说明本发明的实施方式。注意,本发明不局限于下述说明,所属技术领域的普通技术人员可以很容易地理解一个事实就是,其方式和详细内容可以在不脱离本发明的宗旨及其范围的情况下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在下述实施方式所记载的内容中。

[0047] 实施方式 1

[0048] 在本实施方式中,说明本发明的时钟信号产生电路的结构及工作。

[0049] 首先,参照图 1 说明本发明的时钟信号产生电路的结构。

[0050] 如图 1 所示,半导体装置 100 包括 A/D 转换电路 101、时钟信号产生电路 102、以及逻辑电路 103。

[0051] A/D 转换电路 101 具有将从外部如无线通信装置等接收的模拟数据信号转换成数字数据信号的功能。

[0052] 时钟信号产生电路 102 包括边沿检测电路 104、基准时钟信号产生电路 105、计数电路 106、占空比选择电路 107、以及分频电路 108。

[0053] 边沿检测电路 104 电连接到 A/D 转换电路 101 及计数电路 106,计数电路 106 电连接到边沿检测电路 104、基准时钟信号产生电路 105 及占空比选择电路 107,并且占空比选择电路 107 电连接到 A/D 转换电路 101、基准时钟信号产生电路 105、计数电路 106 及分频电路 108。另外,基准时钟信号产生电路 105 电连接到计数电路 106、占空比选择电路 107 及分频电路 108。

[0054] 边沿检测电路 104 是检测接收信号的沿的电路。作为边沿检测电路 104,可以组合计数电路、锁存电路、NOT 电路、AND 电路、OR 电路、NAND 电路、NOR 电路、EXOR 电路及 EX-NOR 电路等的判定电路中的任何电路。

[0055] 基准时钟信号产生电路 105 具有产生基准时钟信号 112 的功能,该基准时钟信号 112 具有预定频率并用来产生时钟信号 115。例如,可以使用环形振荡器等作为基准时钟信号产生电路 105。

[0056] 计数电路 106 计数基准时钟信号 112 中的沿数,根据从边沿检测电路 104 输入的同步信号 111 将计数的了的值复位,并将所产生的计数值的数据信号输出到占空比选择电路 107。

[0057] 占空比选择电路 107 具有根据计数电路 106 的计数值选择预定的占空比的功能。具体地说,占空比选择电路 107 包括存储有多个占空比数据的存储部、以及根据计数电路 106 的计数值而从多个占空比数据中选择占空比的占空比选择部。

[0058] 分频电路 108 具有根据基准时钟信号产生电路 105 所产生的基准时钟信号 112、以及被占空比选择电路 107 选择的占空比数据而产生时钟信号的功能。

[0059] 逻辑电路 103 根据输入了的时钟信号而产生控制信号。逻辑电路 103 根据控制信

号进行工作。

[0060] 下面,参照图 1 及图 2 说明本实施方式的时钟信号产生电路的工作。

[0061] 首先,作为转换处理 201,通过使用 A/D 转换电路 101 将从无线通信装置等输入的模拟信号 109 转换成数字信号 110,并将数字信号 110 输出到边沿检测电路 104。

[0062] 接着,作为边沿检测处理 202,通过使用边沿检测电路 104 检测输入了的数字信号 110 的沿,产生同步信号 111,并将它输出到计数电路 106。此时,在不能检测沿的情况下,作为再转换处理 203,对计数电路 106 的值进行计数,再次使用 A/D 转换电路 101 将模拟信号转换成数字信号。

[0063] 然后,作为计数处理 204,通过使用计数电路 106 计数从基准时钟信号产生电路 105 输入的基准时钟信号 112 的沿数。再者,根据从边沿检测电路 104 输入的同步信号 111 将计数电路 106 的计数值复位,并将从计数开始到复位的计数值的数据信号输出到占空比选择电路 107。

[0064] 接下来,作为计数值判定处理 205,通过使用占空比选择电路 107 判定从计数电路 106 输入的计数值,根据判定了的计数值从多个占空比的信号波形的数据中选择预定的占空比数据,并将它作为所述占空比的信号波形的数据信号输出到分频电路 108。注意,在本实施方式中,说明计数值为 7 至 10 的任一情况。在计数值是判定用设定值以外的情况下,不能在占空比选择电路 107 中设定占空比,因此作为再转换处理 206,再次在 A/D 转换电路 101 中将模拟信号转换成数字信号。

[0065] 接着,作为时钟信号产生处理 207,通过使用分频电路 108 根据输入了的信号波形的数据信号对基准时钟信号 112 进行分频,产生具有预定的占空比及沿数的时钟信号 115,来将它输出到逻辑电路 103。

[0066] 最后,作为控制信号产生处理 208,通过使用逻辑电路 103 产生根据输入了的时钟信号 115 的第 N(N 是自然数)上升而处于 High 状态,并根据第 N+1 上升而处于 Low 状态的控制信号。通过使用所述控制信号,使逻辑电路 103 内的各电路工作。

[0067] 注意,在本实施方式中,说明了计数值为 7 至 10 的任一情况。但是在其他数值的情况下,通过改变预先存储在占空比选择电路 107 中的数据,可以应用本实施方式的时钟信号产生电路。

[0068] 下面,参照图 3 至图 6 说明在本实施方式的时钟信号产生电路中根据各计数值而产生的信号的时序。在图 3 至图 6 中,示出基准时钟信号 112、同步信号 111、计数值 113、时钟信号 115、以及控制信号 118 的时序。

[0069] 图 3 示出在计数电路 106 中计数值为 7 的情况。

[0070] 在计数值为 7 的情况下,按照一种数据,即根据计数值在占空比选择电路 107 中选择的占空比的信号波形的数据,产生时钟信号 115。此时,时钟信号 115 的占空比(High 期间 404 和 Low 期间 405 的比)是 1 : 3。

[0071] 控制信号 118 是在逻辑电路 103 中产生的,并根据时钟信号 115 的第 N(N 是自然数)上升的时序而处于 High 状态,并根据第 N+1 上升的时序而处于 Low 状态。此时,控制信号 118 的第 N(N 是自然数)信号周期 409 的 Low 期间 406 和第 N+1 信号周期 410 的 Low 期间 407 具有相同的长短。

[0072] 图 4 示出在计数电路 106 中计数值为 8 的情况。

[0073] 在计数值为 8 的情况下,按照一种数据,即根据计数值在占空比选择电路 107 中选择的占空比的信号波形的数据,产生时钟信号 115。此时,时钟信号 115 的占空比 (High 期间 504 和 Low 期间 505 的比) 是 1 : 3。

[0074] 控制信号 118 是在逻辑电路 103 中产生的,并根据时钟信号 115 的第 N(N 是自然数) 上升的时序而处于 High 状态,并根据第 N+1 上升的时序而处于 Low 状态。此时,控制信号 118 的第 N(N 是自然数) 信号周期 509 的 Low 期间 506 和第 N+1 信号周期 510 的 Low 期间 507 具有相同的长短。

[0075] 图 5 示出在计数电路 106 中计数值为 9 的情况。

[0076] 在计数值为 9 的情况下,按照一种数据,即根据计数值在占空比选择电路 107 中选择的占空比的信号波形的数据,产生时钟信号 115。此时,时钟信号 115 的占空比 (High 期间 604 和 Low 期间 605 的比) 是 1 : 4。

[0077] 控制信号 118 是在逻辑电路 103 中产生的,并根据时钟信号 115 的第 N(N 是自然数) 上升的时序而处于 High 状态,并根据第 N+1 上升的时序而处于 Low 状态。此时,控制信号 118 的第 N(N 是自然数) 信号周期 609 的 Low 期间 606 和第 N+1 信号周期 610 的 Low 期间 607 具有相同的长短。

[0078] 图 6 示出在计数电路 106 中计数值为 10 的情况。

[0079] 在计数值为 10 的情况下,按照一种数据,即根据计数值在占空比选择电路 107 中选择的占空比的信号波形的数据,产生时钟信号 115。此时,时钟信号 115 的占空比 (High 期间 704 和 Low 期间 705 的比) 是 1 : 4。

[0080] 控制信号 118 是在逻辑电路 103 中产生的,并根据时钟信号 115 的第 N(N 是自然数) 上升的时序而处于 High 状态,并根据第 N+1 上升的时序而处于 Low 状态。此时,控制信号 118 的第 N(N 是自然数) 信号周期 709 的 Low 期间 706 和第 N+1 信号周期 710 的 Low 期间 707 具有相同的长短。

[0081] 如上所述,通过使用本实施方式的时钟信号产生电路,即使不具有固定的计数值也可以在占空比选择电路中根据各计数值选择最合适占空比,来产生时钟信号。因此,即使在基准时钟信号的频率变化的情况下,也可以产生一周期间的各 Low 期间的长短差异最小的最合适时钟信号。另外,通过使用上述时钟信号,能够以更准确的时序进行各电路的工作,因此可以抑制不正常工作。

[0082] 再者,可以将用来产生时钟信号的基准时钟信号的频率设定为低频率,并可以使用低耗电量的基准时钟信号产生电路,因此可以降低耗电量。

[0083] 实施方式 2

[0084] 在本实施方式中,说明通过使用在产生多个时钟信号时的时钟信号产生电路来产生两相时钟信号的情况。电路结构的框图与实施方式 1 的图 1 相同,因而援引实施方式 1 所述的内容。

[0085] 下面,参照图 1 及图 2 说明本实施方式的时钟信号产生电路的工作。

[0086] 首先,作为转换处理 201,通过使用 A/D 转换电路 101 将从无线通信装置等输入的模拟信号转换成数字信号,并将数字信号输出到边沿检测电路 104。

[0087] 接着,作为边沿检测处理 202,通过使用边沿检测电路 104 检测输入了的数字信号的沿,产生同步信号 111,并将它输出到计数电路 106。此时,在不能检测沿的情况下,作为

再转换处理 203, 对计数电路 106 的值进行计数, 再次使用 A/D 电路 101 将模拟信号转换成数字信号。

[0088] 然后, 作为计数处理 204, 通过使用计数电路 106 计数从基准时钟信号产生电路 105 输入的基准时钟信号 112 的沿数。再者, 根据从边沿检测电路 104 输入的同步信号 111 将计数电路 106 的计数值复位, 并将从计数开始到复位的计数值的数据信号输出到占空比选择电路 107。

[0089] 接下来, 作为计数值判定处理 205, 通过使用占空比选择电路 107 判定从计数电路 106 输入的计数值, 根据判定了的计数值从多个占空比的信号波形的数据中选择预定的占空比数据, 并将它作为所述占空比的信号波形的数据信号 114 输出到分频电路 108。注意, 在本实施方式中, 说明计数值为 7 至 10 的任一情况。在计数值是判定用设定值以外的情况下, 不能在占空比选择电路 107 中设定占空比, 因此作为再转换处理 206, 再次在 A/D 转换电路 101 中将模拟信号转换成数字信号。

[0090] 接着, 作为时钟信号产生处理 207, 通过使用分频电路 108 根据输入了的信号波形的数据信号 114 对基准时钟信号 112 进行分频, 产生具有预定的占空比及沿数的时钟信号 115。在本实施方式中, 所产生的时钟信号 115 是第一时钟信号和其沿位置与第一时钟信号不相同的第二时钟信号的两相时钟信号, 并将所产生的第一时钟信号和第二时钟信号输出到逻辑电路 103。

[0091] 最后, 作为控制信号产生处理 208, 通过使用逻辑电路 103 产生根据输入了的第一时钟信号的第 N(N 是自然数) 上升而处于 High 状态, 并根据第二时钟信号的第 N(N 是自然数) 上升而处于 Low 状态的控制信号。通过使用所述控制信号, 使逻辑电路 103 内的各电路工作。

[0092] 注意, 在本实施方式中, 说明了计数值为 7 至 10 的任一情况。但是在其他计数值的情况下, 通过改变预先存储在占空比选择电路 107 中的数据, 可以应用本实施方式的时钟信号产生电路来产生时钟信号。

[0093] 下面, 参照图 7 至图 10 说明在本实施方式的时钟信号产生电路中根据各计数值而产生的信号的时序。在图 7 至图 10 中, 示出基准时钟信号 112、同步信号 111、计数值 113、第一时钟信号 116、第二时钟信号 117、以及控制信号 118 的时序。

[0094] 图 7 示出在计数电路中计数值为 7 的情况。

[0095] 在计数值为 7 的情况下, 按照一种数据, 即根据计数值在占空比选择电路 107 中选择的第一及第二占空比的信号波形的数据, 产生第一时钟信号 116 和第二时钟信号 117。此时, 第一时钟信号 116 的第一占空比 (High 期间 804 和 Low 期间 805 的比) 是 1 : 3, 而第二时钟信号 117 的第二占空比也是 1 : 3。

[0096] 控制信号 118 是在逻辑电路 103 中产生的, 并根据第一时钟信号 116 的第 N(N 是自然数) 上升的时序而处于 High 状态, 并根据第二时钟信号 117 的第 N(N 是自然数) 上升的时序而处于 Low 状态。此时, 控制信号 118 的第 N(N 是自然数) 信号周期 809 和第 N+1 信号周期 810 相同。

[0097] 图 8 示出在计数电路 106 中计数值为 8 的情况。

[0098] 在计数值为 8 的情况下, 按照一种数据, 即根据计数值在占空比选择电路 107 中选择的第一及第二占空比的信号波形的数据, 产生第一时钟信号 116 和第二时钟信号 117。此

时,第一时钟信号 116 的第一占空比(High 期间 904 和 Low 期间 905 的比)是 1 : 3,而第二时钟信号 117 的第二占空比也是 1 : 3。

[0099] 控制信号 118 是在逻辑电路 103 中产生的,并根据第一时钟信号 116 的第 N(N 是自然数)上升的时序而处于 High 状态,并根据第二时钟信号 117 的第 N(N 是自然数)上升的时序而处于 Low 状态。此时,控制信号 118 的第 N(N 是自然数)信号周期 909 和第 N+1 信号周期 910 不相同,信号周期 910 中的 Low 期间 907 是信号周期 909 中的 Low 期间 906 的 1.25 倍。

[0100] 图 9 示出在计数电路 106 中计数值为 9 的情况。

[0101] 按照一种数据,即根据计数值在占空比选择电路 107 中选择的第一及第二占空比的信号波形的数据,产生第一时钟信号 116 和第二时钟信号 117。此时,第一时钟信号 116 的第一占空比(High 期间 1004 和 Low 期间 1005 的比)是 1 : 4,而第二时钟信号 117 的第二占空比也是 1 : 4。

[0102] 控制信号 118 是在逻辑电路 103 中产生的,并根据第一时钟信号 116 的第 N(N 是自然数)上升的时序而处于 High 状态,并根据第二时钟信号 117 的第 N(N 是自然数)上升的时序而处于 Low 状态。此时,控制信号 118 的第 N(N 是自然数)信号周期 1009 中的 Low 期间 1006 和第 N+1 信号周期 1010 中的 Low 期间 1007 相同。

[0103] 图 10 示出在计数电路 106 中计数值为 10 的情况。

[0104] 在计数值为 10 的情况下,按照一种数据,即根据计数值在占空比选择电路 107 中选择的第一及第二占空比的信号波形的数据,产生第一时钟信号 116 和第二时钟信号 117。此时,第一时钟信号 116 的第一占空比(High 期间 1104 和 Low 期间 1105 的比)是 1 : 4,而第二时钟信号 117 的第二占空比是 1 : 4。

[0105] 控制信号 118 是在逻辑电路 103 中产生的,并根据第一时钟信号 116 的第 N(N 是自然数)上升的时序而处于 High 状态,并根据第二时钟信号 117 的第 N(N 是自然数)上升的时序而处于 Low 状态。此时,控制信号 118 的第 N(N 是自然数)信号周期 1109 和第 N+1 信号周期 1110 不相同,信号周期 1110 中的 Low 期间 1107 是信号周期 1109 中的 Low 期间 1106 的 1.25 倍。

[0106] 如上所述,通过使用本实施方式的时钟信号产生电路,即使不具有固定的计数值也可以在占空比选择电路中根据各计数值选择最合适的占空比,来产生时钟信号。因此,即使在基准时钟信号的频率变化的情况下,也可以产生一周期间的各 Low 期间的长短差异最小的最合适时钟信号。

[0107] 另外,在产生两相以上的多个时钟信号的情况下,可以控制 High 期间及 Low 期间双方。为此,通过使用上述时钟信号,能够以更准确的时序进行各电路的工作,而可以抑制不正常工作。

[0108] 再者,可以将用来产生时钟信号的基准时钟信号的频率设定为低频率,并可以使用低耗电量的基准时钟信号产生电路,因此可以降低耗电量。

[0109] 实施方式 3

[0110] 在本实施方式中,说明具有上述实施方式 1 或实施方式 2 所示的时钟信号产生电路的半导体装置。

[0111] 图 12 表示本实施方式的半导体装置的结构。半导体装置 3000 由 RF 电路 3001、时

钟信号产生电路 3002、逻辑电路 3003、以及天线部 3018 中的天线 3017 构成。注意,虽然在图 12 中未图示,但是半导体装置 3000 通过天线 3017 与无线通信装置等的外部电路进行无线信号的收发。

[0112] 下面,说明各电路的结构。RF 电路 3001 包括电源电路 3004、解调电路 3005、以及调制电路 3006。时钟信号产生电路 3002 包括分频电路 3007、占空比选择电路 3008、计数电路 3009、以及基准时钟信号产生电路 3019。逻辑电路 3003 包括控制器 3013、CPU(也称为中央处理单元)3010、ROM(只读存储器)3011、RAM(随机存取存储器)3012。

[0113] 控制器 3013 具有 CPU 接口 3014、RF 接口 3015、以及存储控制器 3016。

[0114] 在 RF 电路 3001 中,电源电路 3004 由整流电路和保持电容器构成,并具有产生电源电压来将它提供给其他电路的功能。解调电路 3005 由整流电路和 LPF(低通滤波器)构成,并具有从通信信号抽出指令和数据的功能。调制电路 3006 具有调制发送数据的功能,而且调制了的数据以发送信号的方式从天线 3017 被发送。

[0115] 接着,说明本实施方式的半导体装置的工作。首先,使用半导体装置 3000 接收从外部通信装置发送的接收信号。接收信号在解调电路 3005 中被解调之后,输入到在控制器 3013 的 RF 接口 3015 中。输入到 RF 接口 3015 中的接收信号通过 CPU 接口 3014 被 CPU3010 进行计算处理。此外,使用输入到 RF 接口 3015 中的接收信号来通过存储控制器 3016 对 ROM3011、RAM3012 进行访问。

[0116] 而且,在进行 CPU3010 的计算处理、ROM3011、RAM3012 中的数据输入及输出之后,生成发送数据,由调制电路 3006 调制,且将发送信号从天线 3017 发送到通信装置中。

[0117] 如上所述,通过使用具有本发明的时钟信号产生电路的半导体装置,即使在基准时钟信号的频率变化的情况下,也可以与其变化相应地产生最合适的时钟信号。由此,能够以更准确的时序进行半导体装置中的根据时钟信号的各种电路工作,而可以抑制不正常工作。

[0118] 再者,本发明的半导体装置可以将用来产生时钟信号的基准时钟信号的频率设定为低频率,并可以使用低耗电量的基准时钟信号产生电路,因此可以降低耗电量。

[0119] 实施方式 4

[0120] 在本实施方式中,说明上述实施方式所示的半导体装置的制造方法的一个例子。在本实施方式中,说明在同一衬底上设置包括天线电路的半导体装置的例子。

[0121] 首先,如图 13A 所示,在衬底 1901 的一个表面上夹着绝缘膜 1902 形成剥离层 1903,接着,层叠形成用作基底膜的绝缘膜 1904 和半导体膜 1905(例如,包含非晶硅的膜)。此外,绝缘膜 1902、剥离层 1903、绝缘膜 1904、以及半导体膜 1905 可以连续形成。

[0122] 衬底 1901 是选自玻璃衬底、石英衬底、陶瓷衬底、金属衬底(例如,不锈钢衬底等)或 Si 衬底等的半导体衬底等中的衬底。另外,可以选择聚对苯二甲酸乙二醇酯(PET)、聚萘二甲酸乙二醇酯(PEN)、聚醚砜(PES)或丙烯等的塑料衬底。此外,在本实施方式的半导体装置的制造方法中,剥离层 1903 夹着绝缘膜 1902 设置在衬底 1901 的整个面上,但是,根据需要,也可以在衬底 1901 的整个面上设置剥离层之后通过光刻法选择性地提供。

[0123] 作为绝缘膜 1902、绝缘膜 1904,可以通过 CVD 法或溅射法等,使用氧化硅、氮化硅、氧氮化硅(SiO_xN_y)($x > y > 0$)、氮氧化硅(SiN_xO_y)($x > y > 0$)等的材料来形成。例如,当将绝缘膜 1902 及绝缘膜 1904 分别作为两层结构时,优选作为第一层绝缘膜形成氮氧化硅

膜并且作为第二层绝缘膜形成氧氮化硅膜。此外,也可以作为第一层绝缘膜形成氮化硅膜并且作为第二层绝缘膜形成氧化硅膜。绝缘膜 1902 用作防止杂质元素从衬底 1901 混入到剥离层 1903 或形成在其上的元件的阻挡层,而绝缘膜 1904 用作防止杂质元素从衬底 1901、剥离层 1903 混入到形成在其上的元件的阻挡层。这样,通过形成作为阻挡层发挥功能的绝缘膜 1902、1904 可以防止来自衬底 1901 的 Na 等碱金属和碱土金属、来自剥离层 1903 的杂质元素给形成在其上的元件造成不良影响。此外,在使用石英衬底作为衬底 1901 的情况下,也可以省略绝缘膜 1902 及 1904。

[0124] 作为剥离层 1903,可以使用金属膜或金属膜和金属氧化膜的叠层结构等。作为金属膜,可以使用由选自钨、钼、钛、钽、铌、镍、钴、锆、锌、钨、铪、铟、以及铋中的元素或以上述元素为主要成分的合金材料或化合物材料等构成的膜的单层结构或叠层结构而形成。另外,可以通过溅射法或各种 CVD 法如等离子体 CVD 法等而形成上述材料。作为金属膜和金属氧化膜的叠层结构,在形成上述金属膜之后,可以进行在氧气氛中或在 N_2O 气氛中的等离子体处理、在氧气氛中或在氧化氮气氛中的加热处理,以在金属膜的表面上设置该金属膜的氧化物或氧氮化物。例如,在通过溅射法或 CVD 法等形成钨膜作为金属膜的情况下,通过对钨膜进行等离子体处理,可以在钨膜的表面上形成由钨氧化物构成的金属氧化膜。除此以外,例如,在形成金属膜(如钨)之后,可以在该金属膜上通过溅射法形成氧化硅等的绝缘膜,并进行等离子体处理或加热处理,来在金属膜和绝缘膜之间形成金属氧化物(例如,在钨上形成钨氧化物)。除了金属氧化膜以外,还可使用金属氮化物或金属氧氮化物。在此情况下,可以在氮气分中或在氮和氧的气氛中对金属膜进行等离子体处理、加热处理。

[0125] 通过溅射法、LPCVD 法、等离子体 CVD 法等,以 25nm 以上 200nm 以下(优选为 30nm 以上 150nm 以下)的厚度形成半导体膜 1905。

[0126] 接下来,如图 13B 所示,对半导体膜 1905 照射激光束来进行晶化。此外,也可以通过将激光束的照射以及利用 RTA 或退火炉的热晶化法、使用有助于晶化的金属元素的热晶化法进行组合的方法等进行半导体膜 1905 的晶化。之后,将获得的结晶半导体膜蚀刻为所希望的形状来形成结晶半导体膜 1905a 至 1905f,并覆盖该半导体膜 1905a 至 1905f 地形成栅极绝缘膜 1906。

[0127] 作为栅极绝缘膜 1906,通过 CVD 法或溅射法等使用氧化硅、氮化硅、氧氮化硅、氮氧化硅等的材料来形成。例如,当将栅极绝缘膜 1906 作为两层结构时,优选作为第一层绝缘膜形成氧氮化硅膜并且作为第二层绝缘膜形成氮氧化硅膜。另外,也可以作为第一层绝缘膜形成氧化硅膜并且作为第二层绝缘膜形成氮化硅膜。

[0128] 以下,简单地说明结晶半导体膜 1905a 至 1905f 的制造工序的一个例子。首先,通过等离子体 CVD 法形成 50nm 以上 60nm 以下厚的非晶半导体膜。接着,将包含作为促进晶化的金属元素的镍的溶液保持在非晶半导体膜上,然后对非晶半导体膜进行脱氢处理(在 500℃下,一个小时)和热晶化处理(在 550℃下,四个小时),来形成结晶半导体膜。然后,照射激光束,并通过使用光刻法形成结晶半导体膜 1905a 至 1905f。此外,也可以只通过照射激光束而不进行使用促进晶化的金属元素的热晶化,来使非晶半导体膜晶化。

[0129] 作为用来晶化的激光振荡器,可以使用连续振荡激光束(CW 激光束)或脉冲振荡激光束(脉冲激光束)。这里,作为激光束可以采用从如下激光器的一种或多种激光器中振荡的激光束,即 Ar 激光器、Kr 激光器、受激准分子激光器等的气体激光器、将在单晶的 YAG、

YVO₄、镁橄榄石 (Mg₂SiO₄)、YAlO₃、GdVO₄、或者多晶 (陶瓷) 的 YAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄ 中添加 Nd、Yb、Cr、Ti、Ho、Er、Tm、Ta 之中的一种或多种作为掺杂物而获得的材料用作介质的激光器、玻璃激光器、红宝石激光器、变石激光器、Ti :蓝宝石激光器、铜蒸气激光器、以及金蒸气激光器。通过照射这种激光束的基波以及这些基波的二次谐波到四次谐波的激光束,可以获得大粒径的晶体。例如,可以使用 Nd:YVO₄ 激光器 (基波为 1064nm) 的二次谐波 (532nm) 或三次谐波 (355nm)。此时,需要大约 0.01MW/cm² 以上 100MW/cm² 以下 (优选为 0.1MW/cm² 以上 10MW/cm² 以下) 的激光功率密度。而且,以大约 10cm/sec 以上 2000cm/sec 以下的扫描速度照射。此外,将在单晶的 YAG、YVO₄、镁橄榄石 (Mg₂SiO₄)、YAlO₃、GdVO₄、或者多晶 (陶瓷) 的 YAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄ 中添加 Nd、Yb、Cr、Ti、Ho、Er、Tm、Ta 之中的一种或多种作为掺杂物而获得的材料用作介质的激光器、Ar 离子激光器、或者 Ti :蓝宝石激光器可以进行连续振荡,可以通过锁模等以 10MHz 以上的振荡频率进行脉冲振荡。当使用 10MHz 以上的振荡频率来使激光束振荡时,在半导体膜从被激光熔化到凝固的期间中,对半导体膜照射下一个脉冲。因此,由于不同于使用振荡频率低的脉冲激光的情况,可以在半导体膜中连续地移动固相和液相的界面,所以可以获得沿扫描方向连续生长的晶粒。

[0130] 此外,也可以通过对半导体膜 1905a 至 1905f 进行高密度等离子体处理来使表面氧化或氮化,以形成栅极绝缘膜 1906。例如,通过引入了稀有气体如 He、Ar、Kr、Xe 等和氧、氧化氮、氨、氮、氢等的混合气体的等离子体处理,形成栅极绝缘膜 1906。在此情况下,通过引入微波进行等离子体的激发时,可以产生低电子温度且高密度的等离子体。可以通过使用由该高密度等离子体产生的氧自由基 (也有含有 OH 自由基的情况) 或氮自由基 (也有含有 NH 自由基的情况),使半导体膜的表面氧化或氮化。

[0131] 通过使用了上述高密度等离子体的处理,厚度为 1nm 以上 20nm 以下,典型地为 5nm 以上 10nm 以下的绝缘膜形成于半导体膜上。由于在此情况下的反应为固相反应,因此可以使该绝缘膜和半导体膜的界面态密度极低。由于上述高密度等离子体处理直接使半导体膜 (晶体硅或多晶硅) 氧化 (或氮化),所以可以使所形成的绝缘膜的厚度不均匀性极为低。再者,由于在晶体硅的晶界中也不会进行强烈的氧化,所以成为非常优选的状态。换句话说,通过在此所示的高密度等离子体处理使半导体膜的表面固相氧化,来可以形成具有良好的均匀性且界面态密度低的绝缘膜而不会在晶界中引起异常的氧化反应。

[0132] 作为栅极绝缘膜 1906,既可仅仅使用通过高密度等离子体处理形成的绝缘膜,又可在该绝缘膜上通过利用了等离子体或热反应的 CVD 法将氧化硅、氧氮化硅或氮化硅的任一或多个绝缘膜堆积并层叠。在任何情况下,将通过高密度等离子体形成的绝缘膜包含于栅极绝缘膜的一部分或全部而形成的晶体管可以降低特性不均匀性。

[0133] 此外,一边对半导体膜照射连续振荡激光束或以 10MHz 以上的频率振荡的激光束,一边向一个方向扫描来晶化而获得的半导体膜 1905a 至 1905f 具有其晶体沿该激光束的扫描方向成长的特征。当使扫描方向与沟道长度方向 (形成沟道形成区域时载流子流动的方向) 一致地配置晶体管,并且组合上述栅极绝缘膜 1906 时,可以获得特性不均匀性低且电场效应迁移率高的晶体管。

[0134] 接着,在栅极绝缘膜 1906 上层叠形成第一导电膜和第二导电膜。在此,第一导电膜通过 CVD 法或溅射法等以 20nm 以上 100nm 以下的厚度而形成。第二导电膜以 100nm 以上 400nm 以下的厚度而形成。作为第一导电膜和第二导电膜,可以采用选自钽、钨、钛、钼、

铝、铜、铬和铌等中的元素或以这些元素为主要成分的合金材料或化合物材料而形成。或者,可以采用掺杂了磷等杂质元素的多晶硅为代表的半导体材料而形成第一导电膜和第二导电膜。作为第一导电膜和第二导电膜的组合的实例,可以举出氮化钽膜和钨膜、氮化钨膜和钨膜、或者氮化钼膜和钼膜等。由于钨和氮化钽具有高耐热性,因此在形成第一导电膜和第二导电膜之后,可以进行用于热激活的加热处理。此外,在不是两层结构而是三层结构的情况下,优选采用钼膜、铝膜和钼膜的叠层结构。

[0135] 接着,利用光刻法形成由抗蚀剂构成的掩模,并且进行蚀刻处理以形成栅电极和栅极线,从而在半导体膜 1905a 至 1905f 的上方形成栅电极 1907。在此,示出了通过采用第一导电膜 1907a 和第二导电膜 1907b 的叠层结构形成栅电极 1907 的例子。

[0136] 接着,如图 13C 所示,以栅电极 1907 为掩模,通过离子掺杂法或离子注入法对半导体膜 1905a 至 1905f 以低浓度添加赋予 n 型的杂质元素,然后通过光刻法选择性地形成由抗蚀剂构成的掩模,以高浓度添加赋予 p 型的杂质元素。作为呈现 n 型的杂质元素,可以使用磷、砷等。作为呈现 p 型的杂质元素,可以使用硼、铝、镓等。在此,使用磷作为赋予 n 型的杂质元素,以 $1 \times 10^{15}/\text{cm}^3$ 以上 $1 \times 10^{19}/\text{cm}^3$ 以下的浓度选择性地引入到半导体膜 1905a 至 1905f,以形成呈现 n 型的杂质区域 1908。此外,使用硼作为赋予 p 型的杂质元素,以 $1 \times 10^{19}/\text{cm}^3$ 以上 $1 \times 10^{20}/\text{cm}^3$ 以下的浓度选择性地引入到半导体膜 1905c、1905e,以形成呈现 p 型的杂质区域 1909。

[0137] 接着,覆盖栅极绝缘膜 1906 和栅电极 1907 地形成绝缘膜。通过等离子体 CVD 法或溅射法等以单层或叠层方式形成含无机材料如硅、硅的氧化物或硅的氮化物的膜、以及含有有机材料如有机树脂等的膜的一种或多种,从而形成绝缘膜。接着,通过以垂直方向为主体的各向异性蚀刻选择性地蚀刻绝缘膜,从而形成与栅电极 1907 的侧面接触的绝缘膜 1910(也称为侧壁)。绝缘膜 1910 用作当形成 LDD(轻掺杂漏)区域时的掺杂用掩模。

[0138] 接着,将通过光刻法形成的由抗蚀剂构成的掩模、栅电极 1907 及绝缘膜 1910 用作掩模,对半导体膜 1905a、1905b、1905d、1905f 以高浓度添加赋予 n 型的杂质元素,以形成呈现 n 型的杂质区域 1911。在此,使用磷作为赋予 n 型的杂质元素,以 $1 \times 10^{19}/\text{cm}^3$ 以上 $1 \times 10^{20}/\text{cm}^3$ 以下的浓度选择性地引入到半导体膜 1905a、1905b、1905d、1905f,以形成呈现比杂质区域 1908 更高浓度的 n 型的杂质区域 1911。

[0139] 通过上述工序,如图 13D 所示,形成 n 沟道型薄膜晶体管 1900a、1900b、1900d、1900f 和 p 沟道型薄膜晶体管 1900c、1900e。

[0140] 在薄膜晶体管 1900a 中,沟道形成区域形成在与栅电极 1907 重叠的半导体膜 1905a 的区域中,形成源区或漏区的杂质区域 1911 形成在不与栅电极 1907 及绝缘膜 1910 重叠的区域中,而低浓度杂质区域(LDD 区域)形成在与绝缘膜 1910 重叠的区域,即沟道形成区域和杂质区域 1911 之间。此外,薄膜晶体管 1900b、1900d、1900f 也同样形成有沟道形成区域、低浓度杂质区域、以及杂质区域 1911。

[0141] 在薄膜晶体管 1900c 中,沟道形成区域形成在与栅电极 1907 重叠的半导体膜 1905c 的区域中,形成源区或漏区的杂质区域 1909 形成在不与栅电极 1907 重叠的区域中。此外,薄膜晶体管 1900e 也同样形成有沟道形成区域以及杂质区域 1909。此外,这里,虽然在薄膜晶体管 1900c 及 1900e 中未设置 LDD 区域,但是既可采用在薄膜晶体管 1900c 及 1900e 中设置 LDD 区域的结构,又可采用在薄膜晶体管 1900a、1900b 中不设置 LDD 区域的结

构。

[0142] 接下来,如图 14A 所示,以单层或叠层的方式形成绝缘膜以覆盖半导体膜 1905a 至 1905f、栅电极 1907 等,并且在该绝缘膜上形成导电膜 1913,该导电膜 1913 的一部分与形成薄膜晶体管 1900a 至 1900f 的源区或漏区的杂质区域 1909、1911 接触。绝缘膜通过 CVD 法、溅射法、SOG 法、液滴喷出法、或丝网印刷法等使用硅的氧化物及硅的氮化物等的无机材料、聚酰亚胺、聚酰胺、苯并环丁烯、丙烯、环氧等的有机材料、硅氧烷材料的任何一种或多种,以单层或叠层的方式形成。在此,以两层的方式设置所述绝缘膜,分别形成氮氧化硅膜和氧氮化硅膜作为第一层绝缘膜 1912a 和第二层绝缘膜 1912b。此外,导电膜 1913 用作半导体膜 1905a 至 1905f 的源电极或漏电极。

[0143] 此外,优选在形成绝缘膜 1912a、1912b 之前,或者在形成绝缘膜 1912a、1912b 中的一个或多个薄膜之后,进行用于恢复半导体膜的结晶性、使添加到半导体膜中的杂质元素活性化、或者使半导体膜氢化的加热处理。作为加热处理,优选适用热退火法、激光退火法、或者 RTA 法等。

[0144] 通过 CVD 法或溅射法等,使用选自铝、钨、钛、钽、钼、镍、铂、铜、金、银、锰、钕、碳、硅中的元素、或者以这些元素为主要成分的合金材料或化合物材料以单层或叠层的方式形成导电膜 1913。以铝为主要成分的合金材料例如相当于以铝为主要成分且含有镍的材料、或者以铝为主要成分且含有碳和硅中的一者或两者与镍的合金材料。作为导电膜 1913,例如优选使用由阻挡膜、铝硅 (Al-Si) 膜和阻挡膜组成的叠层结构、或者由阻挡膜、铝硅膜、氮化钛膜和阻挡膜组成的叠层结构。此外,阻挡膜相当于由钛、钛的氮化物、钼或钼的氮化物组成的薄膜。因为铝或者铝硅具有电阻低并且价格低廉的特征,所以作为用于形成导电膜 1913 的材料最合适。此外,当设置上层和下层的阻挡层时,可以防止铝或铝硅的小丘的产生。此外,当形成由高还原性的元素即钛构成的阻挡膜时,即使在结晶半导体膜上形成有较薄的自然氧化膜,也可以使该自然氧化膜还原,而获得与结晶半导体膜的良好接触。

[0145] 接下来,覆盖导电膜 1913 地形成绝缘膜 1914,并且在该绝缘膜 1914 上形成导电膜 1915a、1915b,该导电膜 1915a、1915b 与用作半导体膜 1905a、1905f 的源电极或漏电极的导电膜 1913 的一部分接触。此外,还形成导电膜 1916a、1916b,该导电膜 1916a、1916b 的一部分与形成半导体膜 1905b、1905e 的源电极或漏电极的导电膜 1913 接触。此外,导电膜 1915a、1915b 和导电膜 1916a、1916b 也可以由同一材料形成。导电膜 1915a、1915b 和导电膜 1916a、1916b 可以使用上述可用于导电膜 1913 的任何材料形成。

[0146] 接下来,如图 14B 所示,将用作天线的导电膜 1917a 及 1917b 形成为与导电膜 1916a、1916b 电连接。

[0147] 绝缘膜 1914 通过 CVD 法或溅射法等使用如下材料的单层结构或叠层结构而形成:包含氧或氮的绝缘膜如氧化硅、氮化硅、氧氮化硅、氮氧化硅等、DLC(类金刚石碳)等的包含碳的膜、环氧、聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯、丙烯等的有机材料、或者硅氧烷材料如硅氧烷树脂等。此外,硅氧烷材料相当于包含 Si-O-Si 键的材料。硅氧烷的骨架结构由硅和氧的键构成。作为取代基,使用至少包含氢的有机基(例如烷基、芳烃)。作为取代基,也可以使用氟基。或者,作为取代基,也可以使用至少包含氢的有机基以及氟基。

[0148] 导电膜 1917a 及 1917b 通过 CVD 法、溅射法、印刷法如丝网印刷或凹版印刷等、液滴喷出法、分配器(dispensing)法、镀敷法等使用导电材料形成。导电材料是选自铝、钛、

银、铜、金、铂、镍、钯、钼、钽中的元素、或者以这些元素为主要成分的合金材料或化合物材料,并且以单层结构或叠层结构形成导电膜 1917a 及 1917b。

[0149] 例如,在通过丝网印刷法形成用作天线的导电膜 1917a 及 1917b 的情况下,可以通过选择性地印刷将粒径为几 nm 至几十 μm 的导电粒子溶解或分散于有机树脂中而成的导电膏来设置导电膜 1917a 及 1917b。作为导电粒子,可以使用银、金、铜、镍、铂、钯、钼、钽以及钛等的任何一个以上的金属粒子或卤化银的微粒、或者分散性纳米粒子。作为包含于导电膏的有机树脂,可以使用选自用作金属粒子的粘合剂、溶剂、分散剂及覆盖剂的有机树脂中的一个或多个。可以典型地举出环氧树脂、硅酮树脂等的有机树脂。此外,在形成导电膜时,优选在挤出导电膏之后进行焙烧。例如,在作为导电膏的材料使用以银为主要成分的微粒(例如粒径为 1nm 以上 100nm 以下)的情况下,可以通过在 150℃ 以上 300℃ 以下的温度范围内进行焙烧来硬化,而获得导电膜。此外,也可以使用以焊料或无铅焊料为主要成分的微粒,在此情况下,优选使用粒径 20 μm 以下的微粒。焊料或无铅焊料具有低成本的优点。

[0150] 接下来,如图 14C 所示,在覆盖导电膜 1917a 及 1917b 地形成绝缘膜 1918 之后,从衬底 1901 剥离包括薄膜晶体管 1900a 至 1900f、导电膜 1917a 及 1917b 等的层(以下写为“元件形成层 1919”)。在此,可以通过照射激光束(例如 UV 光)在除了薄膜晶体管 1900a 至 1900f 以外的区域中形成开口部之后,利用物理力从衬底 1901 剥离元件形成层 1919。此外,也可以在从衬底 1901 剥离元件形成层 1919 之前,将蚀刻剂引入到形成的开口部中来选择性地去除剥离层 1903。作为蚀刻剂,使用含氟化卤素或卤素化合物的气体或液体。例如,作为含氟化卤素的气体使用三氟化氯(ClF_3)。于是,元件形成层 1919 处于从衬底 1901 剥离了的状态。此外,剥离层 1903 可以部分地残留而不完全去除。通过上述方式,可以抑制蚀刻剂的消耗量,并且缩短为去除剥离层所花费的处理时间。此外,在去除剥离层 1903 之后,也可以在衬底 1901 上保持元件形成层 1919。此外,通过再利用剥离了元件形成层 1919 的衬底 1901,可以缩减成本。

[0151] 绝缘膜 1918 通过 CVD 法或溅射法等使用如下材料的单层结构或叠层结构而形成:包含氧或氮的绝缘膜如氧化硅、氮化硅、氧氮化硅、氮氧化硅等、DLC(类金刚石碳)等的包含碳的膜、环氧、聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯、丙烯等的有机材料、或硅氧烷材料如硅氧烷树脂等。

[0152] 在本实施方式中,如图 15A 所示,在通过激光束的照射在元件形成层 1919 中形成开口部之后,将第一片材 1920 贴合到该元件形成层 1919 的一个表面(露出绝缘膜 1918 的面),然后从衬底 1901 剥离元件形成层 1919。

[0153] 接下来,如图 15B 所示,将第二片材 1921 贴合到元件形成层 1919 的另一个表面(因剥离而露出的面),然后进行加热处理和加压处理中的一者或两者,来贴合第二片材 1921。作为第一片材 1920、第二片材 1921,可以使用热熔膜等。

[0154] 作为第一片材 1920、第二片材 1921,也可以使用进行了防止静电等的带电防止处理的膜(以下写为带电防止膜)。作为带电防止膜,可以举出在树脂中分散有带电防止材料的膜、以及贴有带电防止材料的膜等。作为提供有带电防止材料的膜,既可采用单面上提供有带电防止材料的膜,又可采用双面上提供有带电防止材料的膜。关于单面上提供有带电防止材料的膜,既可将提供有带电防止材料的一面置于膜的内侧地贴到层上,又可将提供有带电防止材料的一面置于膜的外侧地贴到层上。此外,带电防止材料提供在膜的整个

面或一部分上即可。在此,作为带电防止材料,可以使用金属、铟和锡的氧化物(ITO)、界面活性剂如两性界面活性剂、阳离子界面活性剂、非离子界面活性剂等。此外,作为带电防止材料,除了上述以外,还可以使用包含具有羧基和季铵碱作为侧链的交联共聚物高分子的树脂材料等。可以通过将这些材料贴在膜上,揉入在膜中,或者涂敷在膜上而形成带电防止膜。通过使用带电防止膜进行密封,可以抑制当作为商品使用时来自外部的静电等给半导体元件造成的负面影响。

[0155] 在本实施方式中示出从衬底 1901 剥离元件形成层 1919 而利用的例子,然而也可以不设置剥离层 1903,而在衬底 1901 上制造上述元件形成层 1919,来作为半导体装置而利用。当作为衬底 1901 使用 SOI(Silicon onInsulator;绝缘体上硅)衬底时,作为半导体膜可以使用单晶半导体膜,因而可以省略半导体膜的晶化步骤。

[0156] 如上所述,通过使用本实施方式的制造方法,可以提供一种半导体装置,该半导体装置小,具有对物理形状的柔软性,并包括能够产生稳定时钟信号的本发明的时钟信号产生电路。

[0157] 本实施方式可以与其他实施方式适当地组合。

[0158] 实施方式 5

[0159] 在本实施方式中,说明通过使用形成于单晶衬底的晶体管制造具有本发明的时钟信号产生电路的半导体装置的例子。

[0160] 首先,如图 16A 所示,在半导体衬底 2300 上形成用来使半导体元件电分离的元件分离绝缘膜 2301。通过形成元件分离绝缘膜 2301,可以使用来形成晶体管的区域(元件形成区 2302 和元件形成区 2303)电分离。

[0161] 作为半导体衬底 2300,例如可以使用具有 n 型或 p 型导电类型的单晶硅衬底、化合物半导体衬底(GaAs 衬底、InP 衬底、GaN 衬底、SiC 衬底、蓝宝石衬底、ZnSe 衬底等)、以及使用贴合法或 SIMOX(Separation byImplanted Oxygen;注入氧隔离)法来制造的 SOI 衬底。再者,在使用 SOI 衬底的情况下,也可以采用将 SOI 衬底贴合在玻璃衬底上的结构。

[0162] 作为元件分离绝缘膜 2301 的形成方法,可以使用选择氧化法(LOCOS;Local Oxidation of Silicon)或沟槽隔离法等。

[0163] 另外,本实施方式示出了使用具有 n 型导电类型的单晶硅衬底作为半导体衬底 2300,并且在元件形成区 2303 中形成 p 阱 2304 的例子。形成在半导体衬底 2300 的元件形成区 2303 中的 p 阱 2304 可以通过将赋予 p 型导电类型的杂质元素选择性地引入到元件形成区 2303 中来形成。作为赋予 p 型的杂质元素,可以使用硼、铝、镓等。另外,在使用具有 p 型导电类型的半导体衬底作为半导体衬底 2300 的情况下,将赋予 n 型的杂质元素选择性地引入到元件形成区 2302 中来形成 n 阱即可。

[0164] 注意,在本实施方式中,因为使用具有 n 型导电类型的半导体衬底作为半导体衬底 2300,所以对元件形成区 2302 没有引入杂质元素。但是,也可以通过引入赋予 n 型的杂质元素而在元件形成区 2302 中形成 n 阱。作为赋予 n 型的杂质元素,可以使用磷和砷等。

[0165] 接着,如图 16B 所示,以覆盖元件形成区 2302、2303 的方式分别形成绝缘膜 2305、2306。在本实施方式中,将通过使半导体衬底 2300 热氧化而形成在元件形成区 2302、2303 的氧化硅膜用作绝缘膜 2305、2306。另外,也可以在通过热氧化来形成氧化硅膜之后进行氮化处理,使氧化硅膜的表面氮化来形成氧氮化硅膜,以将层叠有氧化硅膜和氧氮化硅膜的

层用作绝缘膜 2305、2306。

[0166] 另外,也可以采用等离子体处理来形成绝缘膜 2305、2306。例如,通过利用高密度等离子体处理使半导体衬底 2300 的表面氧化或氮化,可以在元件形成区 2302、2303 上形成用作绝缘膜 2305、2306 的氧化硅膜或氮化硅膜。

[0167] 接着,如图 16C 所示,以覆盖绝缘膜 2305、2306 的方式形成导电膜。在本实施方式中,示出了使用按顺序层叠了的导电膜 2307 和导电膜 2308 作为导电膜的例子。作为导电膜,可以使用单层导电膜,也可以使用层叠有三层以上的导电膜的结构。

[0168] 作为导电膜 2307、2308,可以使用钽、钨、钛、钼、铝、铜、铬或铌等。另外,作为导电膜 2307、2308,除了使用由上述金属形成的膜以外,还可以使用由以上述金属为主要成分的合金形成的膜或使用包含上述金属的化合物来形成的膜。或者,也可以使用对半导体膜掺杂赋予导电性的磷等杂质元素而形成的多晶硅等半导体来形成。在本实施方式中,使用氮化钽形成导电膜 2307,并且使用钨形成导电膜 2308。

[0169] 接着,如图 17A 所示,通过将层叠设置的导电膜 2307、2308 加工成预定形状(图案形成等),在绝缘膜 2305、2306 上形成栅电极 2309、2310。

[0170] 接着,如图 17B 所示,以覆盖元件形成区 2302 的方式使用抗蚀剂选择性地形成掩模 2311。然后,对元件形成区 2303 引入杂质元素。除了掩模 2311 以外,栅电极 2310 也用作掩模,所以通过引入上述杂质元素,在 p 阱 2304 中形成用作源区或漏区的杂质区 2312 和沟道形成区 2313。作为杂质元素,使用赋予 n 型的杂质元素或赋予 p 型的杂质元素。作为赋予 n 型的杂质元素,可以使用磷或砷等。作为赋予 p 型的杂质元素,可以使用硼、铝、镓等。在本实施方式中,使用磷作为杂质元素。

[0171] 接着,在去除掩模 2311 之后,如图 17C 所示,以覆盖元件形成区 2303 的方式使用抗蚀剂选择性地形成掩模 2314。然后,对元件形成区 2302 引入杂质元素。除了掩模 2314 以外,栅电极 2309 也用作掩模,所以通过引入上述杂质元素,在元件形成区 2302 内的半导体衬底 2300 中形成用作源区或漏区的杂质区 2315 和沟道形成区 2316。作为杂质元素,使用赋予 n 型的杂质元素或赋予 p 型的杂质元素。作为赋予 n 型的杂质元素,可以使用磷或砷等。作为赋予 p 型的杂质元素,可以使用硼、铝、镓等。在本实施方式中,引入具有与在图 17B 中对元件形成区 2303 引入的杂质元素不同的导电类型的杂质元素(例如硼)。

[0172] 接着,如图 18A 所示,以覆盖绝缘膜 2305、2306、栅电极 2309、2310 的方式形成绝缘膜 2317。然后,在绝缘膜 2317 中形成接触孔,使杂质区 2312、2315 的一部分露出。接着,形成通过接触孔与杂质区 2312、2315 连接的导电膜 2318。导电膜 2318 可以通过 CVD 法或溅射法等形成。

[0173] 绝缘膜 2317 可以使用无机材料、有机材料或有机材料及无机材料的混合材料来形成。例如,可以使用氧化硅、氧氮化硅、氮氧化硅、以 DLC(类金刚石碳)为代表的含碳的膜、丙烯、环氧、聚酰亚胺、聚酰胺、聚乙烯苯酚、苯并环丁烯等。另外,绝缘膜 2317 可以根据其材料通过 CVD 法、溅射法、液滴喷出法或印刷法等形成。

[0174] 注意,用于本发明的半导体装置的晶体管不局限于在本实施方式中示出于附图上的结构。例如,也可以是反交错(inversely staggered)结构。

[0175] 接着,如图 18B 所示,形成层间膜 2324。然后蚀刻层间膜 2324 来形成接触孔,以使导电膜 2318 的一部分露出。层间膜 2324 不局限于树脂,也可以为 CVD 氧化膜等的其他膜,

但是,从平坦性的观点来看,优选为树脂。此外,也可以使用感光树脂,来以不进行蚀刻的方式形成接触孔。接着,在层间膜 2324 上形成通过接触孔与导电膜 2318 接触的布线 2325。

[0176] 接着,以与布线 2325 接触的方式形成用作天线的导电膜 2326。导电膜 2326 可以使用银、金、铜、钼、铬、铂、钨、钛、钽、钨、铝、铁、钴、锌、锡、镍等金属来形成。作为导电膜 2326,除了使用由上述金属形成的膜之外,还可以使用由以上述金属为主要成分的合金形成的膜或使用包含上述金属的化合物来形成的膜。导电膜 2326 可以以单层使用上述膜,也可以层叠使用上述多个膜。

[0177] 导电膜 2326 可以通过使用 CVD 法、溅射法、印刷法如丝网印刷或凹版印刷等、液滴喷出法、分配器法、镀敷法、光刻法、气相沉积法等来形成。

[0178] 注意,在本实施方式中虽然说明了在与半导体元件相同的衬底上形成天线的实例,但本发明不局限于该结构。也可以在形成半导体元件之后,使另外形成的天线与具有该半导体元件的集成电路电连接。在此情况下,可以通过使用各向异性导电膜 (ACF; Anisotropic Conductive Film) 或各向异性导电膏 (ACP; Anisotropic Conductive Paste) 等使天线和集成电路压合,来使它们电连接。另外,也可以使用银膏、铜膏或碳膏等导电粘结剂或焊接等来实现连接。

[0179] 如上所述,通过使用本实施方式的制造方法,可以抑制晶体管的特性不均匀性,因此可以减少用于半导体装置的晶体管数量,而且可以提供一种包括能够产生稳定时钟信号的本发明的时钟信号产生电路的半导体装置。

[0180] 本实施方式可以与其他实施方式适当地组合。

[0181] 实施方式 6

[0182] 在本实施方式中,说明具有上述实施方式的时钟信号产生电路的半导体装置的使用例子。

[0183] 图 19A 至 19F 示出具有上述实施方式的时钟信号产生电路的半导体装置的使用例子。半导体装置可以广泛应用,例如可以提供到物品如钞票、硬币、证券、无记名债券、证书(驾驶证、居民卡等,参照图 19A)、记录媒体(DVD 软件、录像带等,参照图 19B)、包装用容器(包装纸、瓶子等,参照图 19C)、车辆(自行车等,参照图 19D)、个人物品(包、眼镜等)、食物、植物、动物、人体、衣服、生活器具、电子器具(液晶显示器、EL 显示器、电视装置、或便携式电话机)等,或者可以提供到包裹运输标签(参照图 19E 和 19F)等。

[0184] 本发明的半导体装置 4000 以安装在印刷衬底上、附着到表面上、或者嵌入的方式固定到物品上。例如,半导体装置嵌入在书本的纸张里,或者嵌入在包装的有机树脂里以在每个物品中固定。就根据本发明的半导体装置 4000 而言,因为实现了尺寸小、厚度薄以及重量轻,所以即使在固定到物品中以后也不会影响到所述物品本身的设计性。另外,通过在钞票、硬币、证券、无记名债券和证书等中提供本发明的半导体装置 4000,可以提供认证功能,而且通过利用所述认证功能可以防止对其的伪造。另外,可以通过在包装用容器、记录媒体、个人物品、食物、衣服、生活器具和电子器具等中提供本发明的半导体装置 4000,提高检测系统等的系统运行效率。另外,通过在车辆中提供本发明的半导体装置 4000,可以提高防止偷窃等的安全性。

[0185] 如上所述,通过将具有本发明的时钟信号产生电路的半导体装置适用于本实施方式中举出的各种用途,可以实现稳定的工作,由此可以提高物品的认证性或安全性等。

[0186] 本实施方式可以与其他实施方式适当地组合。

[0187] 本说明书根据 2007 年 4 月 27 日在日本专利局受理的日本专利申请编号 2007-117849 而制作,所述申请内容包括在本说明书中。

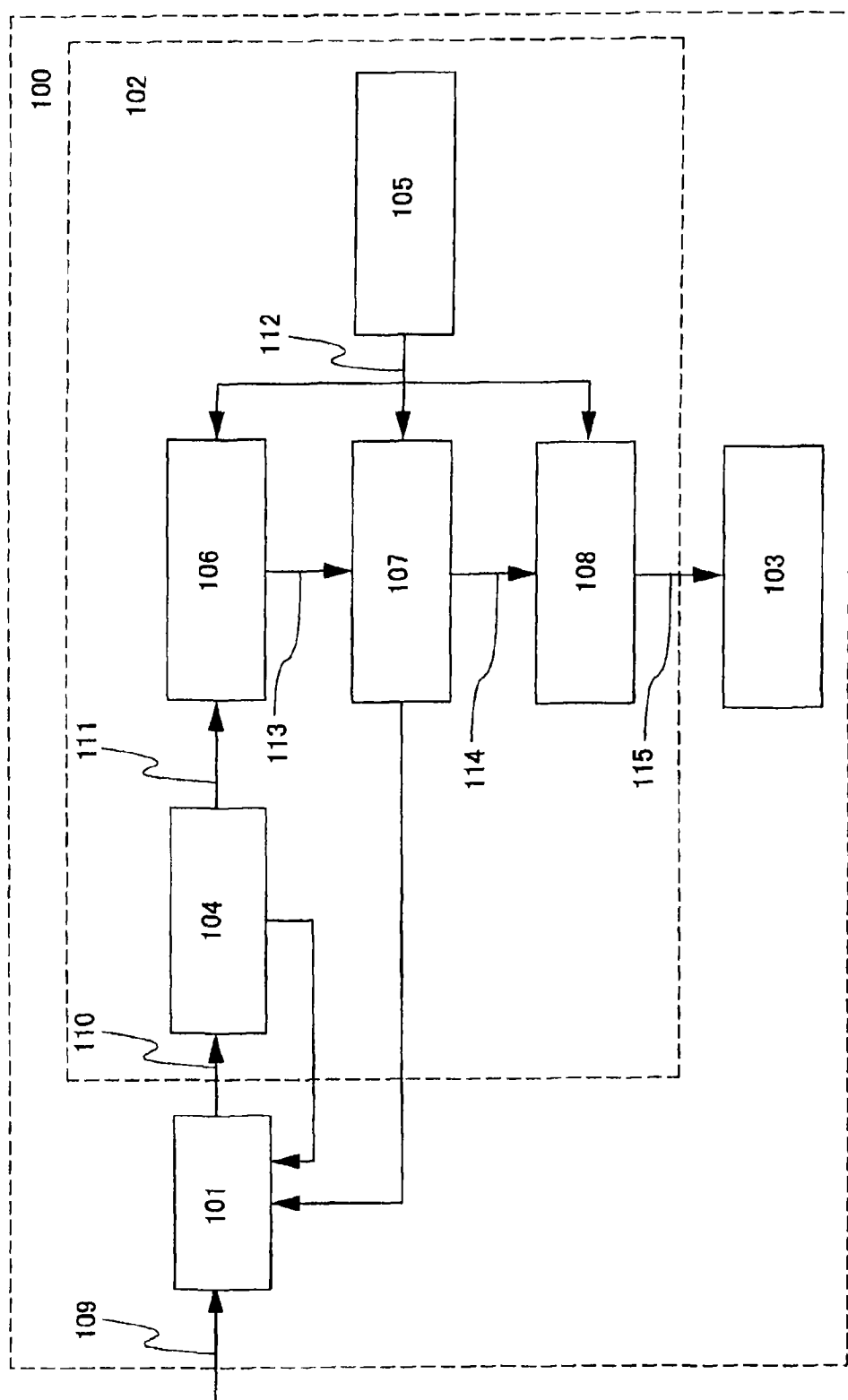


图 1

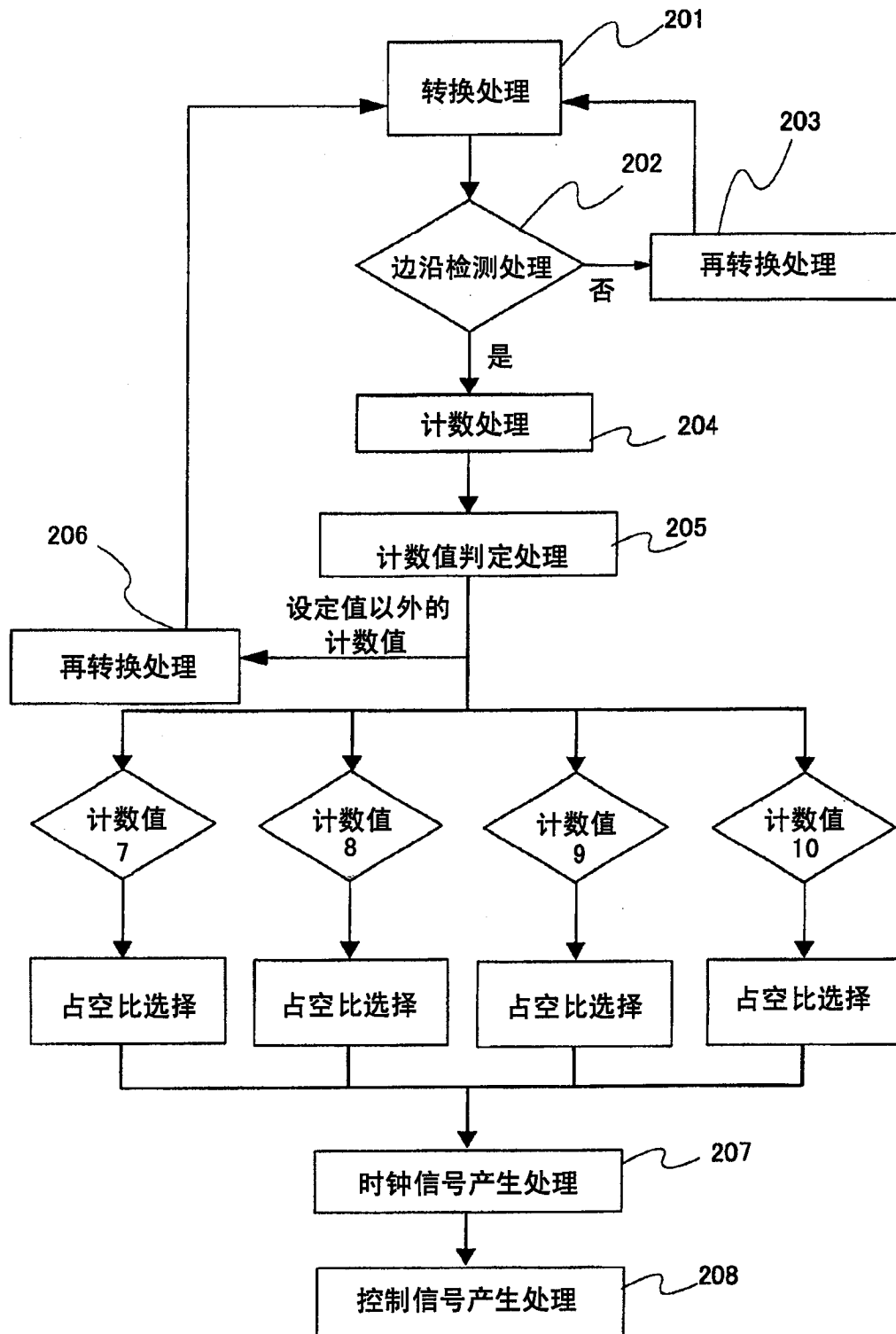


图 2

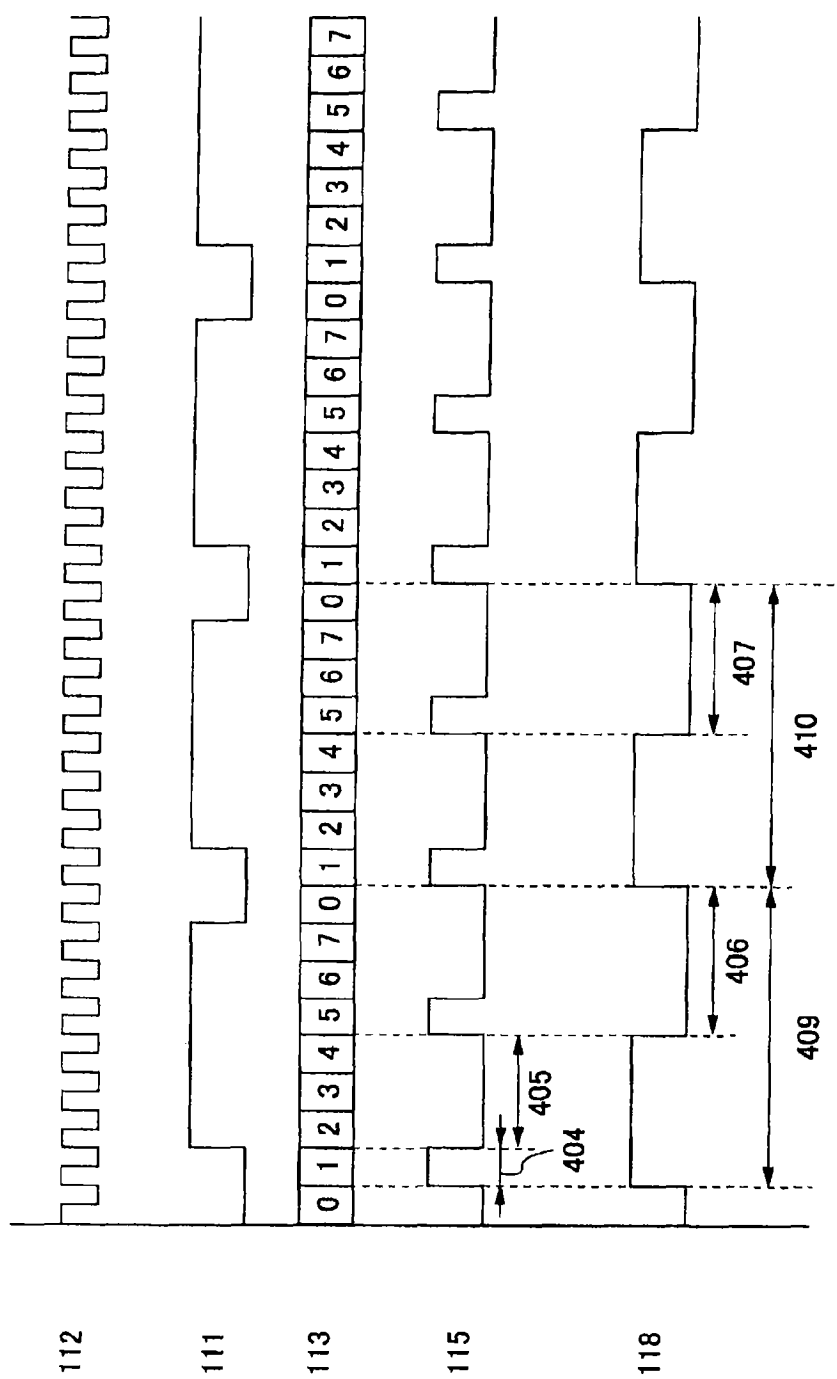


图 3

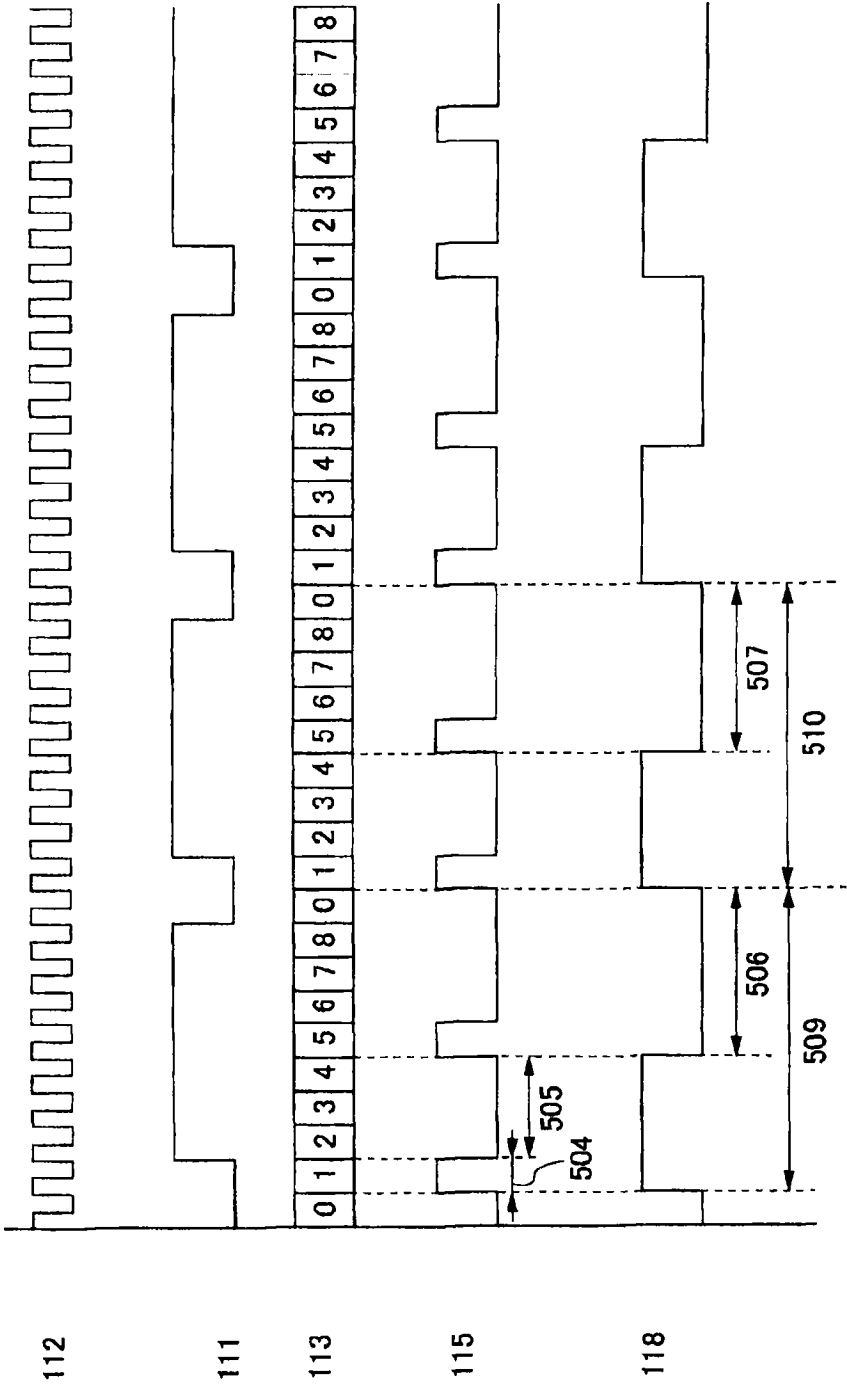


图 4

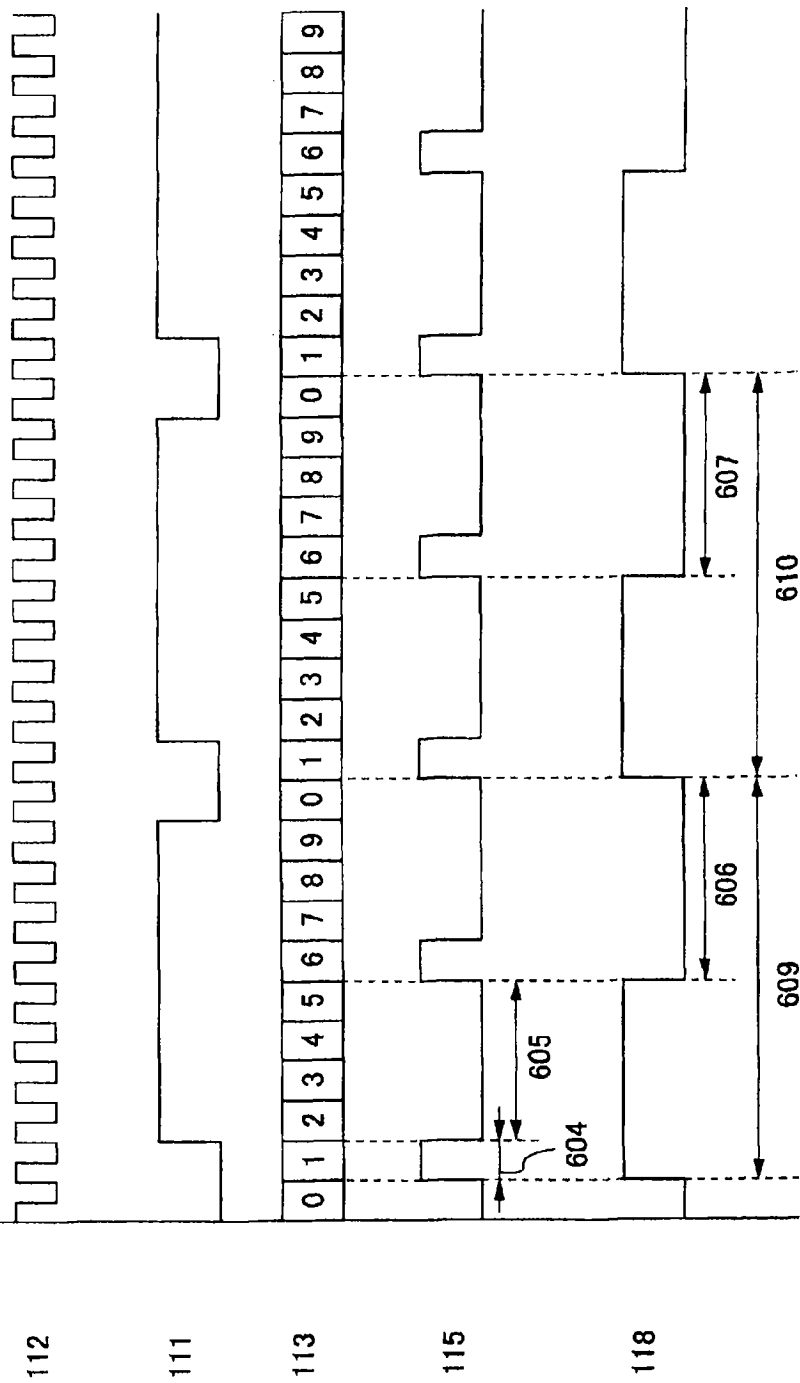


图 5

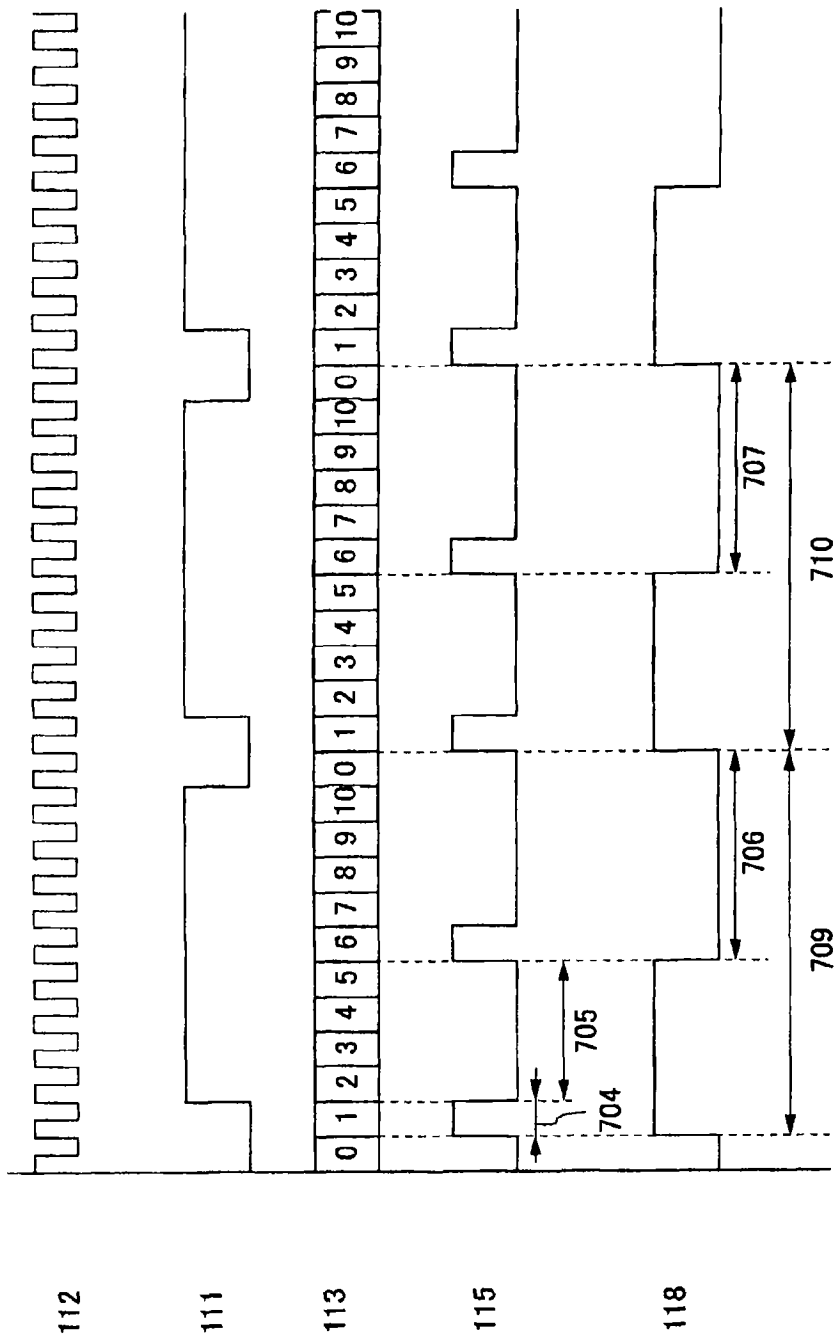


图 6

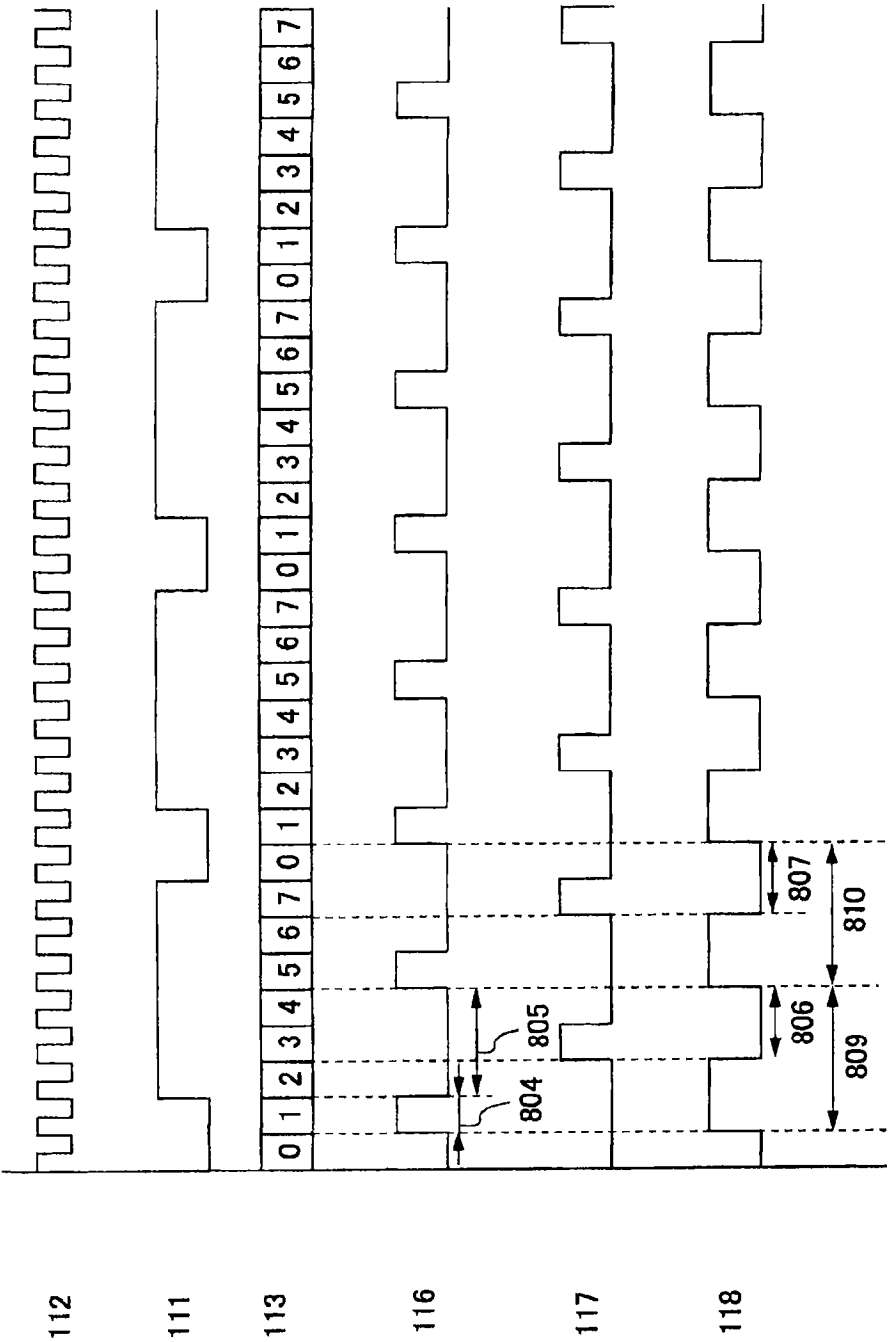


图 7

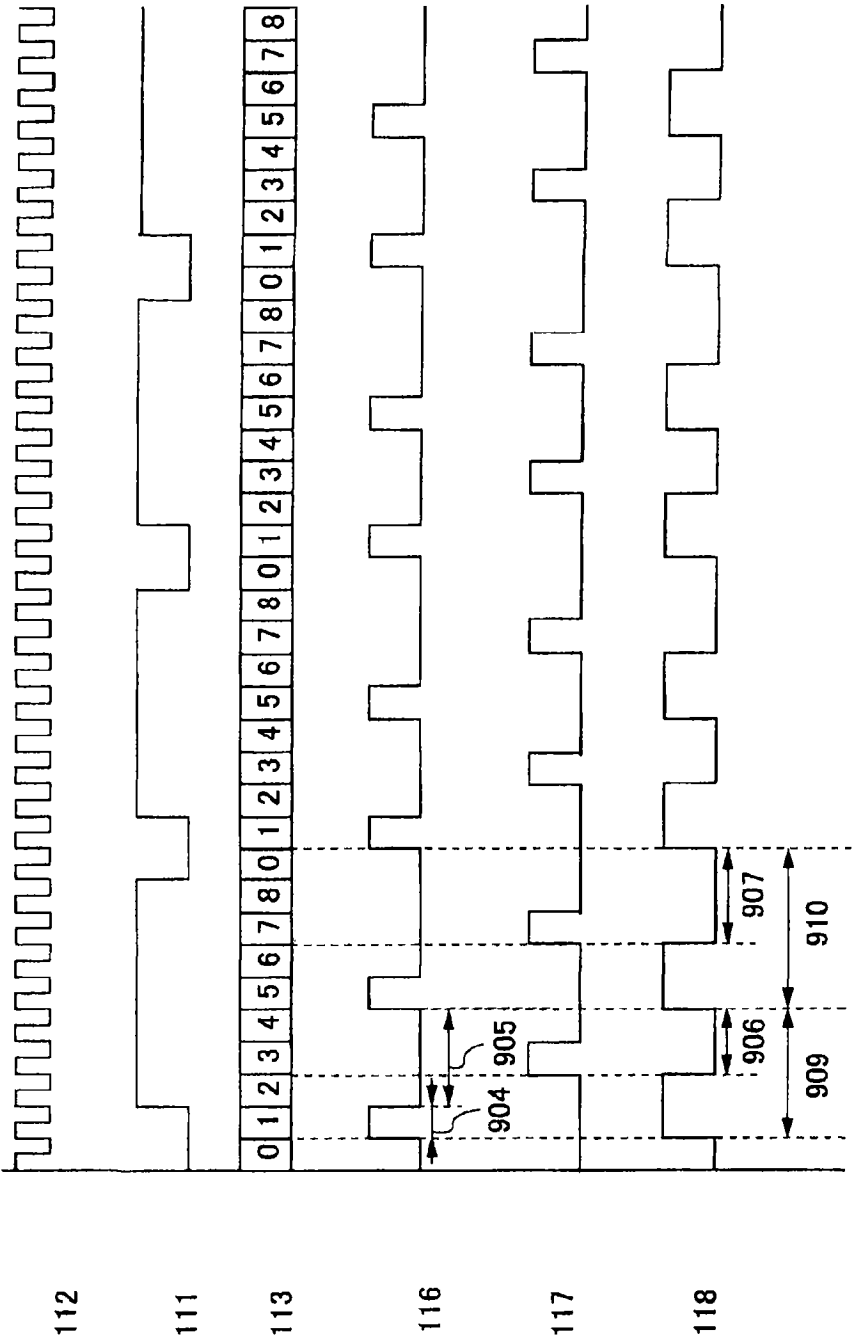


图 8

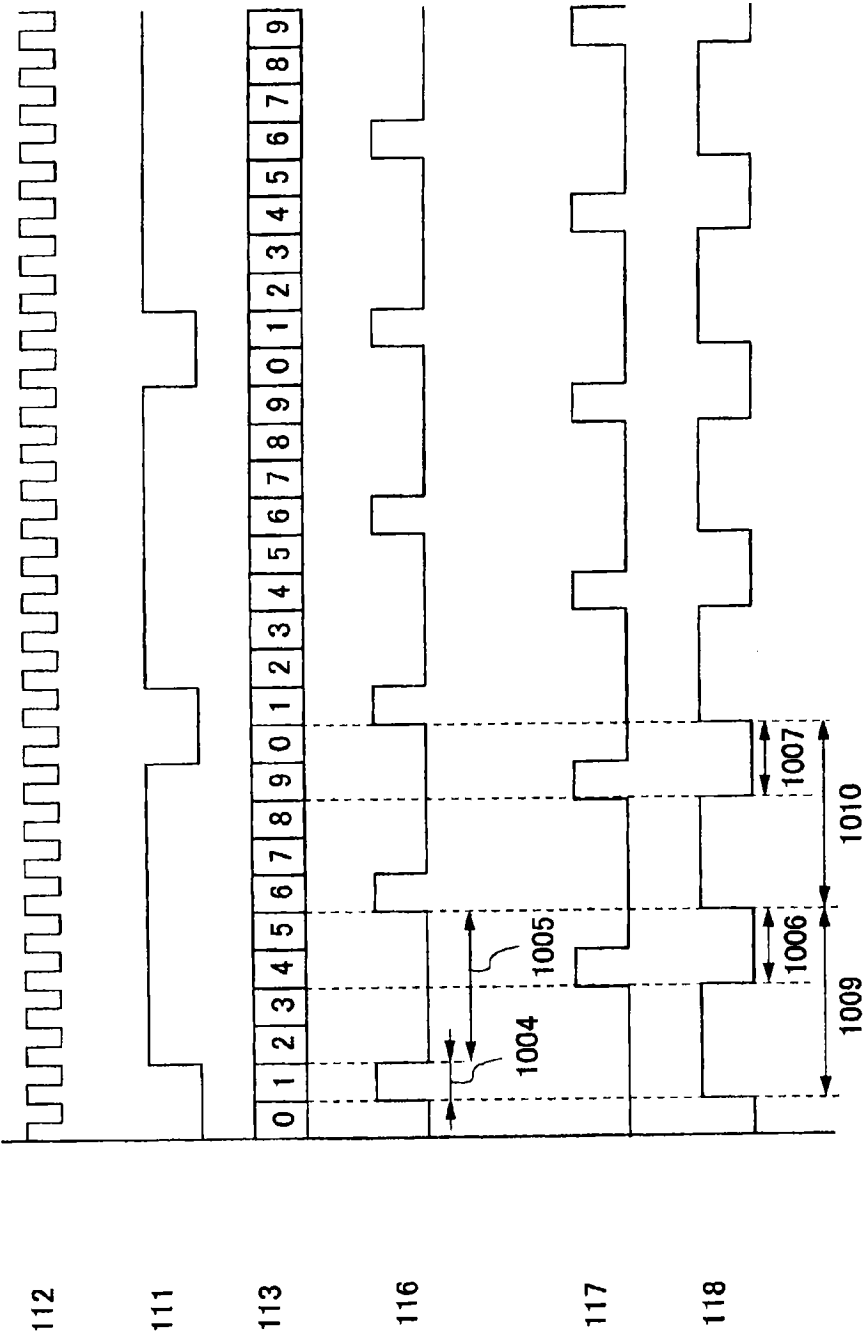


图 9

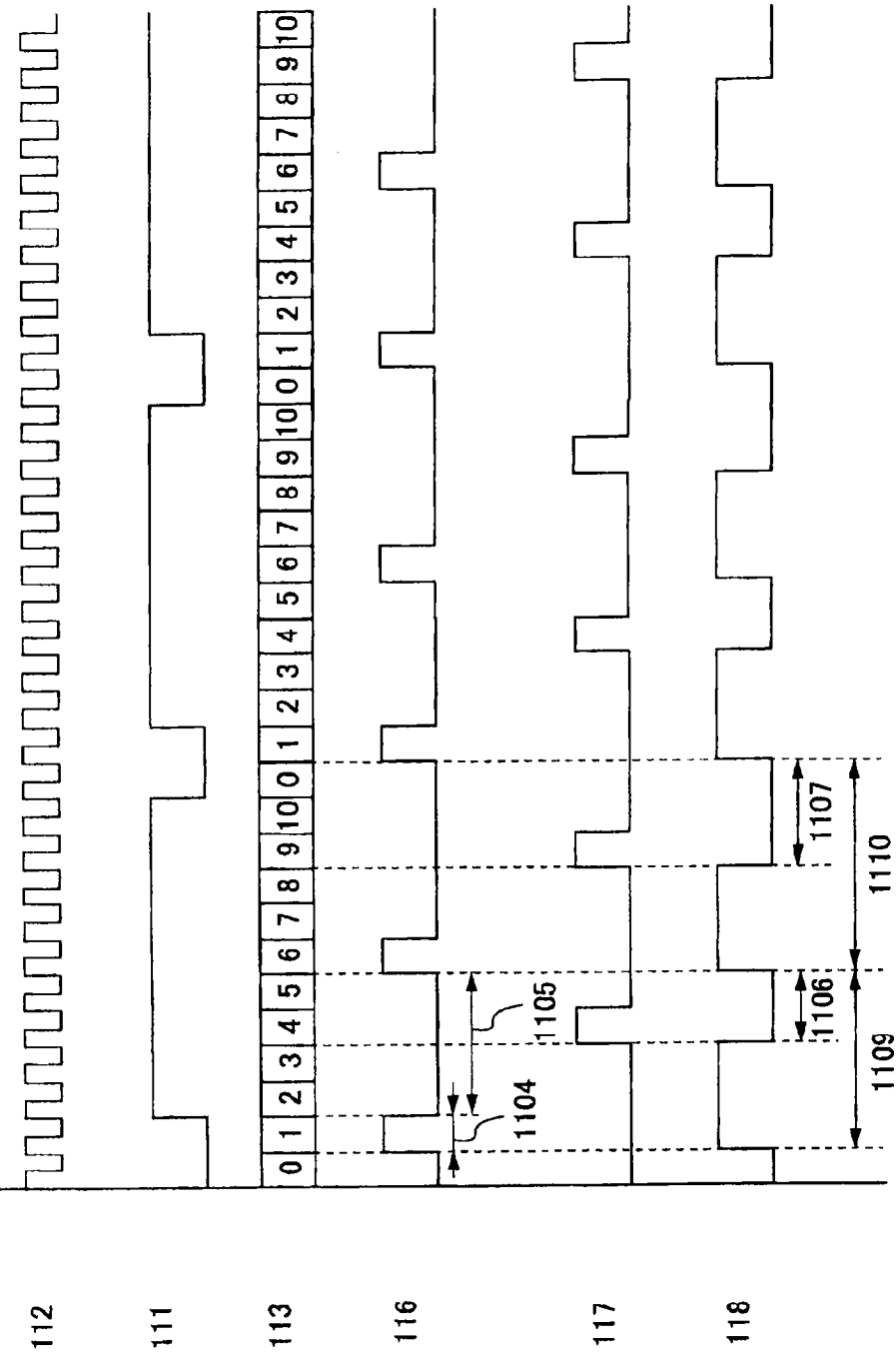


图 10

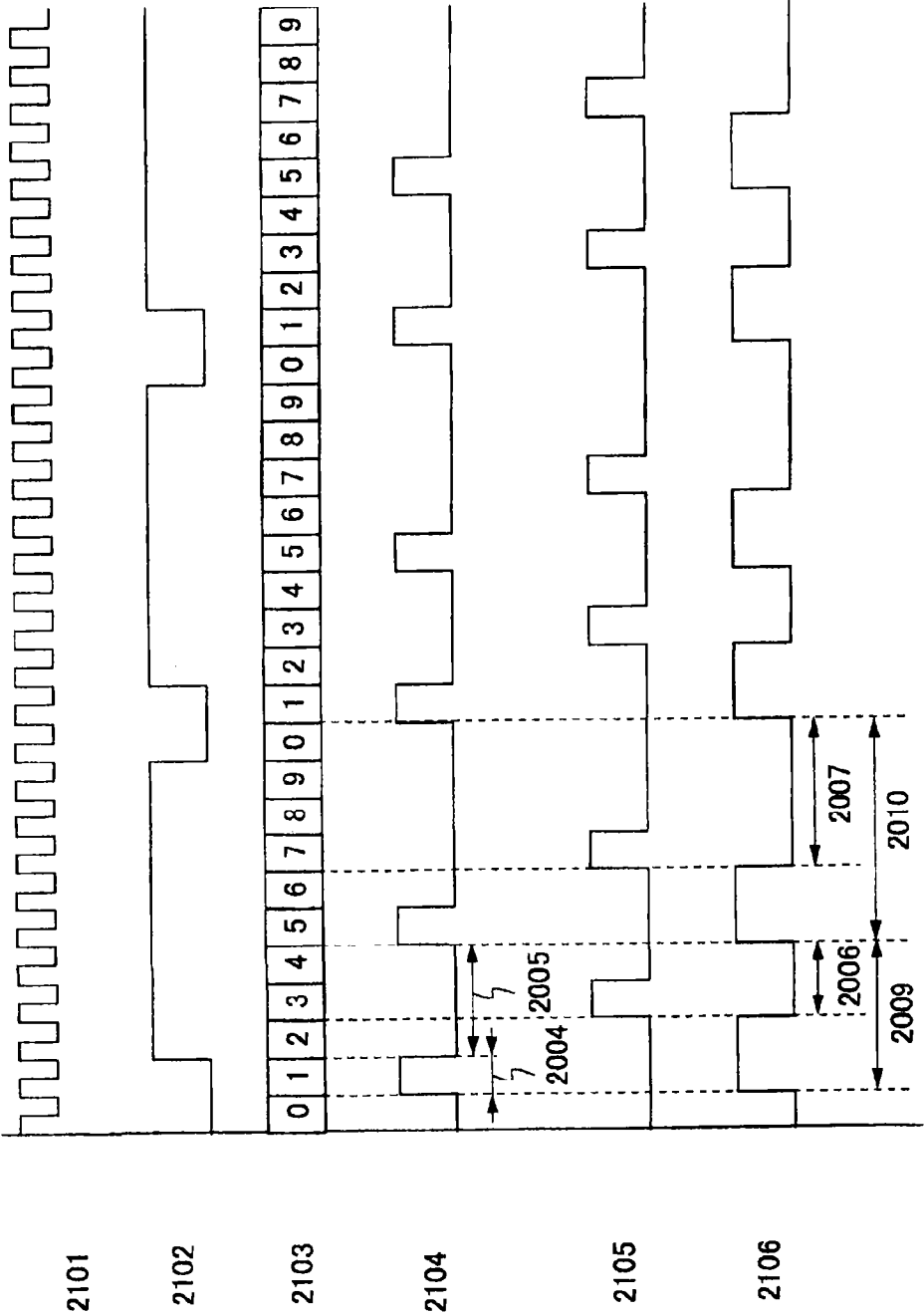


图 11

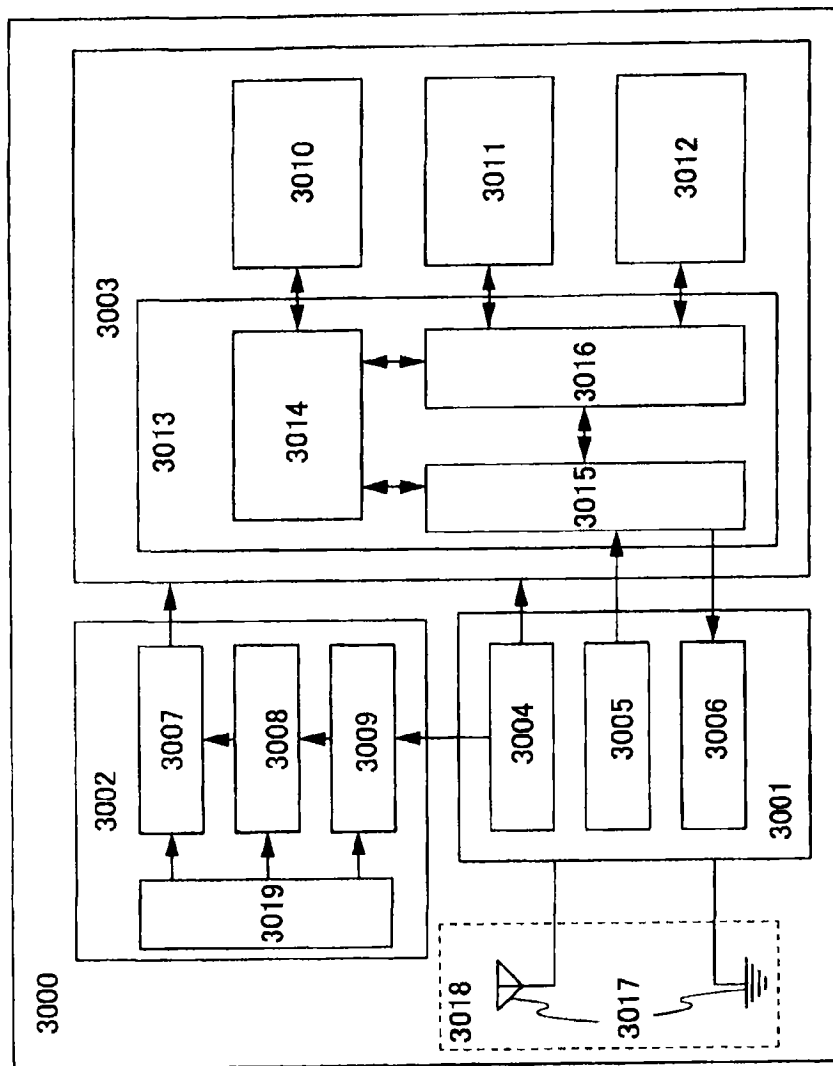


图 12

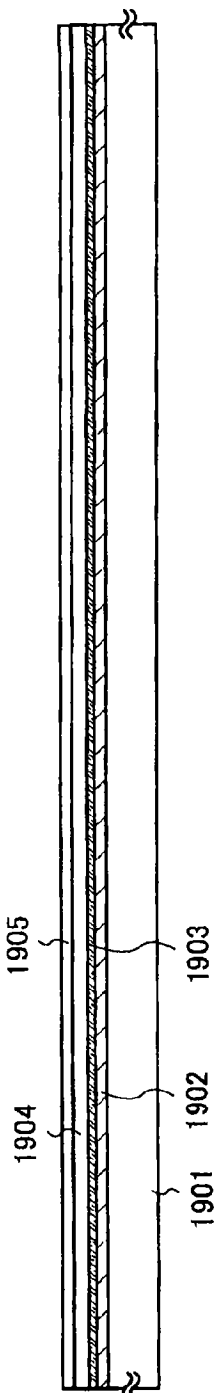


图 13A

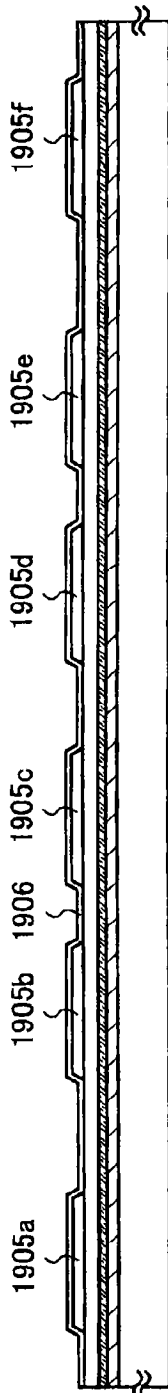


图 13B

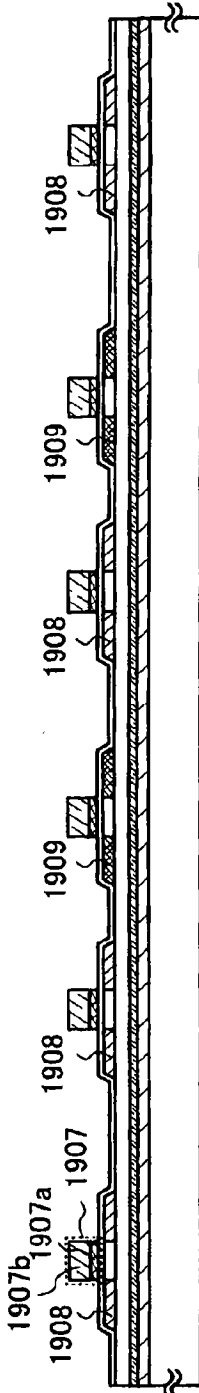


图 13C

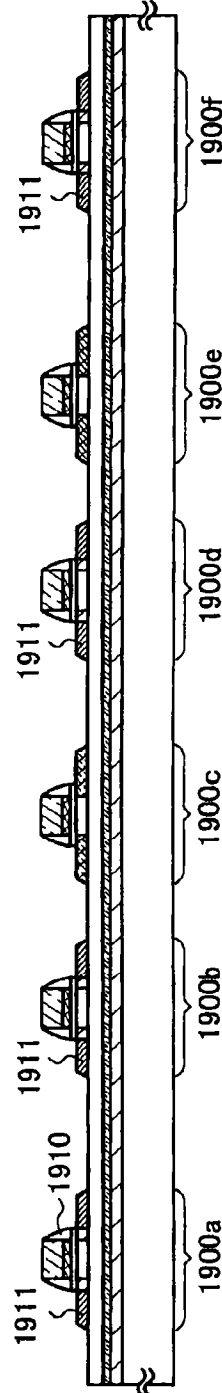


图 13D

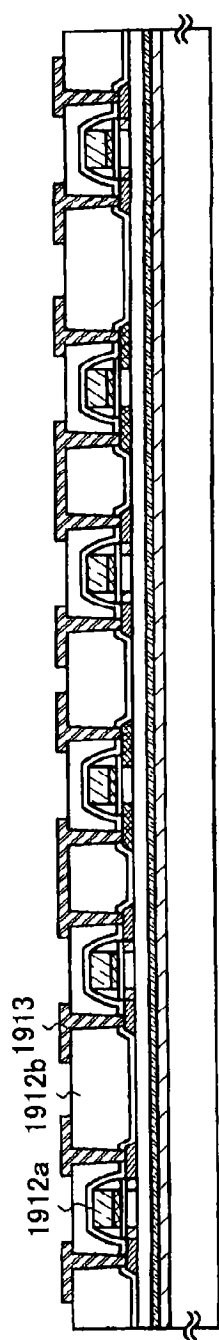


图 14A

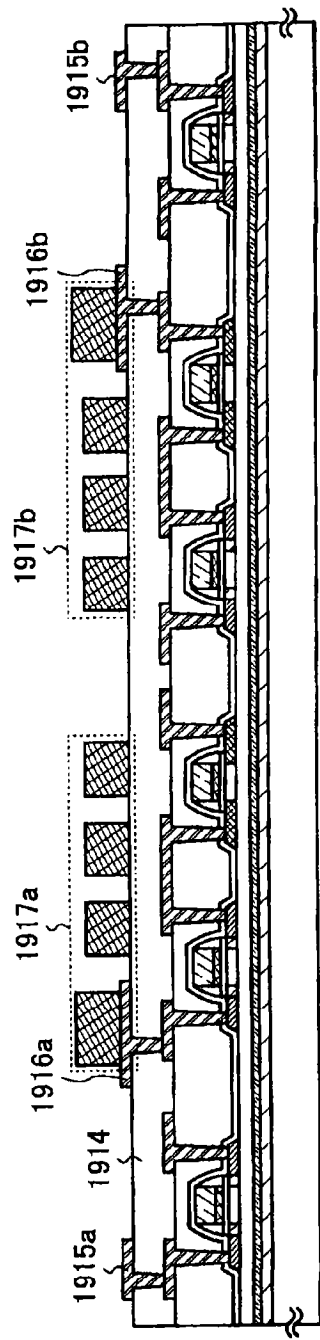


图 14B

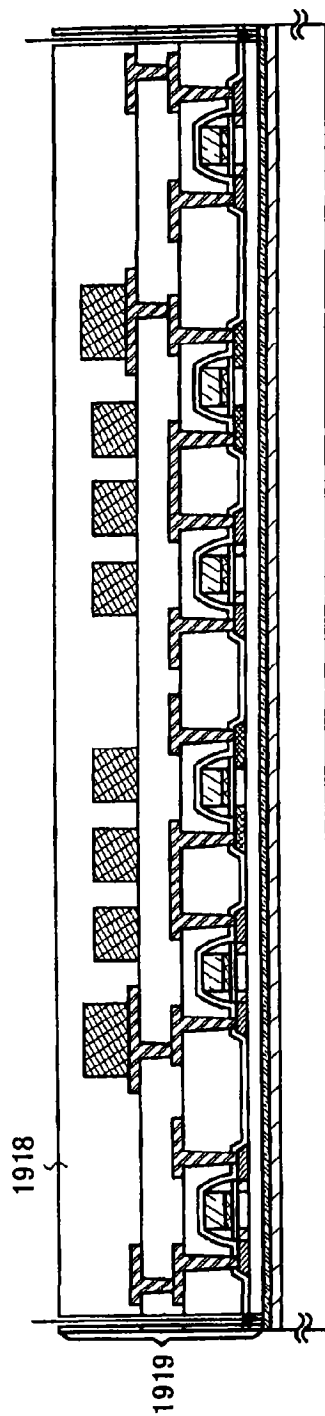


图 14C

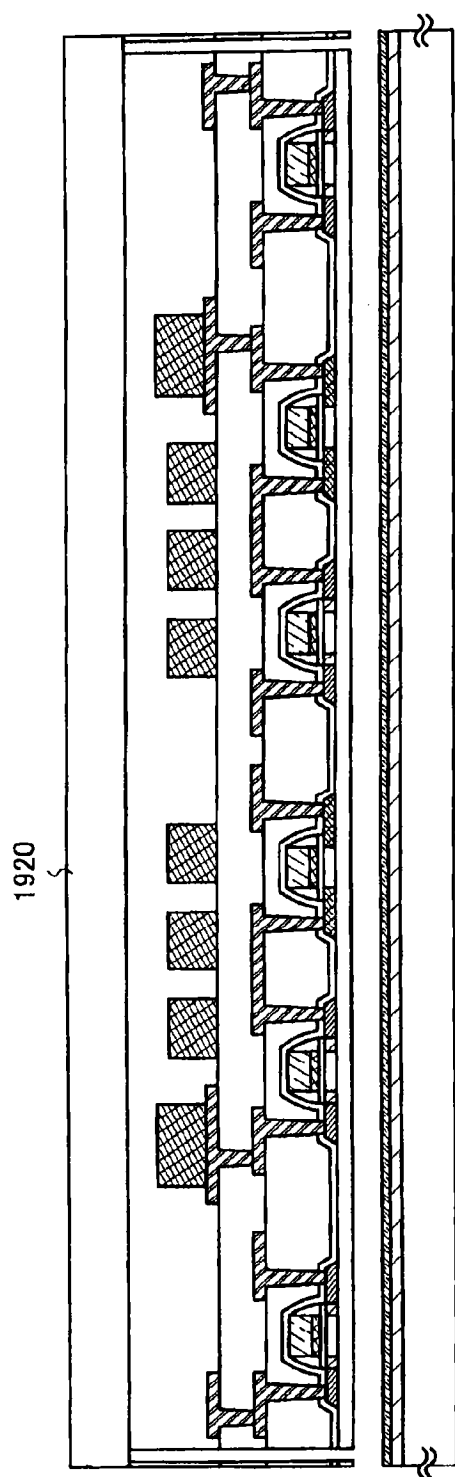


图 15A

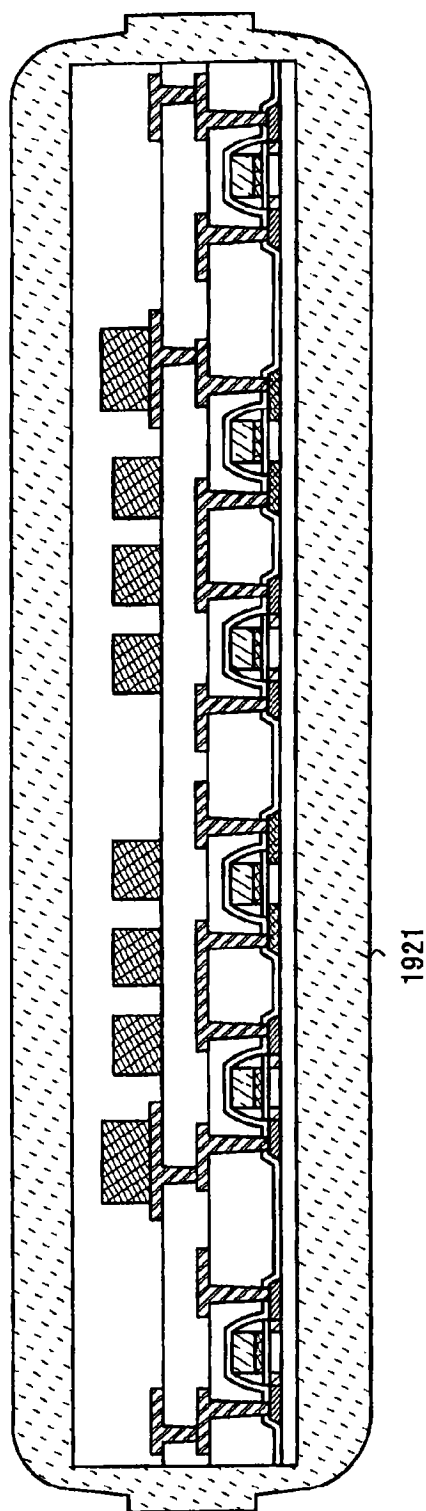


图 15B

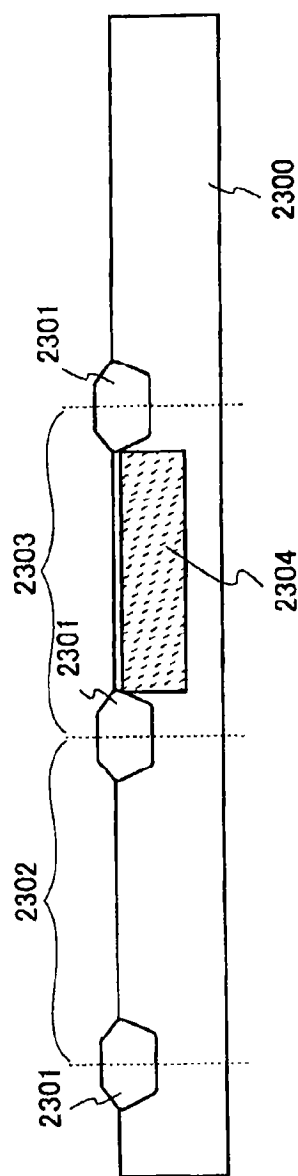


图 16A

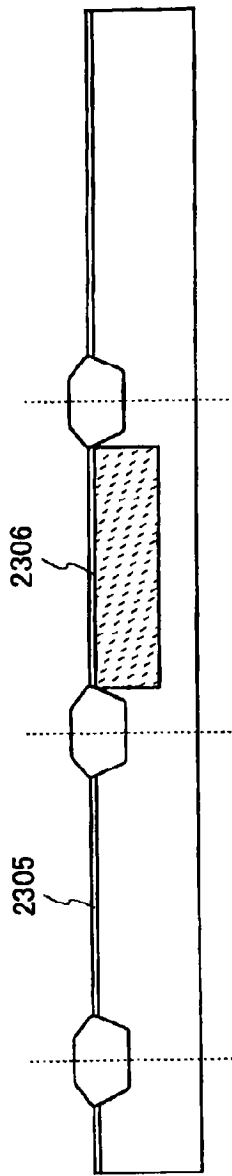


图 16B

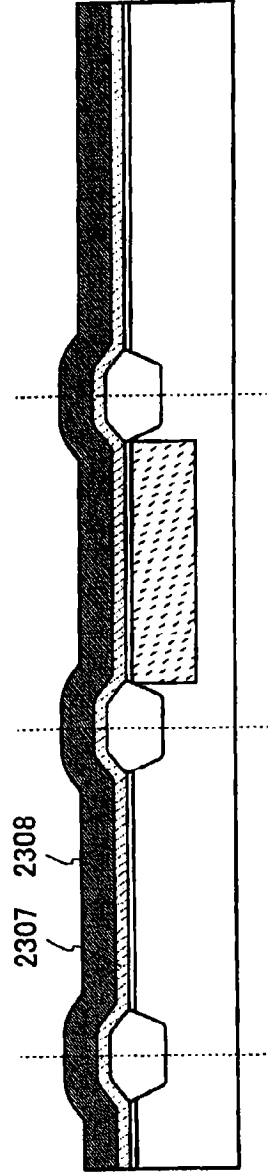


图 16C

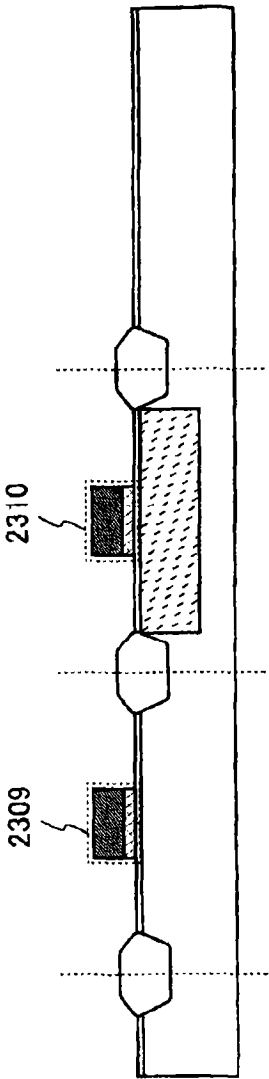


图 17A

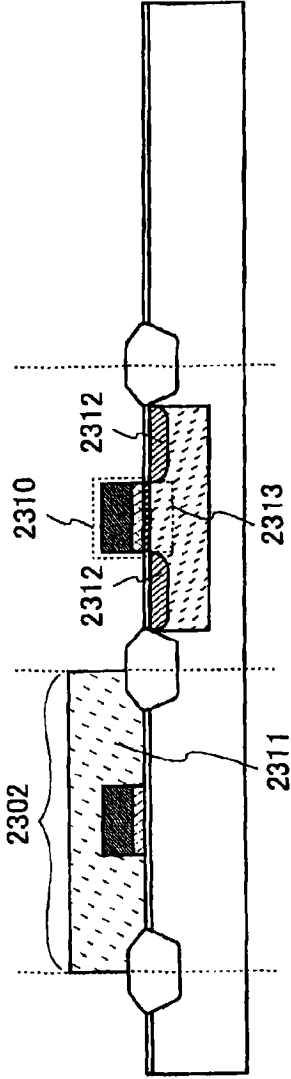


图 17B

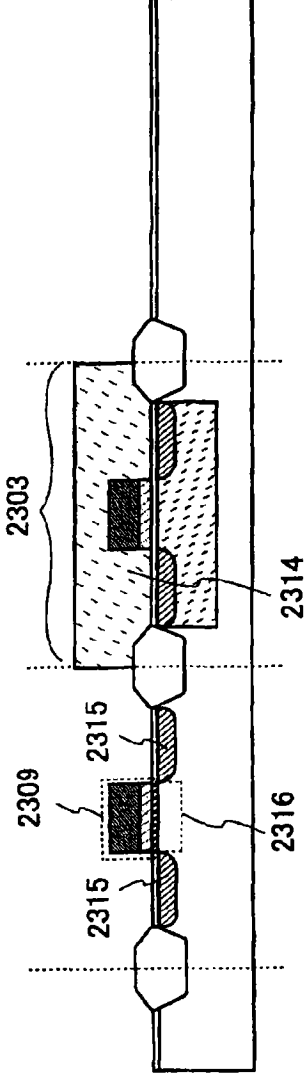


图 17C

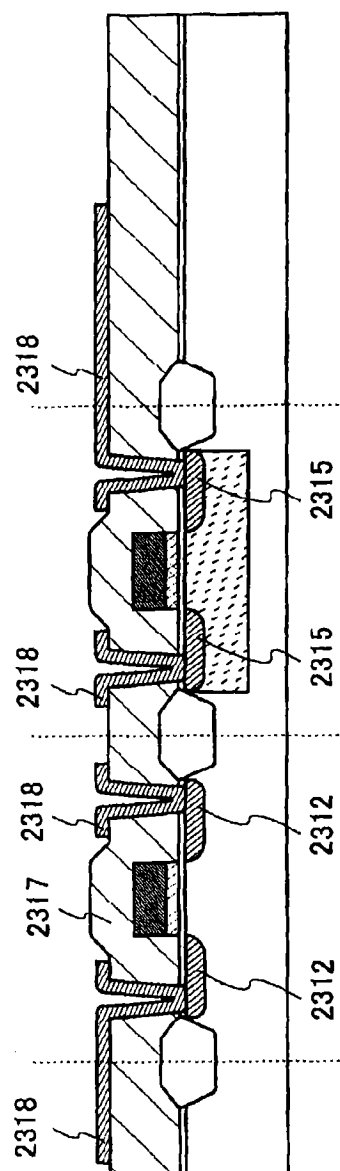


图 18A

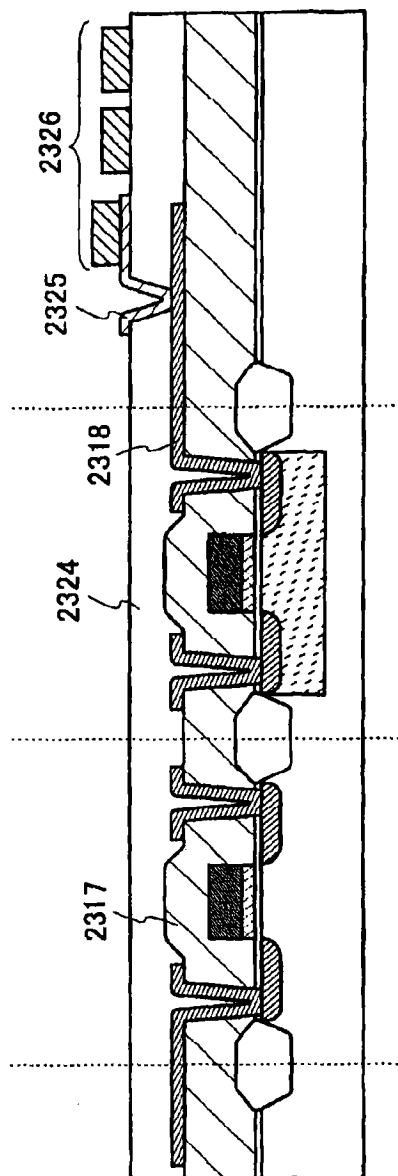


图 18B

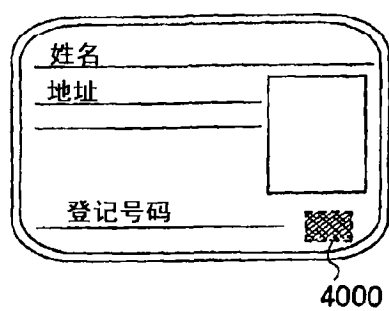


图 19A

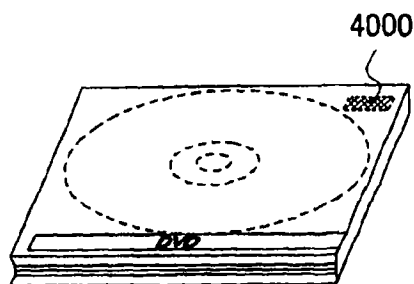


图 19B

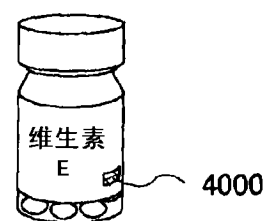


图 19C

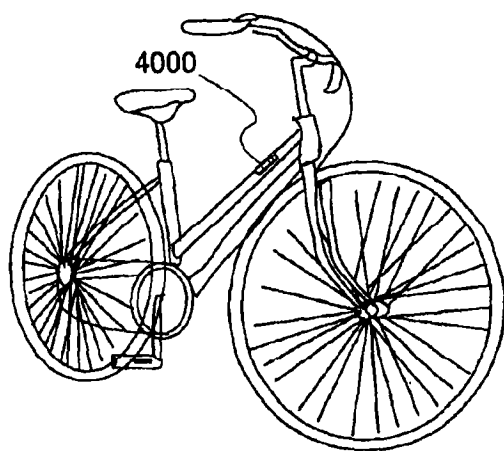


图 19D

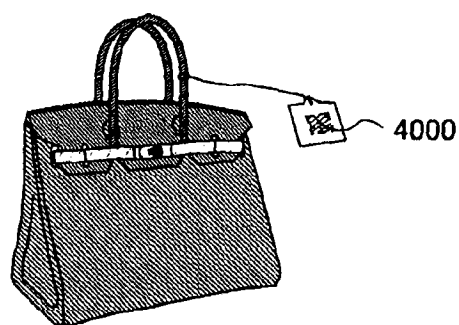


图 19E

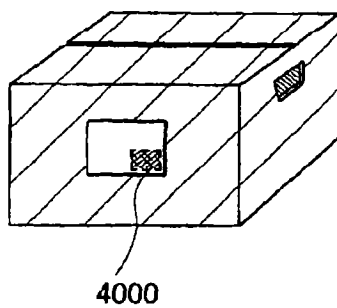


图 19F