(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 27/10

(45) 공고일자 2004년06월16일
(11) 등록번호 10-0417056
(24) 등록일자 2004년01월19일

(21) 출원번호 10-1996-0034584
(22) 출원일자 1996년08월21일

(65) 공개번호 10-1997-0013336
(43) 공개일자 1997년03월29일

(30) 우선권주장 95-237664 1995년08월23일 일본(JP)

(73) 특허권자 텍사스 인스트루먼츠 인코포레이티드
미국 텍사스주 75265 달라스 노스센트럴 익스프레스웨이 13500

가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자 마키무라 지사
일본국 하무라시 사카에쵸 1-11-12

스즈키 유키히데
일본국 아키시마시 미호리쵸 5-5-7

스케가와 순이치
일본국 츠쿠바시 마츠시로 4-22-2-405

후지와라 히로유키
일본국 츠치우라시 분쿄마치 13-11-B101

하라 마사유키
일본국 타치카와시 타카마츠쵸 2-26-6-202

(74) 대리인 백남기

심사관 : 김근모

(54) 반도체기억장치

요약

반도체기억장치에 관한 것으로써, 간단한 구성에 의해 결합구제율의 향상을 도모하고, 대기억용량화에 입각해서 효율이 양호한 결함구제를 실현하기 위해, 반도체기억장치가 불량어드레스를 기억하는 기억회로 및 기억회로와 대응하는 여러개의 용장워드선을 구비하고, 기억회로는 1개의 용장워드선의 선택에 필요한 불량어드레스를 기억가능하게 되고, 이러한 불량어드레스와 메모리액세스시에 입력된 어드레스를 비교회로에 의해 비교하고, 그 일치신호와 입력된 어드레스에 포함되는 소정의 어드레스신호를 사용해서 불량워드선 대신에 여러개의 용장워드선중에서 1개의 용장워드선을 선택하는 결함구제회로를 구비한다.
상기에 의해, 간단한 구성에 의해 결합구제율의 향상을 도모하고, 대기억용량화에 입각해서 효율이 양호한 결함구제를 실현할 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명이 적용되는 다이나믹형 RAM의 1실시예를 도시한 개략 레이아우트도,
도 2는 상기 도 1의 다이나믹헝 RAM의 1실시예를 도시한 레이아우트도,
도 3은 상기 도 1의 메모리어레이의 메인워드선과 서브워드선의 관계를 설명하기 위한 주요부 블럭도,
도 4는 상기 도 1의 메모리어레이의 메인워드선과 센스앰프의 관계를 설명하기 위한 주요부 블럭도,
도 5는 본 발명이 적용되는 다이나믹형 RAM의 센스앰프부의 1실시예를 도시한 주요부 회로도,
도 6A, 6B, 6C는 본 발명이 적용되는 다이나믹형 RAM의 주변부분의 1실시예를 도시한 개략블럭도,
도 7은 본 발명에 관한 다이나믹형 RAM에 탑재되는 결함구제회로를 설명하기 위한 개략 구성도,
도 8A, 8B는 본 발명에 관한 다이나믹형 RAM에 있어서의 정규워드선과 용장워드선의 관계를 설명하기 위한 개략 구성도,
도 9는 본 발명에 관한 다이나믹형 RAM에 있어서의 결함구제회로를 설명하기 위한 개략 블럭도,
도 10은 상기 도 9의 결함구제회로의 동작의 1예를 설명하기 위한 타이밍도,
도 11은 상기 도 9의 결함구제회로의 동작의 다른 1예를 설명하기 위한 타이밍도,
도 12는 상기 도 7등의 결함구제회로에 사용되는 퓨즈세트의 1실시예를 도시한 회로도,
도 13A는 상기 도 12의 퓨즈세트에 있어서의 결함구제동작을 설명하기 위한 퓨즈절단상태도,
도 13B는 어드레스신호와 서브리드선택선의 관계를 도시한 도,
도 14는 본 발명에 관한 다른 1실시예를 도시한 결함구제회로의 회로도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체기억장치에 관한 것으로써, 주로 대기억용량의 다이나믹형 RAM(Random Access Memory)에 있어서의 결함구제기술에 이용해서 유효한 기술에 관한 것이다.
반도체기억장치에 있어서의 결함구제기술로써 1개의 용장워드선에 대응해서 불량어드레스의 기억과 어드레스비교회로를 마련하도록 하면 1개의 용장워드선에 대응해서 불량어드레스를 기억하는 퓨즈회로의 수가 증대한다. 그래서, 여러개의 워드선에 대응해서 1개의 퓨즈세트를 마련하고, 불량워드선을 포함하는 여러개의 워드선단위로 용장워드선으로 전환하도록 한 것이 있다. 이 구성에서는 여러개의 워드선단위에서의 용장전환이 실행되므로 1개의 워드선에 불량이 있는 경우 이외에 상기 여러개의 워드선중에서 불량워드선이 발생한 경우에도 그것도 상기 퓨즈회로에 의해 구제할 수 있으므로 전체로써의 구제효율을 향상시킬 수 있다.
본원과 관련된 종래기술은 예를들면 일본국 특허공개공보 평성 2-158995호, 일본국 특허공개공보 소화61-20293호에 기재되어 있다.
본 발명의 목적은 간단한 구성으로 결함규제율의 향상을 도모한 반도체기억장치를 제공하는 것이다.
본 발명의 다른 목적은 대기억용량화에 입각해서 효율이 양호한 결함구재를 실현한 반도체기억장치를 제공하는 것이다.

발명이 이루고자 하는 기술적 과제

상기와 같이 여러개의 워드선단위에서의 용장전환을 실행하는 경우에는 용장워드선측에 결함이 있을때 그 용장워드선을 사용할 수 없고 결과로써 결함구제율이 저하된다는 문제가 발생긴다.

발명의 구성 및 작용

본원에 있어서 개시되는 발명중 대표적인 것의 개요를 간단히 설명하면 다음과 같다. 즉, 불량어드레스를 기억하는 기억회로에 대응하는 여러개의 용장워드선을 마련함과 동시에 상기 기억회로에는 1개의 용장워드선의 선택에 필요한 불량어드레스를 기억할 수 있게 하고, 이러한 불량어드레스와 메모리액세스시에 입력된 어드레스의 비교일치신호와 상기 입력된 어드레스에 포함되는 소정의 어드레스신호 를 사용해서 불량워드선 대신에 상기 여러개의 용장워드선중

에서 1개의 용장워드선을 선택하게 한다.
상기한 수단에 의하면 불량어드레스의 기억회로에 대해서 여러개의 용장워드선을 마련하도록 해서 기억회로의 수를 저감함과 동시에 불량워드선에 대한 메모리액세스시에만 용장워드선으로의 전환을 실행하는 것이므로, 용장워드선측에 불량이 있어도 여러개중의 1개를 지정하는 어드레스가 다른 것을 조건으로 사용할 수 있으므로 결함구제효율을 향상시킬 수 있다.
본원에 있어서 개시되는 발명중 대표적인 것에 의해서 얻을 수 있는 효과를 간단히 설명하면 다음과 같다. 즉, 불량어드레스를 기억하는 기억회로에 대해서 여러개의 용장워드선을 마련함과 동시에 상기 기억회로에는 1개의 워드선의 선택에 필요한 불량어드레스를 기억시키도록 하고, 이러한 불량어드레스, 메모리액세스시에 입력된 어드레스의 비교일치신호와 상기 입력된 어드레스에 포함되는 소정의 어드레스신호를 사용해서 상기 불량워드선 대신에 상기 여러개의 용장워드선중에서 1개의 용장워드선을 선택하도록 하는 것에 의해 불량어드레스의 기억회로에 대해서 여러개의 용장워드선을 마련하도록 해서 기억회로의 수를 저감함과 동시에 용장워드선측에 불량이 있어도 여러개중의 1개를 지정하는 어드레스가 다른 것을 조건으로 사용할 수 있으므로 결함구제효율을 향상시킬 수 있다.
상기 기억회로와 비교회로로써 상기 불량어드레스중 상기 여러개의 용장워드선을 지시하는 상기 소정의 어드레스신호를 실질적으로 무효로 해서 그것에 대응한 여러개의 불량워드선의 구제를 가능하게 하는 기능을 갖게 하는 것에 의해 여러 종 류의 결함구제에 사용할 수 있다.
상기 워드선을 메인워드선과 이러한 메인워드선의 연장방향에 대해서 분할된 길이로 되며, 또한 상기 메인워드선과 교차하는 비트선방향에 대해서 여러개 배치되고, 여러개로 이루어지는 다이나믹형 메모리셀이 접속되어 이루어지는 여러개의 서브워드선으로 구성하고, 상기 서브워드선은 상기 메인워드선의 선택신호와 그것과 직교하도록 연장된 여러개로 이루어지는 서브워드선택선에서 공급되는 선택신호를 받는 서브워드드라이버에 의해 구동하고, 상기 여러개의 용장워드선을 상기 1개의 메인워드선과 상기 여러개의 서브워드선으로 구성하는 것에 의해 대기억용량화를 도모함과 동시에 그것에 따른 결함구제를 효율 좋게 실행할 수 있다.
상기 기억회로, 비교회로 및 용장워드선을 포함하는 결함구제회로를 여러개의 메모리매트로 분산해서 여러조가 마련하고, 각각의 결함구제회로는 상기 여러개의 메모리매트중에 있어서의 불량워드선의 구제를 실행하도록 하는 것에 의해 결함구제효율을 향상시킬 수 있다.
상기 불량어드레스를 기억하는 기억회로 및 비교회로로써 1개의 워드선을 지정하는 비반전과 반전으로 이루어지는 상보의 어드레스신호가 각각 게이트에 공급되고, 소오스가 기준전위에 접속된 여러개로 이루어지는 MOSFET와 이러한 MOSFET의 드레인에 한쪽끝이 접속된 여러 개의 퓨즈수단을 구비하고, 불량어드레스를 기억시킬때에는 비반전 또는 반전의 어드레스신호에 대응된 어느 한쪽의 퓨즈수단을 절단하고, 이러한 여러개의 퓨즈수단의 다른쪽 끝을 공통화해서 와이어드논리신호를 얻는 것으로 하는 것에 의해 간단한 구성으로 퓨즈의 절단방법에 의한 다양한 결함구제가 가능하게 된다.
상기 여러개의 워드선은 1개의 메인워드선과 8개의 서브워드선으로써, 어드레스A0과 A1에 의해 4개중의 1개의 서브워드선이 선택되는 것이고, 상기 어드레스A1 또는 A0에 대응한 2쌍의 퓨즈에 있어서 각각 한쪽씩을 절단하는 것에 의해 1개 단위의 구제를 실행하고, 상기 어드레스A0 또는 A1에 대응한 2쌍의 퓨즈중 1쌍의 퓨즈를 양쪽 모두 절단시키는 것에 의해 2개 단위의 구제를 실행하고, 상기 어드레스신호A0과 A1에 대응한 2쌍의 퓨즈를 전부 절단시키는 것에 의해 4개 단위의 구제를 실행하도록 다양한 결함구제를 실행하게 할 수 있다.
도 1에는 본 발명이 적용되는 다이나믹형 RAM의 1실시예의 개략레이아우트도가 도시되어 있다. 동일 도에 있어서는 다이나믹형 RAM을 구성하는 각 회로블럭중 전체를 알 수 있게 도시되어 있고, 그것이 공지의 반도체집적회로의 제조기술에 의해 단결정실리콘과 같은 1개의 반도체기판상에 형성된다.
이 실시예의 다이나믹형 RAM은 특히 제한되지 않지만 약64M(메가)비트의 기억용량을 갖게 된다. 메모리어레이는 전체로써 8개로 분할된다. 반도체칩의 긴쪽방향에 대해서 좌우로 4개씩의 메모리어레이가 분할되어 중앙부분에 동일도에서는 생략되어 있지만 어드레스입력회로, 데이타입출력회로등의 입출력인터페이스회로가 마련된다.
상술한 바와 같이 반도체칩의 긴쪽방향에 대해서 좌우로 4개씩 분할된 메모리어레이는 2개씩 조로 되어 배치된다. 이와 같이 2개씩 조로 되어 배치된 2개의 메모리어레이는 그 중앙부분에 메인워드드라이버(11)이 배치된다. 이 메인워드드라 이버(11)은 그것을 중심으로 해서 상하로 분할된 2개의 메모리어레이에 대응해서 마련된다. 메인워드드라이버는 상기 1개의 메모리어레이를 관통하도록 연장되는 메인워드선의 선택신호를 형성한다. 1개의 메모리어레이는 상기 메인워드선방향으로 2K비트, 그것과 직교하는 도시하지 않은 상보비트선(또는 데이타선이라고도 한다)방향으로 4K비트의 기억용량을 구성하는 다이나믹형 메모리셀이 접속된다. 이와 같은 메모리어레이가 전체 8개 마련되므로 전체적으로는 8× 2K × 4K=64M비트와 같은 대기억용량을 갖게 된다.
상기 1개의 메모리어레이는 메인워드선방향에 대해서 8개로 분할된다.
이와 같이 분할된 메모리블럭마다 서브워드드라이버(12)가 마련된다.
서브워드드라이버는 메인워드선에 대해서 1/8의 길이로 분할되고, 그것과 평행하게 연장되는 서브워드선의 선택신호를 형성한다. 이 실시예에서는 메인워드선의 수를 저감하기 위해, 즉 메인위드선의 배선피치를 완화하기 위해 특히 제한되지 않지만 1개의 메인워드선에 대해서 상보 비트선방향으로 4개로 이루어지는 서브워드선이 할당된다. 이와 같이 메인위드선방향으로는 8개로 분할되고, 상보비트선방향에 대해서 8개씩이 할당된 서브워드선중에서 1개의 서브워드선을 선택하기 위해서 서브워드선택선 드라이버(13)이 배치된다. 이 서브워드선택선 드라이버는 상기 서브워드드라이버의 배열방향으로 연장되는 4개의 서브워드선택선중에서 1개를 선택하는 선택신호를 형성한다.
이것에 의해, 상기 1개의 메모리어레이에 착안하면 1개의 메인워드선에 할당되는 8개의 메모리블럭중 선택할 메모리셀이 포함되는 1개의 메모리블럭에 대응한 서브워드드라이버에 있어서 1개의 서브워드선택선이 선택되는 결과, 1개의 메인워드선에 속한 8×4=32개의 서브워드선중에서 1개의 서브워드선이 선택된다. 상기와 같이 메인워드선방향으

로 2K(2048)의 메모리셀이 마련되므로 1개의 서브워드선에는 2048/8=256개의 메모리셀이 접속되게 된다. 또, 특히 제한되지 않지만 리프레시 동작(예를들면 셀프리프레시모드)에 있어서는 1개의 메인워드선에 대응하는 8개의 서브워드선이 선택상태로 된다.

도 2에는 상기 다이나믹형 RAM의 1실시예의 레이아우트도가 도시되어 있다. 동일 도에는 본 발명에 관한 다이나믹형 RAM의 이해를 돕기 위해 말하자면 컬럼계의 중요한 회로블럭인 센스앰프SA나 컬럼디코더의 배치가 도시되어 있다. 동일 도에 있어서, MWD는 상기 메인워드드라이버, SWD는 서브워드드라이버, SA는 센스앰프, Column Dec는 컬럼디코더이다. 그리고, 2개의 메모리어레이 사이에 배치된 ACTRL은 어레이제어회로로써, 어드레스디코더나 동작에 필요한 타이밍신호를 공급한다.

상기와 같이 1개의 메모리어레이는 상보비트선방향에 대해서 4K비트의 기억용량을 갖는다. 그러나, 1개의 상보비트선에 대해서 4K인 메모리셀을 접속하면 상보비트선의 기생용량이 증대하여 미세한 정보기억용 커패시터와의 용량비에 의해 리드되는 신호레벨이 얻어지지 않게 되므로 상보비트선방향에 대해서도 8분할된다. 즉, 굵은 선으로 표시된 센스앰프SA에 의해 상보비트선이 8분할로 분할된다. 특히 제한되지 않지만 후술하는 바와 같이, 센스앰프SA는 공유센스방식에 의해 구성되고, 메모리어레이의 양끝에 배치되는 센스앰프를 제외하고 센스앰프를 중심으로 해 서 좌우에 상보비트선이 마련되고, 좌우 어느 한쪽의 상보비트선에 선택적으로 접속된다.

도 3에는 상기 메모리어레이의 메인워드선과 서브워드선의 관계를 설명하기 위한 주요부 블럭도가 도시되어 있다. 동일 도에 있어서는 대표로써 2개의 메인워드선MWL0과 MWL1이 도시되어 있다. 이들 메인워드선MWL0은 메인워드드라이버MWD0에 의해 선택된다. 동일한 메인워드드라이버에 의해 메인워드선MWL1도 선택된다.

상기 1개의 메인워드선MWL0에는 그것의 연장방향에 대해서 8조의 서브워드선이 마련된다. 동일 도에는 그중 2조의 서브워드선이 대표로써 예시적으로 도시되어 있다. 서브워드선은 우수0　6과 기수1　7의 합계8개의 서브워드선이 1개의 메모리블럭에 교대로 배치된다. 메인워드드라이버에 인접하는 우수0　6과 메인워드선의 먼끝쪽(워드드라이버의 반대측)에 배치되는 기수1　7을 제외하고 메모리블럭사이에 배치되는 서브워드드라이버는 그것을 중심으로 한 좌우의 메모리블럭이 서브워드선의 선택신호를 형성한다.

이것에 의해 상기와 같이 메모리블럭으로써는 8블럭으로 분할되지만 상기와 같이 실질적으로 서브워드드라이버에 의해 2개의 메모리블럭에 대응한 서브워드선이 동시에 선택되므로 실질적으로는 4블럭으로 분할되게 된다. 상기와 같이 서브워드선을 우수0　6과 기수1　7로 분할하고, 각각 메모리블럭의 양측에 서브워드드라이버를 배치하는 구성에서는 메모리셀의 배치에 맞춰서 고밀도로 배치되는 서브워드선SWL의 실질적인 피치가 서브워드드라이버중에서 2배로 완화할 수 있어 서브워드드라이버와 서브워드선을 효율 좋게 레이아우트할 수 있다.

상기 서브워드드라이버는 4개의 서브워드선0　6(1　7)에 대해서 공통으로 선택신호를 공급한다. 또, 인버터회로를 통과한 반전신호를 공급한다. 상기 4개의 서브워드선중에서 1개의 서브워드선을 선택하기 위한 서브워드선택선(선택신호선)FX가 마련된다. 서브워드선택선은 FX0　FX7의 8개로 구성되고, 그중 우수FX0　FX6이 상기 우수열의 서브워드드라이버(단위 서브워드선선택회로)0　6에 공급되고, 그중 기수 FX1　FX7이 상기 기수열의 서브워드드라이버(단위서브워드선 선택회로)1　7에 공급된다. 특히 제한되지 않지만 서브워드선택선FX0　FX7은 어레이의 주변부에서는 제2층째의 금속배선층M2에 의해 형성되고, 마찬가지로 제2층째의 금속배선층M2에 의해 구성되는 메인워드선MWL0　MWLn이 교차하는 부분에서는 제3층째의 금속배선층M3에 의해 구성된다.

(제1)메인워드선MWL0에 결합된 여러개의 단위서브워드선선택회로0　7에 의해 제1서브워드선 선택회로가 구성되고, (제2)메인워드선MWL1에 결함된 여러개의 단위 서브워드선 선택회로0　7에 의해 제2서브워드선 선택회로가 구성된다. 제1서브워드선 선택회로에는 8개의 제1서브워드선이 결합되고, 제2서브워드선 선택회로에는 8개의 제2서브워드선이 결합된다.

도 4에는 상기 메모리어레이의 메인워드선과 센스앰프의 관계를 설명하기 위한 주요부 블럭도가 도시되어 있다. 동일 도에 있어서는 대표로써 1개의 메인워드선MWL이 도시되어 있다. 이 메인워드선MWL은 메인워드드라이버MWD에 의해 선택된다. 상기 메인워드드라이버에 인접해서 상기 우수서브워드선에 대응한 서브워드드라이버SWD가 마련된다.

동일 도에서는 생략되어 있지만 상기 메인워드선MWL과 평행하게 배치되는 서브워드선과 직교하도록 상보비트선(Pair Bit Line)이 마련된다. 이 실시예에서는 특히 제한되지 않지만 상보비트선도 우수열과 기수열로 분할되고, 각각에 대응해서 메모리블럭(메모리어레이)를 중심으로 해서 좌우로 센스앰프SA가 분할된다. 센스앰프SA는 상기와 같이 공유센스방식으로 되지만 끝부의 센스앰프SA에서는 실질적으로 한쪽으로 한 상보비트선이 마련되지 않지만 후술하는 공유스위치 MOSFET를 거쳐서 상보비트선과 접속된다.

상기와 같이 메모리블럭의 양측에 센스앰프SA를 분산해서 배치하는 구성에서는 기수열과 우수열로 상보비트선이 분할되므로 센스앰프열의 피치를 완화할 수 있다. 반대로 말하면 고밀도로 상보비트선을 배치하면서 센스앰프SA를 형성하는 소자에리어를 확보할 수 있는 것으로 된다. 상기 센스앰프SA의 배열에 따라서 입출력선이 배치된다.

이 입출력선은 컬럼스위치를 거쳐서 상기 상보비트선에 접속된다.

컬럼스위치는 스위치MOSFET로 구성된다. 이 스위치MOSFET의 게이트는 컬럼디코더COLUMN DECORDER의 선택신호가 전달되는 컬럼선택선YS에 접속된다.

도 5에는 본 발명이 적용되는 다이나믹형 RAM의 센스앰프부의 1실시예의 주요부 회로도가 도시되어 있다. 동일 도에 있어서는 메모리매트(상기 메모리블럭과 동일)MAT0과 MAT1사이에 배치된 센스앰프 SA1과 그것에 관련된 회로가 예시적으로 도시되어 있다. 메모리매트 MAT1은 블랙박스로써 도시되고, 끝부에 마련되는 센스앰프SA0도 블랙박스로써 도시되어 있다.

다이나믹형 메모리셀은 메모리매트MMAT0에 마련된 서브워드선SWL에 대응해서 4개가 대표로써 예시적으로 도시되어 있다. 다이나믹형 메모리셀은 어드레스선택용 MOSFETQm과 정보기억용 커패시터Cs로 구성된다. 어드레스선

택용 MOSFETQm의 게이트는 서브워드선SWL에 접속되고, 이 MOSFETQm의 드레인이 비트선에 접속되고, 소오스에 정보기억용 커패시터Cs가 접속된다. 정보기억용 커패시터Cs의 다른쪽의 전극은 공통화되어 플레이트전압이 인가된다.

1쌍의 상보비트선은 동일 도에 도시한 바와 같이 평행하게 배치되고, 비트선의 용량 밸런스등을 취하기 위해 필요에 따라서 적절히 교차시켜진다. 이러한 상보비트선은 공유스위치MOSFETQ1과 Q2에 의해 센스앰프의 단위회로의 입출력노드와 접속된다. 센스앰프의 단위회로는 게이트와 드레인이 교차접속되어 래치형태로 된 N채널형 MOSFETQ5, Q6 및 P채널형 MOSFETQ7, Q8로 구성된다. N채널형 MOSFETQ5와 Q6의 소오스는 공통소오스선CSN에 접속된다. P채널형 MOSFETQ7과 Q8의 소오스는 공통소오스선CSP에 접속된다. 상기 공통소오스선CSN과 CSP에는 N채널형 MOSFET와 P채널형 MOSFET의 파워스위치MOSFET가 각각 마련되어 센스앰프의 활성화신호에 의해 상기 파워스위치MOSFET가 온상태로 되어 센스앰프의 동작에 필요한 전압공급을 실행하게 된다.

또, 도시하지 않은 상기 센스앰프를 활성화시키는 파워스위치 MOSFET는 각각 2개의 병렬형태로 접속된 MOSFET로 이루어지고, 안정적인 센스동작을 실행시키기 위해 센스앰프가 증폭동작을 개시한 시점에서는 비교적 작은 전류밖에 공급할 수 없는 제1파워스위치MOSFET를 온상태로 하고, 센스앰프의 증폭동작에 의해서 상보비 트선과의 전위차가 어느 정도 크게 된 시점에서 큰 전류를 흐르게 하는 제2파워스위치 MOSFET를 온상태로 하는 등해서 증폭동작을 단계적으로 실행하게 된다.

상기 센스앰프의 단위회로의 입출력노드에는 상보비트선을 단락시키는 MOSFETQ11 및 상보비트선에 하프프리차지전압HVC를 공급하는 스위치MOSFETQ9와 Q10으로 이루어지는 프리차지회로가 마련된다.

이들 MOSFETQ9 Q11의 게이트에는 공통으로 프리차지신호PCB가 공급된다.

MOSFETQ12와 Q13은 컬럼선택신호YS에 의해 스위치제어되는 컬럼스위치를 구성한다. 이 실시예에서는 1개의 컬럼선택신호YS에 의해 4쌍의 비트선을 선택할 수 있게 된다. 즉, 블랙박스로 표시된 센스앰프SA0에 있어서도 동일한 컬럼스위치가 마련되어 있다. 이와 같이 메모리매트MMAT0을 사이에 두고 2개의 센스앰프SA0과 SA1에 의해 상보비트선중 우수열의 비트선과 기수열의 비트선으로 분할해서 상기 센스앰프SA0과 SA1을 대응시키는 것이다. 그러므로, 상기 컬럼선택신호YS는 센스앰프SA1측에서 예시적으로 도시되어 있는 2쌍의 비트선과 센스앰프SA0측에 마련되는 도시하지 않은 나머지 2쌍의 비트선에 대응한 합계4쌍의 상보비트선을 선택할 수 있게 된다. 이들 2쌍씩의 상보비트선쌍은 상기 컬럼스위치를 거쳐서 2쌍씩의 공통입출력선I/O에 접속된다.

센스앰프SA1은 공유스위치MOSFETQ3과 Q4를 거쳐서 메모리매트MMAT1의 동일한 기수열의 상보비트선에 접속된다. 메모리매트MMAT1의 우수열의 상보비트선은 메모리매트MMAT1의 우측에 배치되는 도시하지 않은 센스앰프SA2에 상기 공유스위치MOSFETQ1과 Q2에 대응한 공유스위치MOSFET를 거쳐서 접속된다. 이와 같 은 반복패턴에 의해 메모리어레이가 분할되어 이루어지는 메모리매트(상기 메모리블럭)사이에 마련되는 센스앰프에 접속된다. 예를 들면 메모리매트MMAT0의 서브워드선SWL이 선택되었을때에는 센스앰프SA0의 우측의 공유스위치MOSFET와 센스앰프SA1의 좌측의 공유스위치MOSFET가 온상태로 된다. 단, 상기 끝부의 센스앰프SA0에서는 상기 우측의 공유스위치MOSFET만이 마련되는 것이다. 신호SHRL은 좌측의 공유선택신호이고, SHRR은 우측의 공유선택신호이다.

도 6A 6C에는 본 발명이 적용되는 다이나믹형 RAM의 주변부분의 1실시예의 개략 블럭도가 도시되어 있다. 타이밍제어회로TG는 외부 단자에서 공급되는 로우어드레스스트로브신호/RAS, 컬럼어드레스스트로브신호/CAS, 라이트인에이블신호/WE 및 아웃풋인에이블신호/OE를 받아서 동작모드의 판정, 그것에 대응해서 내부회로의 동작에 필요한 각종 타이밍신호를 형성한다. 본 명세서 및 도면에서 /는 로우레벨이 액티브레벨인 것을 의미하는데 사용하고 있다.

신호R1과 R3은 로우계의 내부타이밍신호로써, 로우계의 선택동작을 위해 사용된다. 타이밍신호 ϕXL은 로우계 어드레스를 페치해서 유지시키는 신호로써, 로우어드레스버퍼RAB에 공급된다. 즉, 로우어드레스버퍼RAB는 상기 타이밍신호 ϕXL에 의해 어드레스단자A0 Ai에서 입력된 어드레스를 페치해서 래치회로에 유지시킨다.

타이밍신호 ϕYL은 컬럼계 어드레스를 페치해서 유지시키는 신호로써, 컬럼어드레스버퍼CAB에 공급된다. 즉, 컬럼어드레스버퍼CAB는 상기 타이밍신호 ϕYL에 의해 어드레스단자A0 Ai에서 입력된 어드레스를 페치해서 래치회로에 유지시킨다.

신호 ϕREF는 리프레시모드시에 발생되는 신호로써, 로우어드레스버퍼의 입력 부에 마련된 멀티플렉서AMX에 공급되어 리프레시모드시에 리프레시어드레스카운터회로RFC에 의해 형성된 리프레시용 어드레스신호로 전환하도록 제어한다. 리프레시어드레스카운터회로RFC는 타이밍제어회로TG에 의해 형성된 리프레시용의 스텝펄스 ϕRC를 계수해서 리프레시어드레스신호를 생성한다. 이 실시예에서는 후술하는 오토리프레시와 셀프리프레시를 갖게 된다.

타이밍신호 ϕX는 워드선 선택타이밍신호로써, 디코더XIB에 공급되어 하위2비트의 어드레스신호의 해독된 신호에 따라서 4종류의 워드선 선택타이밍신호XiB가 형성된다. 타이밍신호 ϕY는 컬럼선택타이밍신호로써, 컬럼계 프리디코더YPD에 공급되어 컬럼선택신호AYix, AYjx, AYkx가 출력된다.

타이밍신호 ϕW는 라이트동작을 지시하는 제어신호이고, 타이밍신호 ϕR은 리드동작을 지시하는 제어신호이다. 이들의 타이밍신호 ϕW와 ϕR은 입출력회로I/O에 공급되어 라이트동작시에는 입출력회로I/O에 포함되는 입력버퍼를 활성화하고 출력버퍼를 출력하이임피던스상태로 한다. 이것에 대해서 리드동작시에는 상기 출력버퍼를 활성화하고 입력버퍼를 출력하이임피던스상태로 한다.

타이밍신호 ϕMS는 특히 제한되지 않지만 메모리어레이선택동작을 지시하는 신호로써, 로우어드레스버퍼RAB에 공급되고, 이 타이밍에 동기해서 선택신호MSi가 출력된다. 타이밍신호 ϕSA는 센스앰프의 동작을 지시하는 신호이다. 이 타이밍신호 ϕSA에 따라서 센스앰프의 활성화펄스가 형성된다.

이 실시예에서는 로우계의 용장회로X-RED가 대표로써 예시적으로 도시되어 있다. 즉, 상기 회로X-RED는 불량어드레스를 기억시키는 기억기능과 어드레스비교 기능을 포함하고 있다. 기억된 불량어드레스와 로우어드레스버퍼RAB에서 출력되는 내부어드레스신호BXi를 비교하고, 불일치시에는 신호XE를 하이레벨로 하고 신호XEB를 로우레벨로

해서 정규회로의 동작을 유효로 한다. 상기 입력된 내부어드레스신호BXi와 기억된 불량어드레스가 일치하면 신호XE를 로우레벨로 해서 정류회로의 불량메인워드선의 선택동작을 금지시킴과 동시에 신호XEB를 하이레벨로 해서 1개의 예비메인워드선을 선택하는 선택신호XRiB를 출력시킨다. 그리고, 상기 서브워드선을 선택하는 어드레스신호를 사용해서 예비메인워드선에 마련된 서브워드선을 선택한다.

본원발명에 있어서의 결함구제의 개요는 상기 정규회로의 메인워드선에 포함되는 여러개의 서브워드선중에서 불량 서브워드선을 지정하는 불량어드레스를 포함해서 불량어드레스의 비교를 실행하는 것이다.

이 때문에 상기 정규회로의 메인워드선에 속한 여러개의 서브워드선중에서 불량서브워드선에 대한 메모리액세스가 실행되었을때에만 상기 정규회로의 메인워드선의 선택동작이 금지됨과 동시에 용장메인워드디코더에 의해 용장메인워드선이 선택되는 것에 특징이 있다. 또, 후술하는 바와 같이, 퓨즈회로에 그 자체에도 특징을 갖고 있고, 상기 메인워드선자체에 단선이나 단락등의 불량원인이 있을때에는 상기 메인워드선에 속한 여러개의 서브워드선 단위로 예비메인워드선 및 서브워드선으로 전환된다. 이 이외에 서브워드선 전부가 아닌 그중 여러개에 불량이 있었을때에는 그 불량이 있었던 서브워드선에 대한 메모리액세스가 실행될때 예비메인워드선과 서브워드선으로 전환된다.

도 7에는 본 발명에 관한 다이나믹형 RAM에 탑재되는 결함구제회로를 설명하기 위한 개략 구성도가 도시되어 있다. 동일 도(A)에는 상기 도1, 도 2와 같은 반도체칩의 전체구성도가 도시되어 있다. 즉, 반도체칩은 전체로써 4개의 메모리블럭으로 분할된다.

동일 도(B)에는 상기와 같이 분할된 1개의 메모리블럭의 메모리매트구성도가 도시되어 있고, 메인워드드라이버MWD를 사이에 두고 8개씩의 메모리매트MMAT가 마련된다. 이중, 동일 도(C)에 도시한 바와 같이, 4개의 메모리매트MMAT0 MMAT3이 1개의 구제단위로 되고, 동일 도(D)에 도시된 1개의 메모리매트MMAT0과 같이 8개의 용장워드선이 마련된다. 이 실시예의 다이나믹형 RAM에서는 상기와 같이 1개의 메인워드선에 8개의 서브워드선이 마련되어 있으므로 상기 8개의 용장워드선은 각각이 1개의 용장메인워드선과 그것에 대응해서 마련되는 8개의 용장서브워드선에 의해 구성된다.

상기 4개의 메모리매트MMAT0 MMAT3에 대해서 동일 도(E)에 도시한 바와 같이 8조의 퓨즈세트F0 F7이 마련된다. 동일 도에 대표로써 예시적으로 도시되어 있는 1개의 퓨즈세트F0에는 구제판정회로가 마련된다. 상기 퓨즈세트F0은 기억된 불량어드레스에 메모리액세스시에 입력된 어드레스신호가 일치하면 검출신호(XE, XEB)를 발생시키고, 상기 구제판정회로에 공급한다. 구제판정회로는 그것을 받아서 신호1 4를 출력한다. 신호1은 상기 정규회로의 선택동작을 정지시키는 신호STOP으로 된다. 신호2는 상기 퓨즈세트F0에 1대 1로 대응해서 할당된 용장용의 메인워드선을 선택하는 신호로써 사용된다. 신호3은 상기 서브워드선을 선택하기 위한 어드 레스신호X2에 대응된 신호로 되고, 상기 기수서브워드드라이버0 6 또는 기수의 서브워드드라이버1 7을 지정하는 신호로 된다. 그리고, 신호4는 상기 용장워드선(메인워드선, 서브워드선)이 마련되는 메모리매트의 선택신호로 된다.

다음의 표1에는 각 퓨즈세트F0 F7에 의한 검출신호와 신호1 신호4의 관계가 표시되어 있다. 각 퓨즈세트F0 F7에 대응시켜서 상기 검출 신호(XE, XEB)에 RX00B RX31B가 할당된다. 그리고, 각각의 검출 신호RX00B RX31B에 대응시켜서 신호1은 정규회로의 선택동작을 정지시키는 신호STOP, 용장메인워드선의 선택을 지시하는 선택신호MWSEL을 발생시킨다. 그리고, 퓨즈세트F0과 F1은 메모리매트MAT0에 마련된 4개씩의 용장워드선(메인워드선과 서브워드선)에 할당되어 있으므로 퓨즈세트F0은 8개의 서브워드선중의 4개를 선택하는 신호XS0을, 퓨즈세트F1은 8개의 서브워드선중의 4개를 선택하는 신호 XS1을 발생시킨다. 그리고, 이들은 1개의 메모리매트MMAT0에 마련되어 있으므로, 그것에 대응한 매트선택신호MS0을 발생시킨다.

[표 1]

퓨즈세트	검출신호	신호 1	신호 2	신호 3	신호 4
F 0	RX00B	STOP	MWSEL	XS0	MS0
F 1	RX01B	STOP	MWSEL	XS1	MS0
F 2	RX10B	STOP	MWSEL	XS0	MS1
F 3	RX11B	STOP	MWSEL	XS1	MS1
F 4	RX20B	STOP	MWSEL	XS0	MS2
F 5	RX21B	STOP	MWSEL	XS1	MS2
F 6	RX30B	STOP	MWSEL	XS0	MS3
F 7	RX31B	STOP	MWSEL	XS1	MS3

이하, 마찬가지로 해서 퓨즈세트F2와 F3은 메모리매트MMAT1에 대응한 용장워드선을 선택하고, 퓨즈세트F4와 F5는 메모리매트MMAT2에 대응한 용장워드선을 선택하고, 퓨즈세트F6과 F7은 메모리매트MMAT3에 대응한 용장워드선을 선택한다. 이 경우, 구제가 실행되는 불량워드선은 상기 메모리매트MMAT0 MMAT3중 어느 하나에 속하고 있으면 좋다. 즉, 상기 메모리 매트MMAT0 MMAT3중에서는 상기의 용장워드선을 공통으로 사용할 수 있는 소위

Any to Any방석에서의 결함구제를 실행할 수 있어 메모리매트단위에서의 구제방식에 비해서 구제효율을 향상시킬 수 있다.

도 8A에는 본 발명에 관한 다이나믹형 RAM에 있어서의 정규워드선과 용장워드선의 관계를 설명하기 위한 개략 구성도가 도시되어 있다.

도 8A에 있어서는 1개의 메인워드선(801)과 그것에 대응한 8개의 서브워드선(802) 및 그것을 구제하기 위해 마련된 1개의 용장메인워드선(803)과 8개의 용장서브워드선(804)가 대표로써 예시적으로 도시되어 있다.

메인워드디코더 드라이버(805)는 어드레스신호를 해독해서 메인워드선의 선택신호를 형성한다. 이 메인워드선에는 각각 8개의 서브워드선이 마련되고, 서브워드드라이버(806)에 의해 선택된다. 하위워드디코더(807)은 상기 8개의 서브워드선중에서 1개의 서브워드선을 선택하기 위한 서브워드선택신호를 형성한다. 이 서브워드선택신호는 상기 메인워드선등과는 직교하도록 연장된 서브워드선택선(808)을 통해서 서브워드드라이버의 입력에 전달된다. 서브워드드라이버는 논리기능을 갖고, 상기 메인워드선이 선택레벨이고, 상기 서브워드선택선이 선택레벨일때에는 그 출력에 마련된 서브워드선을 선택레벨로 한다.

용장메인워드디코더 드라이버(809)는 용장메인워드선의 선택신호를 형성한다. 상기와 같은 정규회로와 마찬가지로 용장회로에 있어서도 8개의 용장서브워드선이 마련되고, 상기 서브워드드라이버와 동일한 용장서브워드드라이버(810)에 의해 선택된다. 용장서브워드드라이버는 상기와 마찬가지로 용장메인워드선이 선택레벨이고, 상기 서브워드선택선이 선택레벨일때 그 출력에 마련된 용장서브워드선을 선택레벨로 한다.

이 실시예에서는 도 8A에 있어서 X표를 붙인 바와 같이 4개의 서브워드선중의 1개의 서브워드선에 불량이 있었을때 그것에 대한 메모리액세스가 실행되었을때 용장메인워드디코더 드라이버에 의해 용장워드선을 선택하고, 상기 서브워드선택선으로 부터의 신호에 의해 용장서브워드드라이버를 거쳐서 용장서브워드선을 선택한 다. 이 때문에 상기와 같이 용장워드선에 대응해서 마련된 퓨즈세트에는 메인워드선을 선택하는 어드레스이외에 서브워드선을 선택하는 어드레스의 비교가 실행된다. 이 때문에 상기 메인워드선이 선택되고, 상기 X표가 붙여진 서브워드선 이외의 서브워드선이 선택될때에는 상기와 같은 워드선의 전환은 실행되지 않는다.

즉, 이 실시예에서는 메인워드선 단위에서의 용장전환을 실행하지 않는다. 이와 같이 하는 것에 의해, 예를들면 용장워드선에 마련되는 4개의 서브워드선에 있어서 동일도와 같이 X표가 붙여진 용장서브워드선에 불량이 존재할때 4개의 서브워드선 단위에서의 구제를 실행하도록 하면 상기 용장서브워드선의 불량의 존재에 의해 그것을 사용할 수 없게 된다. 이것에 대해서 이 실시예에 있어서는 용장회로측에 상기와 같은 부분적인 불량이 있어도 그 불량서브워드선과 동일한 하위어드레스가 할당된 서브워드선이외의 서브워드선을 결함구제에 활용할 수 있다.

본원 발명에서는 이것에 부가해서 상기 메인워드선에 속하는 4개의 서브워드선에 있어서 여러개의 서브워드선에 불량이 있었던 경우 후술하는 바와 같이 그 구제도 실행하도록 할 수 있다. 즉, 퓨즈세트의 불량어드레스의 설정방법에 연구가 이루어져 있어 상기 하위워드디코더에 공급되는 어드레스중 소정의 어드레스를 실질적으로 무효로 하는 것에 의해 상기 여러개의 불량서브워드선에 대한 메모리액세스를 검출하여 상기 용장메인워드선 및 용장서브워드선으로 전환하도록 하는 것이다.

이와 같은 치밀한 대응에 의해 다이나믹형 RAM에 탑재되는 적은 수의 용장회로를 효율 좋게 사용하는 것에 의해 구제효율을 향상시키는 것이다.

도 8B는 메모리(셀)매트의 구성을 도시한 다른 실시예이다. 도 8A와 도 8B의 상이점은 도 8A에 있어서는 워드선이 메인워드산(801)과 서브워드선(802)로 계층화되어 있는 것에 대해서 도 8B에 있어서는 워드선(811)은 계층화되어 있지 않다. 즉, 도 8A에 있어서는 메인워드선이 메모리매트를 종단해서 형성되어 있고, 상기 메인워드선보다 짧고, 여러개의 메모리셀이 결합된 여러개의 서브워드선이 메인워드선방향으로 분할해서 형성되어 있는 것에 대해서 도 8B에 있어서는 여러개의 메모리셀이 결합된 여러개의 워드선이 메모리매트를 중단하는 구성이다. 도 8B에 있어서, (813)은 워드드라이버, (814)는 상위워드디코더, (815)는 하위워드디코더를 각각 나타낸다.

도 9에는 본 발명에 관한 다이나믹형 RAM에 있어서의 결함구제회로를 설명하기 위한 개략블럭도가 도시되어 있다.

어드레스버퍼(911)에는 X계의 어드레스신호AXi가 공급된다. 여기에서, i는 0 다수비트이고, 이것에 대응한 내부상보어드레스신호BXiT, BXiB가 형성된다. 여기에서, T는 트루(비반전), B는 바(반전)를 나타내고 있다. 퓨즈세트(912)에는 상기 X계 어드레스의 전체비트의 내부상보어드레스신호BXi, BXiB가 공급된다. 이것에 의해, 용장측이 4개의 서브워드선단위로 마련됨에도 불구하고 실제로 선택되는 서브워드선을 지정하는 어드레스까지 조사된다.

퓨즈세트(또는 결함정보유지회로 또는 결함어드레스기억회로)에서는 상기 메모리액세스에 의해 선택되는 서브워드선이 불량으로써 등록되어 있는 서브워드선과 일치하는지 일치하지 않는지를 검출해서 검출신호 XE, XEB를 발생시켜서 구제판정 회로(913)에 공급한다. 구제판정회로는 상기 표1에 나타낸 1 4의 판정 신호를 형성한다.

정규회로측에서는 상기 어드레스버퍼를 통과한 내부상보어드레스신호 BXiT, BXiB중 하위어드레스X0, X1과 X2가 각각 하위어드레스 프리디코더(913)에 공급된다. 하위어드레스X0과 X1은 4개의 서브워드선의 선택을 위해 사용되고, X2는 도 3등에 도시한 바와 같이 F0 F3의 서브워드드라이버 또는 F4 F7의 서브워드드라이버를 선택하기 위해 사용된다. 중위어드레스프리디코더(915)는 상기 메인워드선에 대응한 어드레스가 공급된다. 그리고, 상위어드레스프리디코더(916)에는 매트 셀렉트(mat select)신호에 대응한 어드레스가 공급된다.

하위디코더(917)은 상기 프리디코더측으로 부터의 서브워드선 선택신호 5, 6과 매트셀렉트신호8을 받아서 상기 1/8의 서브워드선택신호9를 형성한다. 메인워드디코더(918)은 상기 프리디코더측으로 부터의 메인워드선선택신호7과 매트셀렉트신호8을 받아서 메인워드선 선택신호10을 형성한다. 서브워드드라이버(또는 서브워드선 선택회로)(919)는 상기 서브워드선 선택신호(또는 선택선상의 신호)9와 메인워드선 선택신호10에 의해 서브워드선(11)의 선택신호11을 형성한다.

퓨즈세트와 구제판정회로는 제어회로(판정회로)를 구성한다.

이것에 대해서 상기 구제판정회로로 부터의 4개의 판정신호중 판정신호1은 상기 하위어드레스프리디코더 X2, 중위어드레스프리디코더 및 상위어드레스프리디코더에 공급되어 불량어드레스에 대한 액세스가 검출될때 이들 각 회로의 동작을 정지시킨다. 판정신호(제어신호)2는 용장메인워드선을 상승시키는 신호로써 용장메 인워드디코더(920)에 공급된다. 즉, 퓨즈세트의 정보가 내부상보어드레스신호BXiT, BXIB와 일치할때 판정신호(제어신호)를 출력한다. 용장메인워드디코더는 용장메인워드선 선택신호(15)를 발생시킨다. 판정신호(3)은 상기 X2에 대응한 신호로써, 하위어드레스프리디코더X2에 공급되어 상기 기수측 또는 우수측의 선택신호(12)를 형성하기 위해 사용된다.

하위디코더는 상기 메모리액세스에 의해 입력된 하위2비트의 어드레스 신호X0과 X1 및 상기 신호(12)(X2에 상당)를 사용해서 용장용의 서브워드선 선택신호(14)를 형성한다. 이것에 의해, 용장서브워드드라이버(또는 용장디코더회로 또는 용장서브워드선 선택회로)(921)은 상기 서브워드선 선택신호(14)와 용장메인워드선 선택신호(15)에 의해 용장서브워드선(16)의 선택신호를 형성한다. 또한, 퓨즈세트(결함정보유지회로)와 구제판정회로에 의해서 판정회로가 구성된다.

도 10에는 상기 도 9의 결함구제회로의 동작의 1예를 설명하기 위한 타이밍도가 도시되어 있다. 로우계의 타이밍신호 ϕ (RAS)에 의해 내부어드레스신호BS가 입력되고, 불량어드레스에 대한 메모리액세스가 아닐때에는 검출신호XE가 로우레벨로 된다. 이것에 의해, 신호(1)은 하이레벨, 신호(2) (4)는 로우레벨로 되고 용장회로측은 비동작상태로 된다.

정규회로측에서는 하위어드레스프리디코더의 출력신호(5), (6)과 상위어드레스프리디코더의 출력신호(매트선택신호)(8)을 받아서 하위디코더에 의해 서브워드선 선택신호(9)가 형성된다. 또, 상기 매트선택신호(8)과 중위어드레스프리디코더의 출력신호(7)을 받아서 메인워드디코더에 의해 메인워드선 선택신호(10)이 형성 된다. 그리고, 이들 신호(9)와 (10)을 받아서 서브워드드라이버에 의해 서브워드선(11)의 선택신호가 형성된다.

도 11에는 상기 도 9의 결함구제회로의 동작의 다른 1예를 설명하기 위한 타이밍도가 도시되어 있다. 로우계의 타이밍신호 ϕ (RAS)에 의해 내부어드레스신호BS가 입력되고, 불량어드레스에 대한 메모리액세스일때에는 검출신호XE가 하이레벨로 된다. 이것에 의해, 신호(1)은 로우레벨, 신호(2) (4)는 하이레벨로 변화하고, 상기 신호(1)의 로우레벨에 의해 정규회로측은 비동작상태로 된다. 즉, 신호(6) (11)은 로우레벨인채로 된다.

신호(3)에 의해 하위어드레스X2에 대응한 신호(12)가 형성되고, 신호(4)에 의해 매트셀렉트신호에 대응한 신호(13)이 형성된다. 상기 신호(12)와 하위어드레스X0과 X1에 대응한 신호(5) 및 상기 매트셀렉트신호에 대응한 신호(13)을 받아서 하위디코더에 의해 용장서브워드선선택신호(14)가 형성된다. 한편, 용장메인워드디코더는 상기 신호(2)와 매트셀렉트신호에 대응한 신호(13)을 받아서 용장메인워드선 선택신호(15)를 발생시킨다. 그리고, 이들 신호(14)와 (15)를 받아서 용장서브워드드라이버에 의해 용장서브워드선(16)의 선택신호가 형성된다.

도 12에는 상기 결함구제회로에 사용되는 퓨즈세트(또는 결함어드레스 기억회로 또는 결함정보유지회로)의 1실시예의 회로도가 도시되어 있다. 이 실시예에서는 11비트로 이루어지는 내부상보어드레스신호 BX0B, BX0T BX10B, BX10T에 대응해서 1 22개의 퓨즈가 마련된다.

상기 내부상보어드레스신호BX0B, BX0T BX10B, BX10T는 각각 버퍼회로로써의 CMOS인버터회로를 거쳐서 N채널형 MOSFET의 게이트에 공급된다. 이들의 MOSFET의 소오스는 회로의 접지전위에 접속되고, 드레인측에 상기 퓨즈1 22의 한쪽끝이 접속된다. 이들의 퓨즈1 22의 다른쪽끝은 공통화되어 와이어드OR의 논리가 취해진다. 이 공통화된 노드는 검출신호XE로 되어 특히 제한되지 않지만 프리차지 신호PCB에 의해 동작시켜지는 P채널형 MOSFET가 마련된다.

상기 퓨즈는 특히 제한되지 않지만 폴리실리콘층으로 도체층 또는 가는 알루미늄층으로 구성되고, 레이저광선등의 조사에 의해 선택적으로 절단된다. 이 구성대신에 상기 공통노드에 전원전압을 공급하고, 상기 MOSFET에 의해 절단전류를 흐르게 해서 상기 퓨즈를 선택적으로 녹여 절단시키는 것이라도 좋다. 이 경우에는 프로그램시에 상기 공통노드에 마련된 전압공급용 패드에서 절단용의 전압이 공급되고, 여러개의 퓨즈세트중의 1개를 선택하기 위한 선택회로를 거쳐서 절단용의 불량어드레스가 어드레스버퍼를 통해서 입력되도록 하면 좋다. 또, 퓨즈세트(결함어드레스기억회로)는 결함어드레스의 정보를 불휘발적으로 유지할 수 있는 소자이면 어떤 것이라도 좋다. 예를들면 결함어드레스 기억회로로써 마스크ROM, EPROM, EEPROM, 플래시메모리, 강유전체메모리 등을 사용하는 것이 가능하다.

이 실시예에서는 불량어드레스가 세트되지 않을때에 퓨즈는 절단되지 않는다. 이것에 의해, 예를들면 내부상보어드레스신호BX0B와 BX0T중 어느것인가의 로우레벨에 의해 상기 N채널형 MOSFET가 온상태로 되고, 그것에 절단되지 않은 퓨즈1 또는 2를 통해서 출력노드를 디스차지시키므로 검출신호XE가 로우레벨로 되어 제10도의 타이밍도에 도시한 바와 같이 용장전환이 실행되지 않는다. 퓨즈5 22(여러 개의 제1 퓨즈)는 제1어드레스신호(BX2B, BX2T BX10B, BX10T)에 대응하는 제1결함어드레스(또는 제1정보)를 유지하고, 퓨즈1 4(여러개의 제2퓨즈)는 제2어드레스신호(BX0B, BX0T, BX1B, BX1T)에 대한 제2결함어드레스(또는 제2정보)를 유지할 수 있게 된다.

불량어드레스가 세트될때, 예를들면 최하위 비트에 대응한 상보어드레스신호BX0B와 BX0T에 대응한 1쌍의 퓨즈1과 2의 한쪽이 절단된다. 불량어드레스의 최하위비트가 논리1일때, 트루신호BX0T가 하이레벨로, 바신호BX0B가 하이레벨로 된다. 이때에는 퓨즈1과 2중 바신호BX0B에 대응한 퓨즈1이 절단된다. 반대로 불량어드레스의 최하위비트가 논리0일때 트루신호BX0T가 로우레벨이고 바신호BX0B가 하이레벨로 된다. 이때에는 퓨즈1과 2중 트루신호BX0T에 대응한 퓨즈2가 절단된다. 이하, 나머지 10비트의 내부상보어드레스신호BX1B, BX1T BX10B, BX10T에 대응한 각각의 쌍으로 되는 퓨즈에 있어서도 동일하다.

상기와 같이 불량어드레스의 최하위비트가 논리1로 세트될때, 즉 퓨즈1이 절단되어 있을때 그것과 일치하도록 트루신호BX0T가 하이레벨이고, 바신호BX0B가 로우레벨인 어드레스신호가 공급되면 상기 트루신호BS0T가 하이레벨에 의해 인버터회로의 출력이 로우레벨로 되어 상기 MOSFET가 오프상태로 된다. 이와 같이 오프상태로 된 MOSFET의 드레인에 마련되는 퓨즈2는 상기와 같이 절단되어 있지 않으므로 디스차지경로가 형성되지 않는다. 상기 바신호B

X0B가 로우레벨에 의해 인버터회로의 출력이 하이레벨로 되고 상기 MOSFET가 온상태로 된다.
이와 같이, 온상태로 되는 MOSFET의 드레인에 마련되는 퓨즈1은 절단되어 있 으므로 디스차지경로가 형성되어 있다. 즉, 기억된 어드레스와 입력된 어드레스가 일치한 경우에는 이러한 쌍의 퓨즈와 쌍의 MOSFET사이에서 디스차지경로가 형성되지 않는다.
상기와 같이 불량어드레스의 최하위 비트가 논리1로 세트될때 그것과 불일치로 되도록 트루신호BX0T가 로우레벨이고, 바신호BX0B가 하이레벨인 어드레스신호가 공급되면 상기 트루신호BX0T가 로우레벨에 의해 인버터회로의 출력이 하이레벨로 되고 상기 MOSFET가 온상태로 된다.
이와 같이 온상태로 된 MOSFET의 드레인에 마련되는 퓨즈2는 상기와 같이 절단되어 있지 않으므로 디스차지경로가 형성되어 출력신호 XE를 로우레벨로 빼낸다.
상기 내부상보어드레스신호BX1B, BX1T BX10B, BX10T의 각각에 있어서 디스차지경로가 형성되어 있지 않을때에는 기억된 불량어드레스와 동일한 어드레스신호가 입력된 것으로 판정되어 상기 신호XE가 하이레벨을 유지해서 불량어드레스의 검출신호로 된다. 이와 같은 퓨즈세트에서는 퓨즈 그 자체가 불량어드레스의 기억과 비교동작을 겸하므로 회로의 대폭적인 간소화가 가능하게 된다. 또, 상기와 같이 불량어드레스를 세트하지 않을때에는 퓨즈를 절단하지 않는 것에 의해 자동적으로 비교일치신호가 형성되지 않도록 할 수 있다. 또, 상기 퓨즈1 4가 전부 절단되어 있는 경우 내부상보어드레스신호BX0B, BX0T, BX1B 및 BX1T는 무시된다. 이와 같은 경우, 퓨즈세트를 포함하는 제어회로는 제 1상태라 정의한다. 또, 퓨즈1 및 2중의 한쪽 및 퓨즈3 및 4중의 한쪽이 절단되어 있는 경우 제어회로는 제2상태라 정의한다.
이와 같은 기능에 부가해서 매우 상태가 좋은 것에는 불량어드레스를 여러 종류 기억하며, 또한 비교판정을 실행하도록 하는 기능을 갖게 할 수 있다. 즉, 상기와 같은 1개의 메인워드선에 속하는 4개의 서브워드선중에서 1개의 서브워드선이 불량일때 구제를 실행하는 것 이외에 2개 단위에서의 결함구재와 4개 단위에서의 결함구제를 상기 1개의 퓨즈세트에 의해 그 기억과 비교판정을 실행하도록 할 수 있다.
도 13A에는 상기 3종류의 결함구제동작을 설명하기 위한 퓨즈절단상태도가 도시되어 있다. 구제단위로써는 상기와 같이 4개 단위, 2개 단위 및 상기 1개 단위의 3종류가 있다. 불량어드레스의 하위2비트A0과 A1(상기 X0과 X1에 대응하고 있음)과 그것에 대응한 퓨즈1 4의 절단상태는 다음과 같다.
4개 단위에서의 구제를 실행할때에는 불량어드레스A0과 A1은 무효로 된다. 이와 같은 불량어드레스A0과 A1을 무효로 하기 위 해 퓨즈1 4가 모두 절단된다. 이 구성에서는 상기 불량어드레스A0과 A1의 하이레벨/로우레벨에 관계없이 퓨즈1 4의 절단에 의해 디스차지경로가 차단되어 이러한 어드레스A0과 A1을 무효로 할 수 있다. 즉, 하위2비트의 어드레스A0과 A1을 무효로 하는 것에 의해 서브워드선4개 단위에서의 결함구제가 실행된다. 즉, A2가 하이레벨일때 도 3에 있어서의 FX0 3D에 대응하는 서브워드선SWL0 3의 4개가 구제되고, A2가 로우레벨일때 FX4 7에 대응하는 서브워드선SWL4 7이 구제된다. 2개 단위에서의 결함구제는 2비트의 하위어드레스중 A1을 무효로 하고, A0에 의해 지정되고 2개씩의 서브워드선의 불량어드레스의 구제가 가능하게 된다. 즉, 어드레스A1에 대응한 퓨즈3과 4를 모두 절단하고, 어드레스A0에 대응해서 퓨즈1 또는 2를 절단시키는 조합이다. 예를 들면 어드레스A0과 A1에 의해 서브워드선SWL0, SWL1, SWL2 및 SWL3이 지정되면 상기 어드레스A1을 무효로 해서 어드레스A0의 로우레벨에 의해 서브워드선SWL0과 SWL2를 지정하고, 어드레스A0의 하이레벨에 의해 서브워드선SWL1과 SWL3을 지정할 수 있다.
도 13A에는 생략되어 있지만, 퓨즈1과 2를 모두 절단해서 최하위비트 A0을 무효로 해서 어드레스A1에 대응한 퓨즈3과 4의 한쪽을 절단시켜도 좋다. 이 경우, 상기 어드레스A0을 무효로 해서 어드레스A1의 로우레벨에 의해 서브워드선SWL0과 SWL1을 지정하고, 어드레스A1의 하이레벨에 의해 서브워드선SWL2와 SWL3을 지정할 수 있다. 이와 같이 2개 단위의 조합은 전부 4종류 설정할 수 있다.
1개 단위에서의 결함구제는 2비트의 하위어드레스중 A0과 A1이 모두 유효로 되어 불량어드레스에 대응해서 퓨즈1과 2, 3과 4중의 한쪽이 절단된다. 이 2비트의 어드레스A0과 A1의 조합은 상기와 같이 4종류 존재한다. 이 실시예의 퓨즈세트에 일어서 구제단위로써는 3종류이고, 불량어드레스는 전부 9종류가 된다. 단, 용장워드선(용장메인워드선, 용장서브워드선)에는 불량이 존재하지 않는 경우이다. 상기와 같이 용장워드선측에 불량이 있었던 경우에는 그 불량의 용장서브워드선을 사용하지 않는 것을 조건으로 해서 결함구제에 사용할 수 있다.
도 13B는 A, A1, A2의 3비트의 어드레스신호의 조합에 의해 8개의 서브워드선택선FX0 FX7중의 어떤 선택선이 선택될지 및 8개의 서브워드선SWL0 SWL7중 어떤 서브워드선이 선택될지를 나타내고 있다.
도 14에는 본 발명에 관한 다른 1실시예의 결함구제회로의 회로도가 도시되어 있다. 이 실시예에서는 1개의 퓨즈에 의해 1비트의 불량어드레스가 기억된다. 즉, 퓨즈F0의 절단의 유무에 의해 형성된 신호가 인버터회로N1과 N2에 의해 비반전과 반전의 불량어드레스신호가 형성된다. 예를들면 퓨즈f0을 절단하면 전원투입시에 발생되는 세트펄스에 의해 MOSFETQ1이 온상태로 되고, 퓨즈f0이 절단되어 있으면 로우레벨의 신호가 인버터회로N1의 입력에 공급되고, 그 출력신호가 하이레벨로 된다. 이 하이레벨의 출력신호가 입력측의 MOSFETQ2의 게이트로 귀환되어 상기 인버터회로N1의 입력을 로우레벨로 고정시킨다. 만약, 퓨즈f0이 절단되어 있지 않으면 상기 MOSFETQ1에 비해서 퓨즈 F0의 저항값이 작게 되어 있으므로 하이레벨의 신호가 형성되어 인버터회로N1을 통해서 로우레벨의 신호가 출력된다. 이와 같이 퓨즈f0이 절단되어 있지 않을때에는 이러한 퓨즈f0을 통해서 하이레벨이 인버터 회로N1의 입력에 공급된다.
최하위비트A0(X0)을 논리1로 세트할때 상기 퓨즈f0은 절단되지 않고 인버터회로N1의 출력신호가 로우레벨, 인버터회로N2의 출력신호가 하이레벨로 된다. 이것에 의해, 비교회로를 구성하는 MOSFETQ3과 Q4중 상기 인버터회로N2의 출력신호의 하이레벨에 대응한 MOSFETQ3이 온상태로 되어 있다. 이 MOSFETQ3에는 어드레스버퍼에서 트루신호에 대응한 하이레벨의 내부어드레스신호a0이 공급된다. 따라서, 상기 기억된 최하위비트와 동일한 어드레스가

공급되면 MOSFETQ3을 통해서 하이레벨의 일치신호가 공급된다. 만약, 내부어드레스신호a0이 로우레벨이면 상기 MOSFETQ3을 통해서 로우레벨의 불일치신호가 출력된다.
비교회로를 구성하는 다른쪽의 MOSFETQ4에는 바신호에 대응한 내부어드레스신호/a0이 공급된다. 최하위비트A0(X0)을 논리0으로 세트할때, 상기 퓨즈f0은 절단되고 인버터회로N1와 출력신호가 하이레벨로, 인버터회로N2의 출력신호가 로우레벨로 된다. 이것에 의해, 비교회로를 구성하는 MOSFETQ3과 Q4중 상기 인버터회로N1의 출력신호의 하이레벨에 대응한 MOSFETQ4가 온상태로 되어 있다. 이 MOSFETQ4에는 상기와 같이 어드레스버퍼에서 바신호에 대응한 내부어드레스신호/a0의 하이레벨이 공급된다. 따라서, 상기 기억된 최하위비트와 동일한 어드레스가 공급되면 MOSFETQ4를 통해서 하이레벨의 일치신호가 공급된다. 만약, 내부어드레스신호/a0이 로우레벨이면 상기 MOSFETQ4를 통해서 로우레벨의 불일치 신호가 출력된다.
다른 어드레스에 대응해서 상기와 동일한 회로가 마련되고, 전체 비트에 대해서 일치신호가 형성된 것을 AND게이트회로G2에 의해 형성해서 상기 판정신호XE가 형성된다. 상기와 같은 퓨즈세트를 사용한 경우와 같이 4개 단위, 2개 단위 및 1개 단위에서의 결함구제를 실행하도록 하기 위해 동일 도에 대표로써 예시적으로 도시되어 있는 바와 같이, 최하위비트에 대응한 비교출력부에 OR게이트회로G1이 마련된다. 이 OR게이트회로G1의 다른쪽의 입력에는 상기와 동일한 퓨즈회로가 마련된다. 이 퓨즈회로의 퓨즈f0'를 절단시키는 것에 의해, 하이레벨의 무효신호는 H0을 형성하고, 상기 OR게이트회로G1의 다른쪽의 입력에 공급한다. 이 구성에서는 상기 퓨즈f0'를 절단하면 상기 퓨즈f0에 대응한 최하위비트의 어드레스신호a0과 /a0에 관계없이 하이레벨의 일치신호가 출력된다. 이것에 의해, 상기 퓨즈세트에 있어서 최하위비트에 대응한 퓨즈1과 2를 모두 절단시켰을때와 동일한 상태를 만들 수 있 어 2개 단위에서의 구제가 가능하게 된다.
동일 도에서는 생략되어 있지 않지만, 어드레스A1에 대응한 비교회로에도 상기와 동일한 OR게이트회로와 퓨즈회로를 마련하도록 하면 어드레스A1도 마찬가지로 무효로 할 수 있어 양 퓨즈를 모두 절단시키면 4개 단위에서의 결함구제가 가능하게 된다. 이와 같이, 불량어드레스의 기억을 실행하는 기억회로와 어드레스신호의 비교를 실행하는 비교회로로 이루어지는 결함구제회로에 있어서도 여러 단위로 마련되는 용장워드선을 지정하는 어드레스를 무효로 하는 기능을 부가하는 것에 의해 상기와 같은 퓨즈세트를 사용한 경우와 마찬가지로 여러 종류의 결함구제를 실행시키도록 할 수 있다. 또, 퓨즈F0등은 상기와 같이 레이저광선에 의해 절단시키는 것 또는 MOSFST에 의해 전류를 흐르게 해서 녹여 절단시키는 것이라도 좋다. 이와 같이 전류에 의해 절단시키는 경우에는 절단용의 MOSFET가 마련된다.
상기의 실시예에서 얻을 수 있는 작용효과는 다음과 같다.
(1) 불량어드레스를 기억하는 기억회로에 대해서 여러개의 용장워드선을 마련함과 동시에 상기 기억회로에는 1개의 워드선의 선택에 필요한 불량어드레스를 기억시키도록 하고, 이러한 불량어드레스와 메모리액세스시에 입력된 어드레스의 비교일치신호와 상기 입력된 어드레스에 포함되는 소정의 어드레스신호를 사용해서 상기 불량워드선 대신에 상기 여러개의 용장워드선중에서 1개의 용장워드선을 선택하도록 하는 것에 의해, 불량어드레스의 기억회로에 대해서 여러개의 용장워드선을 마련하도록 해서 기억회로의 수를 저감함과 동시에 용장워드선측에 불량이 있어도 여러개중의 1개를 지정하는 어드레스가 다른 것을 조건으로 사용할 수 있으므로 결 함구제효율을 향상시킬 수 있다는 효과가 얻어진다.
(2) 상기 기억회로와 비교회로로써 상기 불량어드레스중 상기 여러개의 용장워드선을 지시하는 상기 소정의 어드레스신호를 실질적으로 무효로 해서 그것에 대응한 여러개의 불량워드선의 구제를 가능하게 하는 기능을 갖게 하는 것에 의해, 여러 종류의 결함구제에 사용할 수 있다는 효과가 얻어진다.
(3) 상기 워드선을 메인워드선과 이러한 메인워드선의 연장방향에 대해서 분할된 길이로 되며, 또한 상기 메인워드선과 교차하는 비트선방향에 대해서 여러개 배치되고, 여러개로 이루어지는 다이나믹형 메모리셀이 접속되어 이루어지는 여러개의 서브워드선에 의해 구성하고, 상기 서브워드선은 상기 메인워드선의 선택신호와 그것과 직교하도록 연장된 여러개로 이루어지는 서브워드 선택선에서 공급되는 선택신호를 받는 서브워드드라이버에 의해 구동하고 상기 여러개의 용장워드선을 상기 1개의 메인워드선과 상기 여러개의 서브워드선으로 구성하는 것에 의해 대기억용량화를 도모함과 동시에 그것에 따른 결함구제를 효율좋게 실행할 수 있다는 효과가 얻어진다.
(4) 상기 기억회로, 비교회로 및 용장워드선을 포함하는 결함구제회로를 여러개의 메모리매트로 분산해서 여러조가 마련되고, 각각의 결함구제회로는 상기 여러개의 메모리매트중에 있어서의 불량워드선의 구제를 실행하도록 하는 것에 의해, 결함구제효율을 향상시킬 수 있다는 효과가 얻어진다.
(5) 상기 불량어드레스를 기억하는 기억회로 및 비교회로로써, 1개의 워드선을 지정하는 비반전과 반전으로 이루어지는 상보의 어드레스신호가 각각 게이트에 공급되고, 소오스가 기준전위에 접속된 여러개로 이루어지는 MOSFET와 이러한 MOSFET의 드레인에 한쪽끝이 접속된 여러개의 퓨즈수단을 구비하고, 불량어드레스를 기억시킬때에는 비반전 또는 반전의 어드레스신호에 대응된 어느 한쪽의 퓨즈수단을 절단하고 이러한 여러개의 퓨즈수단의 다른쪽끝을 공통화해서 와이어드 논리신호를 얻는 것으로 하는 것에 의해 간단한 구성으로 퓨즈의 절단방법에 의한 다양한 결함구제가 가능하게 된다는 효과가 얻어진다.
(6) 상기 여러개의 워드선은 1개의 메인워드선과 8개의 서브워드선이고, 어드레스A0과 A1에 의해 4개 중의 1개의 서브워드선이 선택되는 것으로써, 상기 어드레스A1 또는 A0에 대응한 2쌍의 퓨즈에 있어서 각각 한쪽씩을 절단하는 것에 의해 1개단위의 구제를 실행하고, 상기 어드레스A0 또는 A1에 대응한 2쌍의 퓨즈중의 1쌍의 퓨즈를 양쪽 모두 절단시키는 것에 의해 2개 단위의 구제를 실행하고, 상기 어드레스신호A0과 A1에 대응한 2쌍의 퓨즈를 전부 절단시키는 것에 의해 4개 단위의 구제를 실행하도록 다양한 결함구제를 실행하도록 할 수 있다는 효과가 얻어진다.
이상 본 발명자에 의해 이루어진 발명을 실시예에 따라 구체적으로 설명했지만 본원 발명은 상기 실시예에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위에서 여러가지로 변경가능한 것은 물론이다. 예를 들면 워드선은 상기와 같은 메인워드선과 여러개의 서브워드선으로 구성되는 것에 한정되지 않고 메모리매트마다 마련되는 워드선이라도

좋다. 즉, 워드선구성으로써 메인워드선과 서브워드선으로 구성되는 계층 워드선구성에 한정되지 않고 비계층워드선 구성이라도 좋다. 이 경 우에도 상기와 같은 퓨즈세트와 같은 단위의 구제판정회로에 대응해서 여러개의 용장워드선이 마련된다. 메모리매트의 구성이나 레이아우트는 여러 실시형태를 취할 수 있다. 메모리셀은 다이나믹형 메모리셀 이외에 스테이틱형 메모리셀 또는 불휘발성 기억소자라도 좋다. 본 발명은 결함구제회로를 구비한 반도체기억장치에 널리 이용할 수 있다. 결함구제를 4개 단위가 아닌 8개, 16개,..., 2 ^{n} 개 단위에서의 구제도 본 발명에서는 가능하다. 메인워드선에 의한 구제, 서브워드선에 의한 구제 또는 양자의 혼합에 의한 구제중 어느 것도 본 발명에서는 가능하다.

발명의 효과

본원에 있어서 개시되는 발명중 대표적인 것에 의해서 얻을 수 있는 효과를 간단히 설명하면 다음과 같다. 즉, 불량어드레스를 기억하는 기억회로에 대해서 여러개의 용장워드선을 마련함과 동시에 상기 기억회로에는 1개의 워드선의 선택에 필요한 불량어드레스를 기억시키도록하고, 이러한 불량어드레스, 메모리액세스시에 입력된 어드레스의 비교일치신호와 상기 입력된 어드레스에 포함되는 소정의 어드레스신호를 사용해서 상기 불량워드선 대신에 상기 여러개의 용장워드선중에서 1개의 용장워드선을 선택하도록 하는 것에 의해 불량어드레스의 기억회로에 대해서 여러개의 용장워드선을 마련하도록 해서 기억회로의 수를 저감함과 동시에 용장워드선측에 불량이 있어도 여러개중의 1개를 지정하는 어드레스가 다른 것을 조건으로 사용할 수 있으므로 결함구제 효율을 향상시킬 수 있다.
상기 기억회로와 비교회로로써 상기 불량어드레스중 상기 여러개의 용장워드 선을 지시하는 상기 소정의 어드레스신호를 실질적으로 무효로 해서 그것에 대응한 여러개의 불량워드선의 구제를 가능하게 하는 기능을 갖게 하는 것에 의해 여러종류의 결함구제에 사용할 수 있다. 상기 워드선을 메인워드선과 이러한 메인워드선의 연장방향에 대해서 분할된 길이로 되며, 또한 상기 메인워드선과 교차하는 비트선방향에 대해서 여러개 배치되고, 여러개로 이루어지는 다이나믹형 메모리셀이 접속되어 이루어지는 여러개의 서브워드선으로 구성하고, 상기 서브워드선은 상기 메인워드선의 선택신호와 그것과 직교하도록 연장된 여러개로 이루어지는 서브워드선택선에서 공급되는 선택신호를 받는 서브워드드라이버에 의해 구동하고, 상기 여러개의 용장워드선을 상기 1개의 메인워드선과 상기 여러개의 서브워드선으로 구성하는 것에 의해 대기억용량화를 도모함과 동시에 그것에 따른 결함구제를 효율 좋게 실행할 수 있다.
상기 기억회로, 비교회로 및 용장워드선을 포함하는 결함구제회로를 여러개의 메모리매트로 분산해서 여러조가 마련하고, 각각의 결함구제회로는 상기 여러개의 메모리매트중에 있어서의 불량워드선의 구제를 실행하도록 하는 것에 의해 결함구제효율을 향상시킬 수 있다.
상기 불량어드레스를 기억하는 기억회로 및 비교회로로써 1개의 워드선을 지정하는 비반전과 반전으로 이루어지는 상보의 어드레스신호가 각각 게이트에 공급되고, 소오스가 기준전위에 접속된 여러개로 이루어지는 MOSFET와 이러한 MOSFST의 드레인에 한쪽끝이 접속된 여러개의 퓨즈수단을 구비하고, 불량어드레스를 기억시킬때에는 비반전 또는 반전의 어드레스신호에 대응된 어느 한쪽의 퓨즈수단을 절단 하고, 이러한 여러개의 퓨즈수단의 다른쪽 끝을 공통화해서 와이어드논리신호를 얻는 것으로 하는 것에 의해 간단한 구성으로 퓨즈의 절단방법에 의한 다양한 결함구제가 가능하게 된다.
상기 여러개의 워드선은 1개의 메인워드선과 8개의 서브워드선으로써, 어드레스A0과 A1에 의해 4개중의 1개의 서브워드선이 선택되는 것이고, 상기 어드레스A1 또는 A0에 대응한 2쌍의 퓨즈에 있어서 각각 한쪽씩을 절단하는 것에 의해 1개 단위의 구제를 실행하고, 상기 어드레스A0 또는 A1에 대응한 2쌍의 퓨즈중 1쌍의 퓨즈를 양쪽 모두 절단시키는 것에 의해 2개 단위의 구제를 실행하고, 상기 어드레스신호A0과 A1에 대응한 2쌍의 퓨즈를 전부 절단시키는 것에 의해 4개 단위의 구제를 실행하도록 다양한 결함구제를 실행하게 할 수 있다.

(57) 청구의 범위

청구항 1.

제1 어드레스신호와 제2 어드레스신호가 공급되는 반도체 기억장치로서,
여러개의 메인 워드선;
상기 여러개의 메인 워드선에 각각 마련되는 여러조의 서브워드선;
1조의 용장 서브 워드선;
제1 결함정보와 제2 결함정보를 유지하고, 상기 제1 어드레스 신호와 상기 제1 결함정보가 일치하고 상기 제2 어드레스신호의 소정의 부분과 상기 제2 결함정보가 일치하는 경우에 결함신호를 출력하는 판정회로;
여러개의 선택신호선;
그의 각각이 상기 여러개의 메인워드선 및 상기 여러개의 선택신호선중의 하나에 대응하는 하나에 접속되는 여러조의 서브워드선 드라이버 및;
상기 여러개의 선택신호선에 접속되는 1조의 용장 서브워드선 드라이버를 포함하고,
상기 메인 워드선중의 하나는 상기 제1 어드레스신호에 따라 선택되고,
상기 여러개의 선택신호선은 상기 메인 워드선중의 소정의 하나의 선택과 함께 상기 서브워드선중의 하나가 상기 제2 어드레스신호에 따라 선택되도록 상기 제2 어드레스신호에 따라 구동되고,
상기 결함신호가 출력되는 경우에 상기 제2 어드레스신호에 따라 상기 서브워드선중의 하나 대신에 상기 용장 서브워드선중의 하나가 선택되는 것을 특징으로 하는 반도체 기억장치.

청구항 2.
제1항에 있어서,
상기 판정회로는
비반전과 반전으로 이루어지는 상보의 상기 제1 어드레스신호중의 하나 및 비반전과 반전으로 이루어지는 상보의 상기 제2 어드레스신호중의 하나가 게이트에 공급되는 여러개의 MOSFET 및;
그의 각각이 와이어드 논리신호를 생성하기 위해 공통화된 기준전위와 공통노드 사이의 상기 여러개의 MOSFET중의 각각의 하나에 연속적으로 접속되는 여러개의 퓨즈를 포함하고,
상기 제2 어드레스신호의 1비트에 대응하는 한쌍의 퓨즈는 단위로서 구제될 서브워드선의 수가 2배인 경우에 절단하는 것을 특징으로 하는 반도체 기억장치.

청구항 3.
제2항에 있어서,
상기 공통노드는 상기 검출신호를 생성하기 위해 와이어드-OR 논리동작을 실행하는 것을 특징으로 하는 반도체 기억장치.

청구항 4.
제1메인워드선과 제2 메인워드선을 포함하는 여러개의 메인워드선;
여러개의 제1 서브워드선과 여러개의 제2 서브워드선을 포함하는 여러개의 서브워드선;
여러개의 선택신호선;
제1 서브워드선 선택회로와 제2 서브워드선 선택회로를 포함하는 여러개의 서브워드선 선택회로;
용장 메인 워드선;
여러개의 용장 서브워드선;
용장 서브워드선 선택회로;
상기 여러개의 서브워드선의 각각에 접속되는 여러개의 메모리셀;
상기 여러개의 용장 서브워드선의 각각에 접속되는 여러개의 용장 메모리셀 및;
결함정보 유지회로를 포함하는 판정회로를 구비하고,
반도체 기억장치에 제1 어드레스신호와 제2 어드레스신호가 공급되고,
상기 제1 서브워드선 선택회로는 상기 여러개의 선택신호선, 상기 제1 메인워드선 및 상기 여러개의 제1 서브워드선에 접속되고,
상기 제2 서브워드선 선택회로는 상기 여러개의 선택신호선, 상기 제2 메인워드선 및 상기 여러개의 제2 서브워드선에 접속되고,
상기 용장 서브워드선 선택회로는 상기 여러개의 선택신호선, 상기 용장 메인워드선 및 상기 여러개의 용장 서브워드선에 접속되고,
상기 판정회로에는 제1 어드레스신호 및 제2 어드레스신호가 공급되고,
상기 제1 어드레스신호는 상기 여러개의 메인워드선중의 하나를 선택하기 위한 신호이고,
상기 제2 어드레스신호는 상기 여러개의 제1 서브워드선중의 하나, 상기 여러개의 제2 서브워드선중의 하나 또는 상기 여러개의 용장 서브워드선중의 하나를 선택하기 위한 신호이고,
상기 결함정보 유지회로가 제1 정보 및 제2 정보를 유지하고, 상기 제1 정보와 상기 제1 어드레스신호가 일치하고 또한 상기 제2 정보와 상기 제2 어드레스신호가 일치했다고 상기 판정회로가 판정한 경우, 상기 용장 메인워드선이 선택됨과 동시에 상기 제2 어드레스신호에 따른 선택신호가 상기 선택신호선으로 공급되고,
상기 결함정보 유지회로가 상기 제1 정보 및 상기 제2 정보를 유지하고, 상기 제1 정보와 상기 제1 어드레스신호가 일치하고 또한 상기 제2 정보와 상기 제2 어드레스신호가 불일치라고 상기 판정회로가 판정한 경우, 상기 제1 어드레스신호에 대응하는 상기 여러개의 메인워드선중의 하나가 선택됨과 동시에 상기 제2 어드레스신호에 따른 선택신호가 상기 선택신호선으로 공급되고,
상기 결함정보 유지회로가 상기 제1 정보를 유지하지만 상기 제2 정보를 유지하고 있지 않고, 상기 제1 정보와 상기 제1 어드레스신호가 일치했다고 상기 판정회로가 판정한 경우, 상기 용장 메인워드선이 선택됨과 동시에 상기 제2 어드레스신호에 따른 선택신호가 상기 선택신호선으로 공급되는 것을 특징으로 하는 반도체 기억장치.

청구항 5.
제4항에 있어서,
상기 제1 어드레스신호는 상기 여러개의 메인워드선의 선택에 사용되고, 상 기 제2 어드레스신호는 상기 여러개의 서브워드선의 선택 및 상기 여러개의 용장워드선의 선택에 사용되는 반도체 기억장치.

청구항 6.
제4항에 있어서,
상기 결함정보 유지회로는 상기 제1 정보를 불휘발적으로 유지하기 위한 제1 정보유지회로 및 상기 제2 정보를 불휘발적으로 유지하기 위한 제2 정보유지회로를 포함하는 반도체 기억장치.

청구항 7.
제6항에 있어서,
상기 제1 정보유지회로는 여러개의 제1 퓨즈를 포함하고, 상기 제2 정보유지회로는 여러개의 제2 퓨즈를 포함하는 반도체 기억장치.

청구항 8.

제7항에 있어서,
상기 여러개의 제2 퓨즈가 소정의 상태인 경우, 상기 결함정보 유지회로는 상기 제2 정보를 유지하고 있지 않은 반도체 기억장치.

청구항 9.

제4항에 있어서,
상기 여러개의 메모리셀 및 상기 여러개의 용장 메모리셀은 다이나믹형인 반도체 기억장치.

청구항 10.

여러개의 워드선;
상기 여러개의 워드선에 접속된 여러개의 메모리셀;
상기 여러개의 워드선에 접속된 디코더회로;
여러개의 용장 워드선;
상기 여러개의 용장 워드선에 접속된 여러개의 용장 메모리셀;
상기 여러개의 용장 워드선에 접속된 용장 디코더회로 및;
상기 여러개의 용장 워드선에 대응하는 제어회로를 포함하고,
상기 디코더회로에는 여러개의 제1 어드레스신호 및 여러개의 제2 어드레스 신호가 공급되고,
상기 디코더회로는 상기 여러개의 제1 어드레스신호 및 상기 여러개의 제2 어드레스신호에 따라서 상기 여러개의 워드선중의 하나를 선택하고,
상기 제어회로는 제1 결함 어드레스 기억회로 및 제2 결함 어드레스 기억회로를 포함하고, 제어신호를 출력하고,
상기 제1 결함 어드레스 기억회로는 상기 여러개의 제1 어드레스신호에 대응하고, 상기 여러개의 제1 어드레스신호에 대응하는 제1 결함 어드레스를 유지하는 것이 가능하고,
상기 제2 결함 어드레스 기억회로는 상기 여러개의 제2 어드레스신호에 대응하고, 상기 여러개의 제2 어드레스신호에 대응하는 제2 결함 어드레스를 유지하는 것이 가능하게 되고,
상기 제어회로는 상기 제어회로가 제1 상태일 때, 상기 여러개의 제1 어드레 스신호와 상기 제1 결함 어드레스 기억회로에 유지된 상기 제1 결함 어드레스 신호가 일치하는 경우, 상기 제어신호를 출력하고,
상기 제어회로는 상기 제어회로가 제2 상태일 때, 상기 여러개의 제1 어드레스신호와 상기 제1 결함 어드레스 기억회로에 유지된 상기 제1 결함 어드레스 신호가 일치하고, 상기 여러개의 제2 어드레스신호와 상기 제2 결함 어드레스 기억회로에 유지된 상기 제2 결함 어드레스 신호가 일치하는 경우, 상기 제어신호를 출력하고,
상기 용장 디코더회로에는 상기 여러개의 제2 어드레스신호가 공급되고,
상기 용장 디코더회로는 상기 제어회로로부터의 상기 제어신호의 수신시 상기 여러개의 제2 어드레스신호에 따라서 상기 여러개의 용장 워드선중의 하나를 선택하는 반도체 기억장치.

청구항 11.

제10항에 있어서,
상기 제1 결함 어드레스 기억회로는 상기 제1 결함 어드레스를 불휘발적으로 유지하고,
상기 제2 결함 어드레스 기억회로는 상기 제2 결함 어드레스를 불휘발적으로 유지하는 반도체 기억장치.

청구항 12.

제11항에 있어서,
상기 제1 결함 어드레스 기억회로는 여러개의 제1 퓨즈를 포함하고,
상기 제2 결함 어드레스 기억회로는 여러개의 제2 퓨즈를 포함하는 반도체 기억장치.

청구항 13.

제12항에 있어서,
상기 여러개의 제2 퓨즈가 소정의 상태인 경우, 상기 제어회로는 상기 제2 상태인 반도체 기억장치.

청구항 14.

제10항에 있어서,
상기 여러개의 메모리셀 및 상기 여러개의 용장 메모리셀은 다이나믹형인 반도체 기억장치.

청구항 15.

여러개의 워드선;
상기 여러개의 워드선에 접속된 여러개의 메모리셀;
상기 여러개의 워드선에 접속된 디코더회로;
여러개의 용장 워드선;
상기 여러개의 용장 워드선에 접속된 여러개의 용장 메모리셀;
상기 여러개의 용장 워드선에 접속된 용장 디코더회로 및;
상기 여러개의 용장 워드선에 대응하는 제어회로를 포함하고,
상기 디코더회로에는 제1 어드레스신호 및 제2 어드레스신호가 공급되고,
상기 디코더회로는 상기 제1 어드레스신호 및 상기 제2 어드레스신호에 따라 서 상기 여러개의 워드선중의 하나를 선택하고,
상기 제어회로에는 상기 제1 어드레스신호 및 상기 제2 어드레스신호가 공급되고, 상기 제1 어드레스신호에 대응하는 제1 결함 어드레스와 상기 제2 어드레스신호에 대응하는 제2 결함 어드레스를 기억하는 것이 가능한 결함 어드레스 기억회로를 포함하고,

상기 제어회로는 상기 제1 어드레스신호 및 상기 제2 어드레스 신호가 결함 어드레스인 것을 나타내는 판정에 따라 제어신호를 출력하고,
상기 용장 디코더회로에는 상기 제2 어드레스신호가 공급되고,
상기 용장 디코더회로는 상기 제어회로로부터의 상기 제어신호의 수신시 상기 제2 어드레스신호에 따라서 상기 용장 워드선중의 하나를 선택하는 것을 특징으로 하는 반도체 기억장치.

청구항 16.

제15항에 있어서,
상기 결함 어드레스 기억회로는 상기 제1 결함 어드레스 및 상기 제2 결함 어드레스를 불휘발적으로 유지하는 반도체 기억장치.

청구항 17.

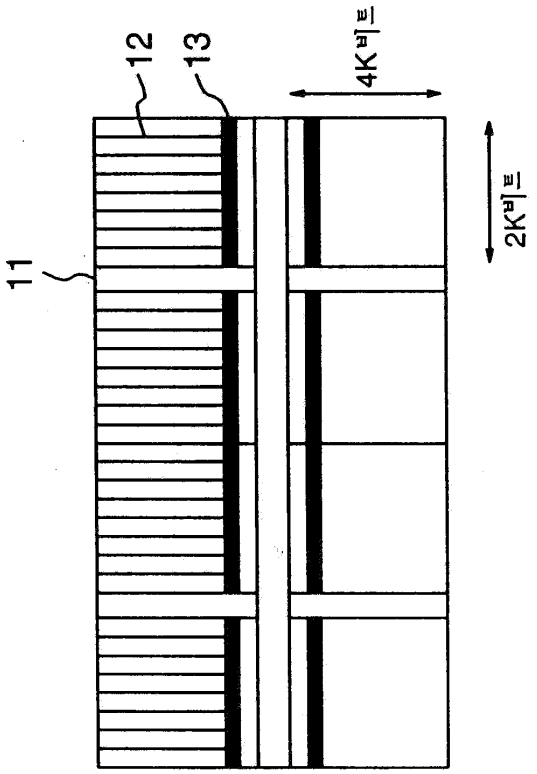
제16항에 있어서,
상기 결함 어드레스 기억회로는 상기 제1 결함 어드레스를 유지하는 여러개의 제1 퓨즈 및 상기 제2 결함 어드레스를 유지하는 여러개의 제2 퓨즈를 포함하는 반도체 기억장치.

청구항 18.

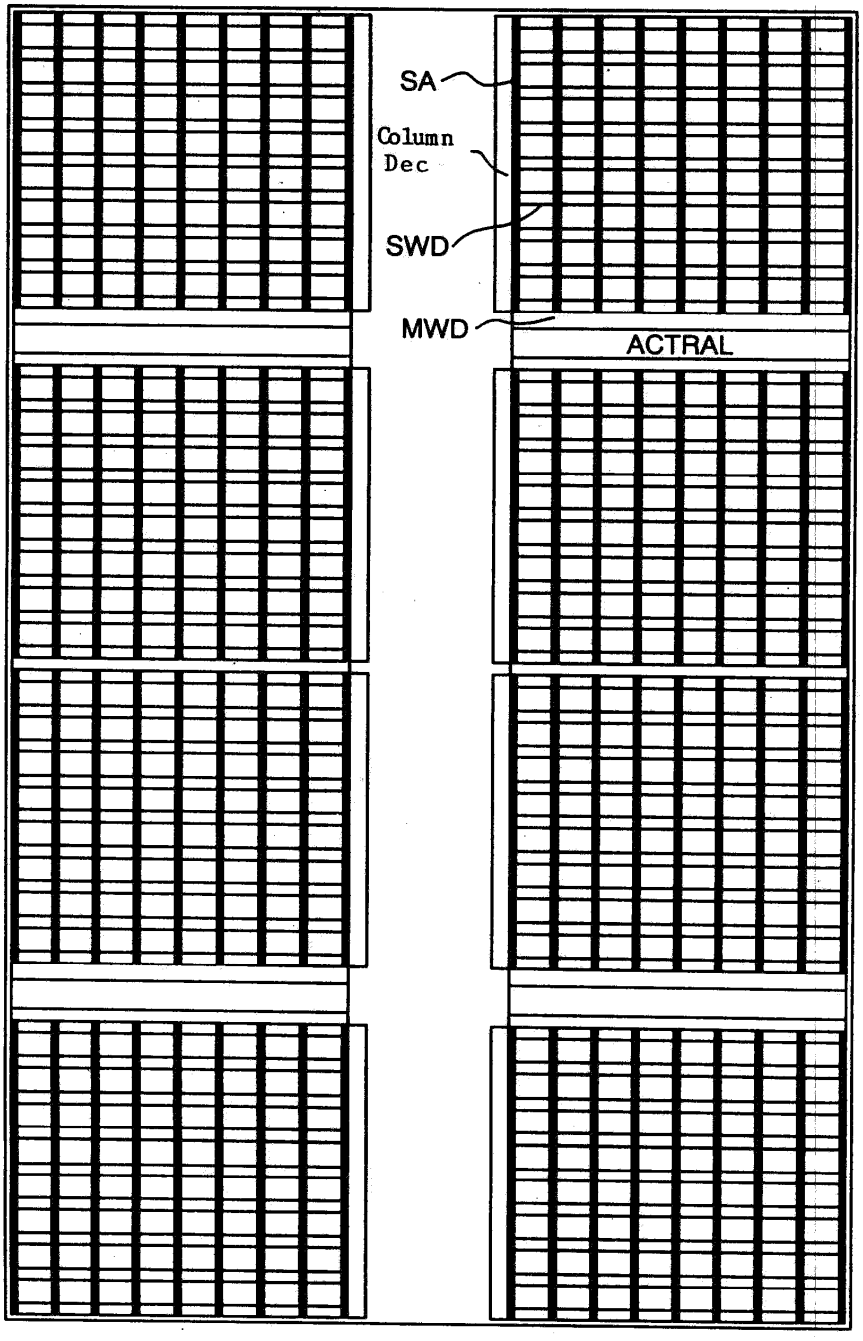
제15항에 있어서,
상기 여러개의 메모리셀 및 상기 여러개의 용장 메모리셀은 다이나믹형인 반도체 기억장치.

도면

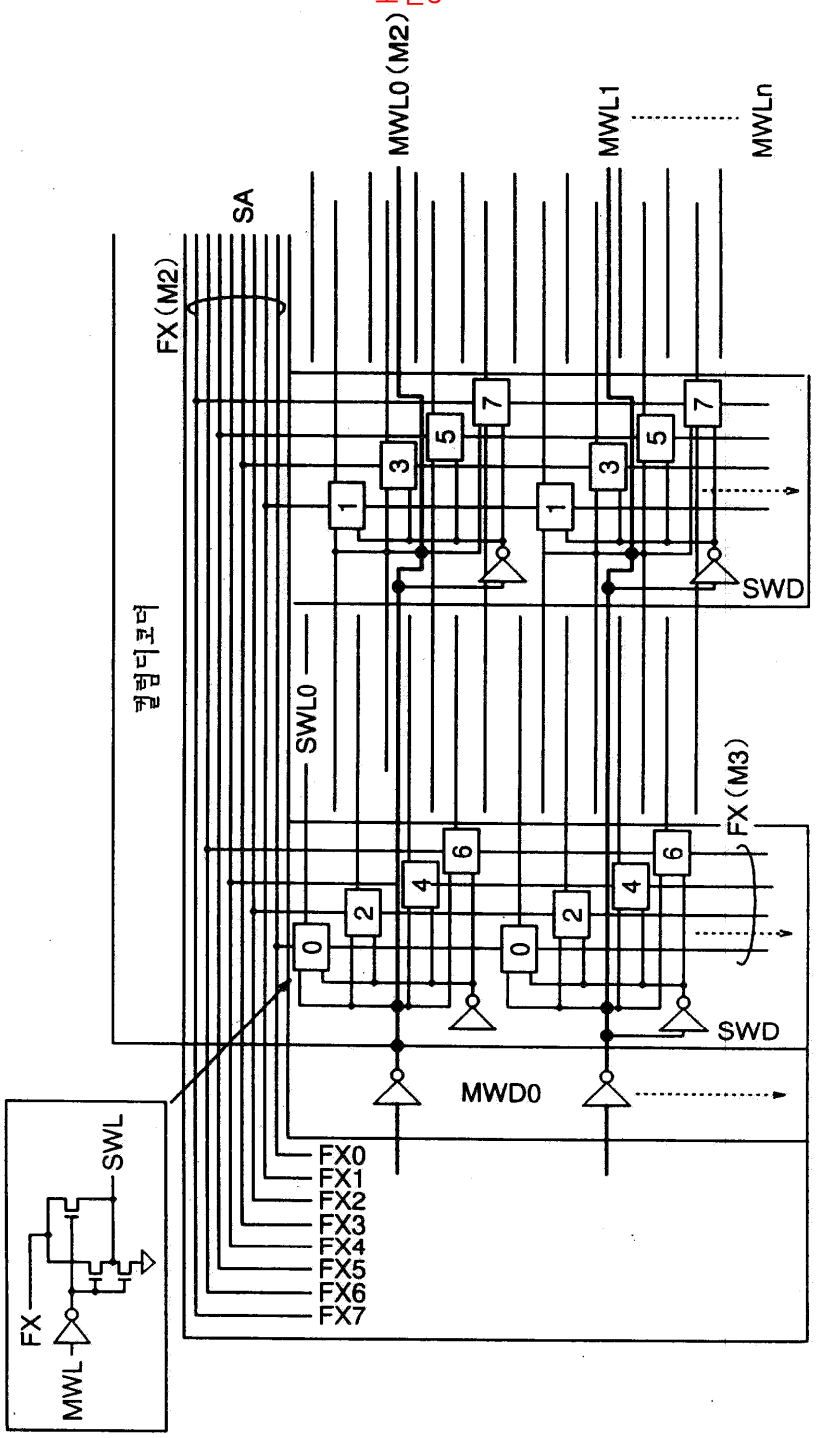
도면1



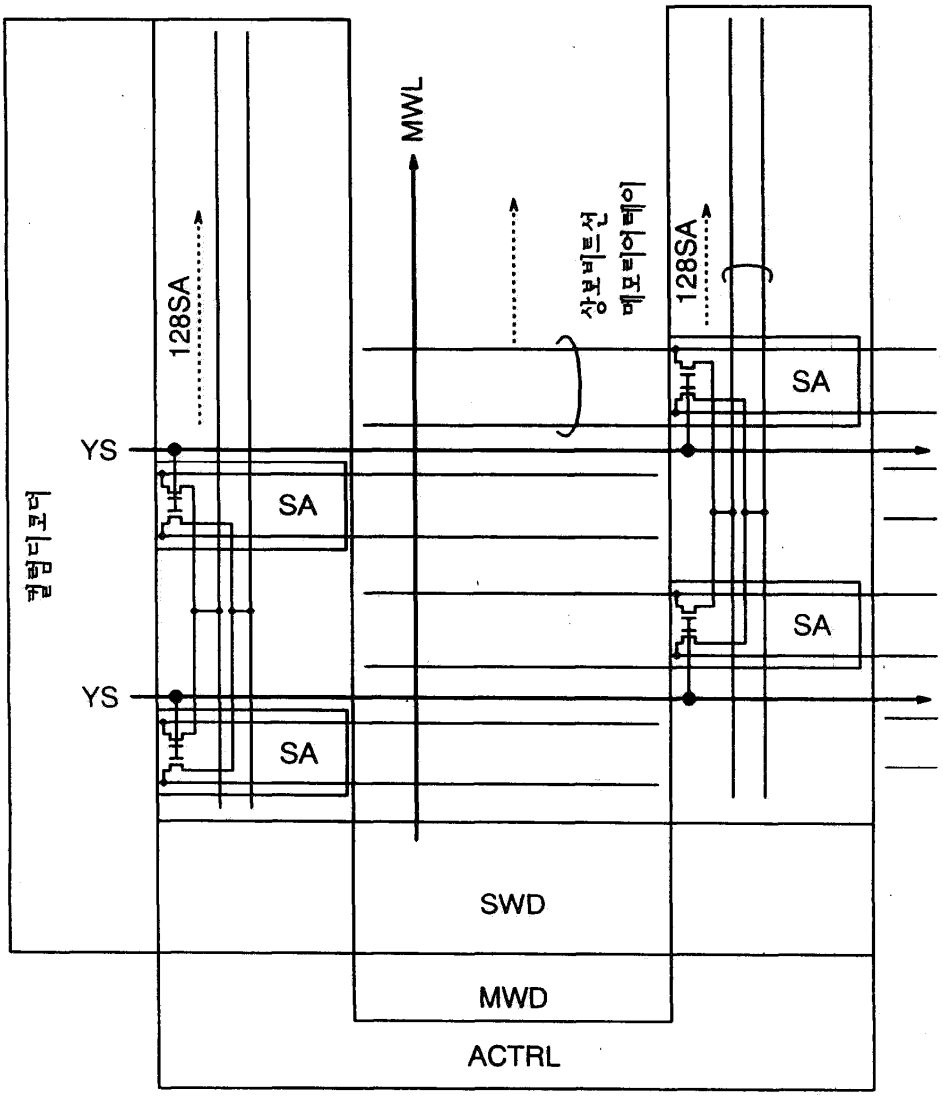
도면2



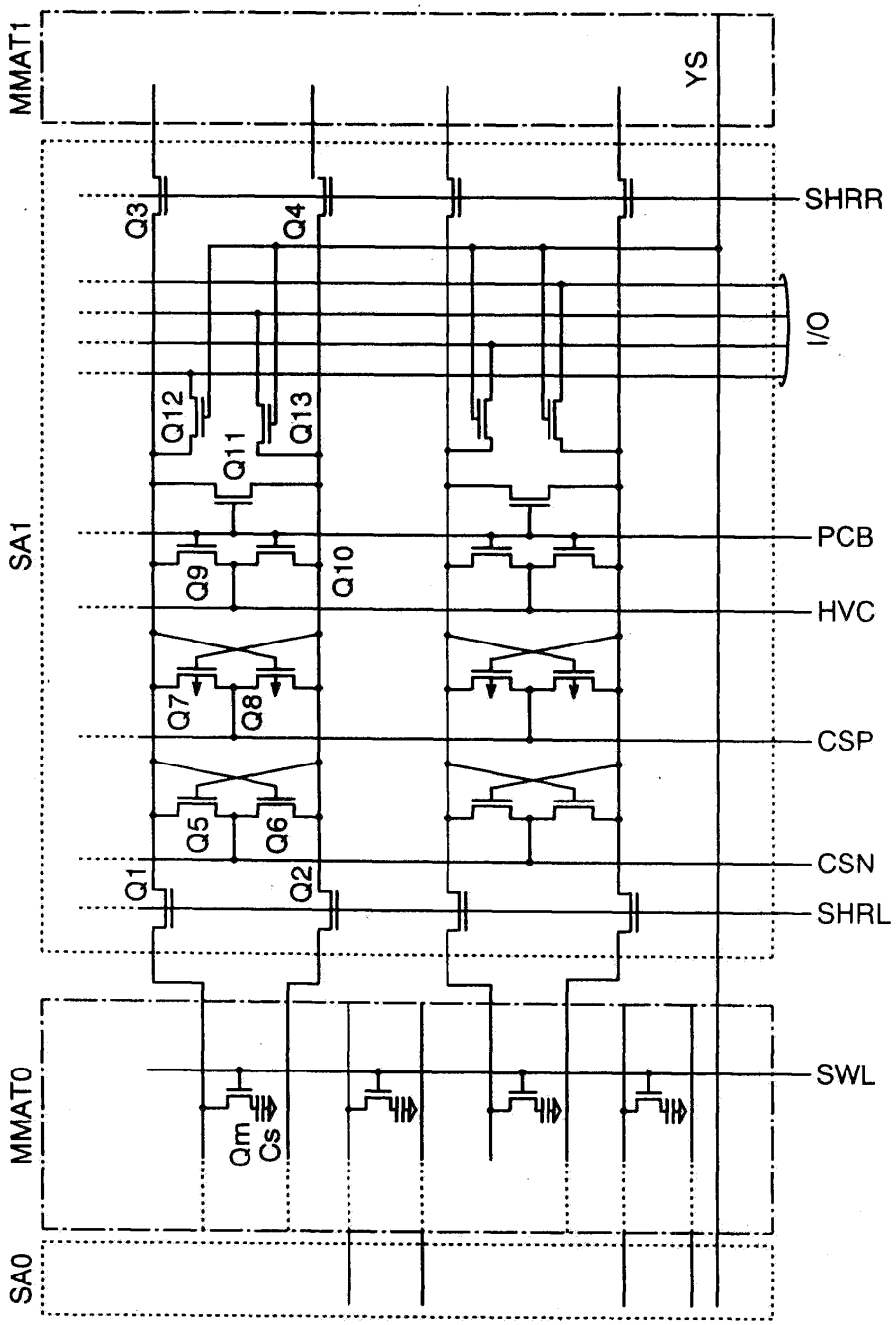
도면3


MWL0 (M2)
MWL1
MWLn
SA
FX (M2)
컬럼디코더
SWL0
SWD
FX (M3)
SWD
MWD0
FX0
FX1
FX2
FX3
FX4
FX5
FX6
FX7
SWL
FX
MWL

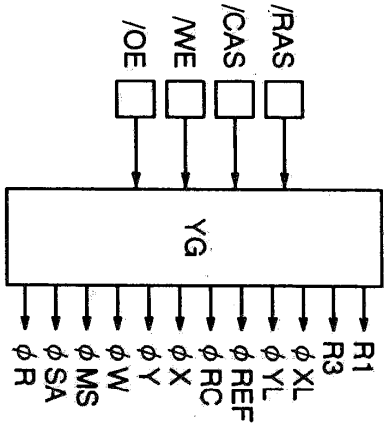
도면4


MWL
128SA
128SA
상보비트선
메모리어레이
YS
YS
SA
SA
SA
SA
컬럼디코더
SWD
MWD
ACTRL

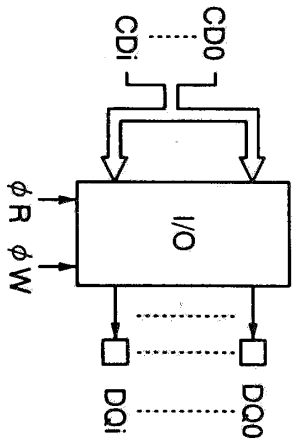
도면5


MMAT1
YS
SHRR
Q3
Q4
I/O
Q12
Q11
Q13
SA1
PCB
Q9
Q10
HVC
Q7
Q8
CSP
Q5
Q6
CSN
Q1
Q2
SHRL
SWL
MMAT0
Qm
Cs
SA0

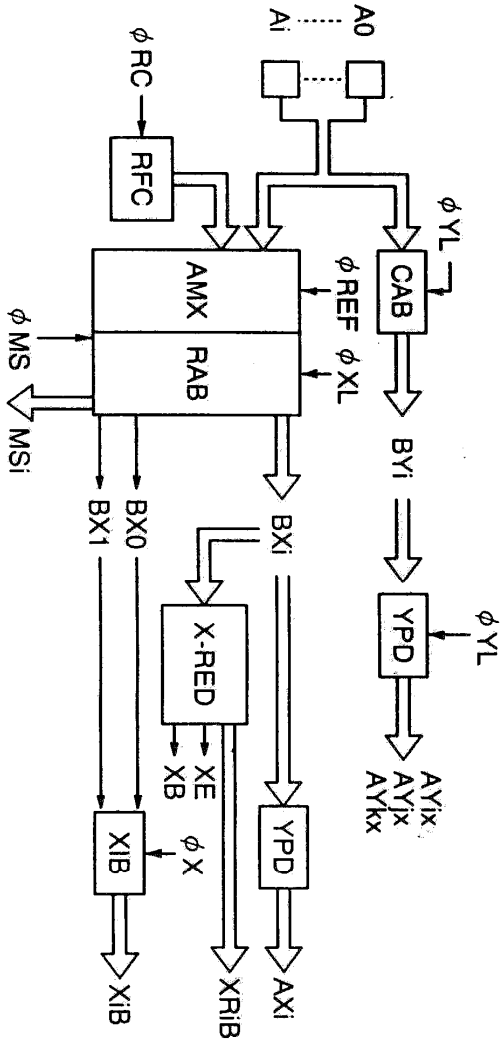
도면6a


/OE
/WE
/CAS
/RAS
YG
φR
φSA
φMS
φW
φY
φX
φRC
φREF
φYL
φXL
R3
R1

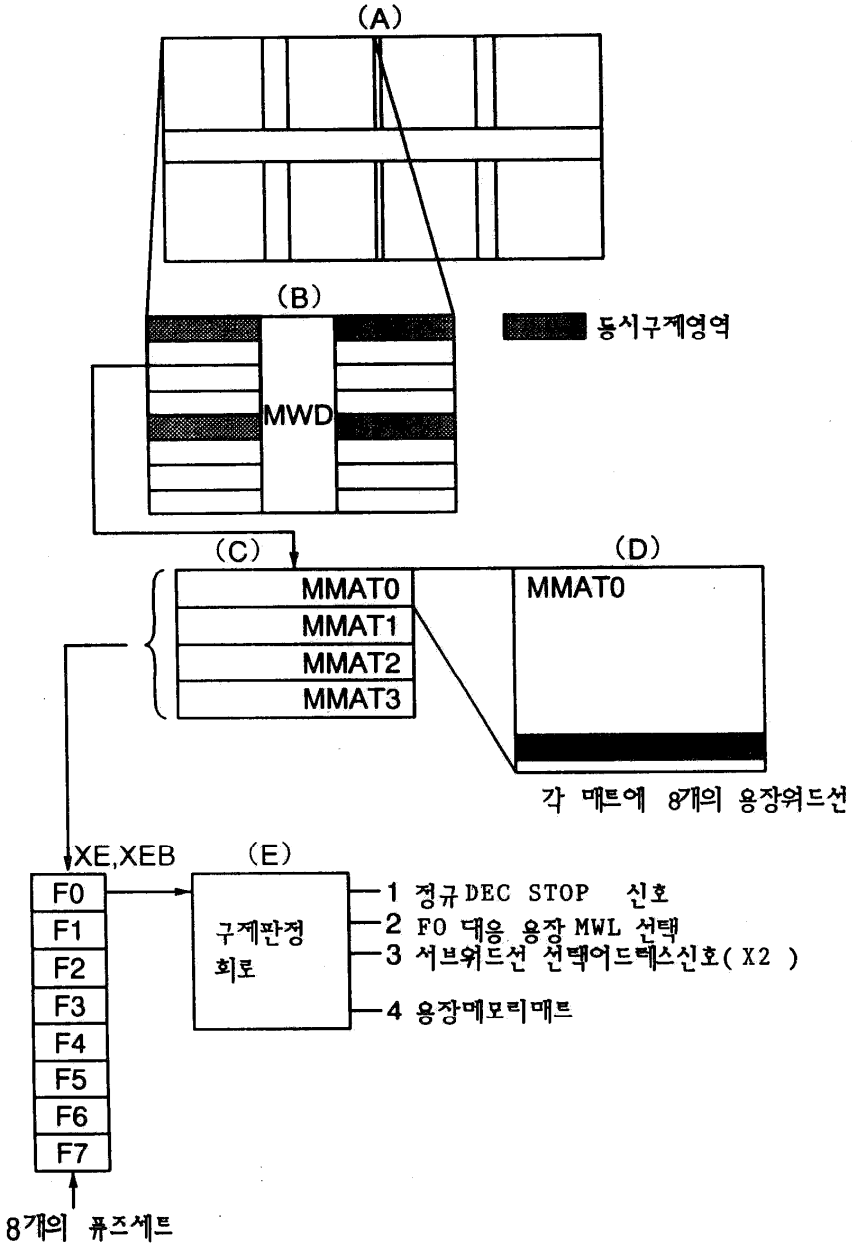
도면6b


CDi
CD0
φR
φW
I/O
DQi
DQ0

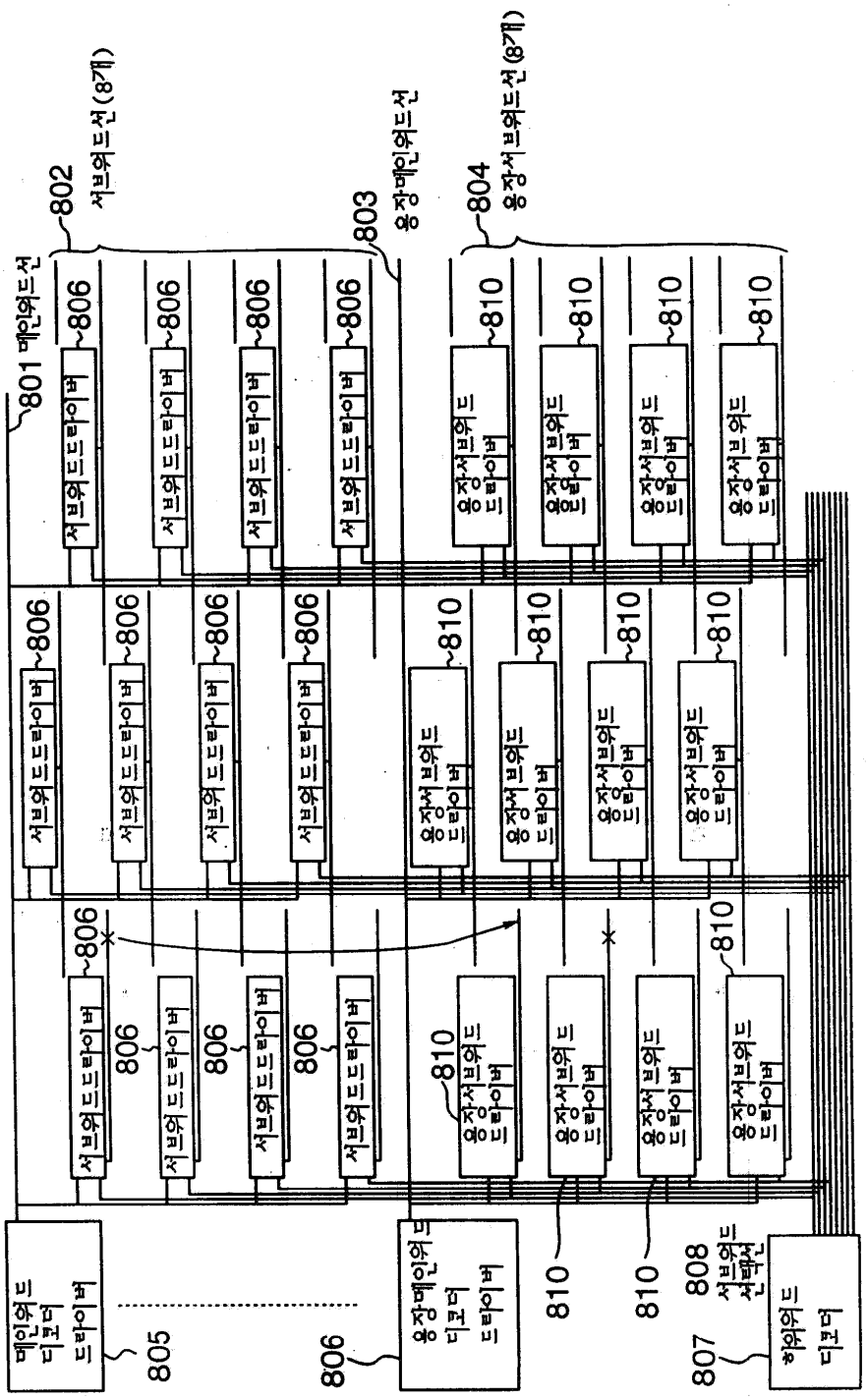
도면6c


Ai
A0
φRC
RFC
φYL
AMX
φREF
CAB
φMS
RAB
φXL
MSi
BYi
BX1
BX0
BXi
φYL
X-RED
YPD
AYix
AYjx
AYkx
XE
XB
φX
XIB
YPD
XiB
XRiB
AXi

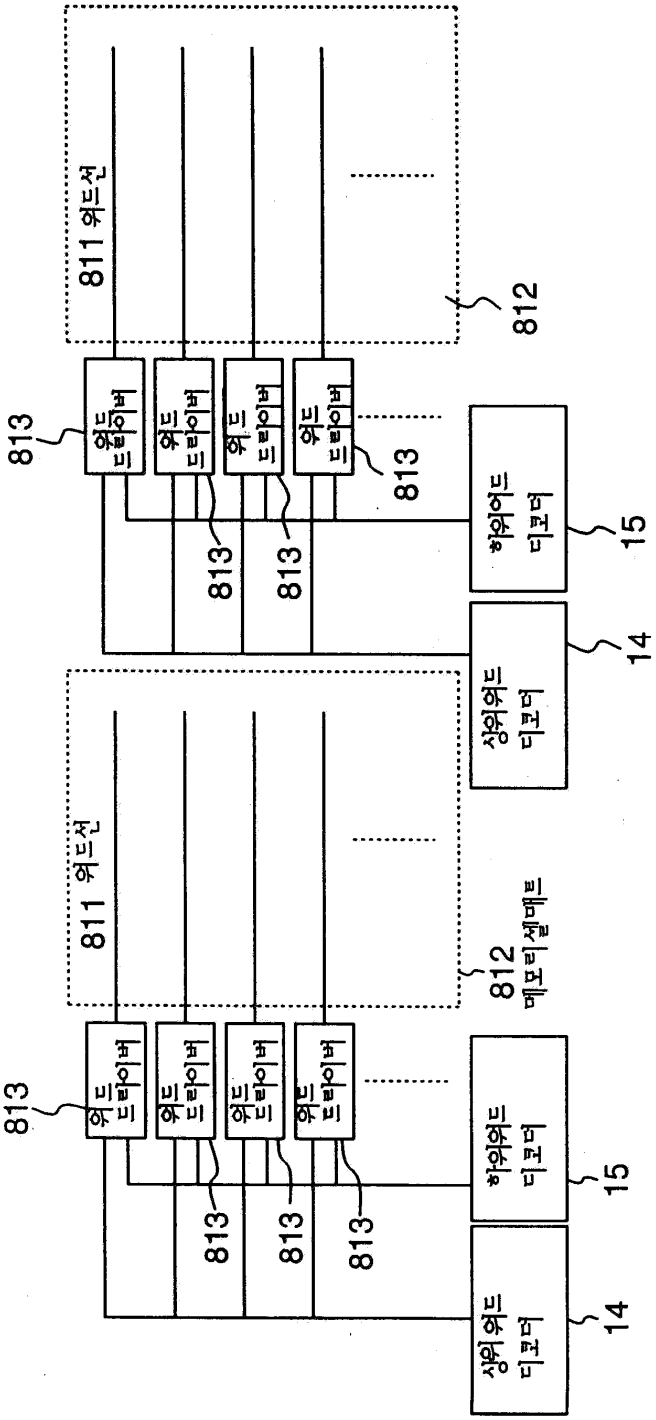
도면7


(A)
(B)
동시구제영역
MWD
(C)
(D)
MMAT0
MMAT1
MMAT2
MMAT3
MMAT0
각 매트에 8개의 용장워드선
XE,XEB
(E)
F0
F1
F2
F3
F4
F5
F6
F7
구제판정
회로
1 정규DEC STOP 신호
2 F0 대응 용장 MWL 선택
3 서브워드선 선택어드레스신호(X2)
4 용장메모리매트
8개의 퓨즈세트

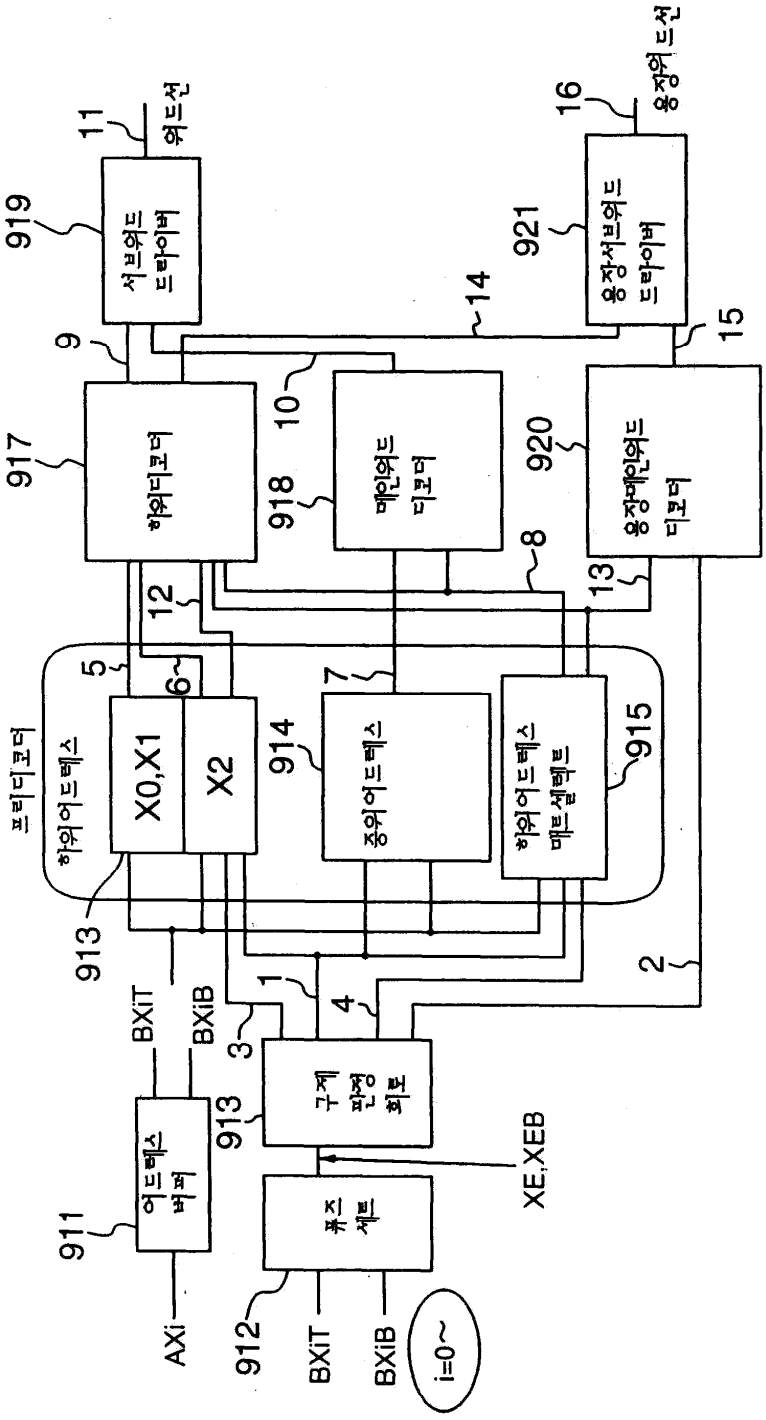
도면8a


801 메인워드선
802 서브워드선 (8개)
803 용장메인워드선
804 용장서브워드선 (8개)
806 서브워드드라이버
810 용장서브워드 드라이버
메인워드 디코더 드라이버
805
806
용장메인워드 디코더 드라이버
810
810
808 서브워드 선택선
807
워워드 디코더

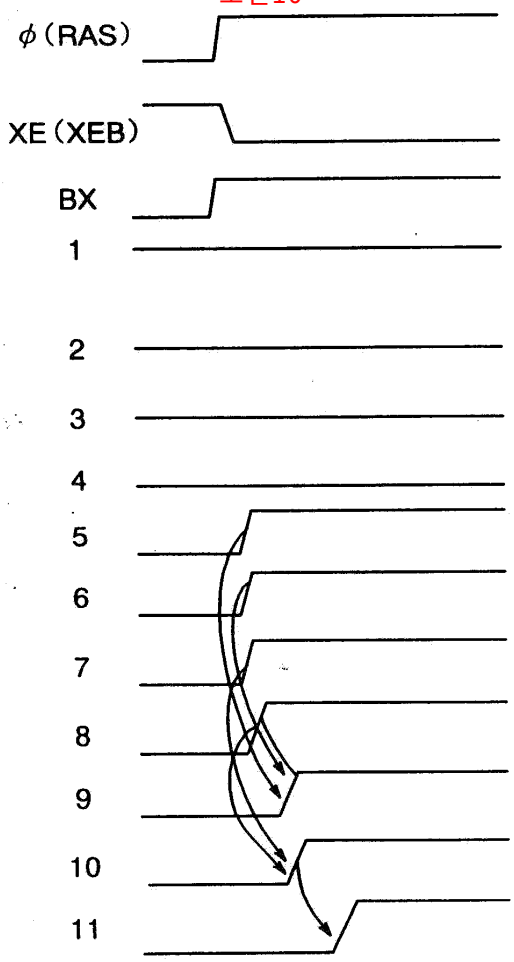
도면8b


811 워드선
812
813
워드 드라이버
813
813
813
하위어드 디코더
15
상위워드 디코더
14
811 워드선
812
메모리셀매트
813
워드 드라이버
813
813
813
하위워드 디코더
15
상위워드 디코더
14

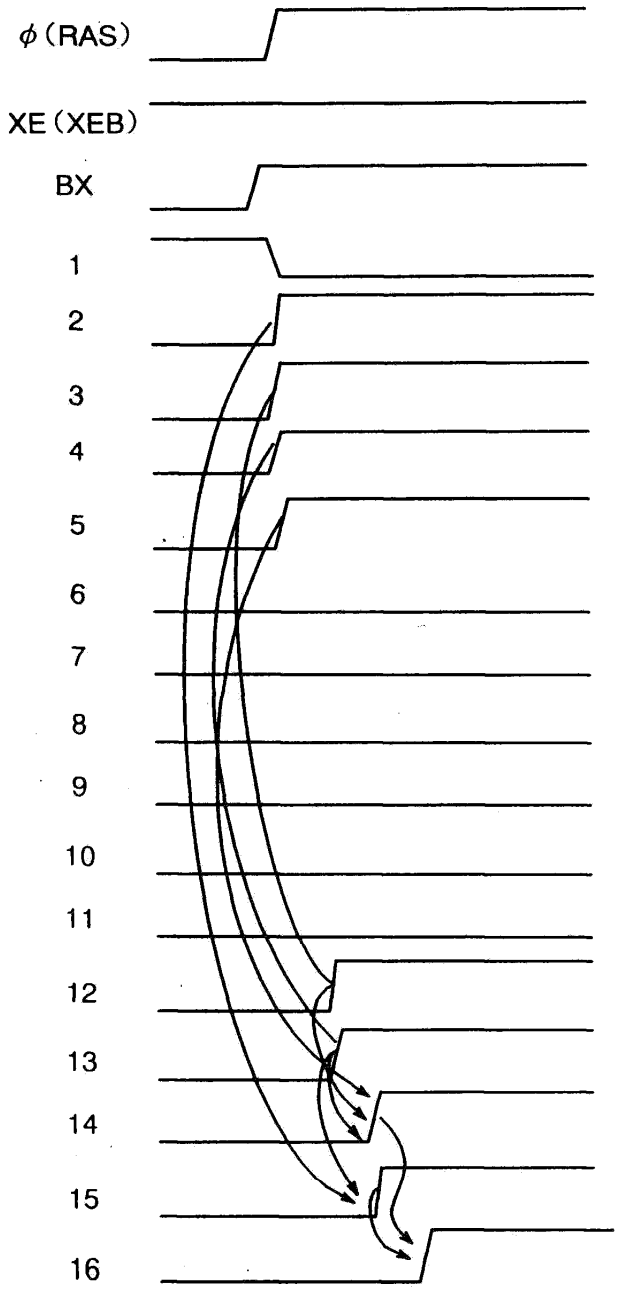
도면9


서브워드 드라이버
워드선
용장서브워드 드라이버
용장워드선
하위디코더
메인워드 디코더
용장메인워드 디코더
프리디코더
하위어드레스
X0,X1
X2
중위어드레스
하위어드레스 매트셀렉트
어드레스 버퍼
구제 판정 회로
퓨즈 세트
AXi
BXiT
BXiB
XE,XEB
i=0~
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
917
918
919
920
921
911
912
913
914
915

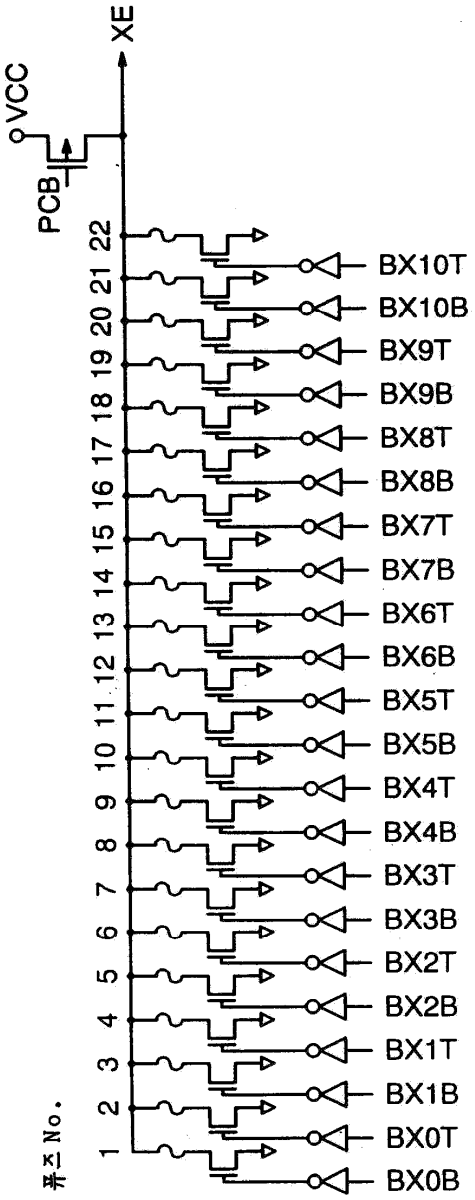
도면10



도면11



도면12


VCC
XE
PCB
BX10T
BX10B
BX9T
BX9B
BX8T
BX8B
BX7T
BX7B
BX6T
BX6B
BX5T
BX5B
BX4T
BX4B
BX3T
BX3B
BX2T
BX2B
BX1T
BX1B
BX0T
BX0B
1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22
표시 No.

도면13a

하위어드레스 절단상태

구제단위	불량어드레스의 하위 2비트		퓨즈 No.				
	A0	A1	1	2	3	4	
4개 단위	—	—	절단	절단	절단	절단	
	L	—		절단	절단	절단	
	H	—	절단		절단	절단	
2개 단위	L	L		절단		절단	
	H	L	절단			절단	
	L	H		절단	절단		
	H	H	절단		절단		
1개 단위	L	L					
	H	L					
	L	H					
	H	H					

도면13b

A0	A1	A2	FXi	SWLi
H	H	H	FX0	SWL0
L	H	H	FX1	SWL1
H	L	H	FX2	SWL2
L	L	H	FX3	SWL3
H	H	L	FX4	SWL4
L	H	L	FX5	SWL5
H	L	L	FX6	SWL6
L	L	L	FX7	SWL7

도면14

