



(19) **RU** ⁽¹¹⁾ **2 011 304** ⁽¹³⁾ **C1**
 (51) МПК⁵ **H 04 M 3/00**

РОССИЙСКОЕ АГЕНТСТВО
 ПО ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ РОССИЙСКОЙ ФЕДЕРАЦИИ

(21), (22) Заявка: 4028399/09, 28.10.1986

(30) Приоритет: DE/04.11.85/3539101

(30) Приоритет: 04.11.1985 DE 85 3539101

(46) Дата публикации: 15.04.1994

(71) Заявитель:
 Сименс АГ (DE)

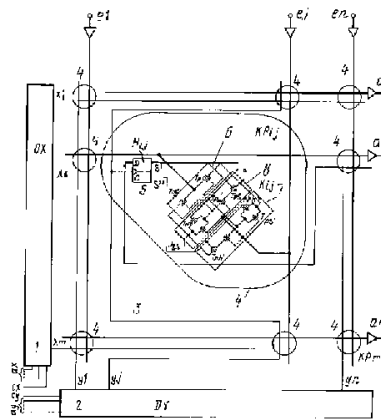
(72) Изобретатель: Рюдигер Хофманн[DE]

(73) Патентообладатель:
 Сименс АГ (DE)

(54) УСТРОЙСТВО ПРОСТРАНСТВЕННОЙ КОММУТАЦИИ ШИРОКОПОЛОСНЫХ СИГНАЛОВ

(57) Реферат:

Изобретение относится к технике связи. Цель - повышение развязки коммутируемых линий. Устройство содержит два дешифратора 1 и 2, коммутационную матрицу 3, каждый элемент связи 4 которой содержит блок 5 памяти, трехстабильный ключ 6, логический элемент И - НЕ 7 и логический элемент ИЛИ - НЕ 8. Дешифраторы 1 и 2 выдают управляющие сигналы в линию, соответствующую определенному адресу элемента и связи, в котором активизируется блок 5, и элемент 4 связи становится проводящим. 1 ил.



RU 2 011 304 C1

RU 2 011 304 C1



(19) **RU** ⁽¹¹⁾ **2 011 304** ⁽¹³⁾ **C1**

(51) Int. Cl.⁵ **H 04 M 3/00**

RUSSIAN AGENCY
FOR PATENTS AND TRADEMARKS

(12) **ABSTRACT OF INVENTION**

(21), (22) Application: 4028399/09, 28.10.1986

(30) Priority: DE/04.11.85/3539101

(30) Priority: 04.11.1985 DE 85 3539101

(46) Date of publication: 15.04.1994

(71) Applicant:
SIMENS AG (DE)

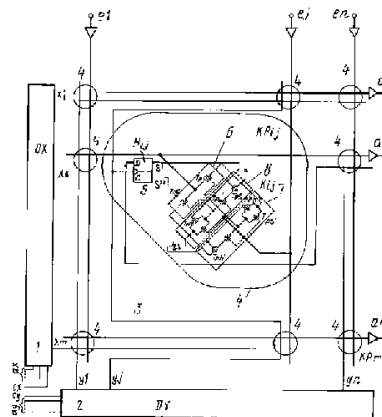
(72) Inventor: **RJUDIGER KHOFMANN[DE]**

(73) Proprietor:
SIMENS AG (DE)

(54) **WIDE-BAND SIGNAL SPATIAL COMMUTATION DEVICE**

(57) Abstract:

FIELD: communication technology.
SUBSTANCE: device has two decoders 1 and 2, commutating array 3. Any communication element 4 of the array has memory unit 5, three-stable switch 6, AND-NOT gate 7 and OR-NOT gate 8. Decoder 1 and 2 generates control signals into the circuit corresponding to specific address of gate and communication where unit 5 is activated which results to the situation that communication element 4 changes for conducting state. EFFECT: improved de-coupling of circuits under commutation. 1 dwg



RU 2 011 304 C1

RU 2 011 304 C1

Изобретение относится к технике связи, конкретнее к устройствам коммутации, и может быть использовано в многоканальных системах связи.

Цель изобретения - повышение развязки коммутируемых линий.

На чертеже представлена структурная электрическая схема устройства пространственной коммутации широкополосных сигналов.

Устройство содержит первый и второй дешифраторы 1 и 2 и коммутационную матрицу 3, каждый элемент 4 связи которой содержит блок 5 памяти, трехстабильный ключ 6, логический элемент И-НЕ 7 и логический элемент ИЛИ-НЕ 8.

Устройство пространственной коммутации широкополосных сигналов работает следующим образом.

В оба управляющих дешифратора 1 и 2 может поступать по входным линиям a_x , a_y адрес строк элементов 4 связи или столбцов элементов 4 связи, общий для ряда матрицы 3 (строка или столбец) из точек связи, а по входным линиям s_x , s_y может поступать адресный тактовый сигнал, на основе которого они своевременно выдает управляющий сигнал в управляющую линию, соответствующую определенному адресу ряда элементов 4 связи.

Встреча управляющего сигнала строк и управляющего сигнала столбцов в точке пересечения соответствующей строки коммутационной матрицы 3 с соответствующим столбцом коммутационной матрицы 3 при установлении соответствующего соединения вызывает в таком случае активацию находящегося там удерживающего блока 5 памяти, например, блока 5 памяти H_{ij} , что имеет своим следствием то, что становится проводящим элемент 4 связи, например, элемент 4 связи K_{ij} управляемый соответствующим блоком 5 памяти (H_{ij}).

С тем, чтобы при установлении соответствующего соединения снова стал запертым рассмотренный в примере элемент 4 связи K_{ij} , достаточно чтобы дешифратор 2 столбцов DY выдал через свою управляющую линию Y_j соответствующий управляющий сигнал столбцов без выдачи управляющего сигнала дешифратором 1 строк DX по своей управляющей линии строк x_i ; управляющий сигнал, появляющийся на синхронизирующем входе S блока 5 памяти H_{ij} , относящемся к элементу 4 связи KP_{ij} , вызывает в таком случае обратную установку блока 5 памяти H_{ij} , что имеет своим следствием то, что запирается управляемый с ее помощью элемент 4 связи K_{ij} .

Отдельные блоки 5 памяти $\dots H_{ij} \dots$ могут выдавать соответственно на одном своем выходе $S'/U_{DD}/$ сигнал, соответствующий потенциалу питания U_{DD} интегральной схемы на КМОП-транзистора, или $/U_{SS}/$ сигнал, соответствующий другому потенциалу питания U_{SS} /потенциал корпуса интегральной схемы на КМОП-транзисторах, а на своем другом выходе S'' -соответственно другой

(U_{SS} или $U_{DD}/$ сигнал).

Если в блоке 5 памяти H_{ij} на управляющий вход S' элемента 4 связи K_{ij} подключается потенциал U_{SS} , а на управляющий вход S потенциал U_{DD} , то элемент 4 связи K_{ij} оказывается в состоянии проключения; проявляющиеся на входе e_j цифровые сигналы поступают тем самым, будучи усиленными в двухтактной выходной схеме на КМОП-транзисторах T_{pg} , T_{ng} , на выход a_i , причем посредством элемента 4 связи K_{ij} одновременно подавляется обратное действие выхода a_i на вход e_j .

Если в блоке 5 памяти H_{ij} на управляющий вход S элемент 4 связи K_{ij} подключается потенциал U_{DD} , а на управляющий вход S'' -потенциал U_{SS} , то элемент 4 связи K_{ij} оказывается в своем состоянии запираения (с тремя состояниями), так что на выход a_i не поступают никакие сигналы, появляющиеся на входе e_j . При этом находящиеся в состоянии запираения элементы 4 $KP_{11} \dots KP_{ij} \dots KP_{mn}$ одновременно подавляют также и эффекты перекрестных помех между выходными линиями $a_1 \dots a_i \dots a_m$ и входными линиями $e_1 \dots e_j \dots e_n$ через запертые точки связи устройства пространственной связи.

(56) ISS 84 Conferens Pepers 31 с 3 фиг. 14, 1984 г.

Формула изобретения:

УСТРОЙСТВО ПРОСТРАНСТВЕННОЙ КОММУТАЦИИ ШИРОКОПОЛОСНЫХ СИГНАЛОВ, содержащее коммутационную матрицу, каждый элемент связи которой состоит из трехстабильного ключа, выполненного на КМОП-транзисторах с каналами р- и n-типа, стоки которых объединены, блоки памяти, прямые и инверсные выходы которых подключены к управляющим входам элементов связи, и дешифраторы, соответствующие выходы которых подключены к входам блоков памяти, отличающееся тем, что, с целью повышения развязки коммутируемых линий, в каждый элемент связи введены логические элементы И - НЕ и ИЛИ - НЕ, входы которых являются соответствующими входами элементов связи, а выходы логических элементов И - НЕ и ИЛИ - НЕ подключены к затворам КМОП-транзисторов с каналами р- и n-типа ключа, при этом логический элемент ИЛИ - НЕ выполнен на двух КМОП-транзисторах с каналами р-типа и двух КМОП-транзисторах с каналами n-типа, логический элемент И - НЕ выполнен на двух КМОП-транзисторах с каналами р-типа и двух КМОП-транзисторах с каналами n-типа, причем истоки соответствующих КМОП-транзисторов с каналами р- и n-типа логических элементов И - НЕ, ИЛИ - НЕ и трехстабильного ключа соединены с источником питания затворы соответствующих КМОП-транзисторов с каналами р- и n-типа логического элемента ИЛИ - НЕ являются первым управляющим входом элемента связи, вторым управляющим входом которого являются затворы соответствующих КМОП-транзисторов с каналами р- и n-типа логического элемента И - НЕ.