[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
H03K 7/08

[12] 发明专利说明书

[21] ZL 专利号 97121267.8

[45] 授权公告日 2003 年 7 月 2 日

[11] 授权公告号 CN 1113465C

[22] 申请日 1997.10.30 [21] 申请号 97121267.8

[30] 优先权

[32] 1996.10.31 [33] JP [31] 290578/1996

[71] 专利权人 富士通株式会社

地址 日本神奈川

[72] 发明人 盐津真一 玉村雅也

[56] 参考文献

US4528523A 1985.07.09 H0317/06

US5268654A 1993.12.07 H03L7/18

WO9426041A2 1994.11.10 H04C7/113

WO9426041A2 1994.11.10 H04C7/113

WO9426041A2 1994.11.10 H04C7/113

审查员 张 璇

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

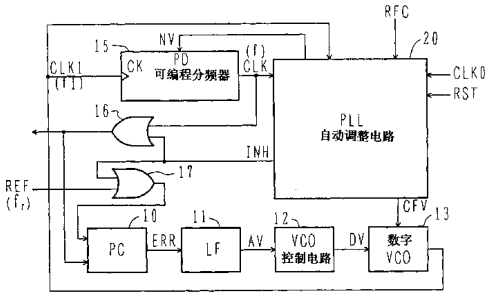
代理人 范本国

权利要求书 3 页 说明书 15 页 附图 10 页

[54] 发明名称 锁相环路电路及其自动调整电路

[57] 摘要

提供一种用于在锁相环路电路中调整程序数据 N 的锁相环路自动调整电路、和具有该锁相环路自动调整电路的锁相环路电路。 上述锁相环路电路包括一个连接在电压控制振荡器的输出端与相位比较器的一个输入端之间的 1/N 可编程分频器，上述锁相环路自动调整电路包括：第 1 计数器，用于在规定时间内对上述电压控制振荡器的输出时钟信号进行计数；数据转换器，用于根据上述第 1 计数器的计数值设定上述程序数据 N；以及控制电路，用于响应调整启动信号而在上述程序数据 N 已被设定之前将上述电压控制振荡器的上述输出频率控制在中心固有频率。




ISSN1008-4274

1. 一种用于在锁相环路电路中调整程序数据 N 的锁相环路自动调整电路，N 是整数，上述锁相环路电路包括一个用于对电压控制振荡器的输出频率进行分频的 1/N 可编程分频器，上述 1/N 可编程分频器连接在上述电压控制振荡器的输出端与相位比较器的一个输入端之间，上述锁相环路自动调整电路包括：

第 1 计数器，用于在规定时间内对上述电压控制振荡器的输出时钟信号进行计数；

数据转换器，用于根据上述第 1 计数器的计数值设定上述程序数据 N；以及

控制电路，用于响应调整启动信号而在上述程序数据 N 已被设定之前将上述电压控制振荡器的上述输出频率控制在中心固有频率。

2. 根据权利要求 1 所述的锁相环路自动调整电路，其特征在于：上述数据转换器是用于将输入地址值转换为存储值的存储器。

3. 根据权利要求 1 所述的锁相环路自动调整电路，其特征在于，该锁相环路自动调整电路还包括一个寄存器，用于接收上述数据转换器的输出值；其特征在于：上述控制电路使上述寄存器在上述数据转换器的上述输出值已被决定后保持其输入值。

4. 根据权利要求 1 所述的锁相环路自动调整电路，其特征在于：上述电压控制振荡器具有一个用于切换其输入－输出特性的控制输入端，并且，上述数据转换器输出与上述第 1 计数器的值及上述程序数据 N 对应的控制设定值，以便决定应供给上述电压控制振荡器的上述控制输入端的值。

5. 根据权利要求 4 所述的锁相环路自动调整电路，其特征在于，该锁相环路自动调整电路还包括一个寄存器，用于接收上述控制设定值并用于向上述电压控制振荡器的上述控制输入端提供其保持着的值；且上述控制电路，用于使上述寄存器在上述控制设定值已被决定后保持其输入值。

6. 根据权利要求 4 所述的锁相环路自动调整电路，其特征在于，该锁相环路自动调整电路还包括：第 2 计数器，用于在规定时间内对上述 1/N 可编程分频器的输出时钟信号进行计数；比较器，用于将上述第 2 计数的计数值与来自上述数据转换器的上述控制设定值进行比较；及可逆计数器，用于根据上述比较器的比较结果进行递增或递减；将基于上述可逆计数器的计数值的值供给上述电压控制振荡器的控制输入端。

7. 根据权利要求 6 所述的锁相环路自动调整电路，其特征在于：上述控制电路，用于响应调整启动信号而在上述程序数据 N 被设定之前将供给上述电压控制振荡器的一个输入端的值近似地确定为中心值，并在将上述基于可逆计数器的计数值的值供给上述电压控制振荡器的上述控制输入端之前将上述控制输入端的值近似地控制在中心值。

8. 一种锁相环路电路，具有用于在锁相环路电路中调整程序数据 N 的锁相环路自动调整电路，N 是整数，上述锁相环路电路还包括一个用于对电压控制振荡器的输出频率进行分频的 1/N 可编程分频器，上述 1/N 可编程分频器连接在上述电压控制振荡器的输出端与相位比较器的一个输入端之间，上述锁相环路自动调整电路包括：

第 1 计数器，用于在规定时间内对上述电压控制振荡器的输出时钟信号进行计数；

数据转换器，用于根据上述第 1 计数器的计数值设定上述程序数据 N；以及

控制电路，用于响应调整启动信号而在上述程序数据 N 已被设定之前将上述电压控制振荡器的上述输出频率控制在中心固有频率。

9. 根据权利要求 8 所述的锁相环路电路，其特征在于，该锁相环路电路还包括：锁定检测电路，用于检测上述锁相环路电路是否已进入相位同步状态；及定时器，当从上述调整启动信号被激活起到上述锁定检测电路检测相位同步状态的时间已超过规定时间时，用于将上述调整启动信号重新激活。

10. 根据权利要求 8 所述的锁相环路电路，其特征在于：上述电压控制振荡器的输入值是数字值，该锁相环路电路还包括：电压控制振荡器控制电路，配置在上述电压控制振荡器的前级，用于将模拟电压转换为上述数字值，上述电压控制振荡器控制电路具有一个控制输入端，用于将其输出范围从第 1 范围切换到第 2 范围，上述第 2 范围比上述第 1 范围宽；及锁定检测电路，用于检测相位同步状态，并将其检测信号提供给上述电压控制振荡器控制电路的上述控制输入端，以便当其检测到上述电压控制振荡器控制电路不是自上述相位同步状态时将上述电压控制振荡器控制电路的上述输出范围设定为上述第 1 范围，并当检测到上述相位同步状态时，将上述电压控制振荡器控制电路的上述输出范围设定为上述第 2 范围。

# 锁相环路电路及其自动调整电路

## 技术领域

本发明涉及用来进行自动调整以使得反馈时钟信号的中心频率接近基准信号频率的锁相环路（以下简称 PLL）电路及其自动调整电路、以及包含该 PLL 电路的半导体装置。

## 背景技术

PLL 电路在接收机中举例来说可用于从串行信号抽取时钟信号。由于在半导体装置制造过程中往往会发生微小的变化，所以，即使是在同一晶片上，PLL 电路中的电压控制振荡器（以下简称 VCO）的固有频率通常也会随半导体芯片而不同，该固有频率的变化范围大约为±30%。因此，要求 PLL 电路具有宽的同步范围，因而使电路设计变得复杂或困难。

为此，如图 9 所示，将具有可调中心频率的数字 VCO 用于 PLL 电路。在这种电路中，相位比较器 10、环路滤波器 11、VCO 控制电路 12、及数字 VCO13 接成环路形状。

VCO 控制电路 12 是一种模数转换器，输出与模拟电压 AV 对应的数字值 DV。图 10（A）示出 VCO 控制电路 12 的输入－输出特性。

数字 VCO 的输出时钟信号频率是数字值 DV 的线性函数。如图 10（B）所示，f/fc 随数字值 DV 而变化，其中 fc 是数字值 DV 的中心频率，相当于最大频率值 DVmax 的一半。该中心频率 fc 由来自中心频率设定电路 14 的中心频率设定值 CFV 决定。Fc/fco 的变化如图 10（C）所示，其中 fco 是处于中心频率设定值 CFV 的中心固有频率，相当于其最大值 CFVmax 的一半。在本例中，fc/fco 的范围为 $0.8 < fc/fco < 1.2$。

例如，假定基准信号 RFF 的频率 fr 及数字 VCO13 的中心固有频率 fco 都设定为 100MHz，而实际中心固有频率 fco 为 70MHz。在这种情况下，如将中心频率设定值 CFV 设定为最大值 CFVmax，则中心频

率 fc 增加 20%，达到 84MHz。随着数字值 DV 的变化，中心频率 f 的范围为 79.8＜f＜88.2。所以，在这种 PLL 电路中，对于 100MHz 的基准信号 REF，不能将时钟信号 CLK 锁定在相位同步状态。

因此，使半导体装置的产量变得很低。为提高其产量，需要具有宽范围输出频率 f 的数字 VCO13。在这种情况下，数字 VCO13 很难设计，而 PLL 电路的价格也会提高。

在数字值 DV 固定为最大值 DVmax 一半的情况下，将输出时钟信号（反馈时钟信号）CLK 供给示波器，以测量输出频率 f。调整中心频率设定值 CFV，使所测量的输出频率 f 等于基准频率 fr。这项调整在半导体装置装运前由检验员以手动方式进行。中心频率设定电路 14 装在具有 PLL 电路的半导体装置内，在调整中心频率设定值 CFV 时，其开关元件的状态根据图中未示出的保险丝是否烧断来确定。

在现有技术中，这种调整必须对每个半导体芯片进行，因而降低了半导体芯片的成批生产率。

因此，本发明的目的是提供一种能够进行自动调整从而使反馈时钟信号的中心频率趋近于基准信号频率的 PLL 电路及其自动调整电路以及相关的半导体装置。

发明内容

按照本发明，可提供一种用于在 PLL 电路中调整程序数据 N 的 PLL 自动调整电路，N 是整数，该 PLL 电路包括一个用于对 VCO 的输出频率进行分频的 1/N 可编程分频器，该 1/N 可编程分频器连接在 VCO 的输出端与相位比较器的一个输入端之间，该 PLL 自动调整电路包括：用于在规定时间内对 VCO 的输出时钟信号进行计数的第 1 计数器；用于根据该第 1 计数器的计数值设定程序数据 N 的数据转换器；以及控制电路，用于响应调整启动信号而在程序数据 N 已被设定之前将 VCO 的输出频率控制在中心固有频率。

如采用本发明，则由于将可编程分频器连接在 VCO 与相位比较器之间并能调整可编程分频器的程序数据 N，所以，与不使用可编程分频器的情况相比，能使 VCO 的中心频率设定范围更窄，因而使 PLL 电路

更容易设计，并能提高包含 PLL 电路的半导体装置的产量。

由于程序数据 N 由可编程分频器自动设定，所以能对（VCO 的输出中心频率）/N、即反馈时钟信号频率进行自动调整，使其趋近于基准信号频率。

另外，包含 PLL 电路的半导体装置，在装运前很容易调整，或不需要调整，因而能提高成批生产率。

在本发明的第 2 形态中，该数据转换器是用于将输入地址值转换为存储值的存储器。

如采用第 2 形态，则由于可通过改变存储器的内容而适用于不同类型的 PLL 电路，所以，该数据转换器可以在很宽的范围使用。

而且，能将反馈时钟信号频率更适当地调整到靠近基准信号频率。

在本发明的第 3 形态中，上述 PLL 自动调整电路还包括一个寄存器，用于接收数据转换器的输出值；其中的控制电路使该寄存器在数据转换器的输出值被决定后保持其输入值。

在本发明的第 4 形态中，VCO 具有一个用于切换其输入－输出特性的控制输入端，数据转换器输出与第 1 计数器的值及程序数据 N 对应的控制设定值，以便决定应供给 VCO 控制输入端的值。

如采用第 4 形态，则由于除了用可编程分频器设定程序数据 N 的粗调外，还可以通过切换 VCO 的输入－输出特性进行细调，所以能将反馈时钟信号的中心频率自动地调整到靠近基准信号频率。

在本发明的第 5 形态中，上述 PLL 自动调整电路还包括一个寄存器，用于接收控制设定值并用于向 VCO 的控制输入端提供其保持着的值；且上述控制电路，用于使该寄存器在控制设定值被决定后保持其输入值。

如采用第 5 形态，则由于通过该寄存器将数据转换器的输出供给 VCO 的控制输入端，所以能使结构更为简化，而且，与根据数据转换器的输出进行反馈调整的情况相比，能使调整时间更短。

在本发明的第 6 形态中，上述 PLL 自动调整电路还包括：第 2 计数器，用于在规定时间内对 1/N 可编程分频器的输出时钟信号进行计数；

比较器，用于将第 2 计数的计数值与来自数据转换器的控制设定值进行比较；及可逆计数器，用于根据该比较器的比较结果进行递增或递减；将基于该可逆计数器的计数值的值供给 VCO 的控制输入端。

如采用第 6 形态，则能将反馈时钟信号的中心频率自动地调整到比第 4 形态更为接近地趋向于基准信号频率。因此，即使因在半导体装置制造过程中的变化而使 VCO 的特性发生相当大的变化，仍能将相位迅速而精确地锁定。

在本发明的第 7 形态中，上述控制电路，用于响应调整启动信号而在程序数据 N 被设定之前将供给 VCO 的一个输入端的值近似地确定为中心值，并在将基于可逆计数器的计数值的值供给 VCO 的控制输入端之前将该控制输入的值近似地控制在中心值。

如采用第 7 形态，则能将反馈时钟信号频率更适当地调整到靠近基准信号频率。

本发明的第 8 形态，提供一种 PLL 电路，具有用于在 PLL 电路中调整程序数据 N 的 PLL 自动调整电路，N 是整数，该 PLL 电路还包括一个用于对 VCO 的输出频率进行分频的 1/N 可编程分频器，该 1/N 可编程分频器连接在 VCO 的输出端与相位比较器的一个输入端之间，该 PLL 自动调整电路包括：用于在规定时间内对 VCO 的输出时钟信号进行计数的第 1 计数器；用于根据该第 1 计数器的计数值设定程序数据 N 的数据转换器；以及控制电路，用于响应调整启动信号而在程序数据 N 已被设定之前将 VCO 的输出频率控制在中心固有频率。

在本发明的第 9 形态中，上述 PLL 电路还包括：锁定检测电路，用于检测 PLL 电路是否已进入相位同步状态；及定时器，当从调整启动信号被激活起到该锁定检测电路检测相位同步状态的时间已超过规定时间时，用于将该调整启动信号重新激活。

如采用第 9 形态，则即使计数器计数到噪声因而使调整变得不适当并且调整时间超过了正常调整所需的时间，也仍能自动进行重新调整，因而提高了调整的可靠性。

在本发明的第 10 形态中，VCO 的输入值是数字值，并且上述 PLL

电路还包括：VCO 控制电路，配置在 VCO 的前级，用于将模拟电压转换为数字值，该 VCO 控制电路具有一个控制输入端，用于将其输出范围从第 1 范围切换到第 2 范围，该第 2 范围比该第 1 范围宽；及锁定检测电路，用于检测 PLL 电路是否已进入相位同步状态，并将其检测信号提供给 VCO 控制电路的控制输入端，以便当其检测到该 VCO 控制电路不是处在相位同步状态时将 VCO 控制电路的输出范围设定为第 1 范围，并当检测到该相位同步状态时，将 VCO 控制电路的输出范围设定为第 2 范围。

由于 PLL 电路的同步范围通常要比锁定范围窄，所以，如采用第 11 形态则通过这种切换，可以正确地拉入相位锁定状态并保持该相位锁定状态。

附图说明

图 1 是表示本发明第 1 实施例中的具有自动调整电路的 PLL 电路的框图。

图 2 是表示图 1 中的 PLL 自动调整电路的结构例的框图。

图 3 是表示图 2 中控制电路的操作的时间图。

图 4 是表示本发明第 2 实施例中的 PLL 自动调整电路的结构例的框图。

图 5 是表示图 4 中控制电路及数字比较器的操作的时间图。

图 6 是表示本发明第 3 实施例中的具有自动调整电路的 PLL 电路的框图。

图 7 是表示图 6 中的 PLL 自动调整电路的结构例的框图。

图 8（A）和图 8（B）是表示图 6 中定时器的操作的时间图，图 8（C）是图 6 所示的 VCO 控制电路的输入－输出特性图。

图 9 是现有的 PLL 电路的框图。

图 10（A）是图 9 所示 VCO 控制电路的输入－输出特性图，图 10（B）和 10（C）是图 9 所示数字 VCO 的输入－输出特性图。

具体实施方式

下面，参照附图说明本发明的最佳实施例，在所有各图中，相同的

参照符号表示相同的或相当的部件。

第 1 实施例

图 1 示出第 1 实施例的具有自动调整电路的 PLL 电路。该具有自动调整电路的 PLL 电路，例如在一片半导体芯片上形成（这同样适用于后面的其他实施例）。

相位比较器 10、环路滤波器 11、VCO 控制电路 12、及数字 VCO（DCO）13，与图 9 所示的相同，分别提供输出相位误差信号 ERR、模拟电压 AV、数字值 DV、及输出时钟信号 CLK1。当相位误差信号 ERR 指示输出时钟信号 CLK 的相位滞后于基准信号 REF 的相位时，模拟电压 AV 升高，而当相位误差信号 ERR 指示输出时钟信号 CLK 的相位超前时，模拟电压 AV 降低 VCO 控制电路 12 及数字 VCO13 的操作与在现有技术部分中所说明过的相同。

可编程分频器 15 连接在数字 VCO13 的输出端与“或”门 16 的一个输入端之间，“或”门 16 的输出端与相位比较器 10 的一个输入端相连。该可编程分频器 15，通过将加到其时钟输入端 CK 的时钟信号 CLK1 分频为 f1/NV，提供一个频率为 f=f/NV 的输出时钟信号 CLK。该 NV

值设定在可编程分频器 15 的程序数据输入端 PD 上。

该输出时钟信号 CLK 供给到“或”门 16 的一个输入端，通过“或”门 16 后，作为反馈信号加到相位比较器 10 的一个输入端。基准信号 RFF 是一个串行信号或时钟信号，供给到“或”门 17 的一个输入端，通过“或”门 17 后，加到相位比较器 10 的另一输入端。控制“或”门 16 和 17 的开闭的禁止信号 INH 供给到“或”门 16 和 17 的另一输入端。

当该禁止信号 INH 是在低电压电平时，该“或”门 16 和 17 打开，并形成由相位比较器 10、环路滤波器 11、VCO 控制电路 12、数字 VCO13、及可编程分频器 15 构成的相位同步控制环路。在该环路内，如输出时钟信号 CLK 的相位超前于基准信号 REF 的相位，则环路滤波器 11 的输出电压 AV 降低，时钟信号 CLK1 的频率降低，输出时钟信号 CLK 的频率 f 也降低，从而使时钟信号 CLK1 相对于基准信号 REF 有小的相位滞后。而如输出时钟信号 CLK 的相位滞后于基准信号 REF 的相位，则环路滤波器 11 的输出电压 AV 升高，时钟信号 CLK1 的频率升高，输出时钟信号 CLK 的频率 f 也升高，从而使时钟信号 CLK1 相对于基准信号 REF 有小的相位超前。

对 PLL 自动调整电路 20 提供作为调整启动信号的复位信号 RST、基本时钟信号 CLK0、基准时钟信号 CLK1、输出时钟信号 CLK、及基准频率代码 RFC。PLL 自动调整电路 20 输出上述可编程数据 NV 及禁止信号 INH，并向数字 VCO13 的中心频率控制输入端提供中心频率设定值 CFV。

图 2 示出 PLL 自动调整电路 20 的结构例。

在该电路 20 中，时钟信号 CLK1 加到计数器 21 的时钟信号输入端 CK，当启动信号输入 EN 在高电压电平时，对时钟信号 CLK1 的升高进行计数，并将计数值 CV1 供给到作为数据转换器使用的表格 ROM22 的低位地址输入端。表格 ROM22 的高位地址输入端加有基准频率代码 RFC。一对程序数据 N 和中心频率设定值 CF，作为一个字数据从表格 ROM22 读出，并加到寄存器 23 的数据输入端。

下列的表 I 给出在表格 ROM22 的地址与在这些地址上存储的值之间的关系的具体例。

| $f_r$ | 地址 | | 存贮值 | |
|---|---|---|---|---|
| | RFC | CV1 ($f_{co}/2$) | N | CF |
| 40MHz | 0 | 50 | 3 | 31 |
| | 0 | 55 | 3 | 23 |
| | 0 | 60 | 3 | 16 |
| | 0 | 190 | 10 | 20 |
| | 0 | 195 | 10 | 17 |
| | 0 | 200 | 10 | 16 |
| 50MHz | 1 | 50 | 2 | 16 |
| | 1 | 55 | 2 | 8 |
| | 1 | 60 | 2 | 3 |
| 60MHz | 2 | 90 | 3 | 16 |
| | 2 | 100 | 3 | 8 |
| | 2 | 110 | 3 | 1 |

表 I 指出当基准频率代码 RFC 为 0 、 1 、或 2 时,基准频率分别为 40MHz 、 50MHz 、或 60MHz 。基本时钟信号 CLK0 的频率为 1MHz,而在这种情况下,CV1=fco/2 。

例如,如果基准频率代码RFC 为 1 并且计数值 CV1 为 55,则程序数据 N 为 2, 中心频率设定值 CF 为 8 。作为例外的情况,当 CV1=0 时,表格 ROM22 的各存储内容均为 CFmax/2, 而与基准频率代码RFC 的值无关。

对控制电路 24 供给复位信号 RST 及基本时钟信号 CLK0 。该控制电路 24 向计数器 21 的启动信号输入端 EN 提供启动信号 EN1,向寄存器 23 的时钟信号输入端 CK 提供锁存信号 LCH,并输出禁止信号 INH 。

下面,参照表示出控制电路 24 的操作的图 3,说明图 1 和 2 所示的各电路的操作。

例如,将图 1 所示的电路用于通信装置。当通过接通该通信装置的电源而将复位信号 RST 的脉冲加到控制电路 24 时,控制电路 24 将禁止信号 INH

的电压电平提高。 通过这种操作,将“或”门 16 和 17 关闭,相位误差信号 ERR 指示误差 0,使模拟电压 AV 和数字值 DV 分别为在其范围内的中心值。复位信号 RST 的脉冲将计数器 21 的计数值 CV1 清零。从表格 ROM22 读出 CFmax/2 作为中心频率设定值 CF,而与基准频率代码 RFC 的值无关。当锁存信号 LCH 升高时,将该中心频率设定值 CF 保持在寄存器 23 内。

因此,时钟信号 CLK1 的频率 f1 变成中心固有频率 fco 。

例如,当控制电路 24 检测到 2 次基本时钟信号 CLK0 的升高时 , 在基本时钟信号 CLK0 下降前的时间 T0 内将启动信号 EN1 的电压电平提高。在启动信号 EN1 保持在高电压电平的同时,计数器 21 对时钟信号 CLK1 的升高进行计数。

表格 ROM22 的地址由基准频率代码 FEC 及计数值 CV1 规定,并从该表格 ROM22 读出程序数据 N 及中心频率设定值 CF,加到寄存器 23 的数据输入端。

当基本时钟信号 CLK0 再次升高时,锁存信号 LCH 升高。在该时刻,将程序数据 N 和中心频率设定值 CF 分别作为 NV 和 CFV 保持在寄存器 23 内。

将程序数据 N 规定为使 | fco/N-fr | 为最小。将中心频率设定值 CF 规定为满足 (fr·N-fco)/fco: μ=(CF-CFmax/2): (CFmax/2),其中 CFmax 指示中心频率设定值 CF 的最大值,比值μ相应于图 10(C)所示的范围,例如,μ=0.2 。比值μ是凭经验决定的值。可将比值μ近似地假定为固定值,而与中心固有频率 fco 的值无关, 或根据中心固有频率 fco 的值假定为一个经验值。根据上式,中心频率设定值 CF 可用下式表示。

$$CF = (CFmax/2)\{1 + (fr\cdot N/fco - 1)/\mu\}$$

该 CF 值取整数,并限制在可设定的最大值 CFmax 以下的范围内。表 I 中的 CF 值是在μ=0.2 、 CFmax=31 的条件下根据上式计算的。这些值都不超过可设定的最大值 31 。

程序数据 NV 供给到可编程分频器 15 的程序数据输入端 PD 。中心频率值 CFV 的设定值供给到数字 VCO13 的中心频率控制输入端。

至此,可编程分频器 15 及数字 VCO13 的设定即告完成。

禁止信号 INH 的电压电平随着基本时钟信号 CLK0 的下一次下降而同步降低,“或”门 16 和 17 打开,并使相位同步控制环路成为有效的。

按照本实施例，PLL 自动调整电路 20 能自动地设定数字 VCO13 的中心频率设定值 CFV 及可编程分频器 15 的程序数据 NV，二者原来都是需要进行调整的值。因此，由于 包含 PLL 电路的半导体装置在装运前不需要调整，所以使成批生产更容易进行。

由于每当通过接通电源或其他操作提供复位脉冲时就可以更新调整值，所以，即使数字 VCO13 的特性因环境温度变化或因其电路元件特性随时间的变化而改变，也总是能设定适当的调整值。

可编程分频器 15 连接在数字 VCO13 与数据比较器 10 之间，并且能调整可编程分频器 15 的程序数据 NV 。所以，从表 I 可以清楚看出，数字 VCO13 的中心频率设定值 CFV 的范围要比不使用可编程分频器 15 时窄。这将使 PLL 电路的设计更为容易进行，并能提高包含 PLL 电路的半导体装置的产量。

第 2 实施例

在上述第 1 实施例中，比值 μ 是一假定值，假定与半导体装置制造过程中的变化无关。但是，由于比值 μ 是随这种变化而改变的，所以中心频率设定值 CFV 并不总是能适当地设定。

图 4 示出用于解决这种问题的 PLL 自动调整电路 20A 。

表格 ROM22A 在两方面与图 22 所示的表格 ROM22 不同。首先，基本频率代码 BFC 作为高位地址加入。基本时钟信号 CLK0 是变量，而基本频率代码 BFC 根据该频率决定。其次，是将计数值 CV2 的目标值 TV 存储在表格 ROM22A 内，而不是中心频率设定值 CF 。

下列表 II 给出表格 ROM22A 的地址与在这些地址上存储的值之间的关系的具体例。

表 II

| 地址 | | | 存贮值 | |
|---|---|---|---|---|
| BFC | RFC | CV1 | N | TV |
| 0 | 0 | 50 | 3 | 20 |
| 0 | 0 | 55 | 3 | 20 |
| 0 | 0 | 60 | 3 | 20 |
| 0 | 0 | 190 | 10 | 20 |
| 0 | 0 | 195 | 10 | 20 |
| 0 | 0 | 200 | 10 | 20 |
| 0 | 1 | 50 | 2 | 25 |
| 0 | 1 | 55 | 2 | 25 |
| 0 | 1 | 60 | 2 | 25 |
| 0 | 2 | 70 | 2 | 30 |
| 0 | 2 | 75 | 3 | 30 |
| 0 | 2 | 80 | 3 | 30 |
| 1 | 0 | 100 | 3 | 40 |
| 1 | 0 | 110 | 3 | 40 |
| 1 | 0 | 120 | 3 | 40 |

在表 II 中,基本频率代码 BFC 的 0 和 1 分别对应于基本时钟信号 CLK0 的频率 1MHz 和 0.5MHz。与表 I 的方式相同,当基准频率代码 RFC 为 0、1、2 时,基准频率分别为 40MHz50MHz、或 60MHz。

PLL 自动调整电路 20A 具有计数器 25、数字比较器 26、及可逆(U/D)计数器 27,用于从目标值 TV 得到中心频率设定值 CFV。

将输出时钟信号 CLK 供给到计数器 25 的时钟信号输入端 CK。在计数器 25 的清零输入端 CLR 及启动信号输入端 EN 加入基本时钟信号 CLK0。数

字比较器 26 将计数器 25 的计数值 CV2(当基本时钟信号 CLK0 的频率为 1MHz 时,CV2 为 fc/(2N))与表格 ROM22A 的 输出 TV(当基本时钟信号 CLK0 的频率为 1MHz 时,TV 为 fr/2)进行比较,并在启动信号输入端 EN 为高电压电平时输出其比较结果。即,当 CV2 小于 TV 时,该数字比较器 26 使升值信号 UP 上升到高电压电平,而当 CV2 大于 TV 时,使降值信号 DN 上升到高电压电平。当计数值 CV2 近似等于目标信号 TV 时,数字比较器 26 还使一个近似相等信号 SEQ 上升到高电压电平,而在启动信号输入端 EN 为低电压电平时,将上述各信号降低到低电压电平。升值信号 UP 和降值信号 DN 分别供给到 U/D 计数器 27 的升值时钟信号输入端 UCK 和降值时钟信号输入端 DCK 。

当启动信号 EN3 为高电压电平时,U/D 计数器 27 的计数值随着升值信号 UP 的上升而递增、并随着降值信号 DN 的上升而递减。该计数值作为中心频率设定值 CFV 供给到图 1 所示的数字 VCO13 。

下面,说明结构如上所述的 PLL 自动调整电路 20A 的操作。

控制电路 24A 响应复位信号 RST 的脉冲,将初始值 CFmax/2 装入 U/D 计数器 27 并使禁止信号 INH 上升到高电压电平。通过这种操作,使频率 f1 成为中心固有频率 fco 。计数器 21 和表格 ROM22A 的操作以及将程序数据 N 保持在寄存器 23A 内的定时,与图 2 所示相同。处理进行到保持这体数据,是调整的第 1 阶段。该程序数据 N 规定为使 | fco/N- fr | 为最小。换句话说,在第一阶段进行粗调,使 | fco/N- fr | 为最小。

以下,说明第二阶段的调整。

图 5 示出控制电路 24A 和数字比较器 26 的操作。

当基本时钟信号 CLK0 升高时,将计数器 25 的计数值 CV2 清零。在这之后, 在基本时钟信号 CLK0 下降前的时间 T0 内,计数器 25 对输出时钟信号 CLK 进行计数。

在将程序数据 N 保持在寄存器 23A 内之前,输出启动信号 EN2 和 EN3 保持在低电压电平(在图 5 中未示出)。在该保持操作后,这两个启动信号变为有效的。在保持数据 N 之后,计数器 25 的计数值 CV2 为 fc/(2N)。

在保持程序数据 N 之后,使基本时钟信号 CLK0 的电压电平降低,数字比较器 26 进行数值比较,启动信号 EN2 上升到高电压电平,数字比较器 26 输出对计数值 CV2 和目标值 TV 的比较结果。

如 CV2<TV 、即 fc/N<fr，则中心频率设定值 CFV 随着升值信号 UP 的脉冲而递增，输出时钟信号 CLK 的频率 f 升高，使 fc/N 向基准频率 fr 靠近。而如 CV2>TV 、即 fc/N> fr， 则中心频率设定值 CFV 随着降值信号 DN 的脉冲而递减，输出时钟信号 CLK 的中心频率 fc 降低，使 fc/N 向基准频率 fr 靠近。换句话说，在第二阶段进行细调，使 | fco/N-fr | 接近于 0 。

图 5 示出在 CV2<TV 发生 2 次后计数值 CV2 几乎等于目标值 TV 的情况。

在本第 2 实施例中，自动地调整中心频率设定值 CFV，使反馈时钟频率 fc/N 几乎等于基准频率 fr 。按照这种方式，即使因在半导体装置制造过程中的变化而在数字 VCO13 中引起相当大的变化，也仍能将相位迅速而可靠地锁定。

第 3 实施例

图 6 示出本发明第 3 实施例中的具有自动调整电路的 PLL 电路。

如果计数器 21 计数到噪声，则目标值 TV 或程序数据 N 从预期值偏移，因而使调整变得不准确。在这种情况下，调整时间变得要比正常情况长。

因此，将来自 PLL 自动调整电路 20B 的调整启动信号 AST 用作定时器启动信号， 用于启动定时器 18 。在这之后，如在定时器 18 的设定时间 T1 内没有检测到复位信号 RST 的升高，则将时间已到信号 TUP 供给 PLL 自动调整电路 20B，使调整重新启动。为了使定时器 18 的输入 RS 复位，从锁定检测电路 19 供给一个锁定检测信号 LD 。该锁定检测电路 19 根据来自相位比较器 10 的相位误差信号 ERR 判断相位是否锁定。 如果该锁定检测电路判定相位被锁定，则使锁定检测 LD 上升到高电压电平。

图 7 示出 PLL 自动调整电路 20B 的结构例。

通过在 PLL 自动调整电路 20A 中增加变更检测电路 28 和“或”门 29，即可修改为 PLL 自动调整电路 20B 。

当该变更检测电路 28 检测到基本频率代码 BFC 或基准频率代码 RFC 已改变时， 输出变更检测信号 CHG 的脉冲。将变更检测信号 CHG 、复位信号 RST 、 及时间已到信号 TUP 供给到“或”门 29 。“或”门 29 的输出作为调整启动信号 AST 加到控制电路 24A 。该调整启动信号 AST 的操作方式与图 4 所示的复位信号 RST 相同。

图 8(A)和 8(B)分别示出在开始调整后当调整时间超过 T1 时未检测到

和检测到相位锁定状态的情况。

在上述结构中，当变更检测信号CHG、复位信号RST或时间已到信号TUP供给“或”门29时，进行在上述第2实施例中所说明的调整。如果在调整时间超过T1时还没有检测到相位锁定状态，则从定时器18输出时间已到信号TUP，以便重新进行调整。

因此，即使由于计数器21计数到噪声、调整不准确、及调整时间超过了正常调整时间而使程序数据N或目标值TV与预期值发生偏差，也能进行重新调整，因而提高了调整的可靠性。

由于在基本时钟信号频率f0或基准时钟信号频率fr改变时也进行调整，所以在这种操作后不需要按压复位开关，因而使可操作性得到改进。

将锁定检测信号LD加到图6的VCO控制电路12A的控制输入端。如图8(C)所示，该VCO控制电路12A的输入-输出特性根据锁定检测信号LD的高或低电压电平切换。即，如果锁定检测信号LD为低电压电平、且尚未检测到相位锁定，则在0≤AV≤V1时，DV固定在‘01100’，在V2≤AV≤VCC时，DV固定在‘10100’，因而使数字值DV的范围窄到二进制值‘01100’到‘10100’的范围。当锁定检测信号LD为高电压电平、并已 检测到相位锁定时，将数字值的固定取消，并将数字值DV的范围扩展为从‘00000’到‘11111’。

由于PLL电路的同步范围通常要比锁定范围窄，所以，通过如上所述的方式切换VCO控制电路12A的特性，能可靠地将该PLL电路拉入相位锁定状态。此外，可加宽在检测到相位锁定状态后能够保持该相位锁定状态的输出频率f的同步范围。

尽管已说明了本发明的最佳实施例，但应该知道，本发明并不限于此，可以进行各种变更和修改而不脱离本发明的实质和范围。

例如，在上述第1实施例中，可以只将计数器21的计数值CV1的高阶位加到表格ROM22的地址输入端。可以使用RAM或数据转换电路代替表格ROM22作为数据转换器。该数据转换电路可以是根据输入值计算输出值的运算电路。PLL自动调整电路20可以只调整程序数据N。在这种情况下，VCO控制电路12和数字VCO13可以由模拟VCO代替。该模拟VCO的输入-输出特性可以由PLL自动调整电路进行调整。

在上述第 2 实施例中，将计数器 21 和 25 的计数时间间隔规定为基本时钟信号 CLKO 的周期的一半，但如用其他方式限定其时间间隔，也不存在问题。例如，计数器 25 的计数时间间隔可以是计数器 21 的计数时间间隔的 N 倍。也可以用具有不同周期的时钟信号决定计数器 21 和 25 的计数时间间隔。虽然说明了使用数字比较器 26 检测在计数值 CV2 与目标值 TV 之间的近似相等以便确定 U/D 计数器 27 的计数值的情况，但也可以在差值(CV2-TV)的符号反转时确定 U/D 计数器 27 的计数值。U/D 计数器 27 的输出值可以通过寄存器或常数乘法器供给到 VCO13 的控制输入端。

在上述第 3 实施例中，如有一个既能检测相位误差又能检测相位锁定的相位比较器，而在这种情况下，则锁定检测电路 19 是不必要的。

在第 1 和到第 3 实施例中，虽然说明了仅在例如复位时间等规定时间内使 PLL 自动调整电路有效，但 PLL 自动调整电路也可以始终是有效的。当在例如复位等规定时间内使 PLL 自动调整电路有效时，可以只在有效时间内向 PLL 自动调整电路供电。可以在该有效时间内确定 VCO 控制电路 12 或数字 VCO13 的输入值，而无需使用“或”门 16 和 17。

计数器可以是主要对 VCO 的输出时钟信号进行计数的计数器，并且，例如可以将可编程分频器 15 的程序数据 N 设定为规定值，以便对该可编程分频器的输出时钟信号进行计数。在这种情况下，可通过切换计数器 21 的输出供给目标而将计数器 25 省去。

图 1

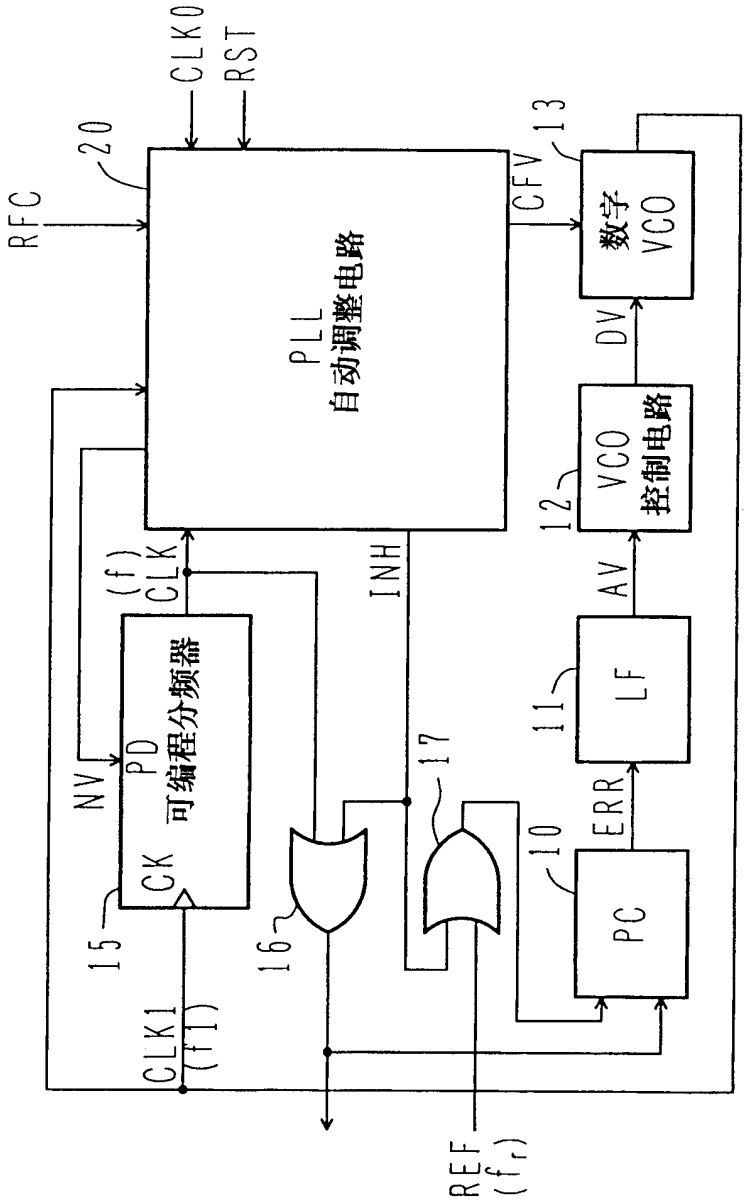

CLK0
RST
20
RFC
PLL
自动调整电路
CFV
13
数字
VCO
DV
VCO
控制电路
12
AV
LF
11
ERR
PC
10
17
INH
16
(f)
CLK
NV
PD
可编程分频器
CK
15
CLK1
(fT)
REF
(fr)

图 2

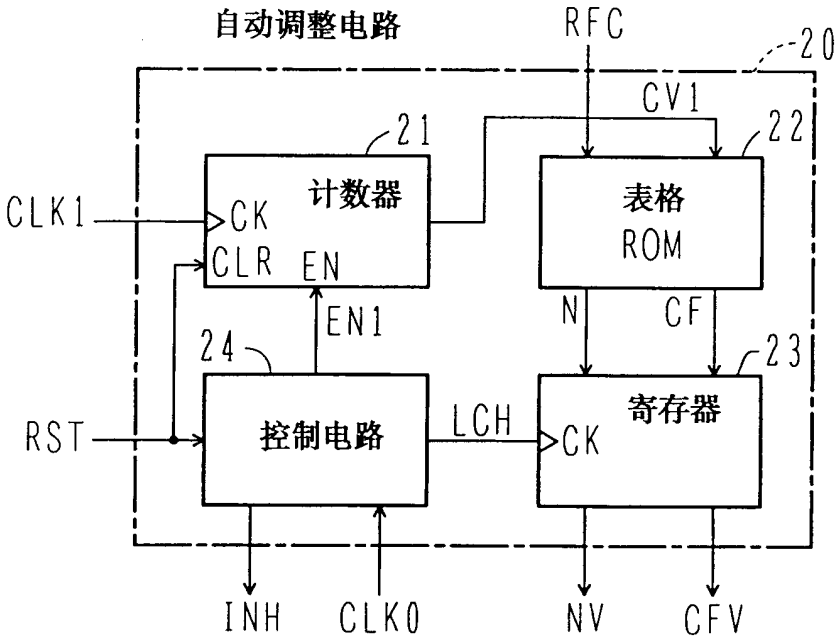

自动调整电路
RFC
20
CV1
21
22
计数器
表格
ROM
CLK1
CK
CLR
EN
EN1
N
CF
24
23
寄存器
RST
控制电路
LCH
CK
INH
CLK0
NV
CFV

图 3

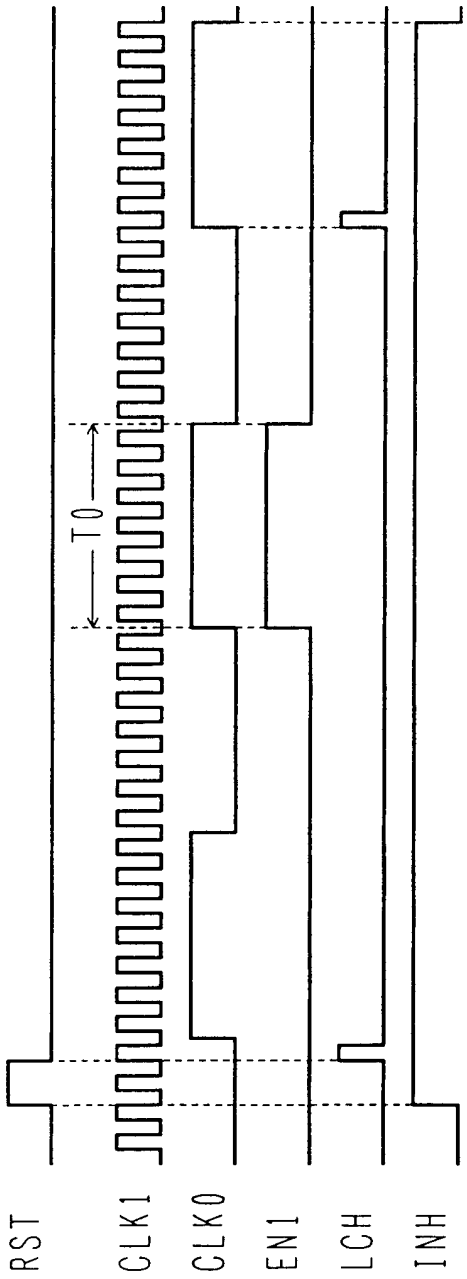


图 4

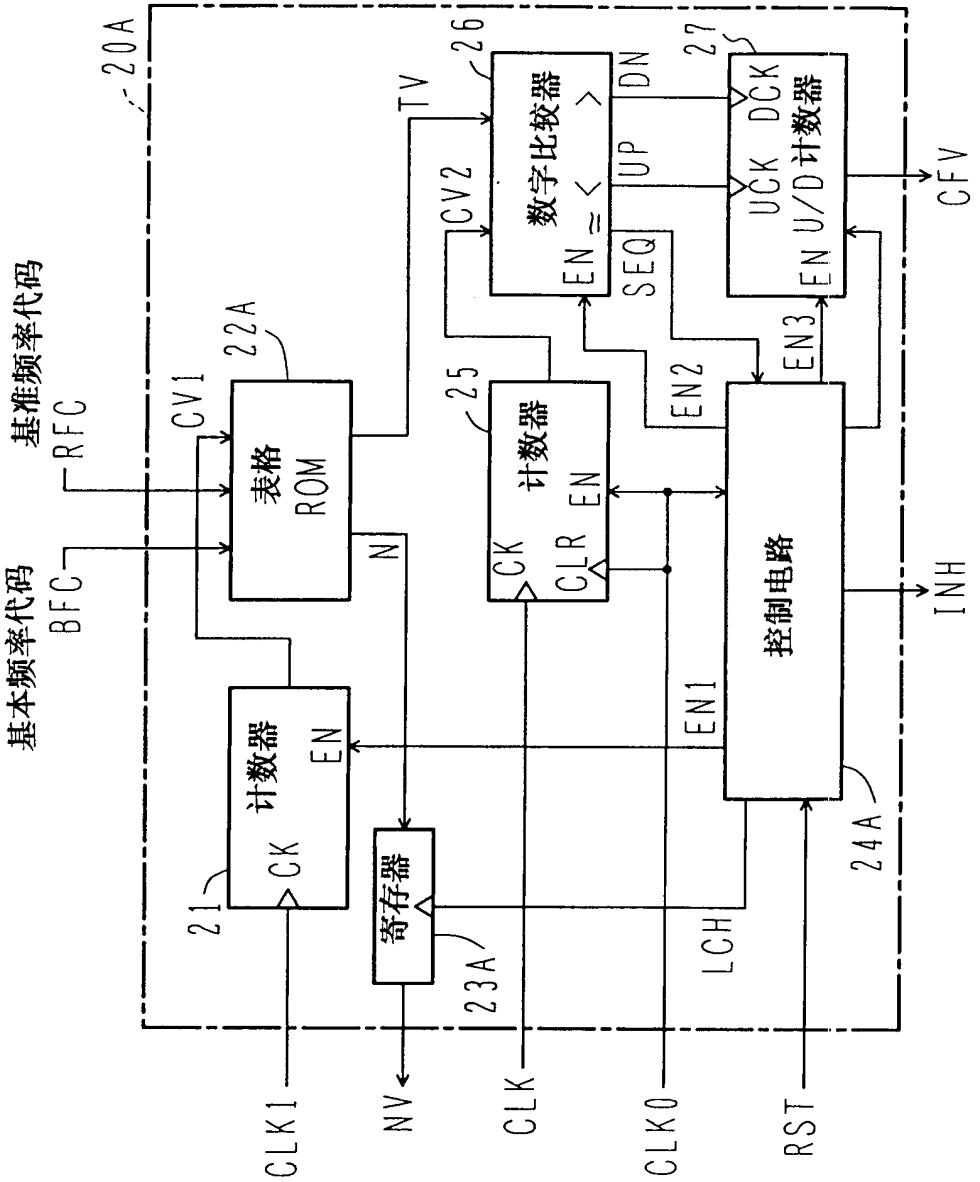

20A
基准频率代码
RFC
基本频率代码
BFC
CV1
22A
表格
ROM
N
TV
CV2
26
数字比较器
EN
DN
UP
SEQ
27
UCK DCK
EN U/D计数器
CFV
25
计数器
EN
CK
CLR
EN2
EN3
控制电路
INH
EN1
计数器
EN
CK
21
寄存器
23A
LCH
24A
CLK1
NV
CLK
CLK0
RST

图 5

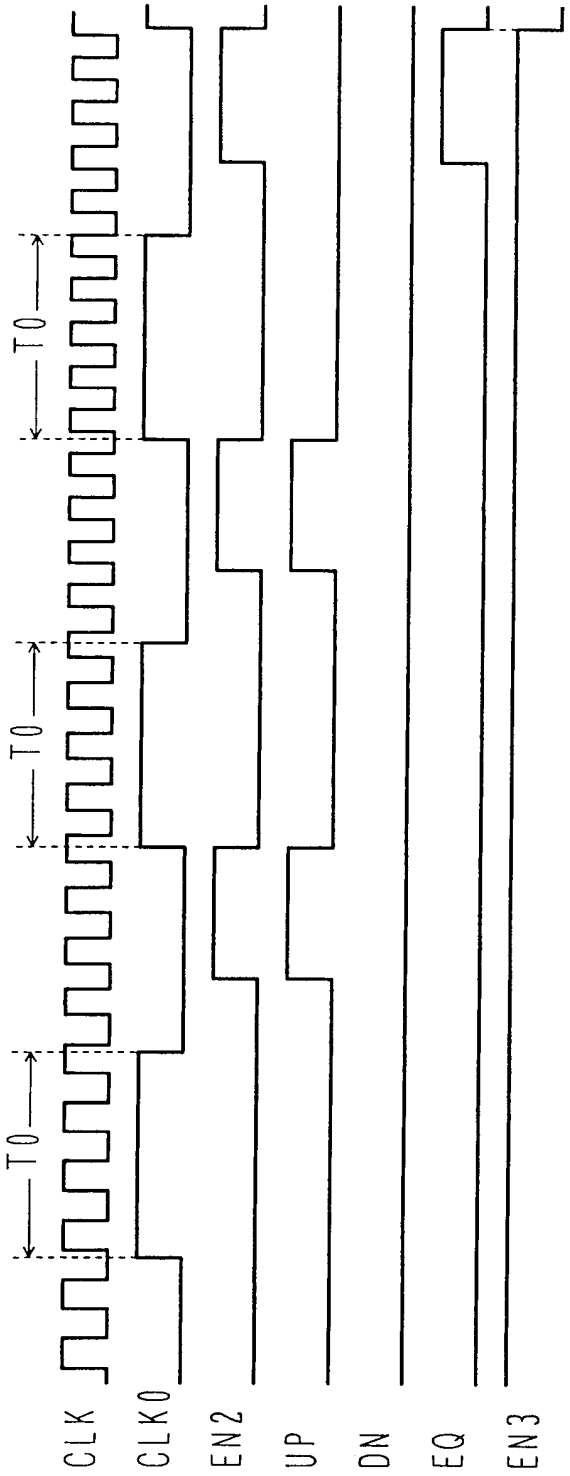


图 6

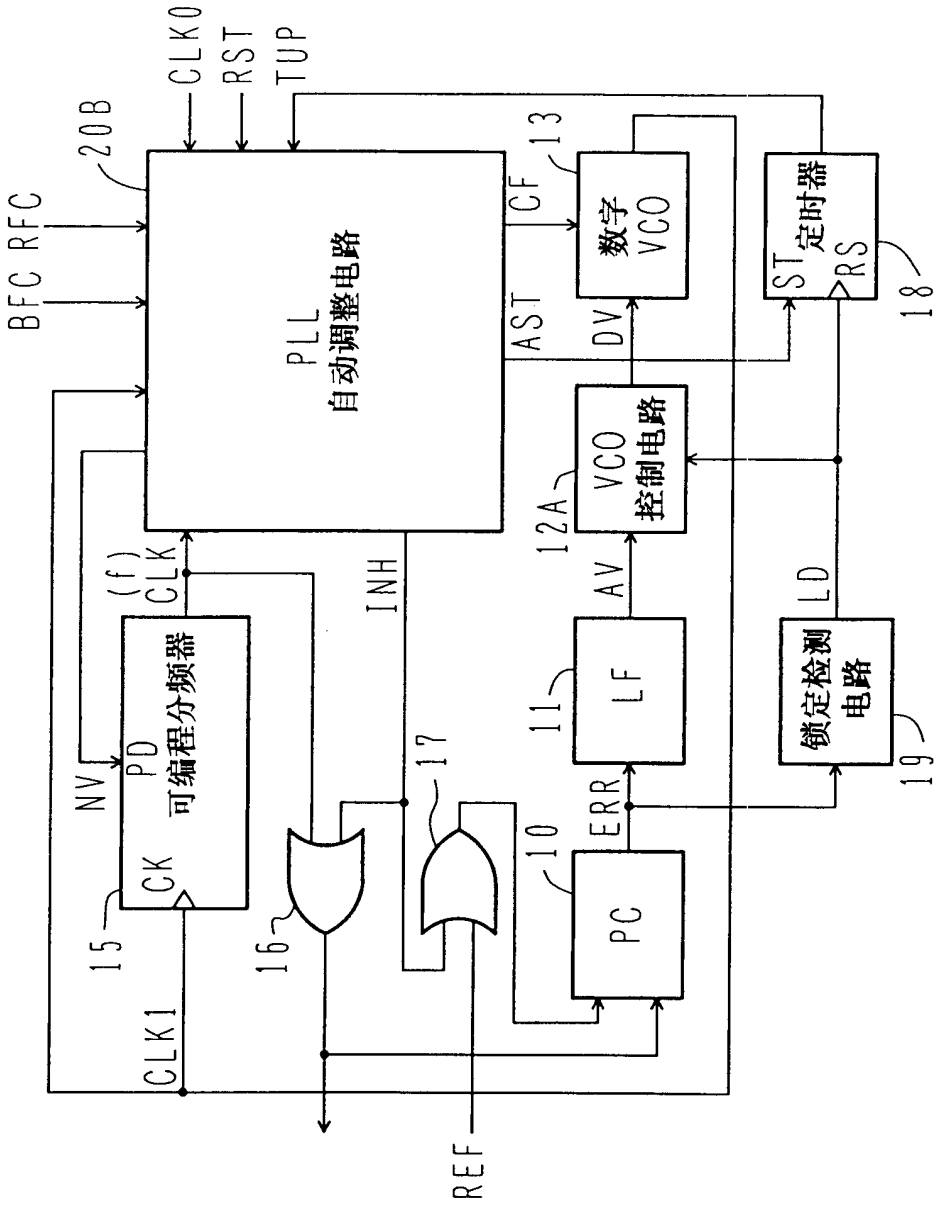

CLKO
RST
TUP
20B
BFC RFC
PLL
自动调整电路
CF
13
数字
VCO
AST
DV
ST
定时器
RS
18
VCO
控制电路
12A
AV
LD
(f)
CLK
INH
NV
PD
可编程分频器
CK
15
17
11
LF
锁定检测
电路
19
16
ERR
10
PC
CLK1
REF

图 7

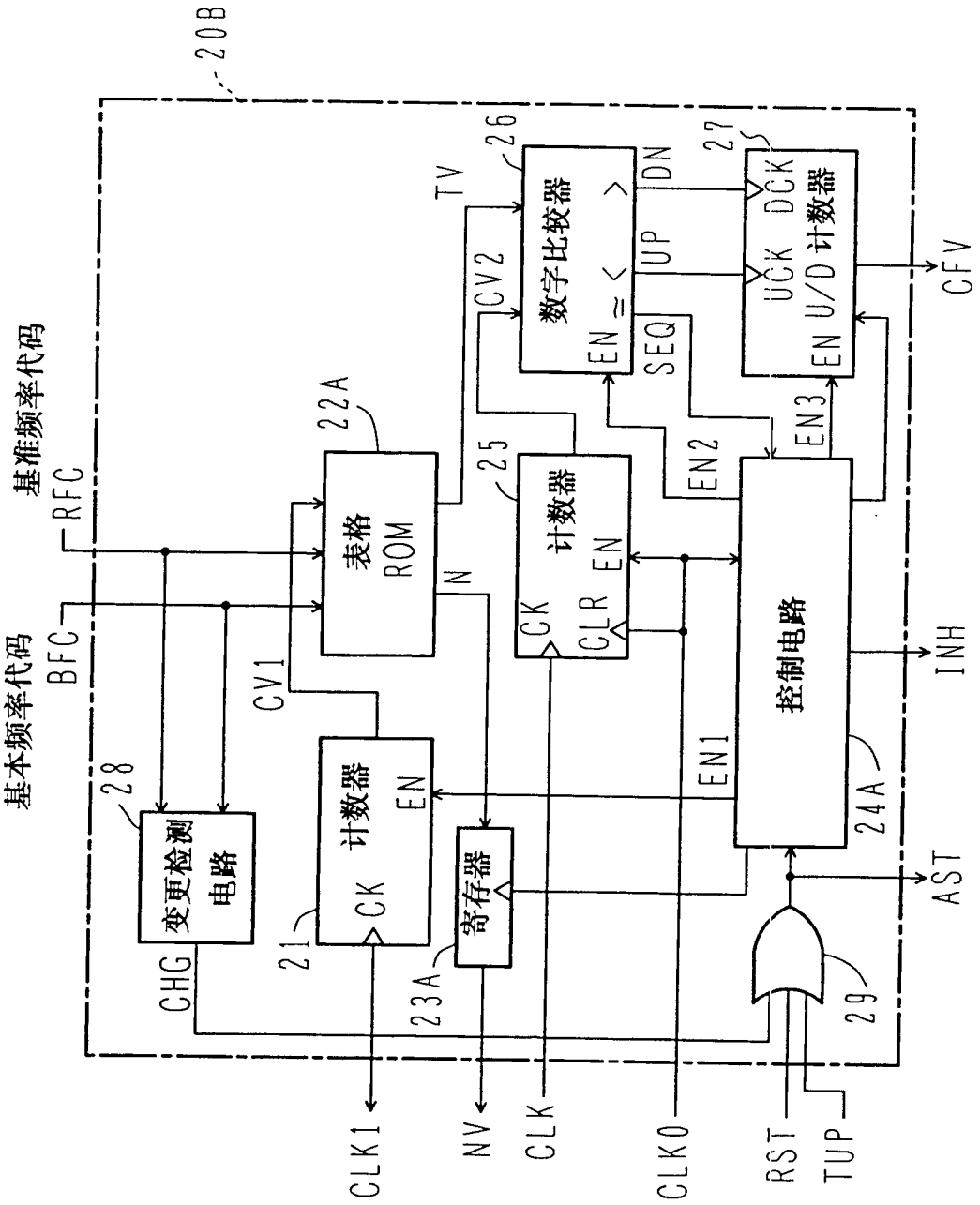

20B
基准频率代码
RFC
基本频率代码
BFC
变更检测电路
28
CHG
表格ROM
22A
CV1
N
计数器
EN
CK
21
寄存器
23A
TV
CV2
数字比较器
26
EN
SEQ
UP
DN
计数器
25
CK
CLR
EN
EN2
EN3
UCK DCK
U/D 计数器
27
CFV
控制电路
24A
EN1
INH
AST
29
CLK1
NV
CLK
CLK0
RST
TUP

图 8(A)

(A)

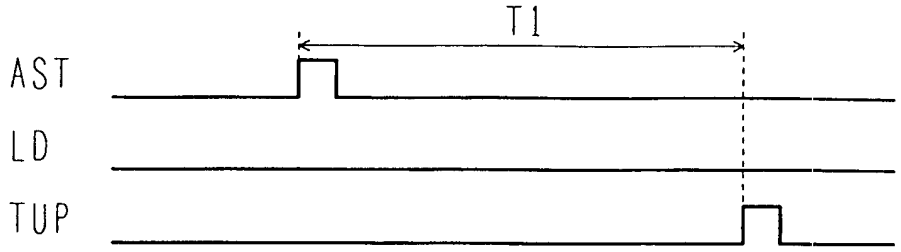



图 8(B)

(B)

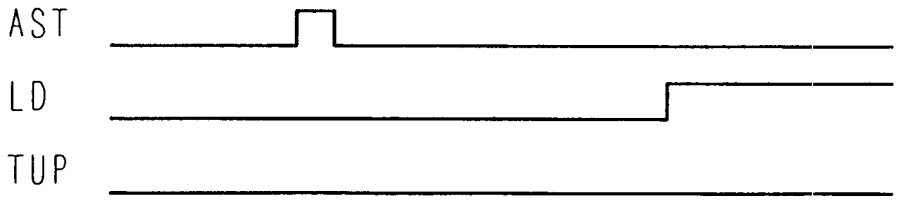



图 8 (C)

(C)

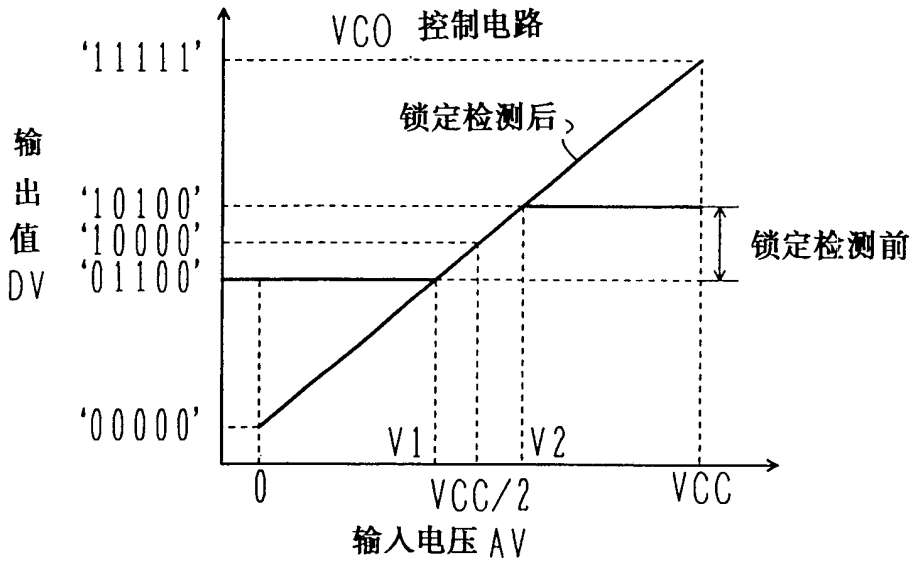


图 9

现有技术

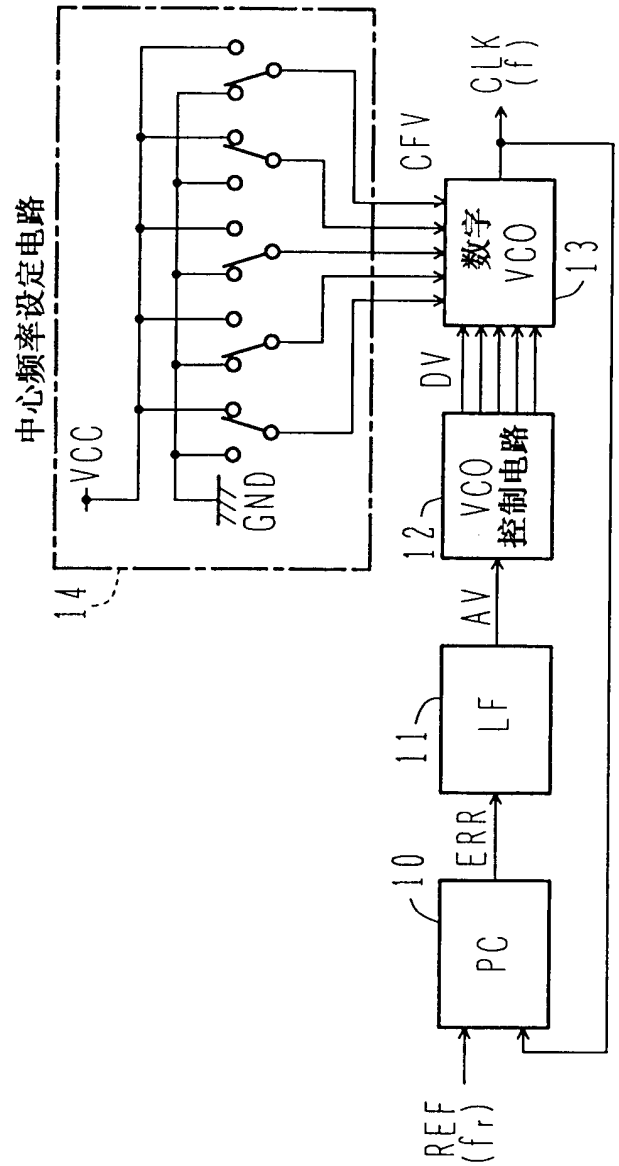

中心频率设定电路
VCC
GND
14
CFV
CLK
(f)
数字
VCO
13
DV
VCO
控制电路
12
AV
LF
11
ERR
PC
10
REF
(fr)

图 10 (A) 现有技术

(A)

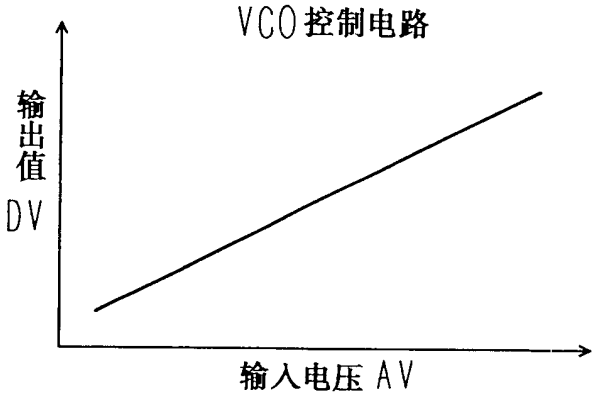



图 10 (B ) 现有技术

(B)

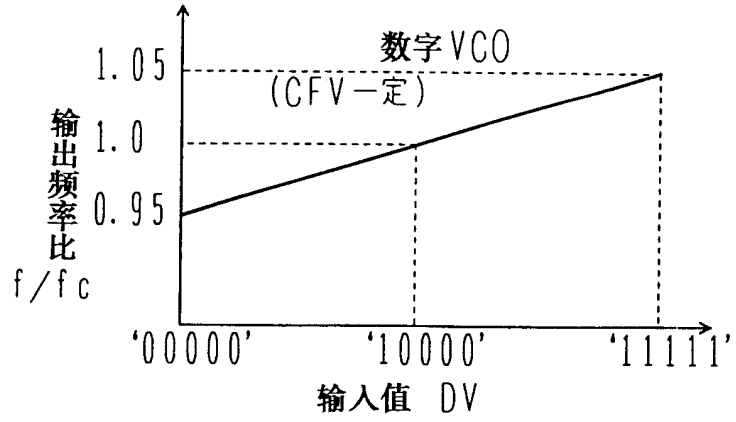



图 10 (C) 现有技术

(C)

