

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6322130号
(P6322130)

(45) 発行日 平成30年5月9日(2018.5.9)

(24) 登録日 平成30年4月13日(2018.4.13)

(51) Int.Cl.	F I				
HO 1 L 29/861 (2006.01)	HO 1 L	29/91		C	
HO 1 L 29/868 (2006.01)	HO 1 L	29/91		D	
HO 1 L 29/78 (2006.01)	HO 1 L	29/78	6 5 2 M		
HO 1 L 29/739 (2006.01)	HO 1 L	29/78	6 5 5 F		
HO 1 L 29/06 (2006.01)	HO 1 L	29/78	6 5 2 P		
請求項の数 7 (全 28 頁) 最終頁に続く					

(21) 出願番号	特願2014-259753 (P2014-259753)	(73) 特許権者	000005108
(22) 出願日	平成26年12月24日(2014.12.24)		株式会社日立製作所
(65) 公開番号	特開2016-119434 (P2016-119434A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成28年6月30日(2016.6.30)	(74) 代理人	110001807
審査請求日	平成29年3月13日(2017.3.13)		特許業務法人磯野国際特許商標事務所
		(72) 発明者	増永 昌弘
			東京都千代田区丸の内一丁目6番6号 株
			株式会社日立製作所内
		(72) 発明者	新井 大夏
			東京都千代田区丸の内一丁目6番6号 株
			株式会社日立製作所内
		審査官	棚田 一也
最終頁に続く			

(54) 【発明の名称】 半導体装置、その製造方法、それを用いた電力変換装置

(57) 【特許請求の範囲】

【請求項1】

第1導電形の第1半導体層によって構成される半導体基板に、アクティブ領域と前記アクティブ領域を囲むように形成されるターミネーション領域とを備える半導体装置であって、

前記アクティブ領域には、

前記半導体基板の一方の面に、前記アクティブ領域に対応した広さの第2導電形の第2半導体層と、前記第2半導体層に接して形成される第1電極層と、前記第1電極層に接して形成され前記第1電極層よりも寸法の小さい第2電極層とが、順に重なって備わるとともに、

前記第1電極層と前記第2電極層との間に断続的に形成される層間膜が備わり、

前記ターミネーション領域には、

前記半導体基板の前記一方の面に、前記第2半導体層の周囲を取り囲むように形成されるガードリング層と、前記ガードリング層を取り囲むように形成されるチャンネルストップ層とが備わるとともに、

前記ガードリング層および前記チャンネルストップ層のそれぞれに対応して形成されるフィールドプレート電極層と、前記フィールドプレート電極層の上面に酸化膜とが備わり、

前記半導体基板の他方の面には、

当該半導体基板を構成する第1半導体層よりも不純物濃度が高い第1導電形の第3半導

体層と、前記第3半導体層に接して形成される第3電極層とが備わり、

前記第2電極層が形成されている領域の下方には、前記第2半導体層の領域があり、前記ガードリング層と前記第2半導体層とは、同一の材質であり、前記第1電極層の下面からの深さが同一であり、

前記酸化膜と前記層間膜とは、同一の材質であり、前記第1電極層の上面から高さが同一であり、

前記第2電極層の前記半導体基板からの高さは、当該第2電極層の周縁部分と前記断続的に形成される層間膜が存在する部分とが等しい高さであることを特徴とする半導体装置。

【請求項2】

請求項1において、

前記断続的に形成される層間膜の平面方向の間隔Lと、前記半導体基板の面に垂直な方向の長さ t_{WF} とにおいて、

$$L \geq 2 \times t_{WF}$$

の関係がある

ことを特徴とする半導体装置。

【請求項3】

請求項1において、

前記断続的に形成される層間膜の平面方向の間隔Lと、間隔方向における前記層間膜の幅Wとにおいて、

$$(1/2) \times L \leq W \leq 2 \times L$$

の関係がある

ことを特徴とする半導体装置。

【請求項4】

請求項1において、

前記第1電極層と前記第2電極層との間に断続的に形成した前記層間膜が平面において占める面積 S_H と、前記第1電極層と前記第2電極層との間に前記層間膜のない平面の面積 S_L とにおいて、

$$(1/2) \times S_L \leq S_H \leq 2 \times S_L$$

の関係がある

ことを特徴とする半導体装置。

【請求項5】

第1導電形の第1半導体層によって構成される半導体基板に、アクティブ領域と前記アクティブ領域を囲むように形成されるターミネーション領域とを備える半導体装置であって、

前記アクティブ領域には、

前記半導体基板の一方の面に、選択的に形成された第2導電形のベース層と、前記ベース層の前記半導体基板の一方の面に形成され前記ベース層と電氣的に接続された第1導電形のソース層と、前記ソース層と前記ベース層と前記第1半導体層とにゲート酸化膜を介して形成されたゲート電極と、前記ベース層と前記ソース層とに接して形成された第1電極層と、前記第1電極層に接して形成され前記第1電極層よりも寸法の小さい第2電極層とが、備わるとともに、

前記第1電極層と前記第2電極層との間に断続的に形成される層間膜が備わり、

前記ターミネーション領域には、

前記半導体基板の前記一方の面に、前記ベース層の周囲を取り囲むように形成されるガードリング層と、前記ガードリング層を取り囲むように形成されるチャンネルストップ層とが備わるとともに、

前記ガードリング層および前記チャンネルストップ層のそれぞれに対応して形成されるフィールドプレート電極層と、前記フィールドプレート電極層の上面に酸化膜とが備わり、

、

10

20

30

40

50

前記半導体基板の他方の面には、

当該半導体基板を構成する第1半導体層よりも不純物濃度が高い第1導電形のバッファ層と、前記バッファ層に接して形成される第2導電形のエミッタ層と、前記エミッタ層に接して形成される第3電極層とが備わり、

前記ガードリング層と前記ベース層とは、同一の材質であり、前記第1電極層の下面からの深さが同一であり、

前記酸化膜と前記層間膜とは、同一の材質であり、前記第1電極層の上面から高さが同一であり、

前記第2電極層の前記半導体基板からの高さは、当該第2電極層の周縁部分と前記断続的に形成される層間膜が存在する部分とが等しい高さである

ことを特徴とする半導体装置。

【請求項6】

請求項1乃至請求項5のいずれか一項に記載の半導体装置を製造する半導体装置の製造方法であって、

前記層間膜により前記第1電極層および前記フィールドプレート電極層を覆う工程の後、化学的なエッチング処理により前記第1電極層の表面のみに前記層間膜の断続的なパターンを形成し、

前記層間膜が覆われていない前記第1電極層の露出部分、および前記第1電極層の上の前記層間膜に選択的に導電性厚膜をスパッタ法により形成することで前記第2電極層を設ける

ことを特徴とする半導体装置の製造方法。

【請求項7】

請求項1乃至請求項5のいずれか一項に記載の半導体装置を備えることを特徴とする電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電力用の半導体装置、その製造方法、およびそれを用いた電力変換装置に関する。

【背景技術】

【0002】

従来、大容量の電力変換装置、電力用周波数変換装置、大形回転機の回転速度制御装置等には主にサイリスタが用いられてきたが、近年、パワー素子として電流遮断能力を有した絶縁ゲートバイポーラトランジスタ(Insulated Gate Bipolar Transistor: IGBT、以下適宜、「IGBT」と称す)への置き換えが検討されている。

特に交流を直流に電力変換する直流変換器では、マルチレベル変換器の一つであるモジュラー・マルチレベル・コンバータ(Modular Multilevel Converter: MMC、以下適宜、「MMC」と称す)が盛んに研究され、短絡故障や防爆といった特徴を備える圧接IGBTの需要が高まっている。なお、圧接IGBTには誘導性負荷に流れる電流を還流させるためのダイオードチップが内蔵されている。

ダイオード素子を含む圧接IGBTにおいては、アクティブ領域のダイオードチップのアノード電極が受ける圧力の影響を緩和するために、アノード電極の膜厚を厚くして、圧接されないターミネーション領域の電極の膜厚と同じに形成する方法がある。

また、アノード電極の形成の仕方に関連して、特開2004-158844号公報(特許文献1)には、「基板表面に初期酸化膜11a~11eを形成し、その初期酸化膜11a~11eの、ガードリングの形成領域上の開口幅をレジストにより狭めた後、イオン注入および活性化熱処理によってガードリング5a~5dを形成する。そして、アノード電極4、フィールドプレート6a~6dおよびストッパー電極8を、同一の導電性薄膜により形成するとともに、アノード電極4に、導電性厚膜をパターンニングして形成した厚膜電極10を接触させた構成とすることによって、ガードリング5a, 5b, 5c, 5dの幅

10

20

30

40

50

を狭くする。I G B T等では、ゲート電極およびゲートパッドを導電性厚膜で形成し、それらの下に、絶縁膜を介してI G B T等のセルを配置する。」と記載されている（要約参照）。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2004-158844号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、前記したアクティブ領域のダイオードチップのアノード電極の厚みを厚くして、圧接されないターミネーション領域の電極の膜厚と同じに形成する方法は、アクティブ領域のアノード電極と、ターミネーション領域の電極とが同じ高さとなるため、モリブデン等の外部電極を圧接する場合において、外部電極の位置ずれによりターミネーション領域の構造と外部電極とが接触し、ターミネーション領域の構造破壊、およびそれに伴う耐圧劣化が起こる可能性があるという課題があった。

また、特許文献1に開示された技術は、アノード電極がアクティブ領域とターミネーション領域の境界付近におけるアノード電極の高さと、アクティブ領域の中央部におけるアノード電極の高さに差異がでるために、ダイオードチップを圧接パッケージに封入した場合、圧接の圧力が低い領域において、アノード電極と外部電極とが十分に密着せず、ダイオード特性としての順方向電圧降下（V F : forward voltage drop）が増大するという課題があった（詳細は後記する）。

【0005】

本発明は、前記した課題に鑑みて創案されたものであり、その目的とするところは、優れた半導体装置等を提供することである。

また、その半導体装置を用いた電力変換装置を提供することである。

【課題を解決するための手段】

【0006】

前記の課題を解決して、本発明の目的を達成するために、以下のように構成した。

すなわち、本発明の半導体装置は、第1導電形の第1半導体層によって構成される半導体基板に、アクティブ領域と前記アクティブ領域を囲むように形成されるターミネーション領域とを備える半導体装置であって、前記アクティブ領域には、前記半導体基板の一方の面に、前記アクティブ領域に対応した広さの第2導電形の第2半導体層と、前記第2半導体層に接して形成される第1電極層と、前記第1電極層に接して形成され前記第1電極層よりも寸法の小さい第2電極層とが、順に重なって備わるとともに、前記第1電極層と前記第2電極層との間に断続的に形成される層間膜が備わり、前記ターミネーション領域には、前記半導体基板の前記一方の面に、前記第2半導体層の周囲を取り囲むように形成されるガードリング層と、前記ガードリング層を取り囲むように形成されるチャンネルストップ層とが備わるとともに、前記ガードリング層および前記チャンネルストップ層のそれぞれに対応して形成されるフィールドプレート電極層と、前記フィールドプレート電極層の上面に酸化膜とが備わり、前記半導体基板の他方の面には、当該半導体基板を構成する第1半導体層よりも不純物濃度が高い第1導電形の第3半導体層と、前記第3半導体層に接して形成される第3電極層とが備わり、前記第2電極層が形成されている領域の下方には、前記第2半導体層の領域があり、前記ガードリング層と前記第2半導体層とは、同一の材質であり、前記第1電極層の下面からの深さが同一であり、前記酸化膜と前記層間膜とは、同一の材質であり、前記第1電極層の上面から高さが同一であり、前記第2電極層の前記半導体基板からの高さは、当該第2電極層の周縁部分と前記断続的に形成される層間膜が存在する部分とが等しい高さであることを特徴とする。

また、その他の手段は、発明を実施するための形態のなかで説明する。

【発明の効果】

【0007】

本発明の半導体装置およびそれを用いた電力変換装置によれば、優れた半導体装置等を提供できる。

また、その半導体装置を用いた電力変換装置を提供することができる。

【図面の簡単な説明】

【0008】

【図1】本発明の第1実施形態に係る半導体装置としてのダイオードの断面構造を示す図である。

【図2】本発明の第2実施形態に係る半導体装置としてのダイオードの平面構造と断面構造を示す図であり、(a)は平面図であり、(b)は平面図のI-Iにおける断面図である。

10

【図3】本発明の第3実施形態に係る半導体装置としてのダイオードの平面構造と断面構造を示す図であり、(a)は平面図であり、(b)は平面図のII-IIにおける断面図である。

【図4】本発明の実施形態のダイオードと従来構造のダイオードとのV-F特性について比較して示した図である。

【図5A】本発明の第1実施形態に係る半導体装置としてのダイオードにおいて、 n^- 基板に、 n 形カソード層と絶縁膜を形成する工程を示す図である。

【図5B】本発明の第1実施形態に係る半導体装置としてのダイオードにおいて、 n^- 基板11に形成された絶縁膜とレジストマスクを利用しながら、ボロンのインプランテーションを行う工程を示す図である。

20

【図5C】本発明の第1実施形態に係る半導体装置としてのダイオードにおいて、レジストマスクを用いて、リンのインプランテーションを行う工程を示す図である。

【図5D】本発明の第1実施形態に係る半導体装置としてのダイオードにおいて、アニール処理工程によって、インプランテーションされた不純物元素を活性化させる工程を示す図である。

【図5E】本発明の第1実施形態に係る半導体装置としてのダイオードにおいて、金属を、 n^- 基板11の表面の全面にスパッタリング法で形成する工程を示す図である。

【図5F】本発明の第1実施形態に係る半導体装置としてのダイオードにおいて、AlSi電極から1層目アノード電極とフィールドプレート電極を形成する工程を示す図である。

30

【図5G】本発明の第1実施形態に係る半導体装置としてのダイオードにおいて、酸化膜をアノード電極と各フィールドプレート電極上の主表面の全面に形成する工程を示した図である。

【図5H】本発明の第1実施形態に係る半導体装置としてのダイオードにおいて、レジストマスクを形成する工程を示した図である。

【図5I】本発明の第1実施形態に係る半導体装置としてのダイオードにおいて、層間膜のドライエッチング処理工程を示した図である。

【図5J】本発明の第1実施形態に係る半導体装置としてのダイオードにおいて、AlSi電極を形成する工程を示した図である。

40

【図5K】本発明の第1実施形態に係る半導体装置としてのダイオードにおいて、レジストマスクを形成する工程を示した図である。

【図5L】本発明の第1実施形態に係る半導体装置としてのダイオードにおいて、AlSi電極のウェットエッチング工程とカソード電極形成工程を示した図である。

【図6】本発明の実施形態によるダイオードの2層目アノード電極と外部電極との接合の状態を示す断面図である。

【図7】本発明の第5実施形態に係る半導体装置としてのIGBTの断面構造を示す図である。

【図8A】本発明の第6実施形態に係る電力変換装置としてのMMCの回路構成を示す図である。

50

【図 8 B】図 8 A で示した MMC における単位セルの回路構成を示す図である。

【図 9】本発明の第 7 実施形態に係る電力変換装置としてのインバータ回路の回路構成を示す図である。

【図 10】比較例の半導体装置としてのダイオードの断面構造を示す図である。

【発明を実施するための形態】

【0009】

以下、本発明を実施するための形態（以下においては「実施形態」と称する）を、図面を参照して説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は、適宜、省略する。

【0010】

第 1 実施形態：半導体装置、ダイオード

図 1 は、本発明の第 1 実施形態に係る半導体装置としての圧接形のダイオードの断面構造を示す図である。なお、「圧接形」は「圧接型」と同義語であるので表記を「圧接形」に統一する。また、以下において、「p 形」は「p 型」と同義語であるので表記を「p 形」に統一する。また、「n 形」は「n 型」と同義語であるので表記を「n 形」に統一する。

図 1 において、第 1 実施形態としてのダイオード 1 は、主表面（一方の面）および前記主表面の反対面となる裏面（他方の面）を有した n 形（第 1 導電形）の基板である n⁻基板 11（第 1 半導体層）を基に、形成されている。

また、ダイオード 1 は、アクティブ領域 201 と、このアクティブ領域 201 の周囲を囲むように形成されたターミネーション領域 202 とを有している。なお、図 1 では、ターミネーション領域 202 は、アクティブ領域 201 の紙面視で左側の領域にのみ図示しているが、実際には、紙面視で右側の領域、および紙面視の手前側の領域と奥側の領域にもあって、前記したようにターミネーション領域 202 がアクティブ領域 201 の周囲を囲むように形成されている。

また、ターミネーション領域 202 とアクティブ領域 201 は、p 形拡散層 12 の端部を境としている。つまり、p 形拡散層 12 の平面形状がアクティブ領域 201 の形状を規定している。

【0011】

アクティブ領域 201 には、n 形（第 1 導電形）の基板である n⁻基板 11（第 1 半導体層）と、この n⁻基板 11 の主表面（紙面視の上側）に形成された p 形（第 2 導電形）の不純物元素を注入された p 形拡散層 12（第 2 半導体層）と、n⁻基板 11 の裏面（紙面視の下側）に、かつ、n⁻基板 11 より不純物濃度の高い n 形カソード層 20（第 3 半導体層）が形成されている。

また、カソード電極 21（第 3 電極層、カソード電極層）が、n 形カソード層 20 に接するように形成されている。

また、1 層目アノード電極 13（第 1 電極層、1 層目アノード電極層）が p 形拡散層 12 に接するように（紙面視の上側）形成され、2 層目アノード電極 15（第 2 電極層、2 層目アノード電極層）が 1 層目アノード電極 13 の表面（紙面視で上側）に形成されている。

【0012】

なお、2 層目アノード電極 15 の平面方向の長さは、1 層目アノード電極 13 の平面方向の長さより、1 層目アノード電極 13 と接する方向において、短く形成されている。

また、1 層目アノード電極 13 と 2 層目アノード電極 15 との間には、断続的に酸化膜（絶縁膜）からなる層間膜 14 が形成されている。1 層目アノード電極 13 と 2 層目アノード電極 15 との間において、層間膜 14 が形成されていない領域においては、領域 521 ~ 523 に示すように、1 層目アノード電極 13 と 2 層目アノード電極 15 とが直接、接しており、かつ、融合している。

1 層目アノード電極 13 と 2 層目アノード電極 15 とが直接、接している領域 521 ~ 523 の上方（紙面視の上方）においては、それぞれ、2 層目アノード電極 15 が窪んだ

10

20

30

40

50

領域 501 ~ 503 として形成されている。

【0013】

なお、1層目アノード電極13と2層目アノード電極15には、AlSi (AlSi電極) が用いられている。

また、1層目アノード電極13と2層目アノード電極15との間に層間膜14が形成されている上方(紙面視の上方)の領域512 ~ 514における2層目アノード電極15は、窪んだ領域501 ~ 503における2層目アノード電極15よりも上方(紙面視の上方)に高く形成されている。

なお、層間膜14を1層目アノード電極13と2層目アノード電極15との間に断続的に形成する理由については後記する。

10

【0014】

ターミネーション領域202には、n⁻基板11上に、ガードリング層16がp形拡散層12と距離を隔て、かつp形拡散層12を取り囲むように形成されている。ちなみに、図1では、ガードリング層16は4重に形成されている。

また、チャンネルストッパ層17が、ガードリング層16と距離を隔て、かつガードリング層16およびp形拡散層12を取り囲むようにダイオード1としてのチップ端部に形成されている。

また、フィールドプレート電極(フィールドプレート電極層)18が、ガードリング層16およびチャンネルストッパ層17のそれぞれの上部(紙面視の上方)に接続して形成されている。

20

なお、以上のようにp形のガードリング層(ガードリング)16を設けるのは、p形拡散層12の外周端部における電界強度を緩和して、高耐圧を確保するためである。

【0015】

また、アクティブ領域201の層間膜14と同じ材質の酸化膜14が、フィールドプレート電極18の表面、および2層目アノード電極15よりターミネーション領域202側の全面の表面に形成されている。

なお、ターミネーション領域202の酸化膜14とアクティブ領域201の層間膜14は、後記するように同一の工程で形成される。したがって、ターミネーション領域202の酸化膜14は、層間にあるわけではないが、層間膜14として表記することもある。

また、n形高濃度不純物層であるn形カソード層20とカソード電極21が、アクティブ領域201と同様に、ターミネーション領域202にも形成されている。

30

【0016】

図1に示すように、圧接領域101は、2層目アノード電極15が形成されている領域であり、非圧接領域102は、2層目アノード電極15が形成されていない領域である。

圧接領域101における2層目アノード電極15は、後記するようにモリブデンの外部電極24(図6)を上面において圧接、圧着される。

圧接領域101において、2層目アノード電極15が形成されているので、2層目アノード電極15の上面は、2層目アノード電極15の厚み分だけ、非圧接領域102の構造物(14、16、17、18、19)より高い。

したがって、2層目アノード電極15の上面にモリブデンの外部電極24(図6)が圧接される際に、外部電極24(図6)が位置ずれして、非圧接領域102に入り込んだとしても、2層目アノード電極15の厚み分だけ高さが異なるので、非圧接領域102、すなわちターミネーション領域202の構造物(14、16、17、18、19)が破壊されることはない。

40

【0017】

また、前記したように、圧接領域101における2層目アノード電極15は、モリブデンの外部電極24(図6)を上面において圧着される。

この圧着される工程において、2層目アノード電極15とモリブデンの外部電極24(図6)は、接する面において、同一の高さで同一の平面状であることが望ましい。

しかしながら、図1に示すように、2層目アノード電極15の上面には、窪んだ領域5

50

01～503が生じている。

この領域501～503の窪みは、1層目アノード電極13と2層目アノード電極15との間に、断続的に層間膜14を設けたために生じたものである。

すなわち、層間膜14の上に2層目アノード電極15が形成された領域511～514の2層目アノード電極15の高さに比較して、1層目アノード電極13と2層目アノード電極15とが直接、接している領域521～523の上の領域501～503の2層目アノード電極15の高さは低くなる。そのため、2層目アノード電極15の上面に窪んだ領域501～503が生じたものである。

この本来は望ましくない窪んだ領域501～503が生ずるにも関わらず、図1の構造を形成する理由について、次に説明する。

【0018】

<層間膜を断続的に形成する理由・背景>

次に、アクティブ領域201（圧接領域101）において、層間膜14を1層目アノード電極13と2層目アノード電極15との間に断続的に形成する理由・背景について説明する。

図1のダイオード1において、2層目アノード電極15は、図6を参照して後記するように、2層目アノード電極15に垂直な方向（圧接方向101A、圧接方向101B間：図1）から5～30MPaの圧力で圧接されることで外部（外部電極24：図6）との電気的導通を取るよう構成されている。

この圧接の際に、ダイオード1のアノード電極（13、15）は、外部電極24（図6）と圧力の影響を緩和するために、膜厚を所定（例えば12μm以上）の厚み以上を確保する必要がある。

また、前記したように、外部電極24（図6）が位置ずれによって、ターミネーション領域202の構造物と接触しない構造とする必要がある。

この2点の必要性を、図1では、アノード電極（13、15）を、1層目アノード電極13と2層目アノード電極15とを重ねる構造によって達成している。

【0019】

2層目アノード電極15（図1）を設ける際には、後記する図5Kから図5Lの工程に示すように、まずAlSi（26：図5K）を全面に塗布（スパッタ）する。そしてレジストマスク22（図5K）を基に非圧接領域102（図1）のAlSi（26）を除去するとともに、圧接領域101（図1）1のAlSi（26）を残すことによって、2層目アノード電極15（図1）を形成する。

このAlSiを除去する際に、フィールドプレート電極18（図1、図5K）を保護して残すために、非圧接領域102における酸化膜（層間膜）14が必要である。

また、AlSiを除去する際に、圧接領域101と非圧接領域102の境界付近における1層目アノード電極13を残すために、層間膜（酸化膜）14が必要である。

この圧接領域101と非圧接領域102の境界付近における1層目アノード電極13を残すための層間膜14を、図1では、領域401の層間膜14と表記している。

【0020】

領域401の層間膜（酸化膜）14がない場合には、前記したように圧接領域101の左端（紙面視における左端）の1層目アノード電極13が、2層目アノード電極15を除去する工程と一緒に除去、あるいは表面を侵食されてしまう。

したがって、領域401の層間膜（酸化膜）14を設けることは、必須要件である。

ただし、領域401の層間膜14があることにより、領域401の層間膜14の上の2層目アノード電極15は、領域511に示すように、層間膜14の厚みだけ盛り上がる。

すなわち、層間膜14が存在せずに1層目アノード電極13と2層目アノード電極15が直接つながっている領域521の上の領域501における2層目アノード電極15の高さと、前記した領域511の2層目アノード電極15の高さを比較すれば、領域511の2層目アノード電極15は、領域501の2層目アノード電極15より、盛り上がっており、その結果として、段差が生じている。

10

20

30

40

50

【 0 0 2 1 】

同じ理由により、圧接領域 1 0 1 の端部（領域 5 1 1）と、1 層目アノード電極 1 3 と 2 層目アノード電極 1 5 が直接つながっている圧接領域 1 0 1 の中央部（領域 5 0 1 ~ 5 0 3）と、においては、2 層目アノード電極 1 5 の高さが異なる。

したがって、そのままでは、外部電極 2 4（図 6）を 2 層目アノード電極 1 5 に圧接する際に、接触が不完全であって、圧力が低い領域において、2 層目アノード電極 1 5 と外部電極（モリブデン）2 4（図 6）とが十分に密着せず、ダイオードとしての順方向電圧降下 V_F が増大するという問題が生ずる（詳細は後記する）。

この圧接領域 1 0 1 の端部と中央部とにおいて、2 層目アノード電極 1 5 の高さが異なることを回避するために、設けたのが圧接領域 1 0 1 における 1 層目アノード電極 1 3 と 2 層目アノード電極 1 5 との間に断続的に形成した層間膜 1 4 である。

10

【 0 0 2 2 】

層間膜 1 4 を断続的に圧接領域 1 0 1 の中央部に設けることにより、それらの上部の 2 層目アノード電極 1 5（領域 5 1 2 ~ 5 1 4）の高さは、圧接領域 1 0 1 の端部の 2 層目アノード電極 1 5（領域 5 1 1）の高さと同一になる。

これらの領域（5 1 1 ~ 5 1 4）において、2 層目アノード電極 1 5 の高さが一致するために、前記したダイオードとしての順方向電圧降下 V_F が増大するという問題は解消される（詳細は後記する）。

ただし、1 層目アノード電極 1 3 と 2 層目アノード電極 1 5 とは、電氣的に導通する必要があるために、アクティブ領域 2 0 1（圧接領域 1 0 1）において、全面的に層間膜 1 4 を設けるわけにはいかない。1 層目アノード電極 1 3 と 2 層目アノード電極 1 5 とが直接、接触する領域（5 2 1 ~ 5 2 3）を設ける必要がある。

20

そのため、層間膜 1 4 は、1 層目アノード電極 1 3 と 2 層目アノード電極 1 5 との間に断続的に形成されることになる。

【 0 0 2 3 】

なお、前記したように、1 層目アノード電極 1 3 と 2 層目アノード電極 1 5 とが直接、接触する領域（5 2 1 ~ 5 2 3）を設けることにより、それらの上部においては、2 層目アノード電極 1 5 が窪んだ領域（5 0 1 ~ 5 0 3）ができる。

これらの窪んだ領域（5 0 1 ~ 5 0 3）においては、外部電極 2 4（図 6）と 2 層目アノード電極 1 5（図 1、図 6）は、十分には接触しない。

30

したがって、窪んだ領域（5 0 1 ~ 5 0 3）がある構造は、必ずしも最善ではないが、2 層目アノード電極 1 5 が、圧接領域 1 0 1 の端部（領域 5 1 1）と、圧接領域 1 0 1 の中央部（領域 5 1 2 ~ 5 1 4）とで、同一の高さが確保された構造は、前記の圧接領域 1 0 1 の端部と中央部で 2 層目アノード電極 1 5 の高さが異なる構造よりは、すぐれた電氣的特性を示す（詳細は後記する）。

なお、層間膜 1 4 を断続的に圧接領域 1 0 1 の中央部に設ける工程は、層間膜 1 4 と同じ酸化膜（絶縁膜）1 4 を非圧接領域 1 0 2（ターミネーション領域 2 0 2）に形成する工程が元々ある。そのため、工程の増加やコストの上昇なしに、層間膜 1 4 を形成できる。

【 0 0 2 4 】

40

以上、図 1 の構成によって、2 層目アノード電極 1 5 をアノード、カソード電極 2 1 をカソードとするダイオード 1 が形成できる。このダイオード 1 は、圧接パッケージに封入される際の圧力のバラつきに対してダイオードの順方向電圧降下 V_F のバラつきが小さい半導体装置となる。

すなわち、圧接パッケージに封入されるダイオードにおいて、外部電極の位置ずれによりターミネーション領域の構造破壊が起こらないこと、および圧接の際の圧力のバラつきに対してダイオードの順方向電圧降下 V_F のバラつきが小さい半導体装置を提供することができる。

【 0 0 2 5 】

第 2 実施形態：半導体装置、ダイオード、アノード電極の形状例 1

50

次に、本発明の第2実施形態に係る半導体装置としての圧接形のダイオード2として、2層目アノード電極の形状の第1例を示す。

図2は、本発明の第2実施形態に係る半導体装置としての圧接形のダイオードの平面構造と断面構造を示す図であり、(a)は平面図であり、(b)は平面図のI-Iにおける断面図である。

なお、主として、2層目アノード電極15の形状例を示す図であるので、非圧接領域102におけるフィールドプレート電極(18)、ガードリング層(16)、チャンネルストップ層(17)は、図示していない。

【0026】

なお、1層目アノード電極13と2層目アノード電極15との間に層間膜14が挟まれていない2層目アノード電極15については、平面図(a)において、右斜線によるハッチングによって、2層目アノード電極531~534として表記している。

また、1層目アノード電極13と2層目アノード電極15との間に層間膜14が挟まれている2層目アノード電極15については、平面図(a)において、左斜線によるハッチングによって、2層目アノード電極541~545として表記している。

また、断面図(b)においては、層間膜14の有無にかかわらず2層目アノード電極15および1層目アノード電極13をアノード電極(13、15)として右斜線と左斜線が交差するハッチングで表記している。

【0027】

図2の(a)において、1層目アノード電極13と2層目アノード電極15との間に層間膜14が挟まれていない2層目アノード電極531~534がストライプ状(縞状)に形成されている。

この層間膜14が挟まれていない2層目アノード電極531~534は、2層目アノード電極15の中央部のみに形成される。

また、1層目アノード電極13と2層目アノード電極15との間に層間膜14が挟まれている2層目アノード電極541~545は、層間膜14が挟まれていない2層目アノード電極531~534を囲むように配置されている。

2層目アノード電極541~545は、1層目アノード電極13と2層目アノード電極15との間に層間膜14が挟まれているので、2層目アノード電極541~545の高さは、圧接領域101の端部でも中央部でも同じ高さとなる。

そのため、後記する図6に示すように、外部電極24と2層目アノード電極541~545の接触がよく、ダイオードとしての良好な電気的特性が確保される。

なお、酸化膜(層間膜を含む)14は、2層目アノード電極531~534が存在する領域以外の領域(非圧接領域102を含む)に形成されている。

【0028】

また、前記したように、外部電極24(図6)と、図1の2層目アノード電極541~545が接して電流が流れるので、層間膜14が挟まれている2層目アノード電極541~545の平面状の面積の合計である面積 S_H は、外部電極24と2層目アノード電極15との良好な電気的接続の観点からは大きい方が望ましい。

一方、1層目アノード電極13から2層目アノード電極15に電流が流れる際に、1層目アノード電極13と2層目アノード電極15との間に層間膜14が挟まれていない2層目アノード電極531~534(領域521~523:図1)を通る。したがって、層間膜14が挟まれていない2層目アノード電極531~534(領域521~523:図1)の平面状の面積の合計である面積 S_L は、1層目アノード電極13と2層目アノード電極15との良好な電気的接続の観点からは大きい方が望ましい。

【0029】

しかしながら、ダイオード2の大きさを一定にした場合、前記の面積 S_H と面積 S_L とは、相反する関係にある。そのため、ダイオード2の電気的特性を良好に確保するためには、前記の面積 S_H と面積 S_L とを、ともに所定の大きさを確保する必要がある。

すなわち、1層目アノード電極13と2層目アノード電極15との間に層間膜14が挟

10

20

30

40

50

まれていない2層目アノード電極531～534の平面状の合計の面積 S_L と、層間膜14が挟まれている2層目アノード電極541～545の平面状の合計の面積 S_H とは、極端に乖離しないことが望ましい。

例えば、極端に乖離しないことが望ましい範囲として、面積 S_H は、面積 S_L の少なくとも半分を確保し、逆に面積 S_L は、面積 S_H の少なくとも半分を確保するとすれば、次の(1)式の関係が得られる。

$$(1/2) \times S_L \leq S_H \leq 2 \times S_L \quad \dots (1)$$

【0030】

また、同様の観点から、1層目アノード電極13と2層目アノード電極15との間に層間膜14が挟まれていない2層目アノード電極531～534のストライプの幅、すなわち1層目アノード電極13と2層目アノード電極15との間に断続的に形成した層間膜14の平面方向の間隔 L (図2参照)と、この間隔方向における層間膜14の幅 W (図2参照)とは、極端に乖離しないことが望ましい。

これは、層間膜14の平面方向の間隔 L は、1層目アノード電極13と2層目アノード電極15が直接、接続されている部分のストライプの幅と関連している。また、層間膜14の幅 W は、外部電極24(図6)と接触する2層目アノード電極15のストライプの幅に相当している。そして、前記の間隔 L と幅 W が、それぞれ前記した電流の流れやすさと相関があるからである。

例えば、極端に乖離しないことが望ましい範囲として、前記の間隔 L は、前記の幅 W の少なくとも半分を確保し、逆に幅 W は、間隔 L の少なくとも半分を確保するとすれば、次の(2)式の関係が得られる。

$$(1/2) \times L \leq W \leq 2 \times L \quad \dots (2)$$

【0031】

第3実施形態：半導体装置、ダイオード、アノード電極の形状例2

次に、第3実施形態として、2層目アノード電極の形状の第2例を示す。

図3は、本発明の第3実施形態に係る半導体装置としての圧接形のダイオード3の平面構造と断面構造を示す図であり、(a)は平面図であり、(b)は平面図のII-IIにおける断面図である。

なお、主として、2層目アノード電極15の形状例を示す図であるので、非圧接領域102におけるフィールドプレート電極(18)、ガードリング層(16)、チャネルストッパ層(17)は、図示していない。

なお、1層目アノード電極13と2層目アノード電極15との間に層間膜14が挟まれていない2層目アノード電極15については、円状に形成され、行および列に配置されて構成されている。

【0032】

円状の層間膜14が挟まれていない2層目アノード電極15は、合計20個を表記しているが、平面図(a)においては、右斜線によるハッチングによって表記している。その20個のうち8個についてのみ2層目アノード電極551～558として符号をつけて表記している。

また、1層目アノード電極13と2層目アノード電極15との間に層間膜14が挟まれている2層目アノード電極15については、平面図(a)においては、見易さのためにハッチング等の表記は省略している。

なお、断面図(b)においては、層間膜14の有無にかかわらず2層目アノード電極15および1層目アノード電極13をアノード電極(13、15)として右斜線と左斜線が交差するハッチングで表記している。

【0033】

図3に示すように、1層目アノード電極13と2層目アノード電極15との間に層間膜14が挟まれていない2層目アノード電極551～558は、円状の場合であっても、層間膜14が挟まれていない2層目アノード電極551～558の平面状の合計の面積(S_L)と、層間膜14が挟まれている2層目アノード電極560の平面状の合計の面積(S_H)とは、極端に乖離しないことが望ましい。

10

20

30

40

50

H)とが、極端に乖離しないことが望ましい。すなわち、この面積 S_L と、面積 S_H とにおいて所定の比率の間であれば、ダイオード3の電気的特性は良好な特性が確保される。

具体的には、この面積 S_L と、面積 S_H とにおいて、第2実施形態の説明で示した前記の(1)式の関係があることが望ましい。

なお、図3では、1層目アノード電極13と2層目アノード電極15との間に層間膜14が挟まれていない2層目アノード電極551~558を、円状(円形)の例をあげたが、円形以外の四角形などの多角形の形状にしても良い。

【0034】

<ダイオード特性>

次に、本発明の実施形態のダイオードと従来構造(後記する図10)のダイオードとの順方向電圧降下VF特性(適宜、単に「VF」とも表記する)について比較する。

図4は、本発明の実施形態のダイオードと従来構造(後記する図10)のダイオードとの順方向電圧降下であるVF特性について、圧接する圧力を可変して比較した図である。

図4において、横軸は、ダイオードの圧接領域に加える圧力(MPa)であり、縦軸は、圧力が30MPa時を基準として、そのときのVFとの差分をVF(V)として表記したものである。また、符号420で示した本発明の実施形態に係るダイオードの特性値を白抜きの四角である符号「□」で表記し、符号410で示した従来構造(後記する図10)のダイオードの特性値を黒塗りの丸である符号「○」で表記している。

【0035】

図4において、従来構造(図10)のVFは圧力が低いほど増大し、圧力が7MPaのとき、VFは0.25Vとなる。この0.25VというVF値の増加は、ダイオードの順方向においても生ずる値であるので、電圧の損失や電力消費の損失として望ましくない特性値である。

これに対し、本発明の実施形態では、圧力低下によるVFの増大は小さく、7MPaのVFは0.08Vへ低減した。

図4にみられるように、7MPa以外の圧力においても、本発明の実施形態は、従来構造(図10)に対して、VFは小さい。

したがって、本発明の実施形態による構造によって、外部電極24(図6)と2層目アノード電極15(図1、図6)との接触が良好となり、ダイオードの順方向電圧降下のVF特性は、良好となる効果があることが分かる。

また、低い圧力(30MPa未満、7MPa以上)によっても、圧接が可能となるので、製作工程が簡易化されるとともに、不要に高い圧力がデバイス(ダイオード)に加わることが避けられ、製造コストの低減や製造歩留まりの向上、さらには製造装置の低価格化やメンテナンスの軽減につながる。

【0036】

<ダイオードの製造プロセス>

次に、本発明の第1実施形態に係る半導体装置として、図1に前記した構成のダイオード1の製造プロセスについて、図5A~図5Lを参照して説明する。

なお、図2、図3にそれぞれ記した第2実施形態、第3実施形態のダイオードの製造プロセスについても同様である。

【0037】

《n形カソード層、絶縁膜の形成工程》

まず、n⁻基板11を基として各工程を開始する。なお、n⁻基板11としては、n形(n⁻形)の不純物元素が所定の濃度で既に含まれている基板を用いる。

図5Aは、n⁻基板11に、n形カソード層20と絶縁膜(酸化膜)19を形成する工程を示す図である。

図5Aに示すように、n⁻基板11の主表面(紙面視の上側)の反対面となる裏面(紙面視の下側)の表面に、n形の不純物元素(例えば5価の元素リン)を拡散して、拡散層の厚さが例えば20μmのn形カソード層20を形成する。

このn形カソード層20を形成するのは、後記する金属のカソード電極(21:図5L

10

20

30

40

50

)と前記したn⁻基板11との電気的接続をオーミックな特性(ショットキー障壁を有しない特性)とするための仲介としての機能である。

【0038】

したがって、n形カソード層20の不純物濃度は、n⁻基板11の不純物濃度より高いとともに、前記したように金属のカソード電極(21:図5L)との電気的接続をオーミックな特性とするに十分な濃度である。

すなわち、n形カソード層20がなく、n⁻基板11に直接、後記する金属のカソード電極(21:図5L)を接触させると、n⁻基板11の不純物濃度が薄い(n⁻)ので、n⁻基板11と金属のカソード電極(21:図5L)との間にショットキー障壁ができてしまう。これを避けるためにn形カソード層20を設けている。

10

【0039】

その後、n⁻基板11の主表面(紙面視の上側)に熱酸化により酸化膜(19)を全面に形成する(この工程は不図示)。

そして、この熱酸化により形成した酸化膜をフォトリソグラフィおよびエッチング処理によって、アノード側表面(n⁻基板11の主表面)に絶縁膜(酸化膜)19を選択的に形成する。

なお、図5Aにおいては、図1に対応した部分的な領域の製造工程を示しており、ダイオードチップ全体の領域を図示しているわけではない。以下、図5B~図5Lについても同様である。

【0040】

20

《ボロンのインプラネーション工程》

次に、ボロン(boron、硼素)のインプラネーション工程を説明する。

図5Bは、n⁻基板11に形成された酸化膜19とレジストマスク22を利用しながら、ボロンのインプラネーション23を行う工程を示す図である。

図5Bに示すように、まずn⁻基板11の表面の全面にレジストを塗布し(レジストを全面に塗布した状況は不図示)、その後、このレジストをパターニングして選択的にレジストマスク22を形成する。

このレジストマスク22は、n⁻基板11の端部(紙面視の左側)にボロンが打ち込まれるのを防止するためである。これは、後の工程で、このn⁻基板11の端部(紙面視の左側)にリンを打ち込む必要があるからである。

30

【0041】

レジストマスク22を形成後、紙面視の上側から、例えば3価の元素であるボロンをドーズ量 $5 \times 10^{12} \sim 1 \times 10^{15} \text{ cm}^{-2}$ でインプラネーション23をする。

このボロンは、レジストマスク22と絶縁膜19を通過できない。そのため、図5Bにおいて、レジストマスク22と絶縁膜19が上面に存在しないn⁻基板11の表面(紙面視の上側、主表面側)に打ち込まれる(インプラネーション23)。

この打ち込まれたボロンは、図5Bにおいて図示されていないが、図5Dで後記するアニール処理工程を経ると、図5Dにおけるp形拡散層12、およびガードリング層16となる。前記したようにボロンは3価の元素であるので、p形拡散層12とガードリング層16は、ともにP形となる。

40

【0042】

《リンのインプラネーション工程》

次に、リン(phosphorus、燐)のインプラネーション工程を説明する。

図5Cは、レジストマスク22を用いて、リンのインプラネーション23を行う工程を示す図である。

まず、図5Bで示した工程で用いたレジストマスク22を除去する。

そして、図5Cに示すように、再びn⁻基板11の表面(紙面視の上側)および酸化膜(絶縁膜)19の表面との全面にレジストを塗布し、このレジストをパターニングして新しいレジストマスク22を形成する。

新しいレジストマスク22を形成後、紙面視の上側から、例えば5価の元素であるリン

50

をドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ でインプランテーション 23 をする。

このリンは、図 5 C において、レジストマスク 22 が上面に存在しない n 基板 11 の表面（紙面視の上側）に打ち込まれる（インプランテーション 23）。

この打ち込まれたリンは、図 5 C において図示されていないが、後記するアニール処理工程を経ると、図 5 D におけるチャンネルストッパ層 17 となる。

前記したようにリンは 5 価の元素であるので、チャンネルストッパ層 17 は n 形となる。

【 0 0 4 3 】

《アニール処理工程》

次に、インプランテーション 23 をした不純物元素を活性化させるアニール処理工程を説明する。

図 5 D は、アニール処理工程によって、インプランテーション 23 された不純物元素を活性化させる工程を示す図である。

図 5 C で示した工程で用いたレジストマスク 22 をまず除去する。

そして、前記の各工程が行われた基板全体をアニール処理する。

このアニール処理によって、インプランテーション 23 された不純物元素（ボロン、リン）が活性化される。

図 5 B で示した工程でインプランテーション 23 されたボロンは、図 5 D における p 形拡散層 12 と p 形のガードリング層 16 を形成する。

また、図 5 C で示した工程でインプランテーション 23 されたリンは、図 5 D における n 形のチャンネルストッパ層 17 を形成する。

【 0 0 4 4 】

《1 層目アノード電極とフィールドプレート電極の形成工程：その 1》

次に、図 5 E と図 5 F を参照して、1 層目アノード電極 13 とフィールドプレート電極 18 を形成する工程を説明する。

図 5 E は、金属（例えば AlSi）を、n 基板 11 の主表面側（紙面視の上側）の全面にスパッタリング法（スパッタ法）で形成する工程を示す図である。

図 5 E において、1 層目アノード電極 13 とフィールドプレート電極 18 となる金属、例えば AlSi 電極 26 を n 基板 11 の表面側（紙面視の上側）の全面にスパッタリング法で形成する工程を示している。実際には、n 基板 11 の主表面に、既に p 形拡散層 12、ガードリング層 16、酸化膜 19 が形成されているので、これらの層、膜（12、16、19）の上に金属（AlSi）がスパッタリングされる。

なお、スパッタリングする AlSi 電極 26 の厚みは、例えば $3 \mu\text{m}$ である。

【 0 0 4 5 】

《1 層目アノード電極とフィールドプレート電極の形成工程：その 2》

図 5 F は、AlSi 電極 26 から 1 層目アノード電極 13 とフィールドプレート電極 18 を形成する工程を示す図である。

図 5 F において、全面にスパッタリングされた AlSi 電極 26 を、フォトリソグラフィおよびエッチング処理により 1 層目アノード電極 13 とフィールドプレート電極 18 を形成している。

なお、図 5 F において酸化膜 19 の上面に空いた隙間は、AlSi 電極 26（図 5 E）がエッチング処理をされて、各フィールドプレート電極 18 との間、および各フィールドプレート電極 18 と 1 層目アノード電極 13 との間が分離された状態を示している。

【 0 0 4 6 】

《酸化膜の形成工程》

次に、酸化膜（層間膜、絶縁膜）の形成工程を説明する。

図 5 G は、酸化膜を 1 層目アノード電極 13 と各フィールドプレート電極 18 上の表面側（紙面視の上側）の全面に形成する工程を示した図である。

図 5 G において、1 層目アノード電極 13 とフィールドプレート電極 18 の各電極を形成した後、それらの電極の表面に、酸化膜である例えば PTEOS 膜（poly tetra ethyl ortho silicate）27 を、厚み $0.5 \mu\text{m} \sim 1.5 \mu\text{m}$ として全面に形成する。

10

20

30

40

50

なお、図 5 G において、酸化膜を P T E O S 膜 2 7 と表記しているが、この P T E O S 膜 2 7 は、図 1 における層間膜 1 4 および酸化膜 1 4 に相当する。ただし、この後の工程で P T E O S 膜 2 7 はエッチングされるので、図 1 における層間膜 1 4 および酸化膜 1 4 と形状は異なる。

【 0 0 4 7 】

《レジストマスクの形成》

図 5 H は、レジストマスク 2 2 を形成する工程を示した図である。

図 5 H において、まず、基板表面にレジスト (2 2) を全面に塗布し、このレジスト (2 2) をパターンニングして、1 層目アノード電極 1 3 と 2 層目アノード電極 1 5 が接続する領域上に開口部を有するレジストマスク 2 2 を形成する。

10

なお、図 5 H において、酸化膜 (層間膜、絶縁膜) 1 4 は、図 5 G における P T E O S 膜 2 7 のことである。

【 0 0 4 8 】

《酸化膜 1 4 のドライエッチング処理工程》

図 5 I は、酸化膜 (層間膜、絶縁膜) 1 4 のドライエッチング処理工程を示した図である。

図 5 I において、図 5 H で示したレジストマスク 2 2 を用いて、酸化膜 (層間膜) 1 4 にドライエッチング処理を施し、選択的に酸化膜 (層間膜) 1 4 を除去して、1 層目アノード電極 1 3 の一部を露出させる。

なお、図 5 I に示すように、レジストマスク 2 2 で保護されていた領域の酸化膜 1 4 は、残っており、絶縁膜として、酸化膜 1 4 (ターミネーション領域 2 0 2) および層間膜 1 4 (アクティブ領域 2 0 1) としての機能を果たすことになる。

20

【 0 0 4 9 】

《A l S i 電極の形成工程》

図 5 J は、A l S i 電極 2 6 を形成する工程を示した図である。

図 5 J において、スパッタリング法により、基板表面の全面に例えば厚さ 9 ~ 1 1 μ m の A l S i 電極 2 6 を形成する。

A l S i 電極 2 6 は、層間膜 1 4 および酸化膜 1 4 がある部分においては、層間膜 1 4 および酸化膜 1 4 の上に堆積される。

また、A l S i 電極 2 6 は、層間膜 1 4 がない (覆われていない) 部分においては、1 層目アノード電極 1 3 の表面の露出部分に堆積され、A l S i 電極 2 6 (2 層目アノード電極 1 5 に相当) と 1 層目アノード電極 1 3 は電氣的に導通する状態となる。

30

A l S i 電極 2 6 は、基板表面を一様にスパッタリングされるので、層間膜 (酸化膜) 1 4 の有無によって、高さが異なる。

図 5 J において、領域 5 0 1 ~ 5 0 3 のそれぞれの直下においては、層間膜 1 4 がない箇所であるので、領域 5 0 1 ~ 5 0 3 には A l S i 電極 2 6 に窪みが生じている。

なお、図 5 J における領域 5 0 1 ~ 5 0 3 は、図 1 における領域 5 0 1 ~ 5 0 3 に相当する。

【 0 0 5 0 】

《レジストマスクの形成》

図 5 K は、レジストマスク 2 2 を形成する工程を示した図である。

図 5 K において、まず、基板表面にレジスト (2 2) を全面に塗布し、このレジスト (2 2) をパターンニングして、レジストマスク 2 2 を形成する。

このレジストマスク 2 2 の有無の境界は、図 1 における圧接領域 1 0 1 と非圧接領域 1 0 2 の境界に対応する。

40

【 0 0 5 1 】

《A l S i 電極のウェットエッチング工程とカソード電極形成工程》

図 5 L は、A l S i 電極のウェットエッチング工程とカソード電極形成工程を示した図である。

図 5 L において、レジストマスク 2 2 (図 5 K) を用いて、非圧接領域 1 0 2 (ターミ

50

ネーション領域202)に塗布されたAlSi電極26をウェットエッチングにより、選択的に除去する。

残されたAlSi電極26は、2層目アノード電極15となる。

このウェットエッチングの際に、フィールドプレート電極18は、酸化膜14が保護膜となるため、エッチングが防止される。

次に、レジストマスク(22)を除去する。

【0052】

そして、最後に、n⁻基板11の裏面(紙面視の下側)側のn形カソード層20の表面に金属のカソード電極21を、例えば0.5μm以上、成膜して、図1に示すダイオード1が完成する。

10

【0053】

以上の製造プロセスを反映した本発明の第1~第3実施形態のダイオードによれば、圧接領域101の中央部に、1層目アノード電極13と2層目アノード電極15との間に層間膜14を断続的に形成しているため、圧接領域101の中央部と端部とにおいて、層間膜14上の2層目アノード電極15の高さを揃えることができる。

その結果、外部電極であるモリブデン(24:図6)と2層目アノード電極15の接合を改善できて、圧着の際の圧力バラつきに対するダイオードとしての順方向電圧降下VFのバラつきを低減することができる。

そのため、ダイオード特性の優れた半導体装置を提供できる。また、低い圧力での半導体装置の圧接工程が可能となるため、製造コストの低減ができる可能性がある。また、製造装置の小型化や簡易化、そして、その結果としての製造装置の価格の低減とメンテナンスの軽減が可能となる。

20

【0054】

<本発明のダイオードと外部電極との圧接について>

次に、本発明の実施形態によるダイオードと外部電極との圧接について説明する。

図6は、本発明の実施形態(特に後記する第4実施形態)によるダイオードの2層目アノード電極15と外部電極(モリブデン)24との接合の状態を示す断面図である。

なお、外部電極24として、前記したようにモリブデンを用いているのは、モリブデンの熱膨張係数がシリコンの熱膨張係数に近いためである。また、モリブデンの代わりに熱膨張係数がシリコンの熱膨張係数に近いタンゲステンを選択してもよい。

30

図6において、圧接領域(101:図1)の端部の領域511における2層目アノード電極15は、領域401に存在する層間膜14の上方にあるため、盛り上がった形状となっている。

また、図6における圧接領域の中央部には、領域512において、2層目アノード電極15が盛り上がっている。これは、意図的に領域512の下方に層間膜14を形成したためである。

【0055】

そのため、領域511における圧接領域の端部の2層目アノード電極15と、領域512における圧接領域の中央部の2層目アノード電極15の高さが揃うために、外部電極24と2層目アノード電極15との接触、接合が良好となって、ダイオード特性の順方向電圧降下VFが良好となる。

40

なお、図6においては、1層目アノード電極13と2層目アノード電極15とが領域521において、層間膜14がなく、直接、接続されているために、層間膜14の厚み分だけ2層目アノード電極15は低く形成され、その上方の領域501における2層目アノード電極15は窪んでいる。

そのため、領域501において、外部電極24と2層目アノード電極15との接触がしていない、もしくは接触が不十分な領域があるが、前記した領域511、512で接触、接合が十分であれば、後記する図10の比較例よりは良好な特性が得られる。

【0056】

<比較例>

50

次に、ダイオードの順方向電圧降下 V_F の特性が不十分となる構造の比較例を示す。

図10は、比較例の半導体装置としてのダイオードの断面構造を示す図である。また、図10で示した構造と、この構造から生ずる問題点は、特許文献1と共通するものである。

なお、図7～図9については後記する。

【0057】

図10に示したダイオードチップ(半導体装置、ダイオード)10は、アノード電極(13、15)を厚膜化するため、アノード電極(13、15)を2回(1層目と2層目)に分けて形成している。

まず、1層目アノード電極13とフィールドプレート電極18を同一の導電性薄膜プロセスにて形成する。

次に、フィールドプレート電極18と1層目アノード電極13の端部(領域401および紙面左側の近傍)を層間膜14で覆い、その後、2層目アノード電極15を形成する。

【0058】

以上において、1層目アノード電極13と2層目アノード電極15として、アノード電極(13、15)を2層構造とした目的は、2層構造とすることで、フィールドプレート電極18の膜厚で規定される垂直方向の高さよりも、アノード電極(13、15)を垂直方向において高くすることである。

このような構造とすることで、非圧接領域の高さを圧接領域より低くすることができるため、外部電極(モリブデン)を2層目アノード電極15に圧接する際に、モリブデンなどが非圧接領域へ侵入しても、フィールドプレート電極18等の非圧接領域の構造物が破壊から回避され、構造破壊による耐圧劣化を抑制することができるためである。

【0059】

また、層間膜14を形成した目的は、フィールドプレート電極18の保護で、非圧接領域102に形成された2層目アノード電極15と同一工程の $AlSi$ 層(不図示)を除去する際のエッチストップパとしている。

このため、2層目アノード電極15の端部(圧接領域101と非圧接領域102との境界近傍)と1層目アノード電極13との間に層間膜14(領域401)が挿入されて、2層目アノード電極15の端部は、層間膜14の厚み分だけ持ち上がった構造となる。

すなわち、圧接領域の端部の領域511において、2層目アノード電極15が盛り上がっている。

一方、圧接領域101の中央部には、1層目アノード電極13と2層目アノード電極15との間に層間膜14がないために、2層目アノード電極15は、圧接領域の端部(領域511)に比較して、高さが低い。

そのため、圧接領域101の端部(領域511)と中央部(領域501)とにおいて、2層目アノード電極15の高さが異なる状況が生じている。

【0060】

その結果、比較例の半導体装置において、2層目アノード電極15と外部電極24(図6)とを接合する際に、接触、接合が不十分となり、ダイオードの順方向電圧降下 V_F が増大する結果となる。

すなわち、圧接の工程において、外部電極であるモリブデン(不図示)と2層目アノード電極15は圧力を介して電氣的に接続される。

圧力が十分高い場合、モリブデンは2層目アノード電極15の端部を塑性変形させるため、2層目アノード電極15の中央部と十分密着する。

しかし、圧力が低いと2層目アノード電極15の端部(領域511)を十分に潰せず、中央部においてモリブデンと2層目アノード電極15との密着が疎となる。

圧接IGBTの圧力分布は不均一である場合が多く、パッケージ内に多並列に接続されたダイオードチップ間の圧力はバラつく。

このため、モリブデンと2層目アノード電極15との接触が十分でないチップにおいて接触抵抗が増大し、実装状態におけるダイオードの順方向電圧降下 V_F が増大する。

10

20

30

40

50

【 0 0 6 1 】

このダイオードの順方向電圧降下 V_F の増大に伴い、複数のダイオードチップ間の電流がアンバランスとなるため、還流ダイオードとしての機能低下により、リカバリ耐量低下が課題となる。

なお、前記したように、圧接領域101の端部において2層目アノード電極15を盛り上げる原因となる領域401における層間膜14は、2層目アノード電極15を非圧接領域102(図1)から除去する際に、レジストマスク22がマスクずれを起こした場合、領域401直下の1層目アノード電極13が除去されたり、表面を侵食されたりすることを防ぐために、必要不可欠なものである。

【 0 0 6 2 】

以上のように、比較例の図10に示したダイオード10は、圧接領域101における端部と中央部とにおいて、2層目アノード電極15の高さがことなるので、外部電極(24:図6)との圧接の際に、ダイオードとしての順方向電圧降下 V_F が増大してバラツクこととなり、本発明の第1実施形態のダイオード(半導体装置)に比較して、不十分な電気的特性となる。

【 0 0 6 3 】

第4実施形態：半導体装置、ダイオード、層間膜の形状例

本発明の第4実施形態として、層間膜14の形状を規定したものについて説明する。

図6において、 n^- 基板11の厚み(n^- 基板の層に垂直な方向の長さ)を t_{WF} とする。また、断続的に形成した層間膜14の間隔を L とする。

このとき、

$$L \geq 2 \times t_{WF} \quad \dots (3)$$

の関係があることが望ましい。

ダイオードとしての電流は、アノードとなる2層目アノード電極15から1層目アノード電極13、p形拡散層12、 n^- 基板11、 n 形カソード層20、カソード電極21の経路で流れるので、断続的に形成した層間膜14の間隔 L を長くすると、外部電極との接合面において、電流の経路が長く伸びるからである。

すなわち、前記の関係式(3)式を満たす構造とすることでチップ内の電流アンバランスを抑制し、面内の電流密度を均一化することが出来る。

【 0 0 6 4 】

第5実施形態：半導体装置、IGBT

次に、1層目の電極と2層目の電極の間に断続的に層間膜を形成する構造をIGBT(Insulated Gate Bipolar Transistor)に適用した実施形態を示す。

図7は、本発明の第5実施形態に係る半導体装置としてのIGBTの断面構造を示す図である。

図7において、第5実施形態としてのIGBT5は、主表面および前記主表面の反対面となる裏面を有した n 形(第1導電形)の基板である n^- 基板11(第1半導体層)を基に、形成されている。

また、IGBT5は、アクティブ領域201と、このアクティブ領域201を囲むように形成されたターミネーション領域202とを有している。なお、図1では、ターミネーション領域202は、アクティブ領域201の紙面視で左側の領域にのみ図示しているが、実際には、紙面視で右側の領域、および紙面視の手前側の領域と奥側の領域にもあって、前記したようにターミネーション領域202がアクティブ領域201を囲むように形成されている。

また、ターミネーション領域202とアクティブ領域201は、p形(第2導電形)ベース層72の端部を境としている。

【 0 0 6 5 】

アクティブ領域201には、 n^- 基板11と、この n^- 基板11の一方の主表面(紙面視の上側)に形成されたp形ベース層72と、p形ベース層72の表面に形成された n 形ソース層78とが形成されている。

10

20

30

40

50

また、p形ベース層72とn形ソース層78は電氣的に接続され、かつn形ソース層78の表面に形成された1層目エミッタ電極73が形成されている。

また、1層目エミッタ電極73の主表面に形成され、かつ1層目エミッタ電極73の層に平行な方向の長さより短い2層目エミッタ電極75が形成されている。

また、層間膜14は、1層目エミッタ電極73と2層目エミッタ電極75との間に断続的に形成されている。

【0066】

なお、1層目エミッタ電極73と2層目エミッタ電極75との間において、層間膜14が形成されていない領域においては、領域621~623に示すように、1層目エミッタ電極73と2層目エミッタ電極75とが直接、接して、接合している。

10

1層目エミッタ電極73と2層目エミッタ電極75とが直接、接している領域621~623の上方(紙面視の上方)においては、2層目エミッタ電極75が窪んだ領域601~603が形成される。

なお、層間膜14を1層目エミッタ電極73と2層目エミッタ電極75との間に断続的に形成する理由については、第1実施形態において、1層目アノード電極13と2層目アノード電極15との間に断続的に層間膜14を形成したのと同様の理由である。

【0067】

また、n⁻基板11とn形ソース層78とに挟まれたp形ベース層72の表面にゲート酸化膜76を介して形成されたゲート電極77が形成されている。

また、n⁻基板11を挟んでp形ベース層72の反対側(紙面視の下側)に、かつn⁻基板11より不純物濃度の高いn形バッファ層30が形成されている。そして、n形バッファ層30の紙面視の下側には、P形エミッタ層31が形成されている。さらにP形エミッタ層31の紙面視の下側には、コレクタ電極32(第3電極層)が形成されている。

20

【0068】

ターミネーション領域202には、n⁻基板11上に、ガードリング層16がp形ベース層72と距離を隔て、かつp形ベース層72を取り囲むように形成されている。

また、チャンネルストッパ層17が、ガードリング層16と距離を隔て、かつガードリング層16およびp形ベース層72を取り囲むようにIGBT5としてのチップ端部に形成されている。

また、フィールドプレート電極18が、ガードリング層16およびチャンネルストッパ層17のそれぞれの上部に接続して形成されている。

30

また、絶縁膜14が、フィールドプレート電極18の主表面、および2層目アノード電極15よりターミネーション領域202側全面に形成されている。

なお、ターミネーション領域202の絶縁膜14とアクティブ領域201の層間膜14は、同一の工程で形成されている。

【0069】

図7に示すように、圧接領域101は、2層目エミッタ電極75が形成されている領域であり、非圧接領域102は、2層目エミッタ電極75が形成されていない領域である。

圧接領域101における2層目エミッタ電極75は、第1実施形態と同様にモリブデンの外部電極(24:図6)を上面において圧接される(圧接方向101A、101B)。

40

この外部電極(24:図6)が圧接される際に、2層目エミッタ電極75の中央部の領域612~614は、2層目エミッタ電極75の端部の領域611と同一の高さであることが望ましい。

そのため、層間膜14を1層目エミッタ電極73と2層目エミッタ電極75との間に断続的に形成する工程を選択する。

なお、2層目エミッタ電極75の端部の領域611の直下における領域405の層間膜14は、第1実施形態において前記したように、2層目エミッタ電極75をエッチングで除去する際に、端部の1層目エミッタ電極73を保護するために欠かせないものである。

前記のような構造とすることで、IGBTにおいても、モリブデンの外部電極(24:図6)と2層目エミッタ電極75との接続が改善されるため、圧力バラつきに対するオン

50

電圧のバラつきを低減することができる。

【0070】

第6実施形態：電力変換装置

次に、前記した本発明の実施形態であるIGBTまたはダイオードを採用した電力変換装置について説明する。

図8Aは、本発明の第6実施形態に係る電力変換装置としてのMMC (Modular Multilevel Converter、モジュラー・マルチレベル・コンバータ)の回路構成を示す図である。また、図8Bは、MMCにおける単位セルの回路構成を示す図である。

【0071】

図8Aにおいて、MMC8は、単位セル806 (詳細は図8Bを参照して後記する)を直列に接続したU相レッグ801、V相レッグ802、W相レッグ803を備えて構成されている。

U相レッグ801、V相レッグ802、W相レッグ803のそれぞれの中間点に位置する端子 (交流端子) 804U、804V、804Wには三相交流電力 (電圧) が入力、もしくは出力する。

また、U相レッグ801、V相レッグ802、W相レッグ803の一方の端子は共通に接続され、端子 (直流端子) 805Pとなっており、他方の端子は共通に接続され端子 (直流端子) 805Nとなっている。端子805Pと端子805Nには、直流電力 (電圧) が出力、もしくは入力する。

MMC8は、U相レッグ801、V相レッグ802、W相レッグ803の各単位セル106を適切に制御することにより、交流電力 (電圧) から直流電力 (電圧) に変換することも、直流電力 (電圧) から交流電力 (電圧) に変換することもできる電力変換装置である。

【0072】

図8Bにおいて、単位セル806は、2個、直列接続されたIGBT808と、その直列に接続された両端の端子にコンデンサ810が接続されて構成されている。

また、各IGBT808のエミッタ - コレクタ間には、還流ダイオード809がそれぞれ逆並列に接続されている。

また、2個、直列接続されたIGBT808の midpoint (811A) と、コンデンサ810の一端 (811B) とから2本の端子 (811A、811B) が出力されている。なお、この2本の端子811A、811Bからは電力 (電気エネルギー、電圧) が入出力する。

また、各IGBT808のゲート端子は、制御手段 (不図示) からの制御信号を受けた各ゲート駆動回路807によって、オン・オフ (ON - OFF) を制御される。

制御手段 (不図示) は、図8Aに示したMMC全体の複数個の単位セル806の各IGBTのオン・オフ (ON - OFF) を、それぞれの動作に適合するように、統一して制御する。

【0073】

図8Aおよび図8Bにおいては、ダイオードまたはIGBTが用いられている。

このダイオードまたはIGBT、もしくはその両方に、前記した本発明の第1実施形態から第5実施形態のいずれかの圧接ダイオードまたは圧接IGBTを適用することにより、電力変換装置としての高信頼化が実現出来る。

【0074】

第7実施形態：電力変換装置

次に、前記した本発明の実施形態であるIGBTまたはダイオードを採用した電力変換装置の他の回路例について説明する。

図9は、本発明の第7実施形態に係る電力変換装置としてのインバータ回路の回路構成を示す図である。

図9において、インバータ回路9は、IGBT908を2個、直列に接続した、それぞれU相、V相、W相レッグを直流端子904P、904Nの間に接続し、U相、V相、W相レッグにおける2個、直列接続したIGBT908の間から三相交流電力 (電圧) の

10

20

30

40

50

端子 905U、905V、905Wを取り出している。

また、各 IGBT 908 のエミッタ - コレクタ間には、還流ダイオード 909 がそれぞれ逆並列に接続されている。

【0075】

また、各 IGBT 908 のゲート端子は、制御手段（不図示）からの制御信号を受けた各ゲート駆動回路 907 によって、オン・オフ（ON - OFF）を制御される。

制御手段（不図示）は、図 9 に示したインバータ回路 9 の複数個の IGBT 908 のオン・オフ（ON - OFF）を、各ゲート駆動回路 907 を介して、インバータとしての動作に適合するように、統一して制御する。

図 9 においては、ダイオードまたは IGBT が用いられている。

10

このダイオードまたは IGBT もしくはその両方に、前記した本発明の第 1 実施形態から第 5 実施形態のいずれかの圧接ダイオードまたは圧接 IGBT を適用することにより、インバータである電力変換装置としての高信頼化が実現出来る。

【0076】

その他の実施形態

以上、本発明は、前記した実施形態に基づき具体的に説明したが、本発明は前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

以下に、その他の実施形態や変形例について、さらに説明する。

【0077】

《IGBTの構造》

20

第 5 実施形態においては、IGBT のゲートの構造は、プレーナ型で説明したが、トレンチ型でもよい。

【0078】

《IGBTのゲート形状》

第 5 実施形態における IGBT のゲートの形状は、ストライプ状やメッシュ状に配置してもよい。

【0079】

《IGBTとダイオード》

第 1 実施形態においてはダイオード、第 5 実施形態においては IGBT に本発明の構造を適用することを説明したが、同一チップ内において、ダイオードと IGBT に本発明の構造を併せて適用してもよい。

30

【0080】

《層間膜、絶縁膜の材質》

第 1 実施形態においては、層間膜、絶縁膜の材質を PTEOS 膜で説明したが、PTEOS 膜に限定するものではない。

PSG (Phosphorus Silicon Glass) 膜や BPSG (Boron Phosphorus Silicon Glass) 膜、窒化膜のような絶縁膜でも良い。

【0081】

《基板》

基板の材料については、実施形態においては、特に規定しなかったが、半導体材料としては、シリコンでもシリコンカーバイドでもよい。

40

また、基板は n 形 (n⁻形) で説明したが p 形 (p⁻形) の基板でもよい。p 形 (p⁻形) の基板を用いた場合には、関連する半導体の部材の材質を p 形と n 形を逆に用いるものとする。

【0082】

《不純物元素》

半導体に拡散する不純物元素として、p 形半導体にはボロン、n 形にはリンを例として示したが、ボロンの代わりに 3 価の他の元素、リンの代わりに 5 価の他の元素を用いてもよい。

【0083】

50

《層間膜のパターン形状》

第1～第3実施形態をそれぞれ示す図1～図3においては、圧接領域101における層間膜14のない箇所のパターン形状、もしくは、層間膜14のパターン形状は、同一かつ規則性があるものとして、説明したが、ダイオード(1～3)のチップ全体で同一のパターン形状でなくともよい。

例えば、チップ全体を幾つかの領域に分け、それぞれの領域で前記(1)式～(3)式のいずれか関係を満たすパターン形状で層間膜14を形成してもよい。

あるいは、ダイオード(1～3)のチップの大半の領域が前記(1)式～(3)式のいずれか関係を満たすパターン形状であれば、部分的に前記(1)式～(3)式のいずれの関係も満たさない領域があってもよい。

10

【0084】

《電力変換装置》

第6実施形態でMMC回路について、第7実施形態でインバータ回路9について、本実施形態の半導体装置(ダイオード、IGBT)を用いる場合を説明したが、本実施形態の半導体装置を、コンバータやチョッパ等のその他の電力変換装置で用いる場合にも同様の効果が得られる。

【符号の説明】

【0085】

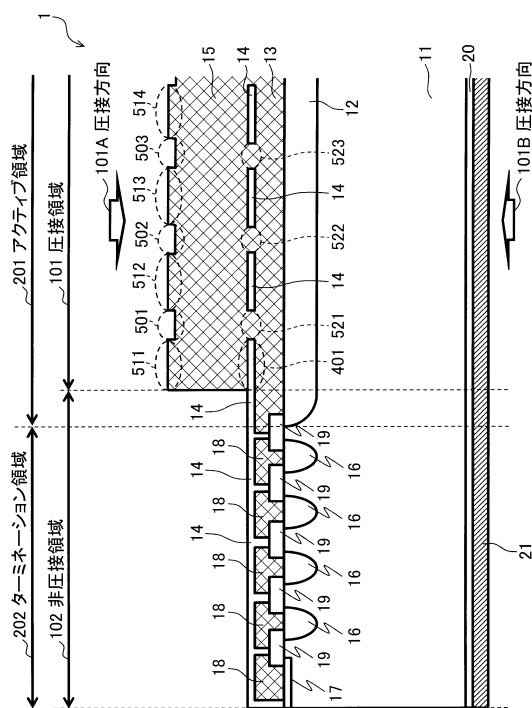
- | | | |
|---------|-----------------------------|----|
| 1、2、3、4 | ダイオード(半導体装置) | |
| 5 | IGBT(半導体装置) | 20 |
| 8 | MMC(電力変換装置) | |
| 9 | インバータ回路(電力変換装置) | |
| 11 | n-基板(第1半導体層) | |
| 12 | p形拡散層(第2半導体層) | |
| 13 | 1層目アノード電極(第1電極層、1層目アノード電極層) | |
| 14 | 層間膜、絶縁膜、酸化膜 | |
| 15 | 2層目アノード電極(第2電極層、2層目アノード電極層) | |
| 16 | ガードリング層(ガードリング) | |
| 17 | チャンネルストッパ層 | |
| 18 | フィールドプレート電極(フィールドプレート電極層) | 30 |
| 19 | 絶縁膜、酸化膜 | |
| 20 | n形カソード層(第3半導体層) | |
| 21 | カソード電極(第3電極層、カソード電極層) | |
| 22 | レジストマスク(レジスト) | |
| 23 | インプラネーション | |
| 24 | モリブデン(外部電極) | |
| 26 | AlSi電極 | |
| 27 | PTEOS膜(酸化膜) | |
| 30 | n形バッファ層(バッファ層) | |
| 31 | p形エミッタ層(エミッタ層) | 40 |
| 32 | コレクタ電極(第3電極層) | |
| 72 | p形ベース層(ベース層) | |
| 73 | 1層目エミッタ電極(第1電極層) | |
| 75 | 2層目エミッタ電極(第2電極層) | |
| 76 | ゲート酸化膜 | |
| 77 | ゲート電極 | |
| 78 | n形ソース層(ソース層) | |
| 101 | 圧接領域 | |
| 102 | 非圧接領域 | |
| 201 | アクティブ領域 | 50 |

- 2 0 2 ターミネーション領域
- 4 0 1 領域 (端部の層間膜の領域)
- 5 0 1 ~ 5 0 3 領域 (層間膜が挟まれていない2層目アノード電極の窪んだ領域)
- 5 1 1 領域 (端部の2層目アノード電極の領域)
- 5 1 2 ~ 5 1 4 領域 (中央部の層間膜が挟まっている2層目アノード電極の領域)
- 5 2 1 ~ 5 2 3 領域 (1層目と2層目が直接接続しているアノード電極の領域)
- 5 3 1 ~ 5 3 4 アノード電極、領域 (層間膜が挟まれていないアノード電極の領域)
- 5 4 1 ~ 5 4 5 アノード電極、領域 (層間膜が挟まれているアノード電極の領域)
- 5 5 1 ~ 5 5 8 アノード電極、領域 (層間膜が挟まれていないアノード電極の領域)
- 6 0 1 ~ 6 0 3 領域 (層間膜が挟まれていない2層目エミッタ電極の領域)
- 6 1 1 領域 (端部の2層目アノード電極の領域)
- 6 1 2 ~ 6 1 4 領域 (中央部の層間膜が挟まっている2層目エミッタ電極の領域)
- 6 2 1 ~ 6 2 3 領域 (1層目と2層目が直接接続しているエミッタ電極の領域)
- 8 0 1 U相レッグ
- 8 0 2 V相レッグ
- 8 0 3 W相レッグ
- 8 0 4 U、8 0 4 V、8 0 4 W、9 0 5 U、9 0 5 V、9 0 5 W 端子、交流端子
- 8 0 5 N、8 0 5 P、9 0 4 N、9 0 4 P 端子、直流端子
- 8 0 6 単位セル
- 8 0 7、9 0 7 ゲート駆動回路 (制御手段、制御信号)
- 8 0 8、9 0 8 圧接 I G B T、I G B T
- 8 0 9、9 0 9 圧接ダイオード、還流ダイオード
- 8 1 0 コンデンサ

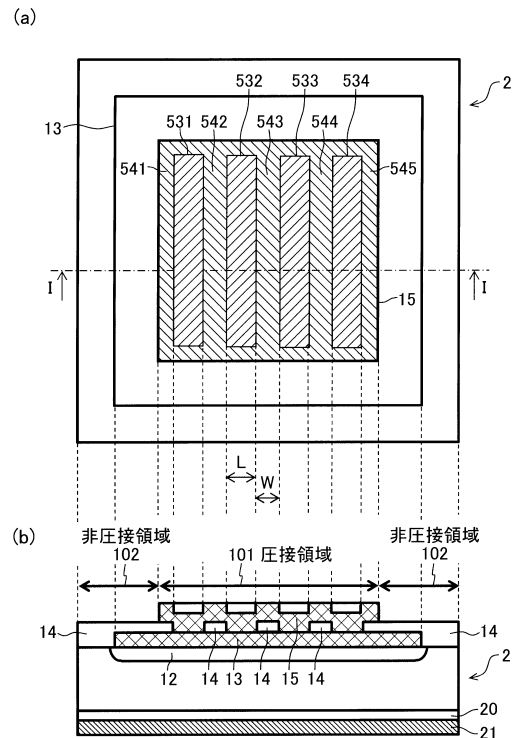
10

20

【図1】

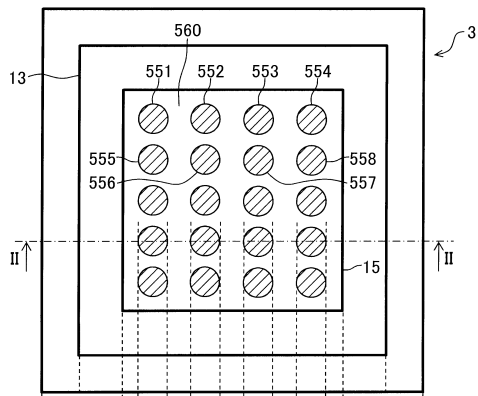


【図2】

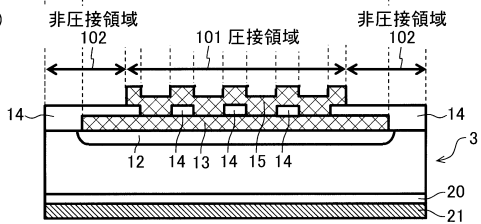


【 図 3 】

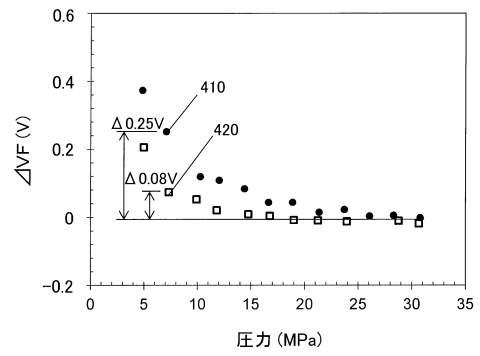
(a)



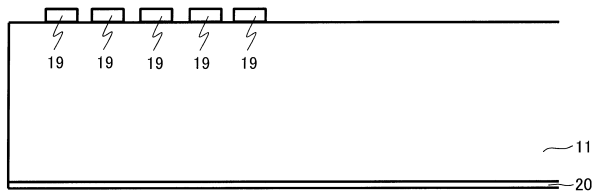
(b)



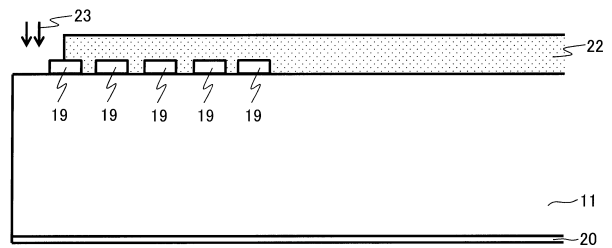
【 図 4 】



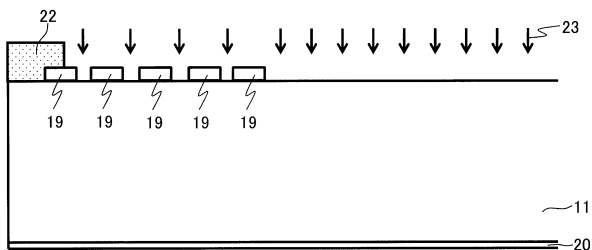
【 図 5 A 】



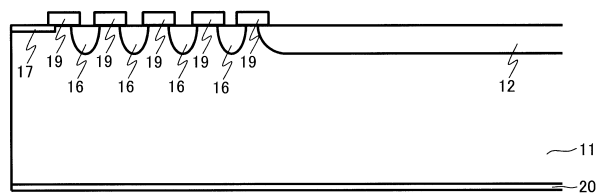
【 図 5 C 】



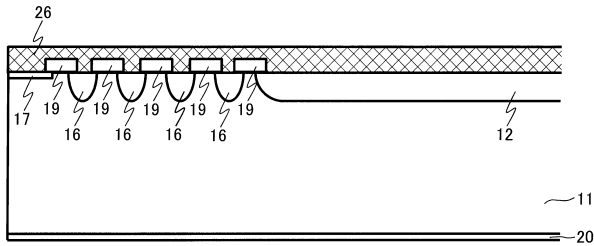
【 図 5 B 】



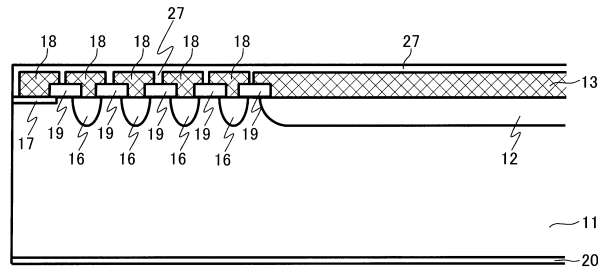
【 図 5 D 】



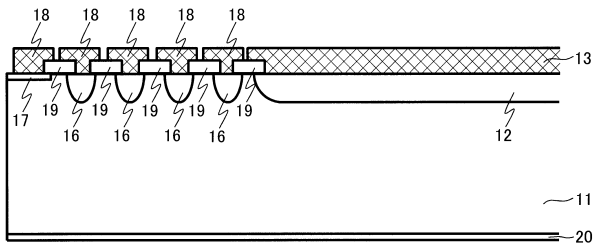
【図 5 E】



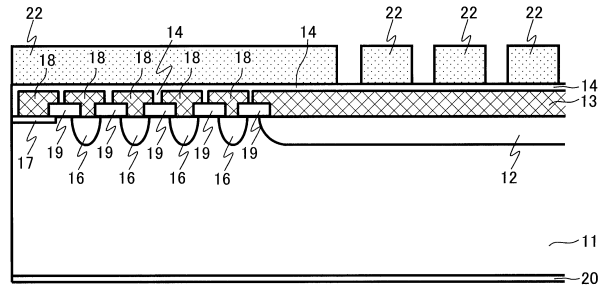
【図 5 G】



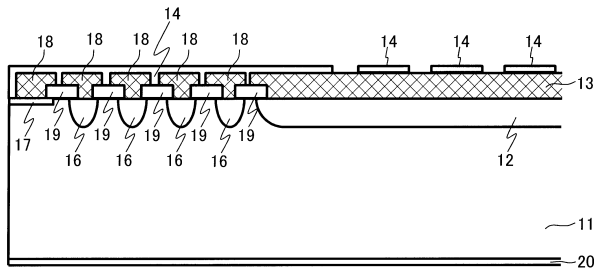
【図 5 F】



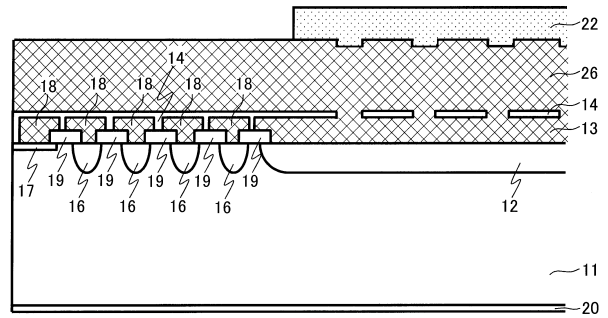
【図 5 H】



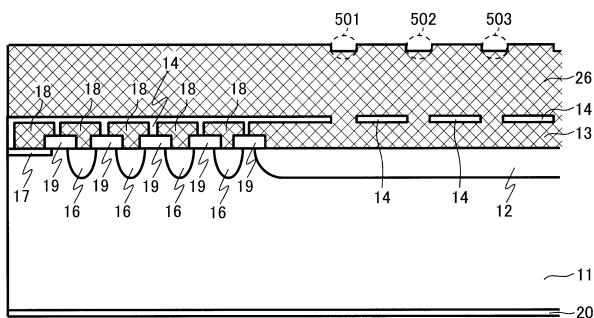
【図 5 I】



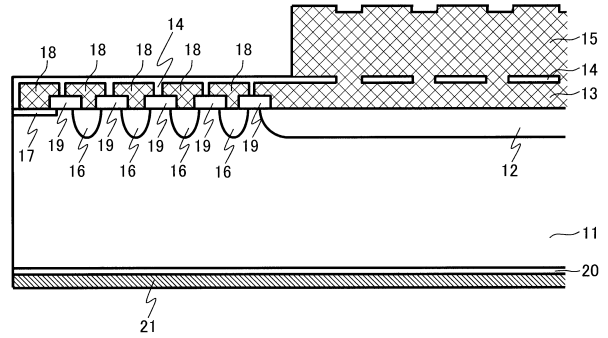
【図 5 K】



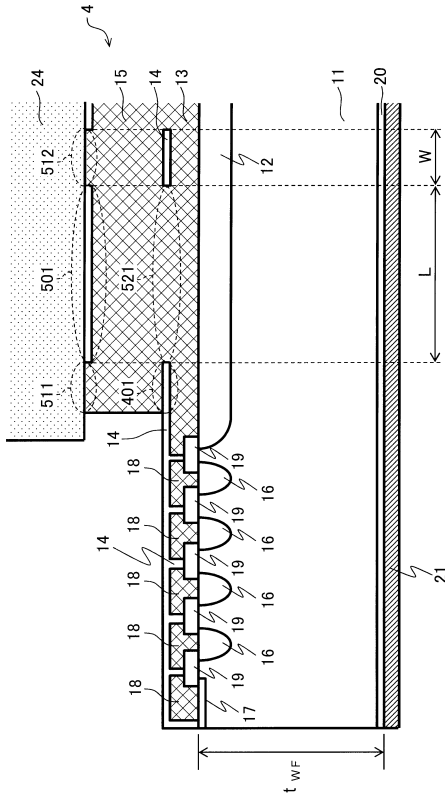
【図 5 J】



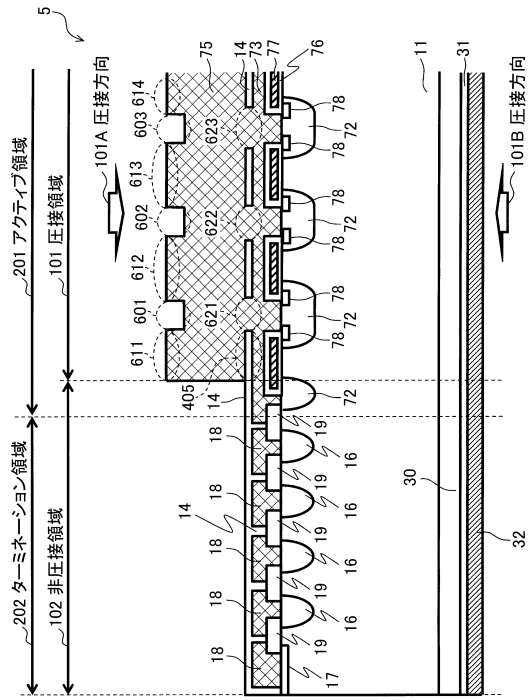
【図 5 L】



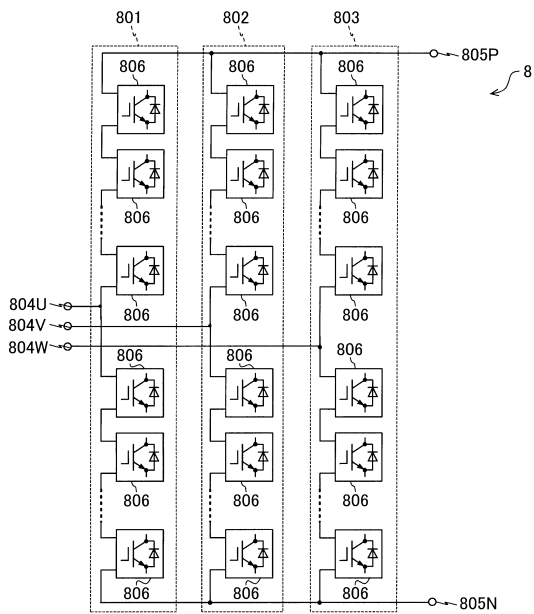
【図6】



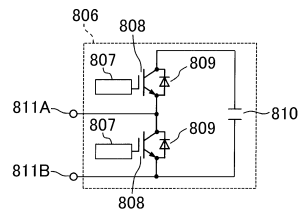
【図7】



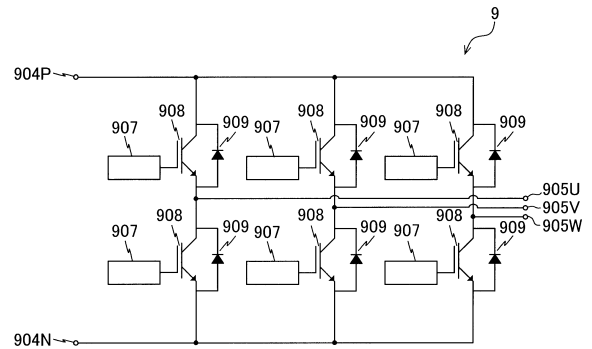
【図8A】



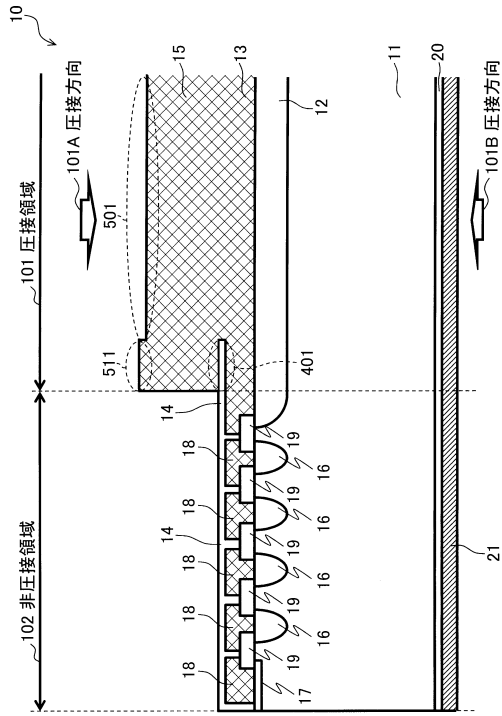
【図8B】



【図9】



【図10】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	21/336 (2006.01)	H 0 1 L	29/78	6 5 7 D
H 0 1 L	29/12 (2006.01)	H 0 1 L	29/78	6 5 8 F
H 0 1 L	21/329 (2006.01)	H 0 1 L	29/78	6 5 8 A
H 0 1 L	29/41 (2006.01)	H 0 1 L	29/78	6 5 3 A
H 0 1 L	21/28 (2006.01)	H 0 1 L	29/78	6 5 2 T
		H 0 1 L	29/78	6 5 8 J
		H 0 1 L	29/91	A
		H 0 1 L	29/06	3 0 1 F
		H 0 1 L	29/06	3 0 1 G
		H 0 1 L	29/06	3 0 1 V
		H 0 1 L	29/44	Y
		H 0 1 L	29/44	S
		H 0 1 L	21/28	3 0 1 B
		H 0 1 L	21/28	3 0 1 R
		H 0 1 L	29/78	6 5 2 Q

(56)参考文献 特開2000-114525(JP,A)
特開2013-239554(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 2 8
H 0 1 L 2 1 / 3 2 9
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 0 6
H 0 1 L 2 9 / 1 2
H 0 1 L 2 9 / 4 1
H 0 1 L 2 9 / 7 3 9
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 8 6 8
H 0 1 L 2 9 / 8 6 1