

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5852913号  
(P5852913)

(45) 発行日 平成28年2月3日(2016.2.3)

(24) 登録日 平成27年12月11日(2015.12.11)

(51) Int.Cl.		F I			
HO 1 L	21/336	(2006.01)	HO 1 L	29/78	3 O 1 V
HO 1 L	29/78	(2006.01)	HO 1 L	29/78	3 O 1 S
HO 1 L	21/28	(2006.01)	HO 1 L	21/28	3 O 1 A
HO 1 L	29/423	(2006.01)	HO 1 L	29/58	G
HO 1 L	29/49	(2006.01)			

請求項の数 16 (全 32 頁)

(21) 出願番号 特願2012-71077 (P2012-71077)  
 (22) 出願日 平成24年3月27日 (2012.3.27)  
 (65) 公開番号 特開2013-206923 (P2013-206923A)  
 (43) 公開日 平成25年10月7日 (2013.10.7)  
 審査請求日 平成26年7月29日 (2014.7.29)

(73) 特許権者 302062931  
 ルネサスエレクトロニクス株式会社  
 東京都江東区豊洲三丁目2番24号  
 (74) 代理人 100110928  
 弁理士 速水 進治  
 (74) 代理人 100127236  
 弁理士 天城 聡  
 (72) 発明者 松本 弘毅  
 神奈川県川崎市中原区下沼部1753番地  
 ルネサスエレクトロニクス株式会社内  
 審査官 市川 武宜

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体層と、

前記半導体層に互いに離間して設けられた第1導電型のソース領域およびドレイン領域と、

前記半導体層のうち前記ソース領域に接し、前記ソース領域および前記ドレイン領域よりも低濃度で形成された第1導電型のソースオフセット領域と、

前記半導体層のうち前記ドレイン領域に接して、前記ソースオフセット領域から離間して配置され、前記ソース領域および前記ドレイン領域よりも低濃度で形成された第1導電型のドレインオフセット領域と、

前記半導体層のうち少なくとも平面視で前記ソースオフセット領域および前記ドレインオフセット領域の間に設けられ、平面視で前記ソースオフセット領域から前記ドレインオフセット領域に向かう方向に設けられた溝部と、

前記溝部の側面および底面を覆うゲート絶縁膜と、

平面視で前記溝部内のみ設けられ、前記ゲート絶縁膜に接するゲート電極と、

前記ソース領域および前記ドレイン領域よりも深い位置に設けられた第1導電型と反対の第2導電型の埋め込み領域と、

前記半導体層上に位置する層間絶縁膜と、

前記層間絶縁膜に埋め込まれ、前記ゲート電極に接続しており、前記ソース領域及び前記ドレイン領域の一方から他方に向かう方向に並んでいる複数のビアと、

前記層間絶縁膜上に位置し、前記複数のビアに接続している配線と、  
を備える半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、  
前記溝部の底面は前記埋め込み領域に入り込んでいる半導体装置。

【請求項 3】

半導体層と、  
前記半導体層に互いに離間して設けられた第 1 導電型のソース領域およびドレイン領域と、

前記半導体層のうち前記ソース領域に接し、前記ソース領域および前記ドレイン領域よりも低濃度で形成された第 1 導電型のソースオフセット領域と、

前記半導体層のうち前記ドレイン領域に接して、前記ソースオフセット領域から離間して配置され、前記ソース領域および前記ドレイン領域よりも低濃度で形成された第 1 導電型のドレインオフセット領域と、

前記半導体層のうち少なくとも平面視で前記ソースオフセット領域および前記ドレインオフセット領域の間に設けられ、平面視で前記ソースオフセット領域から前記ドレインオフセット領域に向かう方向に設けられた溝部と、

前記溝部の側面および底面を覆うゲート絶縁膜と、

前記ゲート絶縁膜に接するゲート電極と、

前記ソース領域および前記ドレイン領域よりも深い位置に設けられた第 1 導電型と反対の第 2 導電型の埋め込み領域と、  
を備え、

前記溝部の底面は前記埋め込み領域に入り込んでおり、

前記半導体層は、半導体基板上のエピタキシャル成長層であり、

前記埋め込み領域は、少なくとも前記半導体基板の上面から深い位置に形成されており、

前記溝部の底面は、前記半導体基板の上面よりも深い位置に形成されている半導体装置。

【請求項 4】

請求項 1 に記載の半導体装置において、  
前記半導体層のうち平面視で前記ソース領域および前記ドレイン領域の間に設けられたフィールド絶縁膜をさらに備え、

前記溝部は、平面視で前記フィールド絶縁膜の内部に設けられている半導体装置。

【請求項 5】

請求項 1 に記載の半導体装置において、  
前記溝部は、前記ソース領域から前記ドレイン領域に向かう方向に対して垂直な方向に複数設けられている半導体装置。

【請求項 6】

請求項 1 に記載の半導体装置において、  
前記半導体層は、半導体基板上のエピタキシャル成長層であり、  
前記埋め込み領域は、少なくとも前記半導体基板の上面から深い位置に形成されている半導体装置。

【請求項 7】

請求項 6 に記載の半導体装置において、  
前記溝部の底面は、前記半導体基板の上面よりも深い位置に形成されている半導体装置。

【請求項 8】

請求項 1 に記載の半導体装置において、  
前記半導体層のうち少なくとも平面視で前記ソースオフセット領域および前記ドレインオフセット領域の間で、且つ、断面視で前記溝部と重なるように設けられた第 2 導電型の

ウェル領域をさらに備え、

第2導電型の前記埋め込み領域は、第2導電型の前記ウェル領域よりも高濃度に形成されている半導体装置。

【請求項9】

請求項1に記載の半導体装置において、

前記ゲート絶縁膜は、シリコンの熱酸化膜を含む半導体装置。

【請求項10】

請求項1に記載の半導体装置において、

前記ゲート電極は、ポリシリコンを含む半導体装置。

【請求項11】

請求項1に記載の半導体装置において、

前記埋め込み領域は、N型であり、Sbを含む半導体装置。

【請求項12】

請求項1に記載の半導体装置において、

前記埋め込み領域は、P型であり、Bを含む半導体装置。

【請求項13】

請求項1に記載の半導体装置において、

第1の前記ソース領域、第1の前記ドレイン領域、前記ソースオフセット領域、前記ドレインオフセット領域、および前記溝部に設けられた第1の前記ゲート絶縁膜並びに第1の前記ゲート電極を備える第1トランジスタと、

前記半導体層に互いに離間して設けられた第1導電型または第2導電型の第2のソース領域および第2のドレイン領域と、

前記第2のソース領域および前記第2のドレイン領域に挟まれた位置の上に設けられた第2のゲート絶縁膜と、

前記第2のゲート絶縁膜上に設けられた第2のゲート電極と、  
を備える第2トランジスタと、  
を備え、

前記第2トランジスタは、前記第1トランジスタと同一の前記半導体層に設けられ、平面視で前記第1トランジスタと異なる位置に設けられている半導体装置。

【請求項14】

半導体層と、

前記半導体層に互いに離間して設けられた第1導電型のソース領域およびドレイン領域と、

前記半導体層のうち前記ソース領域に第1導電型の第1ウェルを介して接し、前記ソース領域および前記ドレイン領域よりも低濃度で形成された第1導電型のソースオフセット領域と、

前記半導体層のうち前記ドレイン領域に第1導電型の第2ウェルを介して接して、前記ソースオフセット領域から離間して配置され、前記ソース領域および前記ドレイン領域よりも低濃度で形成された第1導電型のドレインオフセット領域と、

前記半導体層のうち少なくとも平面視で前記ソースオフセット領域および前記ドレインオフセット領域の間に設けられ、平面視で前記ソースオフセット領域から前記ドレインオフセット領域に向かう方向に設けられた溝部と、

前記溝部の側面および底面を覆うゲート絶縁膜と、

平面視で前記溝部内のみ設けられ、前記ゲート絶縁膜に接するゲート電極と、

前記ソース領域および前記ドレイン領域よりも深い位置に設けられた第1導電型と反対の第2導電型の埋め込み領域と、  
を備え、

前記溝部の底面は前記埋め込み領域に入り込んでおり、

平面視において、前記ソース領域は、前記第1ウェルに囲まれており、

平面視において、前記ドレイン領域は、前記第2ウェルに囲まれており、

10

20

30

40

50

平面視において、前記第 1 ウェルは、前記ソースオフセット領域に囲まれており、  
 平面視において、前記第 2 ウェルは、前記ドレインオフセット領域に囲まれており、  
 前記第 1 ウェルの不純物濃度のピーク値は、前記ソースオフセット領域の不純物濃度の  
 ピーク値よりも高く、前記ソース領域の不純物濃度のピーク値は、前記第 1 ウェルの不純  
 物濃度のピーク値よりも高く、

前記第 2 ウェルの不純物濃度のピーク値は、前記ドレインオフセット領域の不純物濃度  
 のピーク値よりも高く、前記ドレイン領域の不純物濃度のピーク値は、前記第 2 ウェルの  
 不純物濃度のピーク値よりも高い半導体装置。

【請求項 15】

請求項 14 に記載の半導体装置において、  
 前記半導体層の表層に形成されたフィールド絶縁膜を備え、  
 前記フィールド絶縁膜は、  
 前記ソース領域を露出する第 1 開口と、  
 前記ドレイン領域を露出する第 2 開口と、  
 前記溝部を露出する第 3 開口と、  
 を有し、

前記半導体層の厚さ方向において、前記ソースオフセット領域の下端は、前記フィー  
 ルド絶縁膜よりも下に位置しており、

前記半導体層の厚さ方向において、前記ドレインオフセット領域の下端は、前記フィー  
 ルド絶縁膜よりも下に位置している半導体装置。  
 20

【請求項 16】

請求項 14 又は 15 に記載の半導体装置において、  
 前記半導体層上に位置する層間絶縁膜と、  
 前記層間絶縁膜に埋め込まれ、前記ゲート電極に接続しているビアと、  
 前記層間絶縁膜上に位置し、前記ビアに接続している配線と、  
 を備える半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。  
 30

【背景技術】

【0002】

近年、半導体装置の高集積化に伴い、半導体装置が占める面積を縮小化することが望ま  
 れている。

【0003】

特許文献 1（特開平 11 - 103058 号公報）には、以下のような半導体装置が記載  
 されている。n 型高抵抗層の表面にトレンチ（溝部）が形成されている。トレンチ内には  
 、ゲート絶縁膜を介して、ゲート電極が埋め込まれている。これにより、素子面積を同一  
 としたままチャンネルの面積を広げることができるため、オン抵抗を低減することができる  
 とされている。  
 40

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開平 11 - 103058 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明者は、特許文献 1 の構造では、溝部の端部付近において、電界が高くなることによ  
 って高耐圧が得られにくいという新規な課題を見出した。その他の課題と新規な特徴は  
 、本発明書の記述及び添付図面から明らかになるであろう。  
 50

## 【課題を解決するための手段】

## 【0006】

一実施の形態によれば、半導体装置は、半導体層、ソース領域、ドレイン領域、ソースオフセット領域、ドレインオフセット領域、溝部、ゲート絶縁膜、ゲート電極および埋め込み領域を備えている。第1導電型のソース領域およびドレイン領域は、半導体層に互いに離間して設けられている。第1導電型のソースオフセット領域は、半導体層のうちソース領域に接し、ソース領域およびドレイン領域よりも低濃度で形成されている。第1導電型のドレインオフセット領域は、半導体層のうちドレイン領域に接して、ソースオフセット領域から離間して配置され、ソース領域およびドレイン領域よりも低濃度で形成されている。溝部は、半導体層のうち少なくとも平面視でソースオフセット領域およびドレイン

10

## 【0007】

一実施の形態によれば、半導体装置は、半導体層、ソース領域、ドレイン領域、ソースオフセット領域、ドレインオフセット領域、溝部、ゲート絶縁膜、ゲート電極および埋め込み領域を備えている。第1導電型のソース領域およびドレイン領域は、半導体層に互いに離間して設けられている。第1導電型のソースオフセット領域は、半導体層のうちソ

20

## 【発明の効果】

30

## 【0008】

前記一実施の形態によれば、溝部の端部付近で電界が集中することを抑制した半導体装置を提供することができる。

## 【図面の簡単な説明】

## 【0009】

【図1】第1の実施形態に係る半導体装置の構成を示す斜視図である。

【図2】第1の実施形態に係る半導体装置の構成を示す平面図である。

【図3】第1の実施形態に係る半導体装置の構成を示す断面図である。

【図4】第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。

40

【図5】第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図6】第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図7】第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図8】第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図9】第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図10】第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図11】第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図12】図3のD-D'線断面の不純物濃度プロファイルである。

【図13】図3のE-E'線断面の不純物濃度プロファイルである。

【図14】第1の実施形態に係る半導体装置の一例を示した回路図である。

【図15】比較例の半導体装置の構成を示す斜視図である。

50

【図16】比較例の半導体装置の電界強度分布を示す図である。

【図17】第1の実施形態に係る半導体装置の構成を示す斜視図である。

【図18】第1の実施形態に係る半導体装置の電界強度分布を示す図である。

【図19】 $V_{gs} = 0$ としたときの $V_{ds} - I_d$ 特性を示す図である。

【図20】第1の実施形態の効果の説明するための断面図である。

【図21】第1の実施形態の効果の説明するための断面図である。

【図22】第2の実施形態に係る半導体装置の構成を示す断面図である。

【図23】第2の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図24】第2の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図25】第2の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図26】第2の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図27】第2の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図28】第2の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図29】第2の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図30】第2の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図31】第4の実施形態に係る半導体装置の構成を示す斜視図である。

【発明を実施するための形態】

【0010】

以下、本発明の実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

【0011】

(第1の実施形態)

図1から図4を用い、第1の実施形態に係る半導体装置SDについて説明する。第1の実施形態の半導体装置SDは、半導体層SL、ソース領域SR、ドレイン領域DR、ソースオフセット領域SOS、ドレインオフセット領域DOS、溝部GT、ゲート絶縁膜GI、ゲート電極GEおよび埋め込み領域BRを備えている。第1導電型のソース領域SRおよびドレイン領域DRは、半導体層SLに互いに離間して設けられている。第1導電型のソースオフセット領域SOSは、半導体層SLのうちソース領域SRに接し、ソース領域SRおよびドレイン領域DRよりも低濃度で形成されている。第1導電型のドレインオフセット領域DOSは、半導体層SLのうちドレイン領域DRに接して、ソースオフセット領域SOSから離間して配置され、ソース領域SRおよびドレイン領域DRよりも低濃度で形成されている。溝部GTは、半導体層SLのうち少なくとも平面視でソースオフセット領域SOSおよびドレインオフセット領域DOSの間に設けられ、平面視でソースオフセット領域SOSからドレインオフセット領域DOSに向かう方向に設けられている。ゲート絶縁膜GIは、溝部GTの側面および底面を覆っている。ゲート電極GEは、平面視で溝部GT内のみに設けられ、ゲート絶縁膜GIに接している。第1導電型と反対の第2導電型の埋め込み領域BRは、ソース領域SRおよびドレイン領域DRよりも深い位置に設けられている。以下、詳細を説明する。

【0012】

以下において、「第1導電型」はP型であり、「第2導電型」はN型である場合を説明する。第1の実施形態は、この場合に限定されるものではなく、「第1導電型」はN型であり、「第2導電型」はP型であってもよい。

【0013】

まず、図1を用い、第1の実施形態に係る半導体装置SDの概略を説明する。図1は、第1の実施形態に係る半導体装置SDの構成を示す斜視図である。図1のように、半導体基板SUB上には、半導体層SLが設けられている。半導体基板SUBは、たとえば、P型のシリコン基板である。

【0014】

半導体基板SUBには、N型の埋め込み領域BRが設けられている。埋め込み領域BRは、少なくとも半導体基板SUBの上面から深い位置に形成されている。ここでは、埋め

10

20

30

40

50

込み領域BRは、半導体基板SUBの上層側に形成されている。

【0015】

半導体層SLは、半導体基板SUB上にエピタキシャル成長により形成されている。半導体層SLは、たとえば、エピタキシャル成長させたP型のシリコン層である。このように、半導体層SLをエピタキシャル成長により形成することにより、半導体層SLの上面からイオン注入では形成できない程度に深い位置に、N型の埋め込み領域BRを形成することができる。

【0016】

図1で示されているように、半導体層SLには、P型の不純物が注入されたソース領域SR、P型ウェル領域WL1およびソースオフセット領域SOSと、N型の不純物が注入されたN型のウェル領域(N型ディープウェル領域DWL)とが設けられている。図示されていない領域には、N型のディープウェル領域DWLを挟んで対称な位置に、P型の不純物が注入されたドレイン領域DR、P型ウェル領域WL1およびドレインオフセット領域DOSが設けられている。

10

【0017】

半導体層SLの表層付近のうち、平面視でソース領域SRおよびドレイン領域DRの間には、フィールド絶縁膜FIFが設けられている。フィールド絶縁膜FIFは、たとえば、LOCOS(Local Oxidation of Silicon)法により形成されている。これにより、安価な装置で、容易にフィールド絶縁膜FIFを形成することができる。なお、フィールド絶縁膜FIFは、STI(Shallow Trench Isolation)法により形成されていてもよい。

20

【0018】

溝部GTは、平面視でフィールド絶縁膜FIFの内部に設けられている。後述するようにソースオフセット領域SOSおよびドレインオフセット領域DOSに加えてフィールド絶縁膜FIFが設けられていることにより、半導体装置SDの耐圧を向上させることができる。

【0019】

また、溝部GTは、たとえば半導体基板SUBの法線方向(Z軸方向)に設けられている。溝部GTは、ソース領域SR(またはドレイン領域DR)が延在する方向(図2のY方向)に等間隔に複数設けられている。溝部GTの側面および底面には、ゲート絶縁膜GIが設けられている。溝部GT内には、ゲート絶縁膜GIに接してゲート電極GEが埋設されている。従って、溝部GTはゲート電極構造を構成する。

30

【0020】

平面視でゲート電極GEと重なる位置には、コンタクトビアVA(コンタクトプラグともいう)が設けられている。配線IC1は、コンタクトビアVAを介して、ゲート電極に接続している。第1の実施形態では、ゲート電極GEに接続されている配線IC1は、たとえば、図のX方向に延在して設けられている。なお、ソース領域SRおよびドレイン領域DRは、図示されていない領域に設けられたビアVAを介して、配線IC1に接続されている。

【0021】

40

図2は、第1の実施形態に係る半導体装置SDの構成を示す平面図である。図3は、第1の実施形態に係る半導体装置の構成を示す断面図であり、図3(a)は、図2のA-A'線断面図である。図3(b)は、図2のB-B'線断面図であり、図3(c)は、図2のC-C'線断面図である。図2のように、P型のソース領域SRおよびドレイン領域DRは、半導体層SLのうち平面視で互いにX方向に離間して設けられている。また、溝部GTに形成されたゲート電極GEは互いに平行に設けられている。ソース領域SRおよびドレイン領域DRに注入されているP型不純物は、たとえば、B(ボロン)である。

【0022】

平面視でソース領域SRおよびドレイン領域DRとそれぞれ重なるように、P型ウェル領域WL1が設けられていても良い。ソース領域SRおよびドレイン領域DRは、それぞ

50

れ半導体基板内でP型ウェル領域WL1で囲まれるように設けられ、かつ、それぞれ平面視でP型ウェル領域WL1内に設けられている。P型ウェル領域WL1には、たとえば、ソース領域SRおよびドレイン領域DRと同一の不純物が注入されている。

【0023】

P型のソースオフセット領域SOSは、半導体層SLのうちソース領域SRに接している。ここでは、ソース領域SRは、半導体基板内でソースオフセット領域SOSで囲まれるように設けられ、かつ、平面視でソースオフセット領域SOS内に設けられている。また、ソースオフセット領域SOSは、半導体基板内でP型ウェル領域WL1を介して、ソース領域SRに接している。ソースオフセット領域SOSは、ソース領域SRおよびドレイン領域DRよりも低濃度で形成されている。

10

【0024】

P型のドレインオフセット領域DOSは、半導体層SLのうちドレイン領域DRに接している。ここでは、ドレイン領域DRは、半導体基板内でドレインオフセット領域DOSで囲まれるように設けられ、かつ、平面視でドレインオフセット領域DOS内に設けられている。また、ドレインオフセット領域DOSは、半導体基板内でP型ウェル領域WL1を介して、ドレイン領域DRに接している。ドレインオフセット領域DOSは、ソースオフセット領域SOSから離間して設けられている。ドレインオフセット領域DOSは、ソース領域SRおよびドレイン領域よりも低濃度で形成されている。ソースオフセット領域SOSおよびドレインオフセット領域DOSに注入されているP型不純物は、たとえば、B(ボロン)である。

20

【0025】

平面視で(X方向において)ソースオフセット領域SOSおよびドレインオフセット領域DOSの間には、N型不純物が注入されたN型のディープウェル領域DWLが設けられている。溝部GTの深さ方向(図1のZ方向の下方向)において、N型のディープウェル領域DWLのゲート絶縁膜GIに隣接する領域は、いわゆるチャンネル領域である。ソースオフセット領域SOSおよびドレインオフセット領域DOSの間のN型のディープウェル領域DWLで、溝部GTの側面の形成されるゲート絶縁膜GIにY方向に隣接する領域は、いわゆるチャンネル領域として作用する。

【0026】

溝部GTは、半導体層SLのうち、少なくとも平面視でソースオフセット領域SOSおよびドレインオフセット領域DOSの間に設けられている。溝部GT内には、ゲート絶縁膜GIおよびゲート電極GEが設けられ、ゲート電極構造が構成されている。

30

【0027】

溝部GTは、平面視でソースオフセット領域SOSまたはドレインオフセット領域DOS側に入り込んでいても良い。後述するように、N型のディープウェル領域DWLのチャンネル領域は、ソースオフセット領域SOSおよびドレインオフセット領域DOSの間において、溝部GTの深さ方向に延在して形成されている。なお、高耐圧を得るためには、溝部GTは、ソース領域SRおよびドレイン領域DRに接していないことが好ましい。

【0028】

図2のように、溝部GTは、平面視でソースオフセット領域SOSからドレインオフセット領域DOSに向かう方向に設けられている。なお、「ソースオフセット領域SOSからドレインオフセット領域DOSに向かう方向」とは、図中のA-A'線方向(X方向)である。また、溝部GTは、平面視でソース領域SRおよびドレイン領域DRの間に設けられている。言い換えれば、溝部GTの側面は、電界が印加される方向と平行であることが好ましい。

40

【0029】

溝部GTは、ソース領域SRからドレイン領域DRに向かう方向に対して垂直な方向(Y方向)に、互いに離間して複数設けられている。ここでは、たとえば、複数の溝部GTには、等間隔に設けられている。溝部GTが複数設けられていることにより、素子の面積を広げることなく、チャンネル領域の面積を増加させることができる。

50

## 【0030】

たとえば、溝部GTを挟んで対称な位置に、ソース領域SRおよびドレイン領域DRは配置されている。なお、溝部GTは、いずれか一方の不純物領域に接近して設けられていても良い。

## 【0031】

溝部GTのうち、ソース領域SRからドレイン領域DRに向かう方向に対して垂直な方向(Y方向)の幅は、たとえば $0.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下である。当該幅は、 $0.8\mu\text{m}$ 以上 $1.2\mu\text{m}$ 以下であることがさらに好ましい。また、当該溝部GTの幅は、たとえばコンタクトピアVAの直径以上である。

## 【0032】

溝部GTの間隔は、たとえば $0.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下である。当該溝部GTの間隔は、 $0.8\mu\text{m}$ 以上 $2.0\mu\text{m}$ 以下であることがさらに好ましい。また、当該溝部GTの間隔は、たとえば上記した溝部GTの幅以上である。

## 【0033】

溝部GTは、たとえば平面視で長方形である。溝部GTのうち平面視での端部は、曲面であってもよい。すなわち、溝部GTは、平面視で楕円形であってもよい。なお、溝部GTの側面は、平面視で直線状であることが好ましい。

## 【0034】

以上のように、ソース領域SR、ソースオフセット領域SOS、ドレイン領域DR、ドレインオフセット領域DOS、ゲート絶縁膜GIおよびゲート電極GEは、FET(Field Effect Transistor)を形成している。当該FETは、複数設けられていても良く、対称な位置に交互に配置されていてもよい。この場合、第2のゲート電極GEは、第1のゲート電極GEに対して、平面視で第1のドレイン領域DRを挟んで対称な位置に設けられている。第2のソース領域SRは、第1のドレイン領域DRに対して、平面視で第2のゲート電極GEを挟んで対称な位置に設けられている。

## 【0035】

N型のバックゲート領域BGは、平面視でFET形成領域を囲むように設けられている。N型のバックゲート領域BGは、チャンネル領域の電位を安定化させるために、たとえば電源電圧に固定されている。上記したようにFETが複数設けられている場合は、複数のFETを含む論理回路が形成された領域の外側を囲むように設けられている。なお、平面視でN型のバックゲート領域BGと重なる位置の下方に、N型ウェル領域(不図示)がさらに設けられていても良い。

## 【0036】

図3は、第1の実施形態に係る半導体装置の構成を示す断面図である。図3(a)は、図2のA-A'線断面図である。

## 【0037】

図3(a)に示すように、半導体基板SUBの上層側には、N型の埋め込み領域BRが設けられている。N型の埋め込み領域BRは、ソース領域SRおよびドレイン領域DRよりも深い位置に設けられている。N型の埋め込み領域BRに導入されているN型の不純物は、たとえばSb(アンチモン)である。N型の埋め込み領域BRは平面視でFET形成領域を囲むように設けられ、例えばN型のバックゲート領域BGと電氣的に接続される。

## 【0038】

半導体基板SUB上には、半導体層SLが設けられている。したがって、半導体基板SUBと半導体層SLとの間には界面が形成されている。半導体層SLの膜厚は、たとえば $1\mu\text{m}$ 以上 $20\mu\text{m}$ 以下である。さらに、半導体層SLの膜厚は、たとえば $5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であることが好ましい。

## 【0039】

また、上述のように、半導体層SLには、P型のソース領域SR、P型ウェル領域WL1、P型のソースオフセット領域SOS、N型のディープウェル領域DWL、P型のドレイン領域DR、P型ウェル領域WL1およびP型のドレインオフセット領域DOSが設け

10

20

30

40

50

られている。

【0040】

P型のソースオフセット領域SOSおよびP型のドレインオフセット領域DOSは、たとえば、N型の埋め込み領域BRに接している。また、N型のディープウェル領域DWLは、たとえば、N型の埋め込み領域BRに接している。

【0041】

N型のウェル領域(N型のディープウェル領域DWL)は、半導体層SLのうち少なくとも平面視でソースオフセット領域SOSおよびドレインオフセット領域DOSの間に設けられている。また、N型のディープウェル領域DWLは、半導体層SLのうち断面視で溝部GTと重なるように設けられている。ここで、N型の埋め込み領域BRは、N型のディープウェル領域DWLよりも高濃度に形成されている。N型の埋め込み領域BRの不純物濃度は、N型のディープウェル領域DWLのチャンネル領域の不純物よりも高く構成される。これにより、後述するように、溝部GTがN型の埋め込み領域BRに入り込んだ部分において、安定的に電界が集中することを抑制することができる。

10

【0042】

フィールド絶縁膜FIFは、半導体層SLのうち平面視でソース領域SRおよびドレイン領域DRの間に設けられている。フィールド絶縁膜FIFは、半導体層SLのうち平面視でチャンネル領域と重なる位置に設けられている。フィールド絶縁膜FIFは、ソースオフセット領域SOS、N型のディープウェル領域DWLおよびドレインオフセット領域DOS上に設けられている。フィールド絶縁膜FIFの開口部(符号不図示)には、ソース領域SRおよびドレイン領域DRが形成されている。

20

【0043】

また、図3(a)のように、フィールド絶縁膜FIFおよび半導体層SL上には、層間絶縁膜IF1が設けられている。層間絶縁膜IF1は、たとえば、SiO<sub>2</sub>、SiON、SiOC、SiOCH、SiCOHまたはSiOFなどである。

【0044】

フィールド絶縁膜FIFの厚さは、たとえば0.2μm以上1μm以下である。

【0045】

層間絶縁膜IF1のうち、平面視でソース領域SRまたはドレイン領域DRと重なる位置に、コンタクトビアVAが設けられている。コンタクトビアVAは、ソース領域SRまたはドレイン領域DRに接している。

30

【0046】

層間絶縁膜IF1上には、複数の配線IC1が設けられている。各々の配線IC1は、コンタクトビアVAを介して、上記したソース領域SRまたはドレイン領域DRに接続されている。

【0047】

ここでは、コンタクトビアVAおよび配線IC1は、一体として形成されている。コンタクトビアVAおよび配線IC1は、たとえばAlを含んでいる。なお、コンタクトビアVAおよび配線IC1は、異なる材料で形成されていてもよい。コンタクトビアVAまたは配線IC1は、たとえば、CuまたはWであってもよい。その他、コンタクトビアVAの側面並びに底面、および配線IC1の底面および上面にはバリアメタル(不図示)が設けられていてもよい。

40

【0048】

図3(b)は、図2のB-B'線断面図である。図3(b)のように、溝部GTは、平面視でソースオフセット領域SOSおよびドレインオフセット領域DOSの間に設けられている。溝部GTは、ソース領域SRおよびドレイン領域DRの間に設けられたフィールド絶縁膜FIFを貫通して設けられている。

【0049】

溝部GTの側面および底面には、ゲート絶縁膜GIが設けられている。ゲート絶縁膜GIは、たとえば、シリコンの熱酸化膜を含んでいる。ゲート絶縁膜GIを熱酸化により形

50

成することにより、溝部GTの側面および底面にピンホールが形成されることを抑制することができる。なお、ゲート絶縁膜GIは複数層により形成されていてもよい。

【0050】

ゲート絶縁膜GIの膜厚は、たとえば100nm以上1μm以下である。好ましくは、ゲート絶縁膜GIの膜厚は、たとえば300nm以上500nm以下である。上述した溝部GTの底面は、たとえば半導体基板SUBの上面からゲート絶縁膜GIの膜厚の二倍以上の深さまで形成されている。

【0051】

ゲート電極GEは、ゲート絶縁膜GIに接している。ここでは、溝部GTの内部は、ゲート電極GEによって埋め込まれている。さらに、ゲート電極GEは、平面視で溝部GT内のみに設けられている。ゲート電極GEは、平面視で溝部GTの外側にはみ出していない。言い換えれば、ゲート電極GEは、平面視で溝部GTの外側の位置には、溝部GTの内部から一体として形成されていない。平面視で、ゲート電極GEの上端部付近は半導体層SLの表面上に延在しないように構成される。平面視で、半導体層SLの表面付近において、ゲート電極GEの上端部付近は、ソースオフセット領域SOS、ドレインオフセット領域DOSおよびN型のディープウェル領域DWLと重なる位置上に延在しないように、溝の上端部より内側の位置に設けられる。これにより、後述するように、溝部GTの上端付近において、電界が集中することを抑制することができる。

10

【0052】

ゲート電極GEは、フィールド絶縁膜FIFの上面以下の位置に形成されている。ゲート電極GEの上端は、半導体層SLの上面より上に位置していても良い。なお、ゲート電極GEの上面とフィールド絶縁膜FIFの上面は同一面を形成していない状態であってもよい。

20

【0053】

ゲート電極GEは、たとえばポリシリコンである。当該ポリシリコンのゲート電極GEは、CVD(Chemical Vapor Deposition)法により形成されている。これにより、溝部GT内に安定的にゲート電極GEを埋め込むことができる。

【0054】

溝部GTは、平面視でフィールド絶縁膜FIFの内側に設けられている。言い換えれば、フィールド絶縁膜FIFの開口部(符号不図示)は、溝部GTから離間した位置に設けられている。すなわち、ソース領域SRおよびドレイン領域DRは、ゲート電極GEから離間した位置に形成されている。これにより、FETを高耐圧化させることができる。なお、ドレイン領域DRのみがゲート電極GEから離間した位置に形成されていてもよい。

30

【0055】

溝部GTの底面は、N型の埋め込み領域BRに入り込んでいる。ここでは、溝部GTの底面は、半導体基板SUBの上面より深い位置に形成されている。これにより、後述するように、当該溝部GTの底面が埋め込み領域BRに入り込んだ部分は、P型チャネル領域として機能しない。したがって、当該溝部GTの底面が埋め込み領域BRに入り込んだ部分では、電界が集中することを抑制することができる。

【0056】

溝部GTの下端側の角部は、R形状であってもよい。ここでは、たとえば、上記したゲート絶縁膜GIを熱酸化によって形成することにより、溝部GTの下端側の角部は、R形状に形成されている。なお、当該角部は、直角であってもよい。

40

【0057】

図3(b)のように、半導体層SL、フィールド絶縁膜FIFおよびゲート電極GE上には、層間絶縁膜IF1が設けられている。層間絶縁膜IF1のうち、平面視でゲート電極GEと重なる位置には、コンタクトピアVAが設けられている。コンタクトピアVAは、ゲート電極GEに接している。一つの溝部GTに設けられたゲート電極GEに対して、複数のコンタクトピアVAが接していても良い。層間絶縁膜IF1上のうち、平面視でゲート電極GEと重なる位置には、配線IC1が設けられている。当該配線IC1は、コン

50

タクトピアVAを介して、ゲート電極GEに接続されている。

【0058】

図3(c)は、図2のC-C'線断面図である。図3(c)のように、第1の実施形態では、溝部GTの側面に接する領域のうち、半導体層SLの上面から埋め込み領域BRの上面までの領域がチャンネル領域である。溝部GTは、ソース領域SRからドレイン領域DRに向かう方向に垂直な方向(C-C'線方向)に複数設けられている。たとえば、複数の溝部GTは、当該方向に等間隔に配置されている。このような構造であることにより、半導体装置SDの平面積を拡大することなく、チャンネル領域の面積を増加させることができる。すなわち、半導体装置SDのオン抵抗を低下させることができる。

【0059】

図3(c)のように、ソース領域SRからドレイン領域DRに向かう方向に垂直な方向においても、ゲート電極GEは、平面視で溝部GTの外側にはみ出していない。

【0060】

C-C'線方向にも、複数のコンタクトピアVAが設けられている。各々のコンタクトピアVAは、各々の溝部GT内のゲート電極GEに対して接している。当該複数のコンタクトピアVAは、同一の配線ICに接続されている。

【0061】

図示されていない領域において、層間絶縁層IF1および配線IC1上には、さらに複数の配線層が形成されていてもよい。すなわち、多層配線構造が形成されていてもよい。多層配線構造の最上層には、たとえばバンプ電極(不図示)またはCuピラー(不図示)が形成されていてもよい。

【0062】

次に、図12および図13を用い、第1の実施形態に係る半導体装置SDにおける不純物濃度について説明する。図12は、図3のD-D'線断面の不純物濃度プロファイルである。図13は、図3のE-E'線断面の不純物濃度プロファイルである。図12および図13において、N型不純物は実線、P型不純物は点線で示されている。

【0063】

図12のように、N型のディープウェル領域DWLには、たとえばN型不純物としてP(リン)が導入されている。また、N型の埋め込み領域BRには、たとえばN型不純物としてSb(アンチモン)が導入されている。なお、それぞれの不純物領域は、これら以外の不純物が導入されていてもよい。

【0064】

図中の縦軸に平行な点線は、半導体基板SUBおよび半導体層SLの界面を示している。点線よりも右側が半導体基板SUB側、点線よりも左側が半導体層SL側である。

【0065】

図12のように、N型の埋め込み領域BRは、N型のディープウェル領域DWLよりも高濃度に形成されている。N型の埋め込み領域BRのうち不純物濃度のピーク値は、N型のディープウェル領域DWLのうち不純物濃度のピーク値よりも、少なくとも一桁以上高い。また、N型の埋め込み領域BRのうちP型不純物濃度は、少なくとも半導体基板SUBのうちP型不純物濃度よりも高いことが好ましい。

【0066】

具体的には、たとえば、N型のディープウェル領域DWLのうち不純物濃度のピーク値は、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $5 \times 10^{16} \text{ cm}^{-3}$ 以下である。これに対して、N型の埋め込み領域BRのうち不純物濃度のピーク値は、少なくとも $1 \times 10^{17} \text{ cm}^{-3}$ 以上である。

【0067】

上述のように、溝部GTの底面は、N型の埋め込み領域BRに入り込んでいる。このとき、N型の埋め込み領域BRがN型のディープウェル領域DWLよりも高濃度に形成されていることにより、当該溝部GTの底面が埋め込み領域BRに入り込んだ部分は反転層として機能しない。したがって、当該部分において、電界の集中を抑制することができる。

10

20

30

40

50

## 【0068】

また、N型の埋め込み領域BRに導入された不純物は、半導体基板SUB側から半導体層SLにも拡散する可能性がある。半導体層SLの表層側において、N型の埋め込み領域BRに導入されたSbの不純物濃度は、N型のディープウェル領域DWLに導入された不純物濃度よりも低いことが好ましい。上述したように、埋め込み領域BRに導入されたN型不純物がSbであることにより、半導体基板SUB側から半導体層SLに拡散しにくくすることができる。

## 【0069】

図13のように、半導体層SLには、P型のソース領域SR、P型ウェル領域WL1、ソースオフセット領域SOSが設けられている。P型のソース領域SRのうち不純物濃度のピーク値は、P型のソースオフセット領域SOSのうち不純物濃度のピーク値よりも、少なくとも二桁以上高い。P型のソース領域SRのうち不純物濃度のピーク値は、たとえば、少なくとも $1 \times 10^{18} \text{ cm}^{-3}$ 以上である。P型ウェル領域WL1のうち不純物濃度のピーク値は、たとえば、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下である。また、ソースオフセット領域SOSのうち不純物濃度のピーク値は、 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $5 \times 10^{16} \text{ cm}^{-3}$ 以下である。なお、P型のドレイン領域DR、P型ウェル領域WL1およびドレインオフセット領域DOSも、ソース領域SR等と同様の分布となっている。

10

## 【0070】

次に、図14を用い、第1の実施形態に係る半導体装置SDにおける回路について説明する。図14は、第1の実施形態に係る半導体装置SDの一例を示した回路図である。

20

## 【0071】

第1の実施形態に係る半導体装置SDは、たとえば、PDP(Plasma Display Panel)のデータドライバICである。PDPのデータドライバICは、PDPパネルの表示データに応じたデータパルスを出力する機能を有している。具体的には、半導体装置SDは、たとえば、PDPのデータドライバICのうち、少なくとも電荷回収用のトランジスタTR1を含んでいる。

## 【0072】

図14のように、半導体装置SDは、たとえば、電荷回収用のコンデンサC1、電荷回収用のトランジスタTR1、出力用のトランジスタTR2並びにTR3、および表示セルC2を備えている。

30

## 【0073】

ここで、トランジスタTR1は、図1から図3で示した第1の実施形態の構造を有している。詳細には、トランジスタTR1は、第1のソース領域SR、第1のドレイン領域DR、ソースオフセット領域SOS、ドレインオフセット領域DOS、および溝部GTに設けられた第1のゲート絶縁膜GI並びに第1のゲート電極GEを備えている。このように、トランジスタTR1が上記したFETの構造を有していることにより、電流能力を向上させるとともに、耐圧を向上させることができる。

## 【0074】

コンデンサC1の一端は接地されており、他端はトランジスタTR1に接続されている。トランジスタTR1の他端は、トランジスタTR2およびトランジスタTR3の間に接続されている。

40

## 【0075】

上述のように高耐圧のトランジスタTR1が第1の実施形態の構造である一方で、トランジスタTR2またはトランジスタTR3、その他のロジック回路におけるトランジスタ(不図示)は、たとえば溝部GTが形成されていない通常のMISFET(Metal Insulator Semiconductor FET)構造である。詳細には、トランジスタTR2またはTR3は、半導体層SLに互に離間して設けられたP型またはN型の第2のソース領域(不図示)および第2のドレイン領域(不図示)と、第2のソース領域および第2のドレイン領域に挟まれた位置の上に設けられた第2のゲート絶縁膜(不

50

図示)と、第2のゲート絶縁膜上に設けられた第2のゲート電極(不図示)と、を備えている。ここでは、トランジスタTR2はPチャネルトランジスタであり、トランジスタTR3はNチャネルトランジスタである。

【0076】

なお、トランジスタTR2もしくはTR3、その他のロジック回路におけるトランジスタは、印加される電圧に応じて、LDD(Lightly Doped Drain)構造であってもよい。

【0077】

トランジスタTR2およびTR3は、トランジスタTR1と同一の半導体層SLに設けられており、平面視でトランジスタTR1と異なる位置に設けられている。このように、第1の実施形態の構造を有するトランジスタTR1と、ロジック回路に用いられる通常のトランジスタと、を同一基板内に併設することにより、回路面積を縮小化することができる。

10

【0078】

また、トランジスタTR2およびトランジスタTR3は直列に接続されている。トランジスタTR2の一端は、電源電圧 $V_{dd2}$ に接続されており、他端は、トランジスタTR3に接続されている。トランジスタTR3の他端は接地されている。トランジスタTR2およびトランジスタTR3の間には出力端子(OUT)が設けられ、表示セルC2に接続されている。

【0079】

トランジスタTR1は、表示セルC2の電荷を回収する双方向スイッチとして機能する。このトランジスタTR1のON/OFFを制御することにより、PDPの表示セルC2に充電された電荷をコンデンサC1に回収する。これにより、非発光時に表示セルC2に蓄積された電荷を回収し、次の発光時に当該電荷を再利用することができる。

20

【0080】

また、PDPの表示画素に対して安定した書き込みを行うため、高い電圧 $V_{dd2}$ が必要となる。 $V_{dd2}$ は、たとえば10V以上60V以下である。このため、トランジスタTR1が第1の実施形態の構造であることは特に有効である。

【0081】

第1の実施形態に係る半導体装置SDが上述のようにPDPのデータドライバICである場合、半導体装置SDは、さらに以下のような構成を有していても良い。半導体基板SUBは、複数の半導体チップに分割されている。半導体チップは、テープ状のフレキシブル配線基板(不図示)上に実装されている。半導体チップの bumps 電極は、フレキシブル基板の配線に接続されている。また、半導体チップは封止樹脂によって封止されている。当該半導体装置SDは、このように、いわゆるTCP(Tape Carrier Package)であってもよい。さらに、PDPのガラス基板に設けられた配線とプリント基板の配線とは、異方導電フィルムを介して接続されていてもよい。

30

【0082】

次に、図3から図13を用い、第1の実施形態に係る半導体装置SDの製造方法について説明する。図4から図13は、第1の実施形態に係る半導体装置SDの製造方法を説明するための断面図である。第1の実施形態に係る半導体装置SDの製造方法は、以下の工程を備えている。半導体層SLに互いに離間した位置に、P型の不純物を導入して、ソースオフセット領域SOSおよびドレインオフセット領域DOSを形成する(オフセット領域形成工程)。次いで、半導体層SLのうち少なくとも平面視でソースオフセット領域SOSおよびドレインオフセット領域DOSの間の位置に、平面視でソースオフセット領域SOSからドレインオフセット領域DOSに向かう方向に、溝部GTを形成する(溝部形成工程)。次いで、溝部GTの側面および底面にゲート絶縁膜GIを形成する。次いで、半導体層SL上、および溝部GT内のうちゲート絶縁膜GIに接するように、導電性材料を形成し、導電性材料の表層を除去することにより、平面視で溝部GT内のみでゲート電極GEを形成する(ゲート電極形成工程)。次いで、半導体基板SUBのうちソースオフ

40

50

セット領域SOSに接する位置と、ドレイン領域DRに接してソースオフセット領域SOSから離間した位置とに、ソースオフセット領域SOSおよびドレインオフセット領域DOSよりも高濃度のP型の不純物を導入して、それぞれソース領域SRおよびドレイン領域DRを形成する(ソースドレイン領域形成工程)。以下、詳細を説明する。

【0083】

まず、図4(a)、図4(b)および図4(c)のように、後述するオフセット領域形成工程よりも前に、半導体基板SUBに、N型の不純物を導入して、N型の埋め込み領域BRを形成する(埋め込み領域形成工程)。なお、上述のように、半導体基板SUBは、たとえば、P型のシリコン基板である。また、N型の不純物としては、たとえば、Sb(アンチモン)である。

10

【0084】

当該埋め込み領域形成工程の後に、CVD法により、半導体基板SUB上にP型の半導体層SLをエピタキシャル成長させる。各原料としては、たとえば、シリコン原料としては、モノシラン(SiH<sub>4</sub>)、P型不純物原料としては、ジボラン(B<sub>2</sub>H<sub>6</sub>)が用いられる。

【0085】

次いで、図5(a)、図5(b)および図5(c)のように、半導体層SL上に、フォトレジスト層(不図示)を形成する。露光および現像により、フォトレジスト層を選択的に除去する。次いで、イオン注入により、当該フォトレジスト層をマスクとして、半導体層SLのうちソースオフセット領域SOSおよびドレインオフセット領域DOSとなる注入領域(IR1)に、P型不純物を注入する。また、半導体層SLのうちN型のディープウェル領域DWLとなる注入領域(IR2)に、N型不純物を注入する。P型不純物は、たとえば、B(ボロン)である。N型不純物は、たとえば、P(リン)である。次いで、フォトレジスト層をアッシングにより除去する。このとき、半導体層SL上に自然酸化膜NOが形成されていてもよい。

20

【0086】

次いで、図6(a)、図6(b)および図6(c)のように、熱処理を行い、上記したP型不純物およびN型不純物を活性化させる。このとき、当該不純物は、半導体層SL中で熱拡散する。

【0087】

このようにして、半導体層SLのうち互いに離間した位置にP型の不純物を導入してソースオフセット領域SOSおよびドレインオフセット領域DOSを形成する(以上、オフセット領域形成工程)。

30

【0088】

次いで、図7(a)、図7(b)および図7(c)のように、後述する溝部形成工程よりも前に、少なくとも半導体層SLのうち平面視でソース領域SRおよびドレイン領域DRの間の位置にフィールド絶縁膜FIFを形成する(フィールド絶縁膜工程)。たとえば、以下のようにしてLOCOS法によりフィールド絶縁膜FIFを形成する。半導体層SL上にSiN膜(不図示)を形成する。次いで、SiN膜を選択的に除去することにより、SiN膜のうち平面視でソース領域SRおよびドレイン領域DRを形成する領域のみを残存させる。次いで、熱酸化を行う。次いで、SiN膜を除去する。これにより、半導体層SLのうち平面視でソース領域SRおよびドレイン領域DRを形成する領域に開口部(符号不図示)を有し、開口部以外を覆うようにフィールド絶縁膜FIFを形成する。

40

【0089】

次いで、図8(a)、図8(b)および図8(c)のように、半導体層SL上、およびフィールド絶縁膜FIF上に、酸化膜(符号不図示)、マスク層ML1およびマスク層ML2を形成する。マスク層ML1およびマスク層ML2は、半導体層SLをエッチングする条件において、エッチングレートが半導体層SLよりも低い材料であることが好ましい。具体的には、マスク層ML1は、SiNであり、マスク層ML2は、SiO<sub>2</sub>である。少なくともマスク層ML1を設けることにより、後述するゲート絶縁膜形成工程において

50

、半導体層 S L 1 の酸化を抑制することができる。

【 0 0 9 0 】

次いで、マスク層 M L 1 およびマスク層 M L 2 を選択的に除去することにより、溝部 G T を形成する領域に開口部（不図示）を形成する。当該開口部は、半導体層 S L のうち少なくとも平面視でソースオフセット領域 S O S およびドレインオフセット領域 D O S の間の位置に形成される。また、当該開口部の平面視の形状は、平面視でソースオフセット領域 S O S からドレインオフセット領域 D O S に向かう方向に長辺を有する長方形である。次いで、たとえば、R I E ( R e a c t i v e I o n E t c h i n g ) 法により、当該マスク層 M L 1 およびマスク層 M L 2 をマスクとして、溝部 G T を形成する。

【 0 0 9 1 】

これにより、半導体層 S L のうち少なくとも平面視でソースオフセット領域 S O S およびドレインオフセット領域 D O S の間の位置に、平面視でソースオフセット領域 S O S からドレインオフセット領域 D O S に向かう方向に溝部 G T を形成する（以上、溝部形成工程）。

【 0 0 9 2 】

当該溝部形成工程において、溝部 G T の底面を埋め込み領域 B R に入り込ませる。これにより、上述のように、当該溝部 G T の底面が埋め込み領域 B R に入り込んだ部分において、電界の集中を抑制することができる。

【 0 0 9 3 】

また、当該溝部形成工程において、溝部 G T を平面視でフィールド絶縁膜 F I F の内部に形成する。これにより、半導体装置 S D の耐圧を向上させることができる。

【 0 0 9 4 】

次いで、図 9 ( a )、図 9 ( b ) および図 9 ( c ) のように、溝部 G T の側面および底面にゲート絶縁膜 G I を形成する（ゲート絶縁膜形成工程）。ここでは、当該ゲート絶縁膜形成工程において、溝部 G T の側面および底面を熱酸化させることにより、ゲート絶縁膜 G I を形成する。これにより、ピンホールの無いゲート絶縁膜 G I を安定的に形成することができる。

【 0 0 9 5 】

次いで、図 1 0 ( a )、図 1 0 ( b ) および図 1 0 ( c ) のように、半導体層 S L 上および溝部 G T 内のうちゲート絶縁膜 G I に接するように導電性材料 C M を形成する。ここでは、たとえば、C V D 法により、導電性材料 C M として、ポリシリコンを形成する。なお、当該導電性材料 C M を、溝部 G T の内部が全て埋め込まれるまで形成することが好ましい。

【 0 0 9 6 】

次いで、図 1 1 ( a )、図 1 1 ( b ) および図 1 1 ( c ) のように、導電性材料 C M の表層を除去する。これにより、平面視で溝部 G T 内のみにゲート電極 G E を形成する（ゲート電極形成工程）。ここでは、たとえば、当該ゲート電極形成工程において、導電性材料 C M の表層のみを熱酸化し、酸化された当該表層を除去することにより、ゲート電極 G E を形成する。これにより、ゲート電極 G E 表面の酸化層が除去されるため、ゲート電極 G E とコンタクトピア V A との接触抵抗を下げるることができる。

【 0 0 9 7 】

次いで、たとえばドライエッチングにより、マスク層 M L 2 およびマスク層 M L 1 を除去する。なお、ウェットエッチングにより、マスク層 M L 2 およびマスク層 M L 1 を除去しても良い。また、C M P ( C h e m i c a l M e c h a n i c a l P o l i s h i n g ) 法により、当該マスク層 M L 2 およびマスク層 M L 1 を除去するとともに、半導体層 S L の上面を平坦化しても良い。

【 0 0 9 8 】

次いで、図 3 ( a )、図 3 ( b ) および図 3 ( c ) のように、フィールド絶縁膜 F I F 、ゲート絶縁膜 G I およびゲート電極 G E をマスクとして、P 型不純物を導入して、P 型ウェル領域 W L 1、ソース領域 S R およびドレイン領域 D R を形成する。

10

20

30

40

50

## 【0099】

さらに、図3(a)、図3(b)および図3(c)のように、たとえばCVD法により、半導体層SL、フィールド絶縁膜FIFおよびゲート電極GE上に、層間絶縁膜IF1を形成する。次いで、層間絶縁膜IF1のうち、平面視でゲート電極GE、ソース領域SRまたはドレイン領域DRと重なる位置に、コンタクトホール(不図示)を形成する。

## 【0100】

次いで、層間絶縁膜IF1上、およびコンタクトホール内に、金属を形成する。当該金属は、たとえば、Alである。次いで、当該金属を選択的に除去することにより、コンタクトビアVAおよび配線IC1を、一体として形成する。なお、ダマシン法により、コンタクトビアVAまたは配線IC1を形成してもよい。

10

## 【0101】

さらに、層間絶縁層IF1および配線IC1上に、複数の配線層を形成し、多層配線構造を形成してもよい。多層配線構造の最上層に、たとえばバンプ電極(不図示)またはCuピラー(不図示)を形成してもよい。

## 【0102】

次いで、たとえば、半導体装置SDに対して、以下のようにしてTCPを形成してもよい。半導体基板SUBをダイシングして、半導体チップに分割する。半導体チップを、たとえばテープ状のフレキシブル配線基板(不図示)上に実装する。このとき半導体チップのバンプ電極を、フレキシブル基板の配線に接続する。また、半導体チップを封止樹脂によって封止する。

20

## 【0103】

以上により、第1の実施形態に係る半導体装置SDを形成することができる。

## 【0104】

次に、図15から図21を用い、比較例と対比しながら、第1の実施形態の効果について説明する。まず、ゲート電極GEは、平面視で溝部GT内のみで設けられている効果について説明する。

## 【0105】

図15は、比較例の半導体装置SDの構成を示す斜視図である。図15のように、第1の比較例として、ゲート電極GEが平面視で溝部GTの外側にも一体として形成されている場合を説明する。ゲート電極GEが、平面視でソースオフセット領域SOSおよびドレインオフセット領域DOSと重なる位置において、半導体基板SUB(半導体層SL)の表面上に延在して形成されている場合である。たとえば、ゲート電極GEは、平面視で複数の溝部GTの間上を延在するようにも設けられている。すなわち、比較例では、半導体層SLの上端のうち、溝部GTに接していない領域もチャンネル領域となる。

30

## 【0106】

図16は、比較例の半導体装置SDの電界強度分布を示す図である。図16において、色の濃い部分は、電界強度が高いことを示している。図16のX部のように、第1の比較例では、半導体層SLの上端付近において、電界強度が高い。すなわち、ゲート電極GEの端部付近、溝部GTの上端付近、たとえばドレイン領域DR側の溝部GTの上端付近、ゲート電極GEの端部付近において、電界が集中している。

40

## 【0107】

これに対して、図17は、第1の実施形態に係る半導体装置SDの構成を示す斜視図である。図17のように、第1の実施形態では、ゲート電極GEは、平面視で溝部GT内のみで設けられている。

## 【0108】

図18は、第1の実施形態に係る半導体装置の電界強度分布を示す図である。図18のように、第1の実施形態のうち半導体層SLの上端付近の電界強度は、第1の比較例よりも低い。第1の実施形態では、第1の比較例のX部のように電界が高い部分が形成されていない。第1の実施形態では平面視で溝部GTの外側にはみ出していないことにより、ゲート電極GEの端部付近、溝部GTの上端付近、たとえばドレイン領域DR側の溝部GT

50

の上端付近、ゲート電極 G E の端部付近において、電界が集中することを抑制することができる。また、20 V 以上の高電圧の動作の際に、特に有効である。

【0109】

図19は、 $V_{g_s}$  (ゲートソース間電圧) = 0としたときの  $V_{d_s} - I_d$  特性 (ドレインソース間電圧 - ドレイン電流) を示す図である。図19において、第1の比較例は点線、第1の実施形態は実線で示されている。

【0110】

図19のように、第1の実施形態のうち、 $V_{g_s}$  (ゲートソース間電圧) = 0としたときのドレインソース間の降伏電圧は、比較例よりも高い。すなわち、第1の実施形態は、第1の比較例よりも高耐圧である。

10

【0111】

図20は、第1の実施形態の効果を説明するための断面図である。図20(a)および図20(b)は、図2における C - C' 線断面図に相当する。図20(a)および図20(b)の矢印は、溝部 G T の上端付近の電界の方向を示している。それぞれ、図20(a)は、図15と同様の第1の比較例の断面図であり、図20(b)は、第1の実施形態の断面図である。なお、図20において、説明の簡略化のために、溝部 G T の下端側については考慮していない。

【0112】

図20(a)において、第1の比較例として、図15と同様にして、ゲート電極 G E が平面視で溝部 G T の外側にも一体として形成されている場合を説明する。

20

【0113】

図20(a)のように、第1の比較例では、半導体層 S L の上面からと、溝部 G T の側面からの電界によって、溝部 G T の上端付近において電界が集中する。このため、第1の比較例のうち、 $V_{g_s}$  (ゲートソース間電圧) = 0としたときのドレインソース間の降伏電圧は低い。第1の比較例では、溝部 G T の上端付近における局所的な  $V_{t_h}$  が他の領域よりも低下するため、安定した特性が得られにくい可能性がある。なお、図20(a)の場合において、後述のように溝部 G T の下端付近の電界は緩和されている。

【0114】

これに対して、図20(b)のように、第1の実施形態では、ゲート電極 G E は、平面視で溝部 G T 内のみには設けられていることにより、半導体層 S L の上面からの電界が無くなる、または小さくなる。これにより、溝部 G T の上端付近において、電界が緩和する。

30

【0115】

さらに、第1の実施形態では、溝部 G T の底面が埋め込み領域 B R に入り込んでいる。この点における効果は以下の通りである。

【0116】

図21は、第1の実施形態の効果を説明するための断面図である。図21(a)、図21(b)および図21(c)は、図15と同様に、図2における C - C' 線断面図に相当する。図21(a)、図21(b)および図21(c)の矢印は、溝部 G T の下端付近の電界の方向を示している。それぞれ、図21(a)は、第2の比較例の断面図であり、図21(b)は、第3の比較例の断面図であり、また図21(c)は、第1の実施形態の断面図である。なお、図21において、説明の簡略化のために、溝部 G T の上端側については考慮していない。

40

【0117】

図21(a)は、第2の比較例として、ゲート電極 G E が平面視で溝部 G T の外側にも一体として形成されており、埋め込み領域 B R が形成されていない場合を示している。言い換えれば、溝部 G T の間がゲート電極 G E で覆われている。また、図21(b)は、第3の比較例として、ゲート電極 G E が平面視で溝部 G T 内のみには形成されており、溝部 G T の底面は埋め込み領域 B R よりも上側に位置している場合を示している。

【0118】

図21(a)および図21(b)のように、第2の比較例および第3の比較例では、溝

50

部GTの底面付近もチャネル領域となる。このため、溝部GTの下端付近において、電界が発生する。したがって、溝部GTの下端付近における局所的な $V_{th}$ が他の領域よりも低下するため、安定した特性が得られにくい可能性がある。なお、図21(b)の場合において、上記のように溝部GTの上端付近の電界は緩和されている。

【0119】

これに対して、図21(c)のように、第1の実施形態では、溝部GTの底面が埋め込み領域BRに入り込んでいる。これにより、当該溝部GTの底面が埋め込み領域BRに入り込んだ部分は、P型チャネル領域として機能しない。したがって、当該溝部GTの底面が埋め込み領域BRに入り込んだ部分では、電界が集中することを抑制することができる。

10

【0120】

以上のように、第1の実施形態によれば、溝部GTの端部(上端または下端)付近で電界が集中することを抑制した半導体装置SDを提供することができる。

【0121】

(第2の実施形態)

図22は、第2の実施形態に係る半導体装置SDの構成を示す断面図である。第2の実施形態は、平面視でソース領域SRおよびドレイン領域DRの間には、フィールド絶縁膜FIFが設けられていない点を除いて、第1の実施形態と同様である。以下、詳細を説明する。

【0122】

図22(a)は、図2のA-A'線断面図に相当する。図22(b)は、図2のB-B'線断面図に相当する。また、図22(c)は、図2のC-C'線断面図に相当する。

20

【0123】

図22(a)、図22(b)および図22(c)のように、平面視でソース領域SRおよびドレイン領域DRの間には、フィールド絶縁膜FIFが設けられていなくてもよい。ここでは、平面視で溝部GT、ソース領域SRおよびドレイン領域DRを含む領域には、フィールド絶縁膜FIFの開口部(符号不図示)が設けられている。当該フィールド絶縁膜FIFは、いわゆる素子分離領域である。

【0124】

また、図22(b)のように、ソース領域SRおよびドレイン領域DRはゲート絶縁膜GIに接している。

30

【0125】

次に、図22から図30を用い、第2の実施形態に係る半導体装置SDの製造方法について説明する。図23から図30は、第2の実施形態に係る半導体装置SDの製造方法を説明するための断面図である。

【0126】

図23から図25のように、第1の実施形態と同様にして、埋め込み領域形成工程およびオフセット領域形成工程を行う。

【0127】

次いで、図26(a)、図26(b)および図26(c)のように、溝部形成工程よりも前に、以下のようにして、フィールド絶縁膜工程を行う。半導体層SL上にSiN膜(不図示)を形成する。次いで、SiN膜を選択的に除去することにより、SiN膜のうち平面視で溝部GT、N型のディープウェル領域DWL、ソース領域SRおよびドレイン領域DRを形成する領域(すなわちFET形成領域)を残存させる。次いで、熱酸化を行う。次いで、SiN膜を除去する。これにより、半導体層SLのうち平面視でFETを形成する領域に開口部(符号不図示)を有するフィールド絶縁膜FIFを形成する。

40

【0128】

次いで、図27(a)、図27(b)および図27(c)のように、半導体層SL上、およびフィールド絶縁膜FIF上に、酸化膜(符号不図示)、マスク層ML1およびマスク層ML2を形成する。次いで、マスク層ML1およびマスク層ML2を選択的に除去す

50

ることにより、溝部 G T を形成する領域に開口部（不図示）を形成する。次いで、当該マスク層 M L 1 およびマスク層 M L 2 をマスクとして、溝部 G T を形成する。

【 0 1 2 9 】

次いで、図 2 8 ( a )、図 2 8 ( b ) および図 2 8 ( c ) のように、たとえば、熱酸化により、溝部 G T の側面および底面にゲート絶縁膜 G I を形成する。

【 0 1 3 0 】

次いで、図 2 9 ( a )、図 2 9 ( b ) および図 2 9 ( c ) のように、半導体層 S L 上および溝部 G T 内のうちゲート絶縁膜 G I に接するように導電性材料 C M を形成する。

【 0 1 3 1 】

次いで、図 3 0 ( a )、図 3 0 ( b ) および図 3 0 ( c ) のように、導電性材料 C M の表層を除去する。これにより、平面視で溝部 G T 内のみにゲート電極 G E を形成する。

10

【 0 1 3 2 】

次いで、図 2 2 ( a )、図 2 2 ( b ) および図 2 2 ( c ) のように、フィールド絶縁膜 F I F、ゲート絶縁膜 G I およびゲート電極 G E をマスクとして、P 型不純物を導入して、P 型ウェル領域 W L 1、ソース領域 S R およびドレイン領域 D R を形成する。

【 0 1 3 3 】

以降の工程は、第 1 の実施形態と同様である。

【 0 1 3 4 】

第 2 の実施形態によれば、第 1 の実施形態と同様の効果を得ることができる。第 2 の実施形態によれば、平面視でソース領域 S R およびドレイン領域 D R の間には、フィールド絶縁膜 F I F が設けられていなくてもよい。これにより、高耐圧で、且つ、オン抵抗の低い半導体装置 S D を得ることができる。

20

【 0 1 3 5 】

（第 3 の実施形態）

第 3 の実施形態は、第 1 導電型が N 型であり、第 2 導電型が P 型である点を除いて、第 1 の実施形態と同様である。半導体装置 S D の断面図としては、図 1 から図 3 と同様である。以下、詳細を説明する。

【 0 1 3 6 】

第 3 の実施形態の半導体装置 S D は、N 型の半導体層 S L、N 型ウェル領域 W L 1、P 型ウェル領域 W L 2、N 型のソース領域 S R、N 型のドレイン領域 D R、N 型のソースオフセット領域 S O S、N 型のドレインオフセット領域 D O S、溝部 G T、ゲート絶縁膜 G I、ゲート電極 G E および P 型の埋め込み領域 B R を備えている。すなわち、N チャネルの F E T であってもよい。

30

【 0 1 3 7 】

半導体基板 S U B には、P 型の埋め込み領域 B R が設けられている。埋め込み領域 B R に導入されている P 型の不純物は、たとえば、B（ボロン）である。

【 0 1 3 8 】

第 3 の実施形態によれば、第 1 の実施形態と同様の効果を得ることができる。

【 0 1 3 9 】

（第 4 の実施形態）

40

図 3 1 は、第 4 の実施形態に係る半導体装置 S D の構成を示す斜視図である。第 4 の実施形態は、ゲート電極 G E に接続されている配線 I C 1 の配置が異なる点を除いて、第 1 の実施形態と同様である。以下、詳細を説明する。

【 0 1 4 0 】

図 3 1 のように、ゲート電極 G E に接続されている配線 I C 1 は、ソース領域 S R からドレイン領域 D R に向かう方向（X 方向）に向かって設けられていてもよい。言い換えれば、配線 I C 1 は、溝部 G T の長辺方向に平行な方向に延在して設けられている。

【 0 1 4 1 】

また、ゲート電極 G E に接続されている配線 I C 1 は、平面視でチャネル領域と重なる位置で離間されている。第 2 の実施形態において、当該配線 I C 1 のうち平面視でチャネ

50

ル領域と重なる面積は、第 1 の実施形態よりも小さい。

【 0 1 4 2 】

なお、第 4 の実施形態では、ソース領域 S R およびドレイン領域 D R は、図示されていない領域に設けられたビア（不図示）を介して、配線 I C 1 より上方に位置する配線（不図示）に接続されている。

【 0 1 4 3 】

第 4 の実施形態によれば、第 1 の実施形態と同様の効果を得ることができる。

【 0 1 4 4 】

ここで、ゲート電極 G E に接続されている配線 I C 1 が平面視でチャンネル領域と重なる位置上に設けられている場合、チャンネル領域の電界が影響を受ける可能性がある。たとえば、ゲート電極 G E が溝部 G T の間を覆っている場合と同じように、溝部 G T の上端付近に電界が集中する可能性がある。

10

【 0 1 4 5 】

これに対して、第 4 の実施形態によれば、ゲート電極 G E に接続されている配線 I C 1 が溝部 G T の長辺方向に平行な方向に延在して設けられている。これにより、配線 I C 1 の電位によって、チャンネル領域の電界が影響を受けることを抑制することができる。

【 0 1 4 6 】

以上の実施形態において、ゲート電極 G E は、平面視で溝部 G T 内のみに設けられ、且つ、溝部 G T の底面は埋め込み領域 G T に入り込んでいる場合について説明した。しかし、半導体装置 S D は、いずれか一方の構成を含んでいけばよい。すなわち、ゲート電極 G E は、平面視で溝部 G T 内のみに設けられ、且つ、溝部 G T の底面は埋め込み領域 G T に入り込んでいない場合であってもよい。また、ゲート電極 G E は、平面視で溝部 G T の外側にも設けられ、且つ、溝部 G T の底面は埋め込み領域 G T に入り込んでいる場合であってもよい。これにより、溝部の上端付近または下端付近で電界が集中することを抑制した半導体装置を提供することができる。

20

【 0 1 4 7 】

以上の実施形態において、ゲート電極 G E がポリシリコンである場合を説明した。しかし、ゲート電極 G E は、金属または金属シリサイドであってもよい。また、ゲート絶縁膜 G I が熱酸化シリコンである場合を説明したが、その他の絶縁膜であってもよい。

【 0 1 4 8 】

以上の実施形態において、ゲート電極 G E が平面視で溝部 G T 内のみに設けられている場合を説明した。しかし、これに限られたものではなく、ゲート電極 G E のうち少なくともドレイン領域 D R 側の領域が平面視で溝部 G T 内に設けられている構造であってもよい。すなわち、ゲート電極 G E のうちソース領域 S R 側の領域が平面視で溝部 G T の外側に設けられていても良い。

30

【 0 1 4 9 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 1 5 0 】

なお、以上の実施形態には、下記に示す発明も開示されている。

40

（付記 1）

半導体層のうち互いに離間した位置に第 1 導電型の不純物を導入してソースオフセット領域およびドレインオフセット領域を形成するオフセット領域形成工程と、

前記半導体層のうち少なくとも平面視で前記ソースオフセット領域および前記ドレインオフセット領域の間の位置に、平面視で前記ソースオフセット領域から前記ドレインオフセット領域に向かう方向に溝部を形成する溝部形成工程と、

前記溝部の側面および底面にゲート絶縁膜を形成するゲート絶縁膜形成工程と、

前記半導体層上、および前記溝部内のうち前記ゲート絶縁膜に接するように導電性材料を形成し、前記導電性材料の表層を除去することにより、平面視で前記溝部内のみにゲ-

50

ト電極を形成するゲート電極形成工程と、

前記半導体基板のうち前記ソースオフセット領域に接する位置と、前記ドレイン領域に接して前記ソースオフセット領域から離間した位置とに、前記ソースオフセット領域および前記ドレインオフセット領域よりも高濃度の第1導電型の不純物を導入して、それぞれソース領域およびドレイン領域を形成するソースドレイン領域形成工程と、  
を備える半導体装置の製造方法。

(付記2)

付記1に記載の半導体装置の製造方法において、

前記オフセット領域形成工程よりも前に、前記ソース領域および前記ドレイン領域よりも深い位置に第1導電型と反対の第2導電型の埋め込み領域を形成する埋め込み領域形成工程をさらに備え、

10

前記溝部形成工程において、前記溝部の底面を前記埋め込み領域に入り込ませる半導体装置の製造方法。

(付記3)

半導体層のうち互いに離間した位置に第1導電型の不純物を導入してソースオフセット領域およびドレインオフセット領域を形成するオフセット領域形成工程と、

前記半導体層のうち少なくとも平面視で前記ソースオフセット領域および前記ドレインオフセット領域の間の位置に、平面視で前記ソースオフセット領域から前記ドレインオフセット領域に向かう方向に溝部を形成する溝部形成工程と、

前記溝部の側面および底面にゲート絶縁膜を形成するゲート絶縁膜形成工程と、

20

前記半導体層上、および前記溝部内のうち前記ゲート絶縁膜に接するように導電性材料を形成し、前記導電性材料の表層を除去することにより、ゲート電極を形成するゲート電極形成工程と、

前記半導体基板のうち前記ソースオフセット領域に接する位置と、前記ドレイン領域に接して前記ソースオフセット領域から離間した位置とに、前記オフセット領域よりも高濃度の第1導電型の不純物を導入して、それぞれソース領域およびドレイン領域を形成するソースドレイン領域形成工程と、  
を備え、

前記オフセット領域形成工程よりも前に、前記ソース領域および前記ドレイン領域よりも深い位置に第1導電型と反対の第2導電型の埋め込み領域を形成する埋め込み領域形成工程をさらに備え、

30

前記溝部形成工程において、前記溝部の底面を前記埋め込み領域に入り込ませる半導体装置の製造方法。

(付記4)

付記2に記載の半導体装置の製造方法において、

前記埋め込み領域形成工程において、半導体基板に前記埋め込み領域を形成し、

前記埋め込み領域形成工程の後に、前記半導体基板上に前記半導体層をエピタキシャル成長させる工程をさらに備える半導体装置の製造方法。

(付記5)

付記1に記載の半導体装置の製造方法において、

40

前記溝部形成工程よりも前に、前記半導体層のうち平面視で前記ソース領域および前記ドレイン領域の間の位置にフィールド絶縁膜を形成するフィールド絶縁膜工程をさらに備え、

前記溝部形成工程において、前記溝部を平面視で前記フィールド絶縁膜の内部に形成する半導体装置の製造方法。

(付記6)

付記5に記載の半導体装置の製造方法において、

前記フィールド絶縁膜形成工程において、前記フィールド絶縁膜のうち前記ソース領域および前記ドレイン領域を形成する領域に開口部を形成し、

前記ソースドレイン領域形成工程において、前記ゲート絶縁膜、前記ゲート電極および

50

前記フィールド絶縁膜をマスクとして、前記開口部に前記ソース領域および前記ドレイン領域を形成する半導体装置の製造方法。

(付記7)

付記1に記載の半導体装置の製造方法において、

前記ゲート絶縁膜形成工程において、前記溝部の側面および底面を熱酸化させることにより、前記ゲート絶縁膜を形成する半導体装置の製造方法。

(付記8)

付記1に記載の半導体装置の製造方法において、

前記ゲート電極形成工程において、前記導電性材料の表層のみを熱酸化し、酸化された当該表層を除去することにより、前記ゲート電極を形成する半導体装置の製造方法。

10

【符号の説明】

【0151】

S D 半導体装置

S U B 半導体基板

S L 半導体層

B R 埋め込み領域

S R ソース領域

D R ドレイン領域

S O S ソースオフセット領域

D O S ドレインオフセット領域

20

W L 1 P型ウェル領域(N型ウェル領域)

W L 2 N型ウェル領域(N型ウェル領域)

F I F フィールド絶縁膜

G T 溝部

G I ゲート絶縁膜

G E ゲート電極

B G 1 バックゲート領域

V A コンタクトピア

I C 1 配線

N O 自然酸化膜

30

C M 導電性材料

C 1 コンデンサ

C 2 表示セル

T R 1 トランジスタ

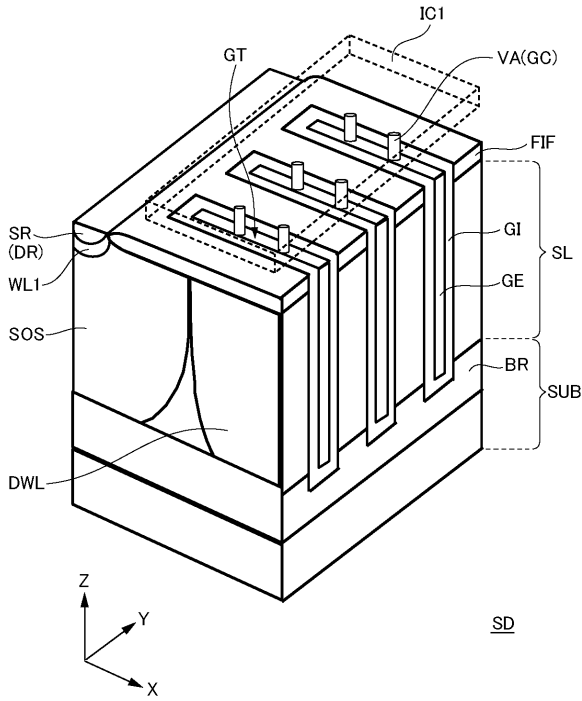
T R 2 トランジスタ

T R 3 トランジスタ

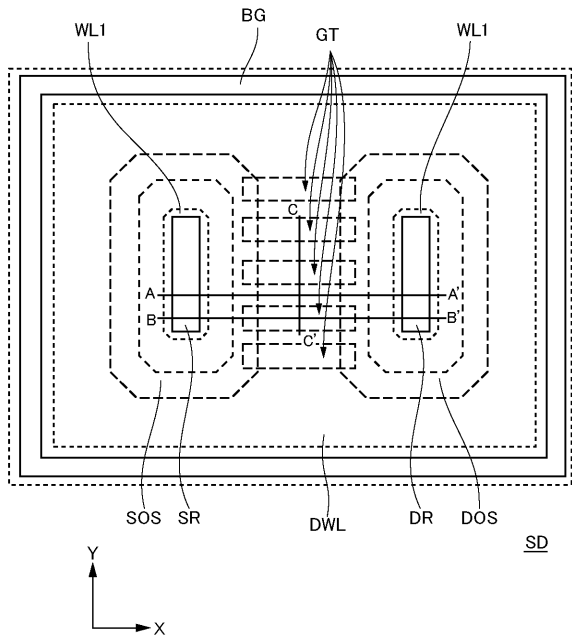
I R 1 注入領域

I R 2 注入領域

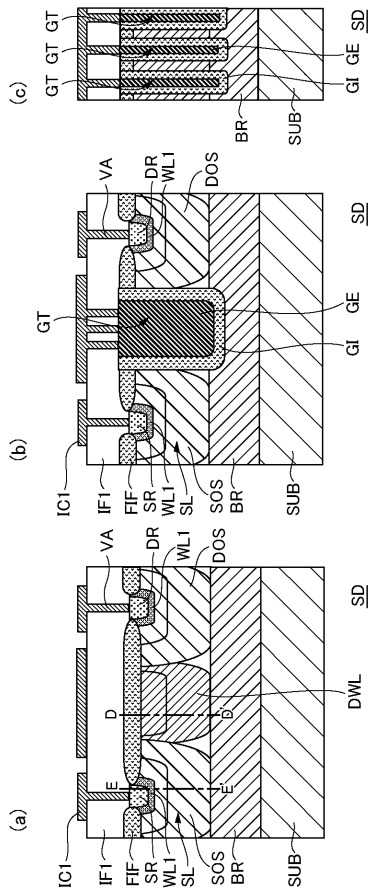
【図1】



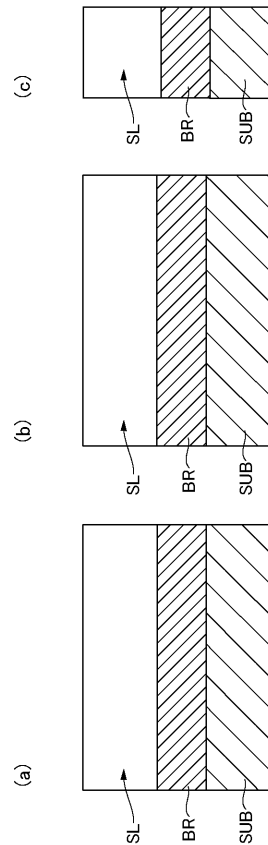
【図2】



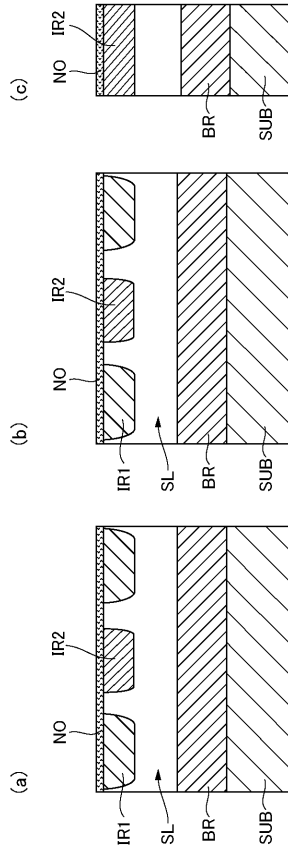
【図3】



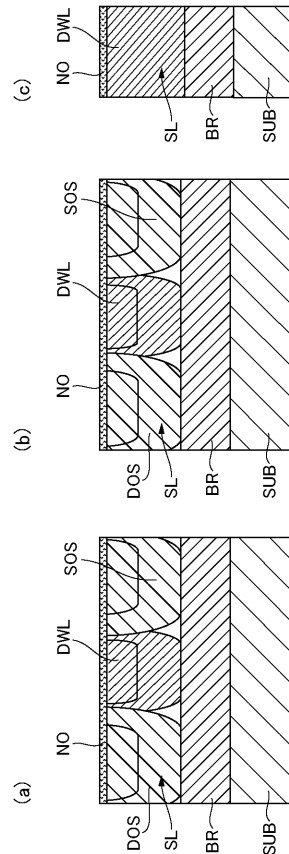
【図4】



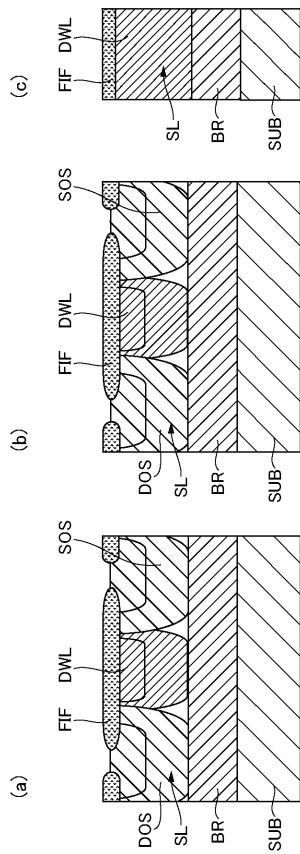
【 図 5 】



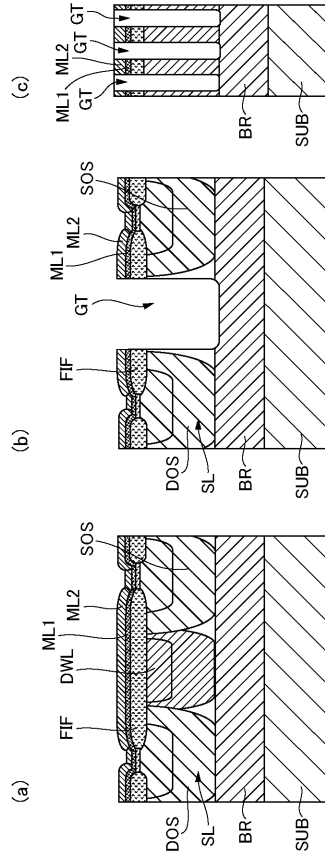
【 図 6 】



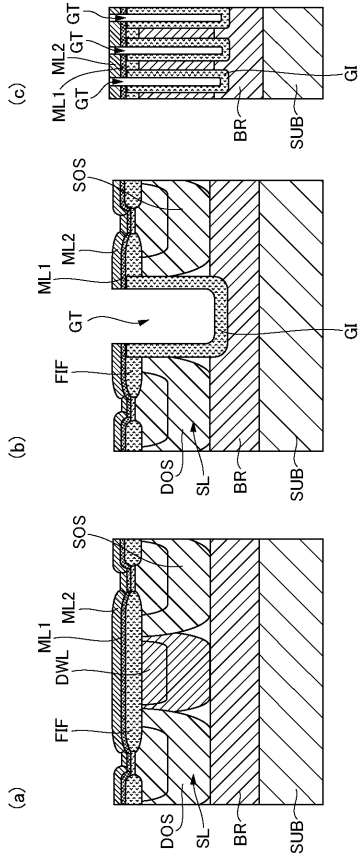
【 図 7 】



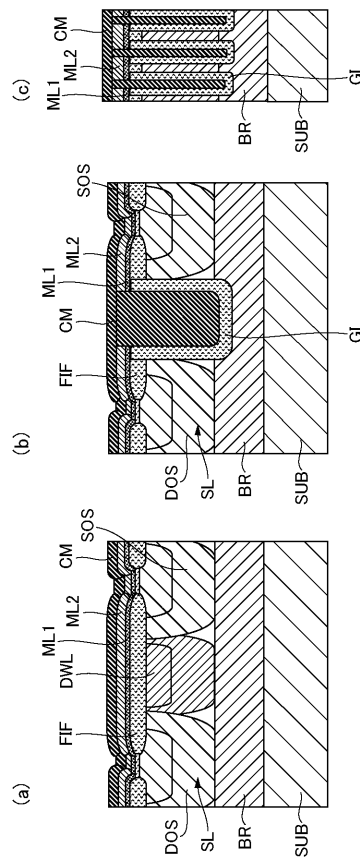
【 図 8 】



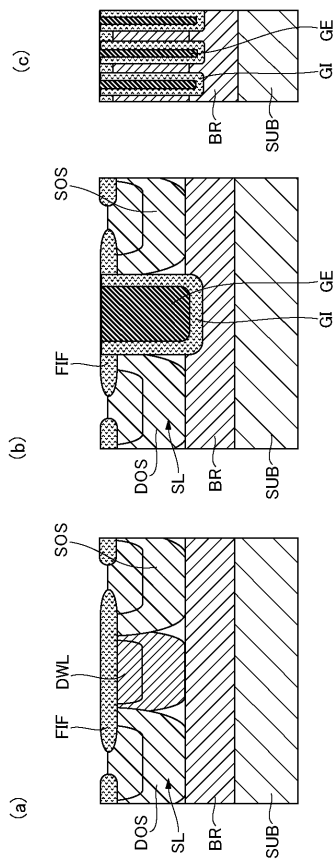
【 図 9 】



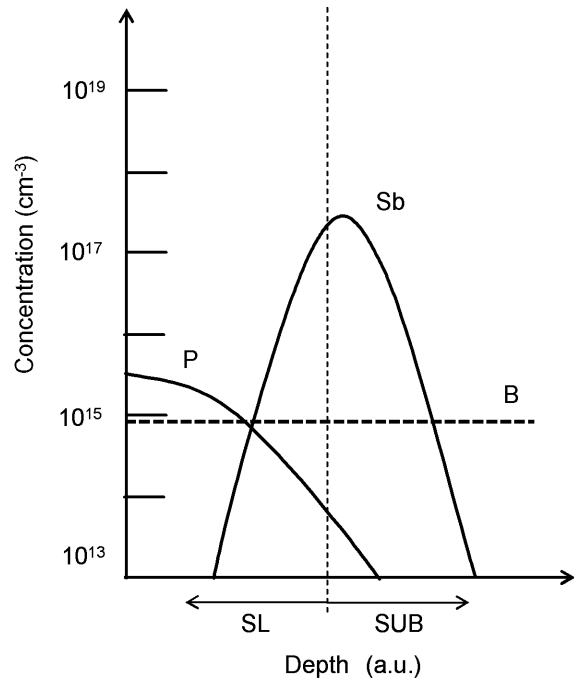
【 図 10 】



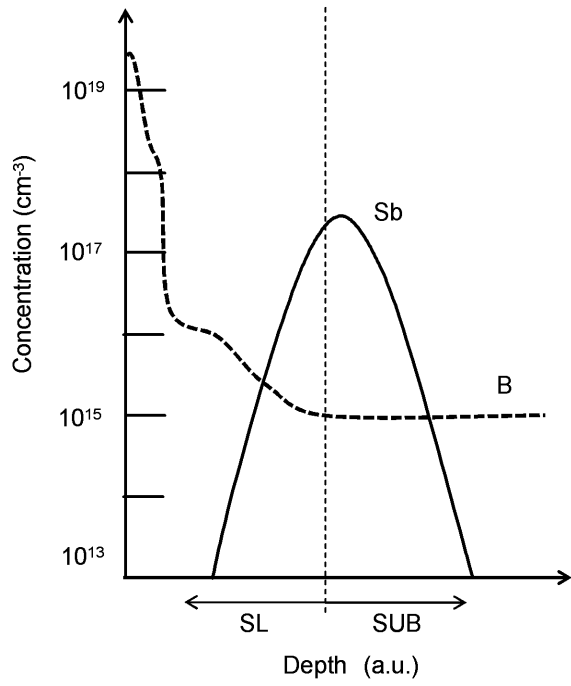
【 図 11 】



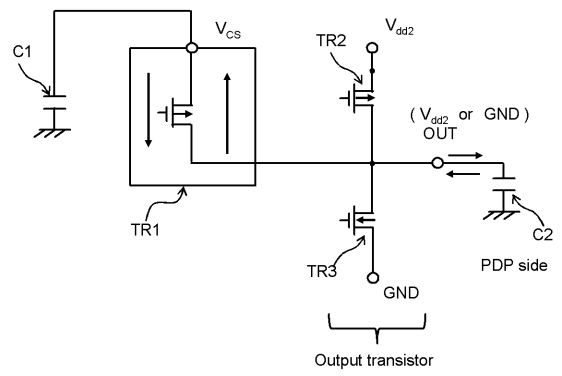
【 図 12 】



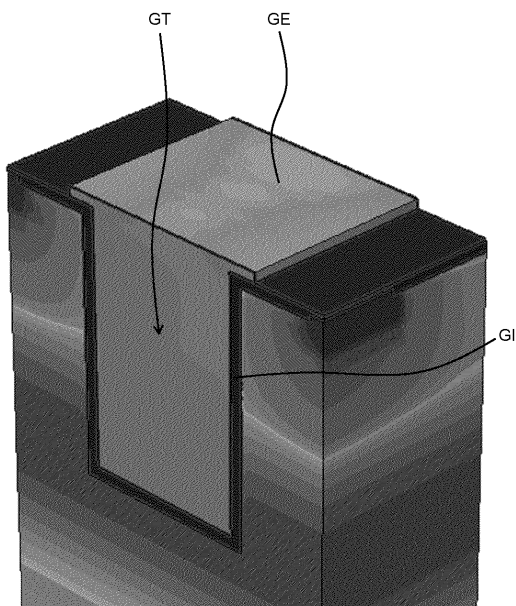
【 1 3 】



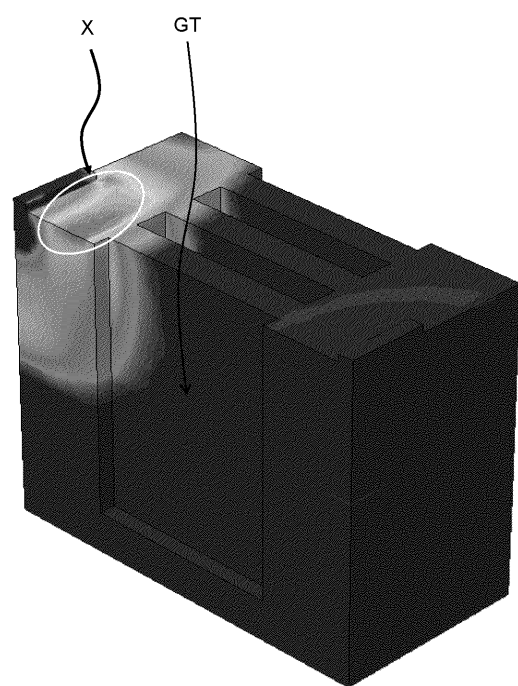
【 1 4 】



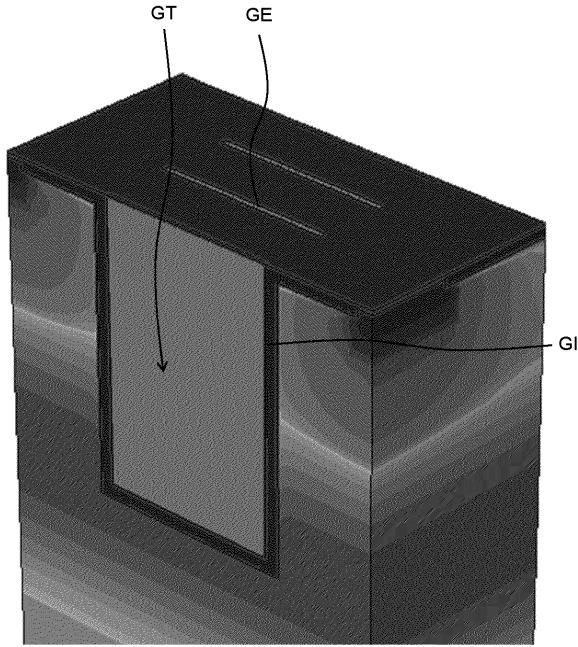
【 1 5 】



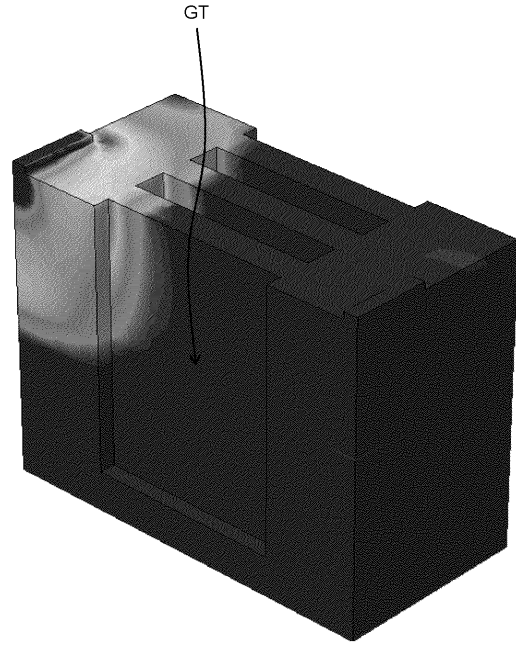
【 1 6 】



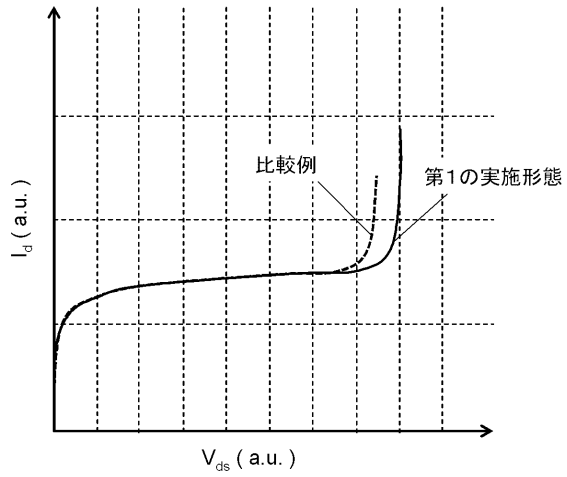
【図 17】



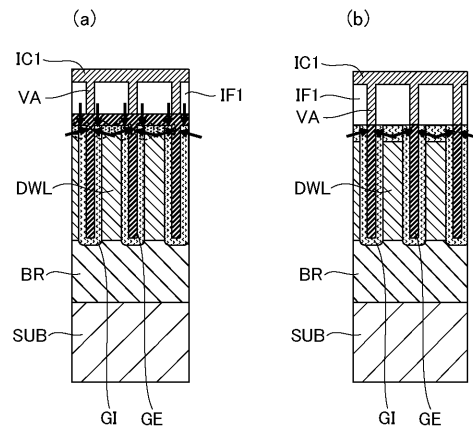
【図 18】



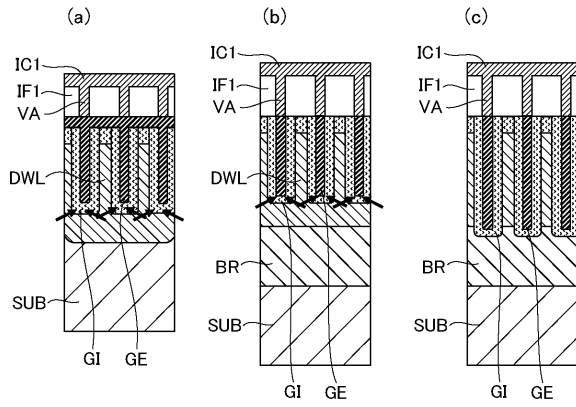
【図 19】



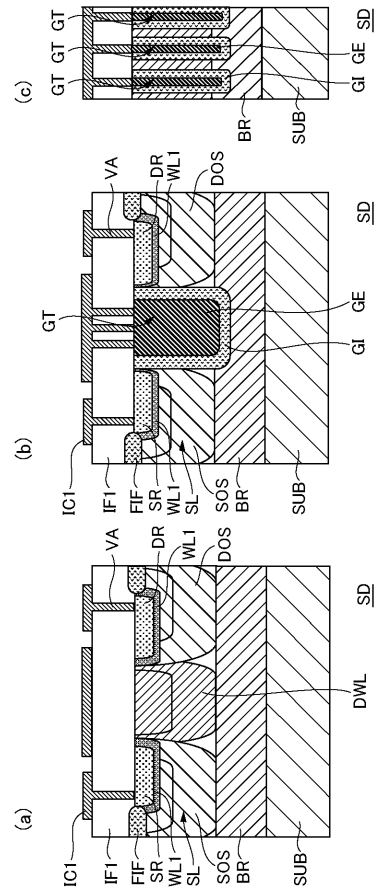
【図 20】



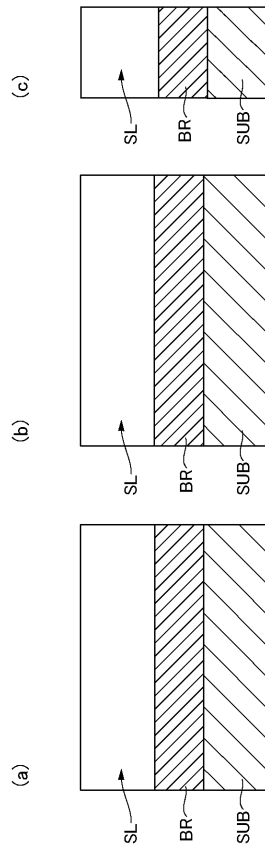
【 2 1 】



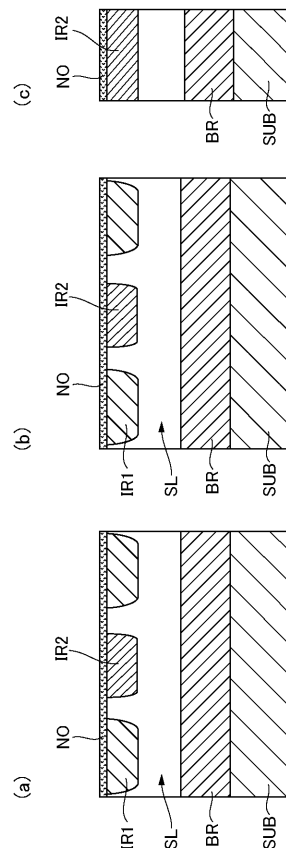
【 2 2 】



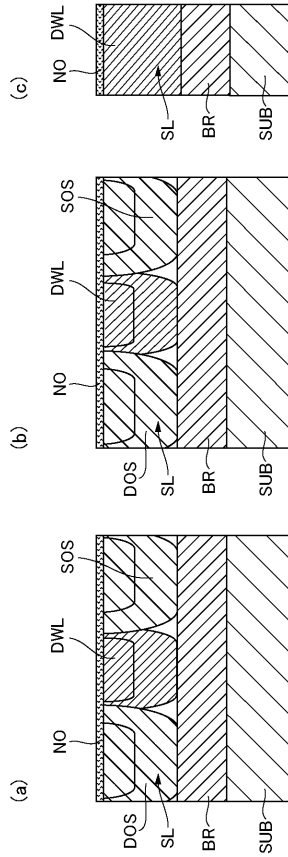
【 2 3 】



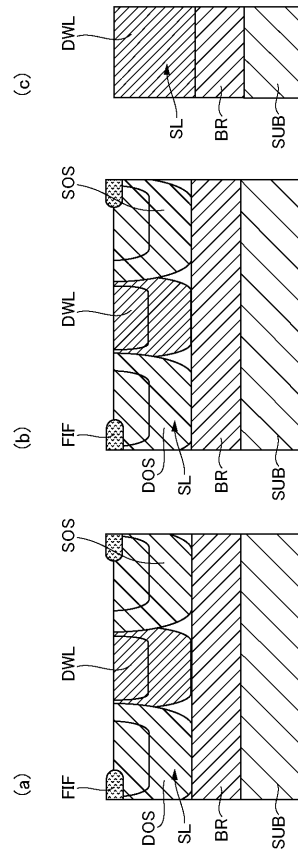
【 2 4 】



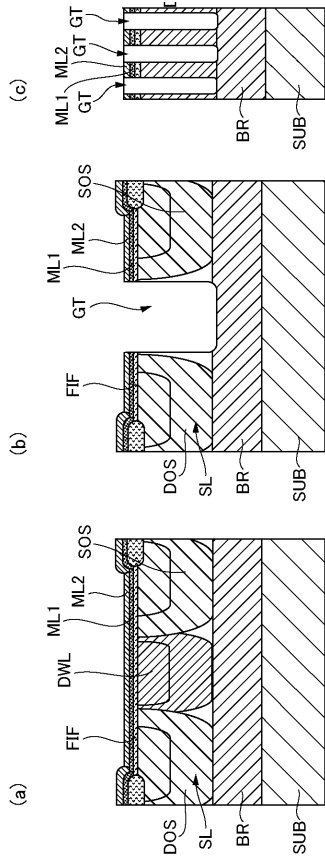
【 図 25 】



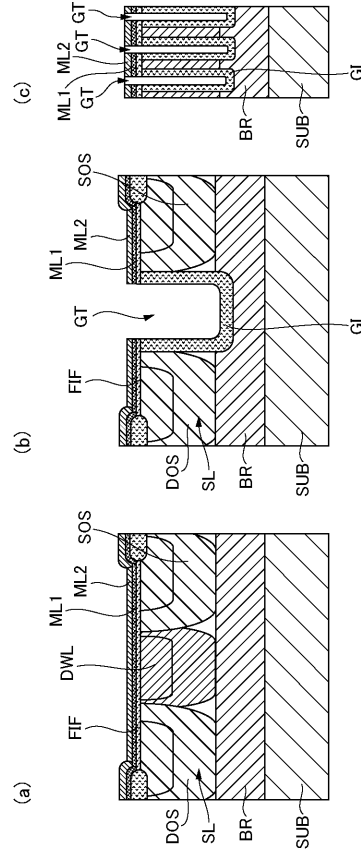
【 図 26 】



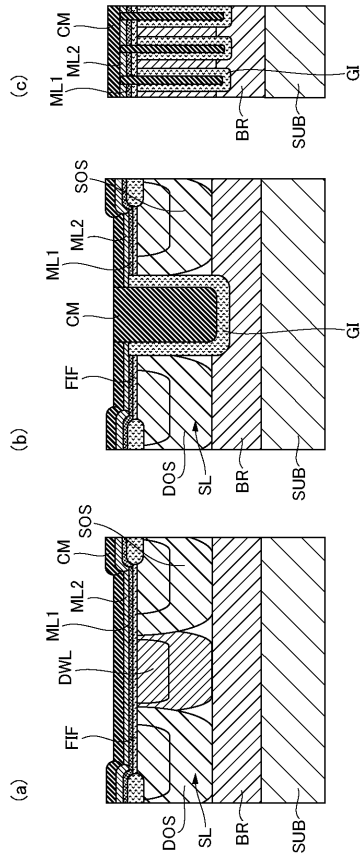
【 図 27 】



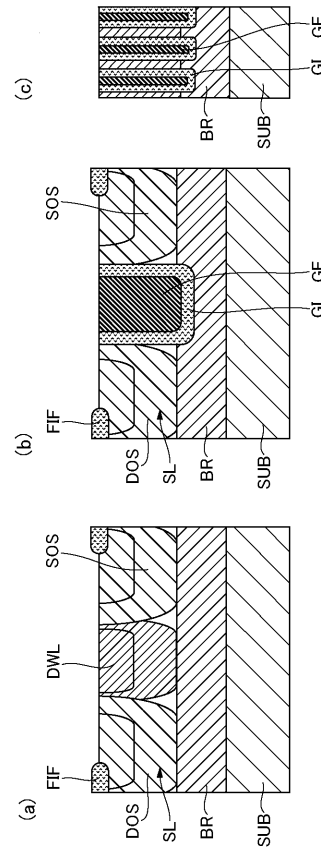
【 図 28 】



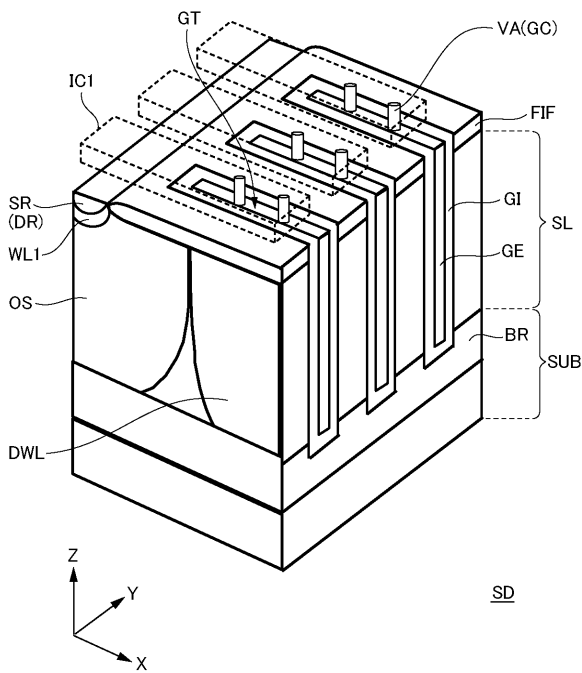
【 図 29 】



【 図 30 】



【 図 31 】



---

フロントページの続き

(56)参考文献 特開2010-087133(JP,A)  
特表2007-520873(JP,A)  
特開2011-071233(JP,A)  
特表2003-534665(JP,A)  
特開2009-206144(JP,A)  
特開2005-026664(JP,A)  
特開2010-147254(JP,A)  
特開2000-068499(JP,A)  
特開2001-094103(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336  
H01L 21/28  
H01L 29/423  
H01L 29/49  
H01L 29/78