

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4882273号
(P4882273)

(45) 発行日 平成24年2月22日(2012.2.22)

(24) 登録日 平成23年12月16日(2011.12.16)

(51) Int.Cl.		F I			
G09F	9/00	(2006.01)	G09F	9/00	3 5 2
G09F	9/30	(2006.01)	G09F	9/30	Z
G09F	9/33	(2006.01)	G09F	9/33	Z
H01L	33/00	(2010.01)	H01L	33/00	L
H01L	21/60	(2006.01)	H01L	21/60	3 2 1 Z

請求項の数 13 (全 20 頁)

(21) 出願番号 特願2005-136512 (P2005-136512)
 (22) 出願日 平成17年5月9日(2005.5.9)
 (62) 分割の表示 特願2001-176526 (P2001-176526)
 の分割
 原出願日 平成13年6月12日(2001.6.12)
 (65) 公開番号 特開2005-340803 (P2005-340803A)
 (43) 公開日 平成17年12月8日(2005.12.8)
 審査請求日 平成20年6月6日(2008.6.6)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100122884
 弁理士 角田 芳未
 (74) 代理人 100113516
 弁理士 磯山 弘信
 (72) 発明者 大畑 豊治
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 岩淵 寿章
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

(54) 【発明の名称】 素子実装基板、不良素子の修復方法及び画像表示装置

(57) 【特許請求の範囲】

【請求項1】

基板上に、発光ダイオード素子が配線と電気的に接続された状態で配列されてなる素子実装基板であって、

上記発光ダイオード素子のうち不良発光ダイオード素子に対応した位置に、該不良発光ダイオード素子を取り外すことなく、該不良発光ダイオード素子のリペア素子が実装されてあり、

上記リペア素子が上記不良発光ダイオード素子上に重ねて実装されており、

上記不良発光ダイオード素子に接続された配線が切断されている

素子実装基板。

【請求項2】

上記各発光ダイオード素子及び上記リペア素子は、樹脂に埋め込まれた素子チップとされている請求項1記載の素子実装基板。

【請求項3】

上記素子チップには、上記配線と接続するための複数の電極が形成されている請求項2記載の素子実装基板。

【請求項4】

上記素子チップは、略対称となる位置に複数の電極が形成されている請求項3記載の素子実装基板。

【請求項5】

上記電極の数が2であり、これら2つの電極が点対称となる位置に形成されている請求項4記載の素子実装基板。

【請求項6】

上記素子チップの電極形成面が略対称形状とされている請求項2記載の素子実装基板。

【請求項7】

上記素子チップの電極形成面が略正方形である請求項6記載の素子実装基板。

【請求項8】

上記複数の電極は、上記素子チップの電極形成面の対角線上に中心点から略等しい距離となるように形成されている請求項7記載の素子実装基板。

【請求項9】

上記リペア素子が樹脂に埋め込まれた素子チップにおいては、上記複数の電極が同一面上に形成されている請求項3記載の素子実装基板。

【請求項10】

上記素子チップに形成された電極と接続される配線は、その配線長が最短の経路を経て接続される場合よりも長くなるように形成されている請求項3記載の素子実装基板。

【請求項11】

基板上に、発光ダイオード素子を配列し、駆動回路と接続された配線と電氣的に接続することにより実装した後、不良発光ダイオード素子を検出し、当該不良発光ダイオード素子に対応した位置に、該不良発光ダイオード素子を取り外すことなく、該不良発光ダイオード素子のリペア素子を実装し、この際、該リペア素子を該不良発光ダイオード素子上に重ねて実装し、さらに、上記不良発光ダイオード素子に接続される配線を切断した後、当該配線の切断位置よりも駆動回路側の位置に上記リペア素子を電氣的に接続する

不良発光ダイオード素子の修復方法。

【請求項12】

基板上に、発光ダイオード素子が配線と電氣的に接続された状態でマトリクス状に配列され、各発光ダイオード素子が画素を構成してなる画像表示装置であって、

上記発光ダイオード素子のうち不良発光ダイオード素子に対応した位置に、該不良発光ダイオード素子を取り外すことなく、該不良発光ダイオード素子のリペアの発光素子を実装されており、

上記リペアの発光素子が上記不良発光ダイオード素子上に重ねて実装されており、

上記不良発光ダイオード素子に接続された配線が切断されている

画像表示装置。

【請求項13】

上記各発光ダイオード素子及びリペアの発光素子は、樹脂に埋め込まれた素子チップとされている請求項12記載の画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不良素子がリペア素子により修復された素子実装基板、不良素子の修復方法及び画像表示装置に関する。

【背景技術】

【0002】

発光素子をマトリクス状に配列して画像表示装置に組み上げる場合には、従来、液晶表示装置(LCD: Liquid Crystal Display)やプラズマディスプレイパネル(PDP: Plasma Display Panel)のように基板上に直接素子を形成するか、あるいは発光ダイオードディスプレイ(LEDディスプレイ)のように単体のLEDパッケージを配列することが行われている。例えば、LCD、PDPの如き画像表示装置においては、素子分離ができないために、製造プロセスの当初から各素子はその画像表示装置の画素ピッチだけ間隔を空けて形成することが通常行われている。

【0003】

10

20

30

40

50

一方、LEDディスプレイの場合には、LEDチップをダイシング後に取り出し、個別にワイヤーボンドもしくはフリップチップによるバンプ接続により外部電極に接続し、パッケージ化されることが行われている。この場合、パッケージ化の前もしくは後に画像表示装置としての画素ピッチに配列されるが、この画素ピッチは素子形成時の素子のピッチとは無関係とされる。

【0004】

発光素子であるLED（発光ダイオード）は高価である為、1枚のウエハから数多くのLEDチップを製造することによりLEDを用いた画像表示装置を低コストにできる。すなわち、LEDチップの大きさを従来約300 μ m角のものを数十 μ m角のLEDチップにして、それを接続して画像表示装置を製造すれば画像表示装置の価格を下げるこ

10

【0005】

そこで各素子を集積度高く形成し、各素子を広い領域に転写などによって離間させながら移動させ、画像表示装置などの比較的大きな表示装置を構成する技術が有り（例えば特許文献1参照）に記載される薄膜転写法や、表示用トランジスタアレイパネルの形成方法例えば特許文献2参照）などの技術が知られている。

特許文献1では基板上に密に形成した素子が粗に配置し直される転写方法が開示されており、接着剤付きの伸縮性基板に素子を転写した後、各素子の間隔と位置をモニターしながら伸縮性基板がX方向とY方向に伸張される。そして伸張された基板上の各素子が所要のディスプレイパネル上に転写される。また、特許文献2に記載される技術では、第1の基板上の液晶表示部を構成する薄膜トランジスタが第2の基板上に全体転写され、次にその第2の基板から選択的に画素ピッチに対応する第3の基板に転写する技術が開示されている。

20

【特許文献1】米国特許第5438241号公報

【特許文献2】特開平11-142878号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところで、LCDやPDPなどの薄型ディスプレイ装置においては、その製造プロセスの特性上、点灯しない不良画素の発生が不可避であり、それを補修することは不可能である。一方、発光源としてLEDを用いたディスプレイの場合、全ての画素が独立して実装される構成であることから、全製造プロセスを経た後、点灯しない画素が存在する場合、これを補修することが原理的に可能である。ただし、通常的手法により上記修復を実施しようとすると、強固に固定された不良素子の取り外しや、絶縁層の補修など、微細で困難な作業を伴う。

30

【0007】

本発明は、かかる従来の実情に鑑みて提案されたものであり、微細で困難な作業を伴うことなく容易に不良素子を修復することが可能な素子実装基板及び不良素子の修復方法を提供することを目的とする。また、本発明は、点灯しない不良画素が発生した場合に速やかにこれを修復し得る画像表示装置を提供することを目的とする。

40

【課題を解決するための手段】

【0008】

上述の目的を達成するために、本発明に係る素子実装基板は、基板上に、発光ダイオード素子が配線と電氣的に接続された状態で配列されてなる素子実装基板であって、上記発光ダイオード素子のうち不良発光ダイオード素子に対応した位置に、該不良発光ダイオード素子を取り外すことなく、該不良発光ダイオード素子のリペア素子が実装されており、上記リペア素子が上記不良発光ダイオード素子上に重ねて実装されており、上記不良発光ダイオード素子に接続された配線が切断されていることを特徴とするものである。また、本発明に係る不良素子の修復方法は、基板上に、発光ダイオード素子を配列し、駆動回路と接続された配線と電氣的に接続することにより実装した後、不良発光ダイオード素子を

50

検出し、当該不良発光ダイオード素子に対応した位置に、該不良発光ダイオード素子を取り外すことなく、該不良発光ダイオード素子のリペア素子を実装し、この際、該リペア素子を該不良発光ダイオード素子上に重ねて実装し、さらに、上記不良発光ダイオード素子に接続される配線を切断した後、当該配線の切断位置よりも駆動回路側の位置に上記リペア素子を電氣的に接続することを特徴とするものである。

【0009】

一方、本発明の画像表示装置は、基板上に、発光ダイオード素子が配線と電氣的に接続された状態でマトリクス状に配列され、各発光ダイオード素子が画素を構成してなる画像表示装置であって、上記発光ダイオード素子のうち不良発光ダイオード素子に対応した位置に、該不良発光ダイオード素子を取り外すことなく、該不良発光ダイオード素子のリペアの発光素子が実装されており、上記リペアの発光素子が上記不良発光ダイオード素子上に重ねて実装されており、上記不良発光ダイオード素子に接続された配線が切断されていることを特徴とするものである。

10

【発明の効果】

【0010】

上記本発明の素子実装基板、不良素子の修復方法においては、不良素子を取り外すことなく、単にリペア素子の載置、固定という簡便な工程によって不良素子の修復（リペア）が行われる。例えば、実装済みの素子の取り外しや、絶縁層の選択的な除去、修復など、困難な作業を行う必要がない。したがって、製造工程中でのリペアは勿論、製品出荷後にもリペア可能である。

20

【0011】

上記画像表示装置においては、離間して再配列された発光素子がマトリクス状に配置されて画像表示部分が構成される。したがって、密な状態すなわち集積度を高くして微細加工を施して作成された発光素子を、効率よく離間して再配置することができ、生産性が大幅に改善される。また、発光素子の不良などによる点灯しない画素の修復が容易であり、しかも新たなプロセス開発が不要である。

【発明を実施するための最良の形態】

【0012】

以下、本発明を適用した素子実装基板、さらにはこれを適用した画像表示装置を図面を参照しながら詳細に説明する。なお、以下においては、二段階拡大転写法による素子の再配列を応用した画像表示装置を例にして説明する。

30

【0013】

最初に、二段階拡大転写法による素子の配列方法及び画像表示装置をその製造方法と共に基本的な構成について説明する。二段階拡大転写法による素子の配列方法および画像表示装置の製造方法は、高集積度をもって第一基板上に作成された素子を第一基板上で素子が配列された状態よりは離間した状態となるように一時保持用部材に転写し、次いで一時保持用部材に保持された前記素子をさらに離間して第二基板上に転写する二段階の拡大転写を行う。なお、本例では転写を2段階としているが、素子を離間して配置する拡大度に応じて転写を三段階やそれ以上の多段階とすることもできる。

【0014】

図1はそれぞれ二段階拡大転写法の基本的な工程を示す図である。まず、図1の(a)に示す第一基板50上に、素子52を密に形成する。素子を密に形成することで、各基板当たりに生成される素子の数を多くすることができ、製品コストを下げるができる。第一基板50は例えば半導体ウエハ、ガラス基板、石英ガラス基板、サファイア基板、プラスチック基板などの種々素子形成可能な基板であるが、各素子52は第一基板50上に直接形成したものであっても良く、他の基板上で形成されたものを配列したものであっても良い。

40

【0015】

次に、図1の(b)に示すように、第一基板50から各素子52が一時保持用部材に転写され、この一時保持用部材の上に各素子52が保持される。このとき、同時に素子52

50

毎に素子周りの樹脂の被覆を行う。素子周りの樹脂の被覆は電極パッドを形成しやすく、転写工程での取り扱いを容易にするなどのために形成される。なお、隣接する素子52は例えば複数の一時保持用部材間での転写などにより選択分離を行うことにより、最終的には一時保持用部材上で離間され、図示のようにマトリクス状に配される。すなわち素子52はx方向にもそれぞれ素子の間を広げるように転写されるが、x方向に垂直なy方向にもそれぞれ素子の間を広げるように転写される。このとき離間される距離は、特に限定されず、一例として後続の工程での樹脂部形成や電極パッドの形成を考慮した距離とすることができる。

【0016】

このような第一転写工程の後、図1の(c)に示すように、一時保持用部材51上に存在する素子52は離間されていることから、各素子12毎に電極パッドの形成が行われる。電極パッドの形成は、後述するように、最終的な配線が続く第二転写工程の後に行われるため、その際に配線不良が生じないように比較的大き目のサイズに形成されるものである。なお、図1の(c)には電極パッドは図示していない。樹脂53で固められた各素子52に電極パッドを形成することで樹脂形成チップ(すなわち素子チップ)54が形成される。素子52は平面上、樹脂形成チップ54の略中央に位置するが、一方の辺や角側に偏った位置に存在するものであっても良い。

【0017】

次に、図1の(d)に示すように、第二転写工程が行われる。この第二転写工程では一時保持用部材51上でマトリクス状に配される素子52が樹脂形成チップ54ごと更に離間するように第二基板55上に転写される。第二転写工程においても、隣接する素子52は樹脂形成チップ54ごと離間され、図示のようにマトリクス状に配される。すなわち素子52はx方向にもそれぞれ素子の間を広げるように転写されるが、x方向に垂直なy方向にもそれぞれ素子の間を広げるように転写される。第二転写工程によって配置された素子の位置が画像表示装置などの最終製品の画素に対応する位置であるとする、当初の素子52間のピッチの略整数倍が第二転写工程によって配置された素子52のピッチとなる。ここで第一基板50から一時保持用部材51での離間したピッチの拡大率をnとし、一時保持用部材51から第二基板55での離間したピッチの拡大率をmとすると、略整数倍の値Eは $E = n \times m$ で表される。

【0018】

第二基板55上に樹脂形成チップ54ごと離間された各素子52には、配線が施される。この時、先に形成した電極パッド等を利用して接続不良を極力抑えながらの配線がなされる。この配線は素子52すなわち発光ダイオード素子のp電極、n電極への配線を含み、画像表示装置にあっては、選択信号線、電圧線や、配向電極膜などの配線等を含む。

【0019】

図1に示した二段階拡大転写法においては、第一転写後の離間したスペースを利用して電極パッドの形成などを行うことができ、そして第二転写後に配線が施されるが、先に形成した電極パッド等を利用して接続不良を極力抑えながらの配線がなされる。従って、画像表示装置の歩留まりを向上させることができる。また、本例の二段階拡大転写法においては、素子間の距離を離間する工程が2工程であり、このような素子間の距離を離間する複数工程の拡大転写を行うことで、実際は転写回数が減ることになる。すなわち、例えば、ここで第一基板50から一時保持用部材51での離間したピッチの拡大率を2($n = 2$)とし、一時保持用部材51から第二基板55での離間したピッチの拡大率を2($m = 2$)とすると、仮に一度の転写で拡大した範囲に転写しようとしたときでは、最終拡大率が 2×2 の4倍で、その二乗の16回の転写すなわち第一基板のアライメントを16回行う必要が生ずるが、本例の二段階拡大転写法では、アライメントの回数は第一転写工程での拡大率2の二乗の4回と第二転写工程での拡大率2の二乗の4回を単純に加えただけの計8回で済むことになる。即ち、同じ転写倍率を意図する場合においては、 $(n + m)^2 = n^2 + 2nm + m^2$ であることから、必ず $2nm$ 回だけ転写回数を減らすことができることになる。従って、製造工程も回数分だけ時間や経費の節約となり、特に拡大率の大きい

10

20

30

40

50

場合に有益となる。

【 0 0 2 0 】

なお、図 1 に示した二段階拡大転写法においては、素子 1 2 を例えば発光素子としているが、これに限定されず、他の素子例えば液晶制御素子、光電変換素子、圧電素子、薄膜トランジスタ素子、薄膜ダイオード素子、抵抗素子、スイッチング素子、微小磁気素子、微小光学素子から選ばれた素子若しくはその部分、これらの組み合わせなどであっても良い。

【 0 0 2 1 】

上記第二転写工程においては、素子 発光ダイオード素子 は樹脂形成チップ(チップ素子) 5 4 として取り扱われ、一時保持用部材上から第二基板にそれぞれ転写されるが、この樹脂形成チップについて図 2 及び図 3 を参照して説明する。樹脂形成チップ 5 4 は、離間して配置されている素子 5 1 の周りを樹脂 5 3 で固めたものであり、このような樹脂形成チップ 5 4 は、一時保持用部材から第二基板に素子 5 1 を転写する場合に使用できるものである。樹脂形成チップ 5 4 は略平板上でその主たる面が略正形状とされる。この樹脂形成チップ 5 4 の形状は樹脂 5 3 を固めて形成された形状であり、具体的には未硬化の樹脂を各素子 5 2 を含むように全面に塗布し、これを硬化した後で縁の部分をダイシング等で切断することで得られる形状である。

【 0 0 2 2 】

略平板状の樹脂 2 2 の表面側と裏面側にはそれぞれ電極パッド 5 6 , 5 7 が形成される。これら電極パッド 5 6 , 5 7 の形成は全面に電極パッド 5 6 , 5 7 の材料となる金属層や多結晶シリコン層などの導電層を形成し、フォトリソグラフィ技術により所要の電極形状にパターンニングすることで形成される。これら電極パッド 5 6 , 5 7 は発光ダイオード素子 5 1 の p 電極と n 電極にそれぞれ接続するように形成されており、必要な場合には樹脂 5 3 にビアホールなどが形成される。

【 0 0 2 3 】

ここで電極パッド 5 6 , 5 7 は樹脂形成チップ 5 4 の表面側と裏面側にそれぞれ形成されているが、一方の面に両方の電極パッドを形成することも可能であり、例えば薄膜トランジスタの場合ではソース、ゲート、ドレインの 3 つの電極があるため、電極パッドを 3 つ或いはそれ以上形成しても良い。電極パッド 5 6 , 5 7 の位置が平板上ずれているのは、最終的な配線形成時に上側からコンタクトをとっても重ならないようにするためである。電極パッド 5 6 , 5 7 の形状も正方形に限定されず他の形状としても良い。

【 0 0 2 4 】

このような樹脂形成チップ 5 4 を構成することで、素子 5 2 の周りが樹脂 5 3 で被覆され平坦化によって精度良く電極パッド 5 6 , 5 7 を形成できるとともに素子 5 2 に比べて広い領域に電極パッド 5 6 , 5 7 を延在でき、次の第二転写工程での転写を吸着治具で進める場合には取り扱いが容易になる。後述するように、最終的な配線が続く第二転写工程の後に行われるため、比較的大き目のサイズの電極パッド 5 6 , 5 7 を利用した配線を行うことで、配線不良が未然に防止される。

【 0 0 2 5 】

次に、図 4 に本例の二段階拡大転写法で使用される素子の一例としての発光素子の構造を示す。図 4 の (a) が素子断面図であり、図 4 の (b) が平面図である。この発光素子は GaN 系の発光ダイオードであり、たとえばサファイア基板上に結晶成長される素子である。このような GaN 系の発光ダイオードでは、基板を透過するレーザ照射によってレーザアブレーションが生じ、GaN の窒素が気化する現象にともなってサファイア基板と GaN 系の成長層の間の界面で膜剥がれが生じ、素子分離を容易なものにできる特徴を有している。

【 0 0 2 6 】

まず、その構造については、GaN 系半導体層からなる下地成長層 2 1 上に選択成長された六角錐形状の GaN 層 2 2 が形成されている。なお、下地成長層 2 1 上には図示しない絶縁膜が存在し、六角錐形状の GaN 層 2 2 はその絶縁膜を開口した部分に MOCVD

10

20

30

40

50

法などによって形成される。このGaN層22は、成長時に使用されるサファイア基板の主面をC面とした場合にS面(1-101面)で覆われたピラミッド型の成長層であり、シリコンをドーパさせた領域である。このGaN層22の傾斜したS面の部分はダブルヘテロ構造のクラッドとして機能する。GaN層22の傾斜したS面を覆うように活性層であるInGaN層23が形成されており、その外側にマグネシウムドーパのGaN層24が形成される。このマグネシウムドーパのGaN層24もクラッドとして機能する。

【0027】

このような発光ダイオードには、p電極25とn電極26が形成されている。p電極25はマグネシウムドーパのGaN層24上に形成されるNi/Pt/AuまたはNi(Pd)/Pt/Auなどの金属材料を蒸着して形成される。n電極26は前述の図示しない絶縁膜を開口した部分でTi/Al/Pt/Auなどの金属材料を蒸着して形成される。なお、下地成長層21の裏面側からn電極取り出しを行う場合は、n電極26の形成は下地成長層21の表面側には不要となる。

10

【0028】

このような構造のGaN系の発光ダイオードは、青色発光も可能な素子であって、特にレーザアブレーションによって比較的簡単にサファイア基板から剥離することができ、レーザビームを選択的に照射することで選択的な剥離が実現される。なお、GaN系の発光ダイオードとしては、平板上や帯状に活性層が形成される構造であっても良く、上端部にC面が形成された角錐構造のものであっても良い。また、他の窒化物系発光素子や化合物半導体素子などであっても良い。

20

【0029】

次に、図1に示す発光素子の配列方法を応用した画像表示装置の製造の具体的手法について説明する。発光ダイオード素子は図4に示したGaN系の発光ダイオードを用いている。まず、図5に示すように、第一基板41の主面上には複数の発光ダイオード42が密な状態で形成されている。発光ダイオード42の大きさは微小なものとすることができ、例えば一辺約20μm程度とすることができ、第一基板41の構成材料としてはサファイア基板などのように発光ダイオード42に照射するレーザの波長に対して透過率の高い材料が用いられる。発光ダイオード42にはp電極などまでは形成されているが最終的な配線は未だなされておらず、素子間分離の溝42gが形成されていて、個々の発光ダイオード42は分離できる状態にある。この溝42gの形成は例えば反応性イオンエッチングで行う。

30

【0030】

次いで、第一基板41上の発光ダイオード42を第1の一時保持用部材43上に転写する。ここで第1の一時保持用部材43の例としては、ガラス基板、石英ガラス基板、プラスチック基板などを用いることができ、本例では石英ガラス基板を用いた。また、第1の一時保持用部材43の表面には、離型層として機能する剥離層44が形成されている。剥離層44には、フッ素コート、シリコン樹脂、水溶性接着剤(例えばポリビニルアルコール:PVA)、ポリイミドなどを用いることができるが、ここではポリイミドを用いた。

【0031】

転写に際しては、図5に示すように、第一基板41上に発光ダイオード42を覆うに足る接着剤(例えば紫外線硬化型の接着剤)45を塗布し、発光ダイオード42で支持されるように第1の一時保持用部材43を重ね合わせる。この状態で、図6に示すように第1の一時保持用部材43の裏面側から接着剤45に紫外線(UV)を照射し、これを硬化する。第1の一時保持用部材43は石英ガラス基板であり、上記紫外線はこれを透過して接着剤45を速やかに硬化する。

40

【0032】

このとき、第1の一時保持用部材43は、発光ダイオード42によって支持されていることから、第一基板41と第1の一時保持用部材43との間隔は、発光ダイオード42の高さによって決まることになる。図6に示すように発光ダイオード42で支持されるように第1の一時保持用部材43を重ね合わせた状態で接着剤45を硬化すれば、当該接着剤

50

45の厚さ t は、第一基板41と第1の一時保持用部材43との間隔によって規制されることになり、発光ダイオード42の高さによって規制される。すなわち、第一基板41上の発光ダイオード42がスペーサとしての役割を果たし、一定の厚さの接着剤層が第一基板41と第1の一時保持用部材43の間に形成されることになる。このように、上記の方法では、発光ダイオード42の高さにより接着剤層の厚みが決まるため、厳密に圧力を制御しなくとも一定の厚みの接着剤層を形成することが可能である。

【0033】

接着剤45を硬化した後、図7に示すように、発光ダイオード42に対しレーザを第一基板41の裏面から照射し、当該発光ダイオード42を第一基板41からレーザアブレーションを利用して剥離する。GaN系の発光ダイオード42はサファイアとの界面で金属のGaと窒素に分解することから、比較的簡単に剥離できる。照射するレーザとしてはエキシマレーザ、高調波YAGレーザなどが用いられる。このレーザアブレーションを利用した剥離によって、発光ダイオード42は第一基板41の界面で分離し、一時保持用部材43上に接着剤45に埋め込まれた状態で転写される。

10

【0034】

図8は、上記剥離により第一基板41を取り除いた状態を示すものである。このとき、レーザにてGaN系発光ダイオードをサファイア基板からなる第一基板41から剥離しており、その剥離面にGa46が析出しているため、これをエッチングすることが必要である。そこで、NaOH水溶液もしくは希硝酸などによりウエットエッチングを行い、図9に示すように、Ga46を除去する。

20

さらに、図10に示すように、酸素プラズマ(O₂プラズマ)により表面を清浄化し、ダイシングにより接着剤45をダイシング溝47によって切断し、発光ダイオード42毎にダイシングした後、発光ダイオード42の選択分離を行なう。ダイシングプロセスは通常のブレードを用いたダイシング、20 μ m以下の幅の狭い切り込みが必要なときには上記レーザを用いたレーザによる加工を行う。その切り込み幅は画像表示装置の画素内の接着剤45で覆われた発光ダイオード42の大きさに依存するが、一例として、エキシマレーザにて溝加工を行い、チップの形状を形成する。

【0035】

発光ダイオード42を選択分離するには、先ず、図11に示すように、清浄化した発光ダイオード42上にUV接着剤48を塗布し、この上に第2の一時保持用部材49を重ねる。この第2の一時保持用部材49も、先の第1の一時保持用部材43と同様、ガラス基板、石英ガラス基板、プラスチック基板などを用いることができ、本例では石英ガラス基板を用いた。また、この第2の一時保持用部材49の表面にもポリイミドなどからなる剥離層50を形成しておく。

30

【0036】

次いで、図12に示すように、転写対象となる発光ダイオード42aに対応した位置にのみ第1の一時保持用部材43の裏面側からレーザを照射し、レーザアブレーションによりこの発光ダイオード42aを第1の一時保持用部材43から剥離する。それと同時に、やはり転写対象となる発光ダイオード42aに対応した位置に、第2の一時保持用部材49の裏面側から紫外線(UV)を照射してUV露光を行い、この部分のUV接着剤48を硬化する。その後、第2の一時保持用部材49を第1の一時保持用部材43から引き剥がすと、図13に示すように、上記転写対象となる発光ダイオード42aのみが選択的に分離され、第2の一時保持用部材49上に転写される。

40

【0037】

上記選択分離後、図14に示すように、転写された発光ダイオード42を覆って樹脂を塗布し、樹脂層51を形成する。さらに、図15に示すように、酸素プラズマなどにより樹脂層51の厚さを削減し、図16に示すように、発光ダイオード42に対応した位置にレーザの照射によりピアホール52を形成する。ピアホール52の形成には、エキシマレーザ、高調波YAGレーザ、炭酸ガスレーザなどを用いることができる。このとき、ピアホール52は例えば約3~7 μ mの径を開けることになる。

50

【0038】

次に、上記ピアホール52を介して発光ダイオード42のp電極と接続されるアノード側電極パッド53を形成する。このアノード側電極パッド53は、例えばNi/Pt/Auなどで形成する。図17は、発光ダイオード42を第2の一時保持用部材49に転写して、アノード電極(p電極)側のピアホール52を形成した後、アノード側電極パッド53を形成した状態を示している。

【0039】

上記アノード側電極パッド53を形成した後、反対側の面にカソード側電極を形成するため、第3の一時保持用部材54への転写を行う。第3の一時保持用部材54も、例えば石英ガラスなどからなる。転写に際しては、図18に示すように、アノード側電極パッド53を形成した発光ダイオード42、さらには樹脂層51上に接着剤55を塗布し、この上に第3の一時保持用部材54を貼り合わせる。この状態で第2の一時保持用部材49の裏面側からレーザを照射すると、石英ガラスからなる第2の一時保持用部材49と、当該第2の一時保持用部材49上に形成されたポリイミドからなる剥離層50の界面でレーザアブレーションによる剥離が起き、剥離層50上に形成されている発光ダイオード42や樹脂層51は、第3の一時保持用部材54上に転写される。図19は、第2の一時保持用部材49を分離した状態を示すものである。

【0040】

カソード側電極の形成に際しては、上記の転写工程を経た後、図20に示すO₂プラズマ処理により上記剥離層50や余分な樹脂層51を除去し、発光ダイオード42のコンタクト半導体層(n電極)を露出させる。発光ダイオード42は一時保持用部材54の接着剤55によって保持された状態で、発光ダイオード42の裏面がn電極側(カソード電極側)になっていて、図2121に示すように電極パッド56を形成すれば、電極パッド56は発光ダイオード42の裏面と電氣的に接続される。その後、電極パッド56をパターニングする。このときのカソード側の電極パッドは、例えば約60μm角とすることができる。電極パッド56としては透明電極(ITO、ZnO系など)もしくはTi/Al/Pt/Auなどの材料を用いる。透明電極の場合は発光ダイオード42の裏面を大きく覆っても発光をささげることがないので、パターニング精度が粗く、大きな電極形成ができ、パターニングプロセスが容易になる。

【0041】

次に、上記樹脂層51や接着剤55によって固められた発光ダイオード42を個別に切り出し、上記樹脂形成チップの状態にする。切り出しは、例えばレーザダイシングにより行えばよい。図22は、レーザダイシングによる切り出し工程を示すものである。レーザダイシングは、レーザのラインビームを照射することにより行われ、上記樹脂層51及び接着剤55を第3の一時保持用部材54が露出するまで切断する。このレーザダイシングにより各発光ダイオード42は所定の大きさの樹脂形成チップとして切り出され、後述の実装工程へと移行される。

【0042】

実装工程では、機械的手段(真空吸引による素子吸着)とレーザアブレーションの組み合わせにより発光ダイオード42(樹脂形成チップ)が第3の一時保持用部材54から剥離される。図23は、第3の一時保持用部材54上に配列している発光ダイオード42を吸着装置57でピックアップするところを示した図である。このときの吸着孔58は画像表示装置の画素ピッチにマトリクス状に開口していて、発光ダイオード42を多数個、一括で吸着できるようになっている。このときの開口径は、例えば直径約100μmで600μmピッチのマトリクス状に開口されて、一括で約300個を吸着できる。このときの吸着孔58の部材は例えば、Ni電鍍により作製したものの、もしくはSUSなどの金属板をエッチングで穴加工したものが使用され、吸着孔58の奥には吸着チャンバ59が形成されており、この吸着チャンバ59を負圧に制御することで発光ダイオード42の吸着が可能になる。発光ダイオード42はこの段階で樹脂層51で覆われており、その上面は略平坦化されている。このために吸着装置57による選択的な吸着を容易に進めることがで

10

20

30

40

50

きる。

【 0 0 4 3 】

上記発光ダイオード 4 2 の剥離に際しては、上記吸着装置 5 7 による素子吸着と、レーザアブレーションによる樹脂形成チップの剥離を組み合わせ、剥離が円滑に進むようにしている。レーザアブレーションは、第 3 の一時保持用部材 5 4 の裏面側からレーザを照射することにより行う。このレーザアブレーションによって、第 3 の一時保持用部材 5 4 と接着剤 5 5 の界面で剥離が生ずる。

【 0 0 4 4 】

図 2 4 は発光ダイオード 4 2 を第二基板 6 1 に転写するところを示した図である。第二基板 6 1 は、配線層 6 2 を有する配線基板であり、発光ダイオード 4 2 を装着する際に第二基板 6 1 にあらかじめ接着剤層 6 3 が塗布されており、その発光ダイオード 4 2 下面の接着剤層 6 3 を硬化させ、発光ダイオード 4 2 を第二基板 6 1 に固着して配列させることができる。この装着時には、吸着装置 5 7 の吸着チャンバ 5 9 が圧力の高い状態となり、吸着装置 5 7 と発光ダイオード 4 2 との吸着による結合状態は解放される。接着剤層 6 3 は UV 硬化型接着剤、熱硬化性接着剤、熱可塑性接着剤などによって構成することができる。第二基板 6 1 上で発光ダイオード 4 2 が配置される位置は、一時保持用部材 5 4 上での配列よりも離間したものとなる。接着剤層 6 3 の樹脂を硬化させるエネルギーは第二基板 6 1 の裏面から供給される。UV 硬化型接着剤の場合は UV 照射装置にて、熱硬化性接着剤の場合は赤外線加熱などによって発光ダイオード 4 2 の下面のみ硬化させ、熱可塑性接着剤場合は、赤外線やレーザの照射によって接着剤を熔融させ接着を行う。

【 0 0 4 5 】

図 2 5 は、他の色の発光ダイオード 6 4 を第二基板 6 1 に配列させるプロセスを示す図である。図 2 3 2 3 で用いた吸着装置 5 7 をそのまま使用して、第二基板 6 1 にマウントする位置をその色の位置にずらすだけでマウントすると、画素としてのピッチは一定のまま複数色からなる画素を形成できる。ここで、発光ダイオード 4 2 と発光ダイオード 6 4 は必ずしも同じ形状でなくとも良い。図 2 5 では、赤色の発光ダイオード 6 4 が六角錐の GaN 層を有しない構造とされ、他の発光ダイオード 4 2 とその形状が異なっているが、この段階では各発光ダイオード 4 2、6 4 は既に樹脂形成チップとして樹脂層 5 1、接着剤 5 5 で覆われており、素子構造の違いにもかかわらず同一の取り扱いが実現される。

【 0 0 4 6 】

次いで、図 2 6 に示すように、これら発光ダイオード 4 2、6 4 を含む樹脂形成チップを覆って絶縁層 6 5 を形成する。絶縁層 6 5 としては、透明エポキシ接着剤、UV 硬化型接着剤、ポリイミドなどを用いることができる。上記絶縁層 6 5 を形成した後、配線形成工程を行なう。図 2 7 は配線形成工程を示す図である。絶縁層 6 5 に開口部 6 6、6 7、6 8、6 9、7 0、7 1 を形成し、発光ダイオード 4 2、6 4 のアノード、カソードの電極パッドと第二基板 6 1 の配線層 6 2 を接続する配線 7 2、7 3、7 4 を形成した図である。このときに形成する開口部すなわちビアホールは発光ダイオード 4 2、6 4 の電極パッドの面積を大きくしているので大きくすることができ、ビアホールの位置精度も各発光ダイオードに直接形成するビアホールに比べて粗い精度で形成できる。例えば、このときのビアホールは、約 6 0 μm 角の電極パッドに対し、直径約 2 0 μm のものを形成できる。また、ビアホールの深さは配線基板と接続するもの、アノード電極と接続するもの、カソード電極と接続するものの 3 種類の深さがあるのでレーザのパルス数で制御し、最適な深さを開口する。

【 0 0 4 7 】

ところで、上記の工程によって配線が完了した後、発光テストを実施したときに、発光ダイオードが点灯せず、しかも配線に問題が無い場合には、非点灯の原因は発光ダイオードの不良と考えられ、樹脂形成チップの交換などの補修を行う必要がある。しかしながら、上述のように隣接する樹脂形成チップのピッチが 2 0 0 μm 程度と小さいこと、樹脂形成チップが絶縁層 6 5 に埋没していることなどの理由により、不良の発光ダイオードを含む樹脂形成チップを取り外して新たな樹脂形成チップを取り付け、絶縁層や配線を再構築

10

20

30

40

50

することは非常に困難である。そこで、本発明では、不良の発光ダイオードが埋め込まれた樹脂形成チップの取り外しなどの作業を行わずに、新たにリペア用の樹脂形成チップを追加配置を行うことにより、不良画素の補修を行うこととする。

【0048】

図28は、リペア用の樹脂形成チップを追加配置した状態を示すものである。本例は、発光ダイオード42が不良であった場合のリペア用樹脂形成チップの追加配置状態を示す。リペア用の樹脂形成チップ75は、樹脂チップ76のほぼ中央に発光ダイオード77が内包されてなるものであり、第二基板61との接合面75aには、内包される発光ダイオード77に電流を流すための電極ランド78a, 78bが設けられている。これら電極ランド78a, 78bは、上記接合面75aにおいて、その中心に対してほぼ点対称となる位置に設けられており、樹脂形成チップ75を追加配置したときに、これら電極ランド78a, 78bが上記配線73, 74と接することにより電氣的に接続される。

10

【0049】

以上により不良画素を補修した後、図29に示すように、保護層79を形成し、ブラックマスク80を形成して画像表示装置のパネルは完成する。このときの保護層79は図25の絶縁層65と同様である。透明エポキシ接着剤などの材料が使用できる。この保護層79は加熱硬化し配線を完全に覆う。この後、パネル端部の配線からドライバーICを接続して駆動パネルを製作することになる。

【0050】

上記のようにリペア用樹脂形成チップ75を追加配置すれば、不良である発光ダイオード42が埋め込まれた樹脂形成チップを取り外す必要がなく、困難な作業を伴うことなく簡単に不良画素を修復することができる。以下、このリペア用樹脂形成チップの追加配置について詳述する。図30に画像表示装置の構造の一例を示す。図30は、多数個存在する画素のうち1つの画素部分を表している。

20

【0051】

1画素内には、赤、青、緑の3色それぞれの発光源となる発光ダイオードを内包した赤色発光樹脂形成チップ81、青色発光樹脂形成チップ82、緑色発光樹脂形成チップ83、及び発光ダイオードを発光駆動するための駆動トランジスタ84が例えば透明ガラス製のディスプレイ基板85上に配置されている。各樹脂形成チップ81, 82, 83が固定される配列ピッチは、約200 μ m程度である。また、ディスプレイ基板85には、これら樹脂形成チップ81, 82, 83及び駆動トランジスタ84の配線を行うための配線パターンが予め形成されている。配線パターンは、電源線a86、電源線b87、アドレス線88、信号線R89、信号線G90、信号線B91からなり、各樹脂形成チップ81, 82, 83及び駆動トランジスタ84は、これら配線パターンと接続され、相互に電氣的に接続されている。

30

【0052】

ここで改めて各樹脂形成チップの構造を説明すると、樹脂形成チップ92は、その模式的な平面図を図31に示すように、樹脂製のチップ93のほぼ中央に発光ダイオード94が埋め込まれてなるものである。その大きさは、例えば160 μ m角、厚さ約40 μ m程度である。また、チップ93の表面には、各樹脂形成チップに含まれる発光ダイオードに電流を流すための電極ランド95a, 95bがチップ93の中心に対してほぼ点対称となる位置に設けられている。

40

【0053】

各樹脂形成チップは、上記の通りディスプレイ基板上に形成された配線パターンと接続されるが、樹脂形成チップと配線パターンの接続状態の一例を図32に示す。図32は、樹脂形成チップ92と配線パターンの接続状態を示す断面図であり、樹脂形成チップ92や配線パターン(ここでは電源線a86、電源線b87、信号線G90)は、例えば透明樹脂製の絶縁層96, 97, 98を介してディスプレイ基板85上に積層されている。また、絶縁層96, 97, 98に対して鉛直方向に孔を開け、ここに導電性物質を充填して層間接続用配線99, 100を形成するとともに、これら層間接続用配線99, 100と

50

接続される引き出し配線 101, 102 を配することにより、樹脂形成チップ 92 の電極ランド 95a は駆動トランジスタ 84 と、電極ランド 95b は電源線 b87 とそれぞれ電氣的に接続されている。

【0054】

図 33 は、上記接続状態を示す斜視図である。なお、図 33 においては、絶縁層 96, 97, 98 は省略されている。樹脂形成チップ 92 の配線を考えた場合、図 34 に示すように、上記引き出し配線 101, 102 の長さが最短になるように設計するのが通常である。本例では、図 33 に示すように、樹脂形成チップ 93 の電極ランド 95a, 95b の位置を変更することにより、引き出し配線 101, 102 に余剰部分 101a, 102a を持たせ、この部分をリペア用樹脂形成チップの電氣的接続のための電極ランドとして利用している。

10

【0055】

図 35 は、リペア用樹脂形成チップ 103 の構造を示すものである。このリペア用樹脂形成チップ 103 は、先の樹脂形成チップ 92 とほぼ同じ外形寸法の樹脂チップ 104 のほぼ中央に発光ダイオード 105 が内包されてなるものであり、ディスプレイ基板 85 への接合面 106 には、発光ダイオード 105 に電流を流すための電極ランド 107a, 107b が樹脂チップ 104 の中心に対してほぼ点対称となる位置に設けられている。

【0056】

不良である樹脂形成チップ 92 検出された場合、先ず、図 36 に示すように、不良樹脂形成チップ 92 に電流が流れないように、引き出し配線 101, 102 を電極ランド 95a, 95b の近傍（例えば線 108, 109）で切断する。次に、図 37 に示すように、不良の樹脂形成チップ 92 とほぼ重なる位置にリペア用樹脂形成チップ 103 を載置する。このとき、リペア用樹脂形成チップ 103 の電極ランド 107a, 107b は、図 33 にて示した引き出し配線 101, 102 の余剰部分 101a, 102a と当接されて電氣的に導通される。したがって、新たな配線を形成することなく、リペア用樹脂形成チップ 103 に内包される発光ダイオード 105 に駆動電流を供給することができる。

20

【0057】

最後に、図 38 に示すように、リペア用樹脂形成チップ 103 を完全に固定し不良画素の修復を完了する。

図 39 に、不良樹脂形成チップ 92 上にリペア用樹脂形成チップ 103 を載置することにより修復した状態（断面）を示す。以上に示したように、リペアを想定した樹脂形成チップの配置姿勢、及び配線形状を形成することにより、実装済みの樹脂形成チップの取り外しなどの工程を経ることなく、配線の一部切断及びリペアチップの載置、固定という簡便な工程によって樹脂形成チップに起因する不良画素のリペアを実行することができる。

30

【0058】

以上の説明からも明らかなように、本発明の素子実装基板、不良素子の修復方法によれば、強固に固定された不良素子の取り外し、絶縁層の補修などの微細で困難な作業を行うことなく不良素子の補修（例えば、LED 素子の不良などによる点灯しない画素の補修）が可能である。また、本発明の素子実装基板、上述した不良素子の修復方法によれば、以下のような利点もある。先ず、リペアチップの構造、寸法は樹脂形成チップと類似しており、ほぼ同じプロセスによる製作が可能で、新たなプロセス開発が不要である。また、ディスプレイ構造の変更点は、樹脂形成チップの姿勢、配線長さの 2 点のみであり、製造プロセスに何ら影響を与えることはない。さらに、リペアチップ搭載のプロセスは、樹脂形成チップ搭載の手法を応用することができ、この点でも新たなプロセス開発は不要である。また、リペアチップは例えばディスプレイ構造の最上層に配置されるため、万一リペアチップに不具合が発生した場合にも除去や再リペアが容易である。さらにまた、本発明によれば、組み立て工場における製造工程中でのリペアは勿論、製品出荷後に例えば樹脂形成チップ起因で点灯しない画素が発生した場合にも修理が可能である。一方、本発明の画像表示装置やその製造方法においては、上記の利点をそのままに、密な状態すなわち集積度を高くして微細加工を施して作成された発光素子を、効率よく離間して再配置すること

40

50

ができ、したがって精度の高い画像表示装置を生産性良く製造することが可能である。

【図面の簡単な説明】

【0059】

【図1】素子の配列方法を示す模式図である。

【図2】樹脂形成チップの概略斜視図である。

【図3】樹脂形成チップの概略平面図である。

【図4】発光素子の一例を示す図であって、(a)は断面図、(b)は平面図である。

【図5】第1の一時保持用部材の接合工程を示す概略断面図である。

【図6】UV接着剤硬化工程を示す概略断面図である。

【図7】レーザアブレーション工程を示す概略断面図である。

10

【図8】第一基板の分離工程を示す概略断面図である。

【図9】Ga除去工程を示す概略断面図である。

【図10】素子分離溝形成工程を示す概略断面図である。

【図11】第2の一時保持用部材の接合工程を示す概略断面図である。

【図12】選択的なレーザアブレーション及びUV露光工程を示す概略断面図である。

【図13】発光ダイオードの選択分離工程を示す概略断面図である。

【図14】樹脂による埋め込み工程を示す概略断面図である。

【図15】樹脂層厚削減工程を示す概略断面図である。

【図16】ピア形成工程を示す概略断面図である。

【図17】アノード側電極パッド形成工程を示す概略断面図である。

20

【図18】レーザアブレーション工程を示す概略断面図である。

【図19】第2の一時保持用部材の分離工程を示す概略断面図である。

【図20】コンタクト半導体層露出工程を示す概略断面図である。

【図21】カソード側電極パッド形成工程を示す概略断面図である。

【図22】レーザダイシング工程を示す概略断面図である。

【図23】吸着装置による選択的ピックアップ工程を示す概略断面図である。

【図24】第二基板への転写工程を示す概略断面図である。

【図25】他の発光ダイオードの転写工程を示す概略断面図である。

【図26】絶縁層形成工程を示す概略断面図である。

【図27】配線形成工程を示す概略断面図である。

30

【図28】リペア用樹脂形成チップ搭載工程を示す概略断面図である。

【図29】保護層及びブラックマスク形成工程を示す概略断面図である。

【図30】画素部分の概略平面図である。

【図31】樹脂形成チップの概略平面図である。

【図32】樹脂形成チップと配線パターンの接続状態を示す概略断面図である。

【図33】樹脂形成チップと配線パターンの接続状態を示す概略斜視図である。

【図34】引き出し配線の長さが最短になるように設計された場合の接続状態を示す概略斜視図である。

【図35】リペア用樹脂形成チップの概略斜視図である。

【図36】配線の切断工程を示す概略斜視図である。

40

【図37】リペア用樹脂形成チップの載置工程を示す概略斜視図である。

【図38】リペア用樹脂形成チップの載置状態を示す概略斜視図である。

【図39】リペア用樹脂形成チップの実装状態を示す概略断面図である。

【符号の説明】

【0060】

75, 103 リペア用樹脂形成チップ

78a, 78b, 105a, 105b 電極ランド

84 駆動トランジスタ

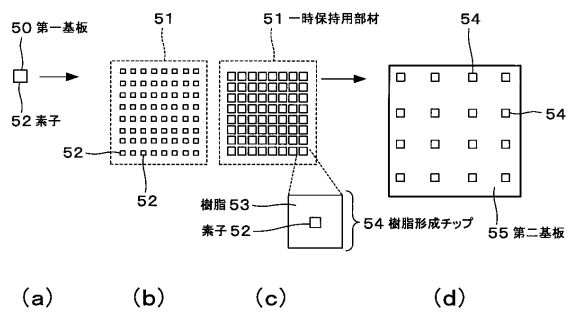
92 樹脂形成チップ

94, 105 発光ダイオード

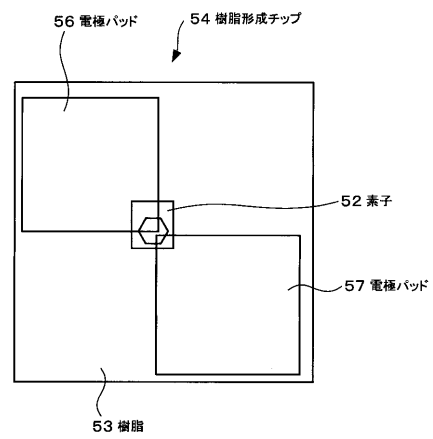
50

101, 102 引き出し配線

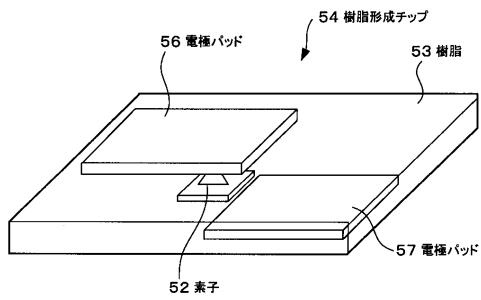
【図1】



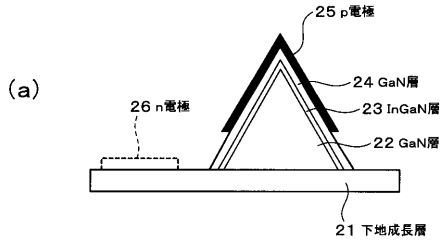
【図3】



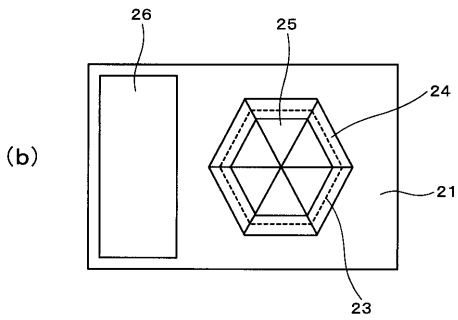
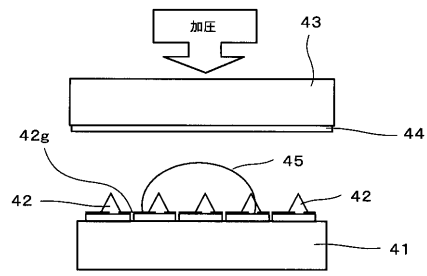
【図2】



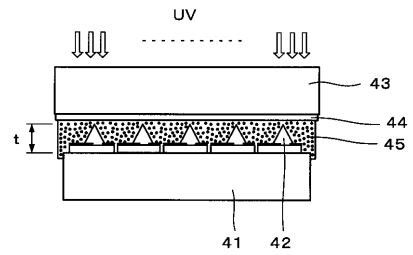
【図4】



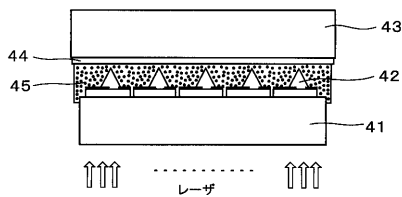
【図5】



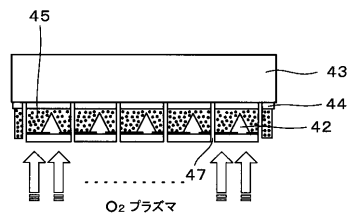
【図6】



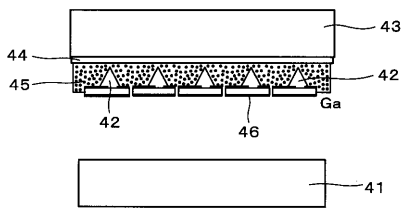
【図7】



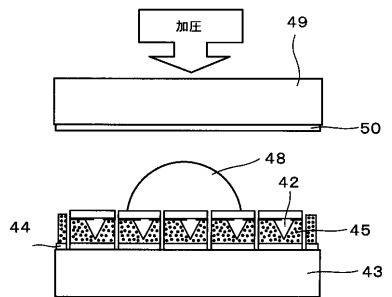
【図10】



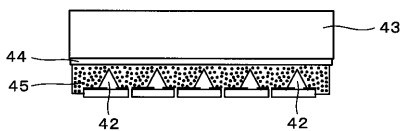
【図8】



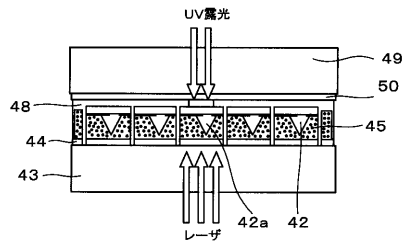
【図11】



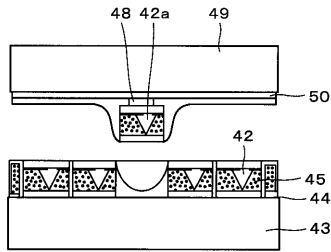
【図9】



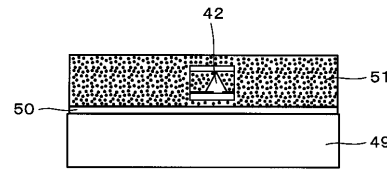
【図12】



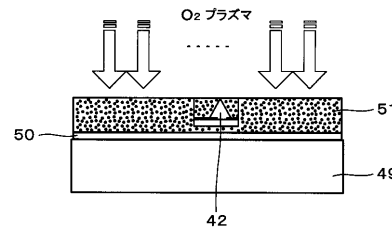
【図13】



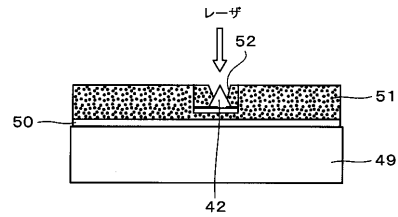
【図14】



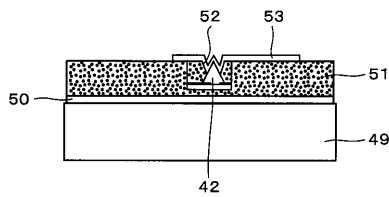
【図15】



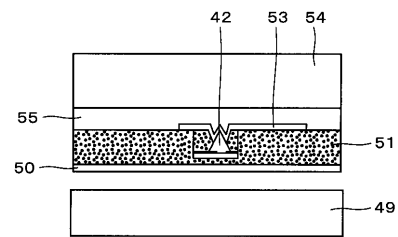
【図16】



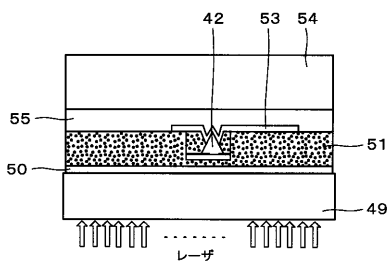
【図17】



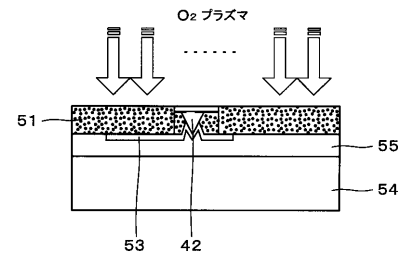
【図19】



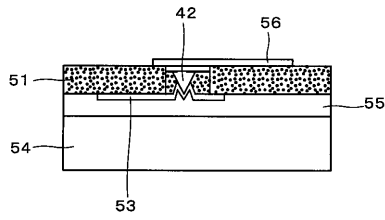
【図18】



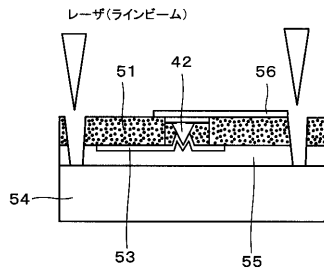
【図20】



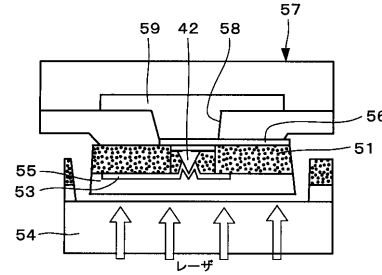
【図21】



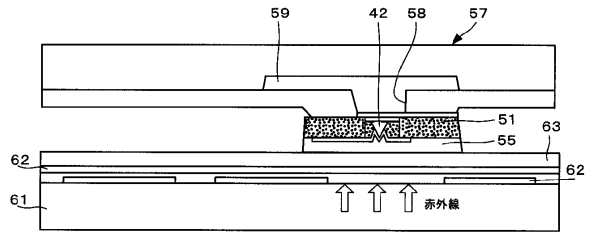
【図22】



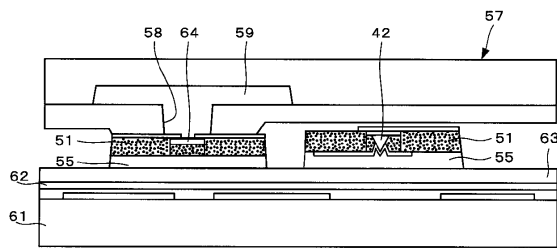
【図23】



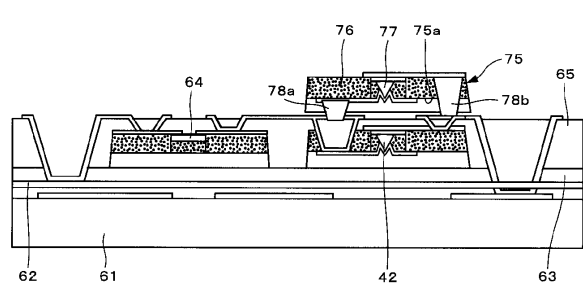
【図24】



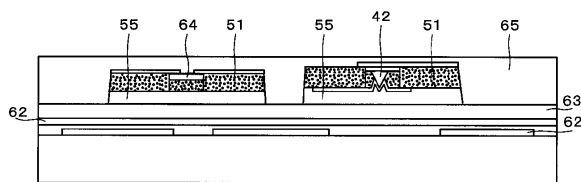
【図25】



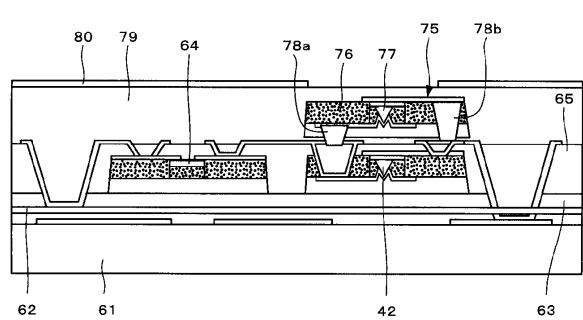
【図28】



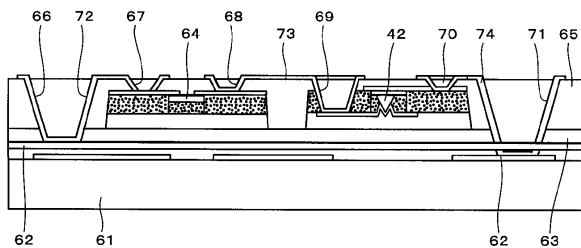
【図26】



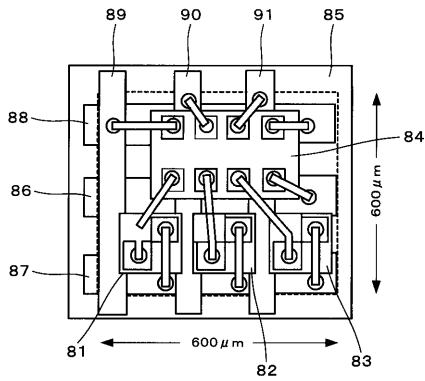
【図29】



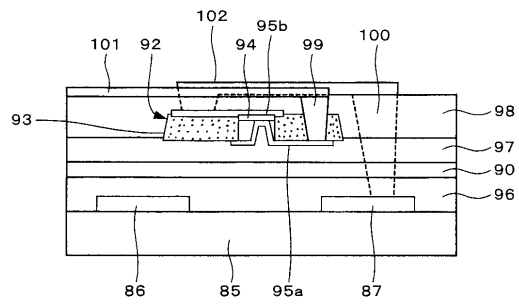
【図27】



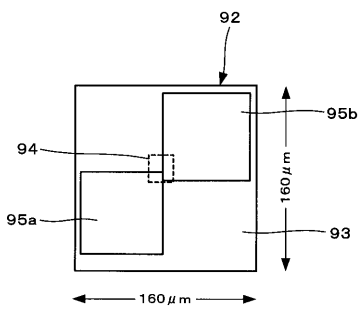
【図30】



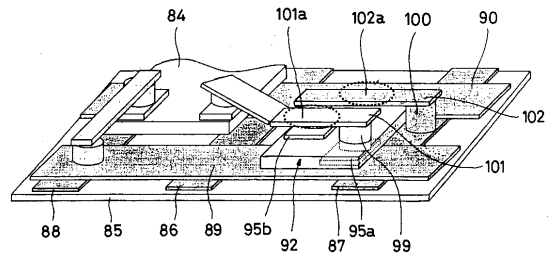
【図32】



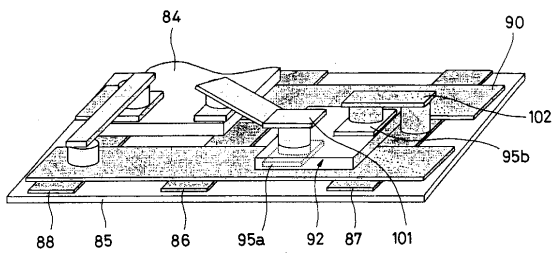
【図31】



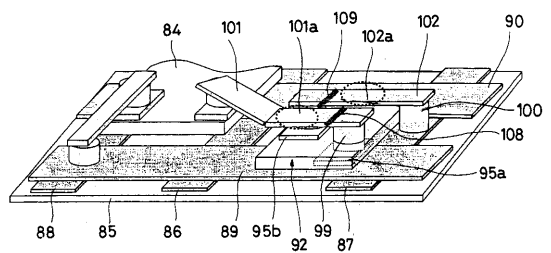
【図33】



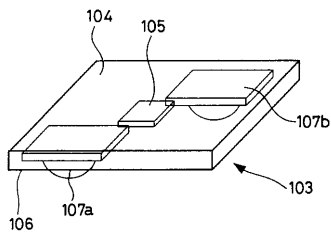
【図34】



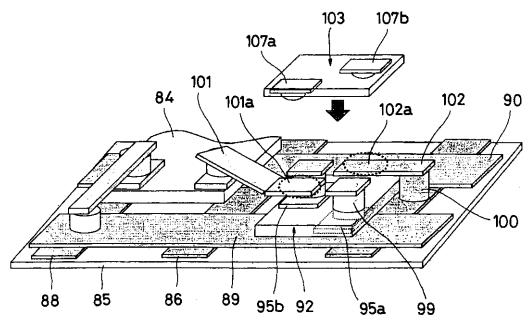
【図36】



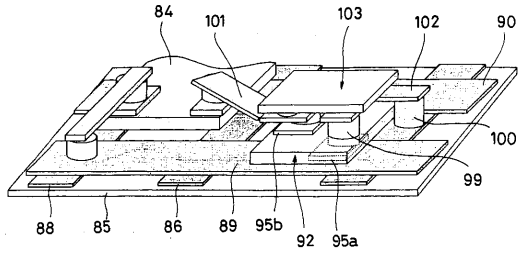
【図35】



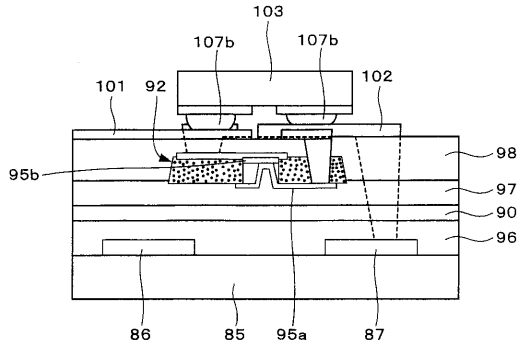
【図37】



【 図 3 8 】



【 図 3 9 】



フロントページの続き

(72)発明者 大庭 央
東京都品川区北品川6丁目7番35号 ソニー株式会社内

審査官 伊藤 昌哉

(56)参考文献 特開平11-008338(JP,A)
特開平11-307878(JP,A)
特開昭56-017385(JP,A)

(58)調査した分野(Int.Cl., DB名)
G09F 9/00-9/46
H01L 33/00