

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2011-515786

(P2011-515786A)

(43) 公表日 平成23年5月19日 (2011.5.19)

(51) Int. Cl.	F I	テーマコード (参考)
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 1 4	5 B 1 2 5
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 4 1	
	G 1 1 C 17/00 6 3 4 G	
	G 1 1 C 17/00 6 1 1 G	
	G 1 1 C 17/00 6 1 3	
審査請求 未請求 予備審査請求 未請求 (全 14 頁) 最終頁に続く		

(21) 出願番号 特願2011-500833 (P2011-500833)
 (86) (22) 出願日 平成21年2月19日 (2009.2.19)
 (85) 翻訳文提出日 平成22年10月27日 (2010.10.27)
 (86) 国際出願番号 PCT/US2009/034573
 (87) 国際公開番号 W02009/117204
 (87) 国際公開日 平成21年9月24日 (2009.9.24)
 (31) 優先権主張番号 12/051,462
 (32) 優先日 平成20年3月19日 (2008.3.19)
 (33) 優先権主張国 米国 (US)

(71) 出願人 506197901
 サンディスク コーポレーション
 アメリカ合衆国、95035、カリフォル
 ニア州、ミルピタス、マッカシー ブルバ
 ード 601
 (74) 代理人 100075144
 弁理士 井ノ口 壽
 (72) 発明者 リ, ヤン
 アメリカ合衆国、95035、カリフォル
 ニア州、ミルピタス、ケペナイヤー ドラ
 イブ 695
 (72) 発明者 コー, アン パーリン
 アメリカ合衆国、94087、カリフォル
 ニア州、サニーバール、モーニングサイド
 ドライブ 1063

最終頁に続く

(54) 【発明の名称】 ダイナミックデータラッチ要求を備えたキャッシュ操作における適合アルゴリズム

(57) 【要約】

不揮発性メモリは、1つ以上のアドレス指定されたページの指定されたグループに、データラッチの対応するセットに保存された最初の1セットのデータを使用し、最初の操作（例えば、書き込み操作）を実行できる。また、これらの対応するデータラッチを使用する2番目の1セットのデータの2番目の操作（例えば、読み出し操作）の要求を受け取ることもできる。最初の操作の間、対応したそれぞれのセットの少なくとも1個のラッチが2番目の操作に利用可能になり、データラッチの対応するセットに十分な数があると、メモリでは最初の操作の間に、2番目の操作が実行される。そうでない場合には、2番目の操作が遅れることになる。最初の操作の間に十分な数のラッチが利用可能になると、メモリは続いて2番目の操作を実行できる。2番目の操作を実行するために対応するセットの十分な数のデータラッチがあるかどうかの判断に応じて、十分な数があることが判断されると、最初の操作の間に2番目の操作が実行される。

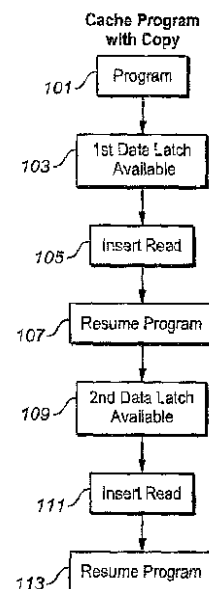


FIG. 1

【特許請求の範囲】**【請求項 1】**

アドレス可能なページのメモリセルを有する不揮発性メモリを操作する方法であって、
アドレス指定されているページの各メモリセルに、既定のビット数をラッチする容量を
有する対応するデータラッチのセットを供給するステップと、

1 つまたは複数のアドレス指定されているページの指定されたグループに、データラッ
チの対応するセットに保存された最初のデータセットを使用して、最初の操作を実行する
ステップと、

メモリアレイ上で 1 つまたは複数の後続するメモリ操作に関連するデータと共に、デー
タラッチの対応するセットの幾つかを使用する 2 番目の操作を求める要求を受け取るステ
ップと、

最初の操作の間に、データラッチのそれぞれのセットの少なくとも 1 つのラッチが、2
番目の操作に利用可能であることを判断するステップと、

続いて、最初の操作の間に、2 番目の操作を実行するために十分な数のデータラッチの
対応するセットがあるかどうかを判断するステップと、

2 番目の操作を実行するためのデータラッチの対応するセットに十分な数がないことを
判断することに対応して、2 番目の操作を遅らせるステップと、

を含む方法。

【請求項 2】

請求項 1 記載の方法であって、

十分な数のラッチが利用可能になるとき、続いて、最初の操作の間に、2 番目の操作を
実行するステップをさらに含む方法。

【請求項 3】

請求項 1 記載の方法であって、

2 番目の操作を実行するために十分な数のデータラッチの対応するセットがあることを
判断することに対応して、最初の操作の間に、2 番目の操作を実行するステップをさらに
含む方法。

【請求項 4】

請求項 1 記載の方法であって、

最初の操作が、消去操作のソフトウェアフェーズである方法。

【請求項 5】

請求項 1 記載の方法であって、

最初の操作が、プログラム操作である方法。

【請求項 6】

請求項 5 記載の方法であって、

2 番目の操作が、読み出し操作である方法。

【請求項 7】

請求項 6 記載の方法であって、

読み出し操作が、プログラム操作における使用のためのルックアヘッド読み出し操作で
ある方法。

【請求項 8】

請求項 1 記載の方法であって、

最初の操作が交互プログラムとベリファイフェーズを有する書き込み操作であり、デー
タの最初のセットがメモリセルの最初のグループに書き込まれるデータである方法。

【請求項 9】

請求項 1 記載の方法であって、

前記メモリセルは N が 1 以上である N ビットのデータを保存する多値メモリセルであり
、前記データラッチのそれぞれのセットは N 個のデータラッチを含み、前記最初のデー
タセットは N ビットデータである方法。

【請求項 10】

請求項 1 記載の方法であって、
最初の操作の実行中に 2 番目の操作を求める要求を受け取る方法。

【請求項 1 1】

請求項 1 記載の方法であって、
最初の操作の実行を始める前に、2 番目の操作を求める要求がある方法。

【請求項 1 2】

請求項 1 記載の方法であって、
データラッチのそれぞれのセットの少なくとも 1 つのラッチが 2 番目の操作に利用可能であるという判断が Ready / Busy 信号に基づいている方法。

【請求項 1 3】

不揮発性メモリであって、
アドレス可能なページのメモリセルと、
アドレス指定されているページの各メモリセルは既定のビット数をラッチする容量を有する対応するデータラッチのセットを有する複数のデータラッチと、を備え、
データラッチの対応するセットに保存された最初のデータセットを使用して、1 つまたは複数のアドレス指定されているページの指定されたグループに対する最初の操作の間に、メモリは、メモリアレイ上で 1 つまたは複数の後続するメモリ操作に関連するデータと共に対応するデータラッチのセットを使用して、2 番目の要求された操作にデータラッチのそれぞれのセットの少なくとも 1 つのラッチが利用可能であるかを判断でき、次に、最初の操作の間に、2 番目の操作を実行するために十分な数のデータラッチの対応するセットがあるかどうか判断し、そして、2 番目の操作を実行するための十分な数のデータラッチの対応するセットがないことを判断することに対応して、2 番目の操作を遅らせる不揮発性メモリ。

【請求項 1 4】

請求項 1 3 記載の不揮発性メモリであって、
十分な数のラッチが利用可能になると、続いてメモリが最初の操作の間に、2 番目の操作を実行する不揮発性メモリ。

【請求項 1 5】

請求項 1 3 記載の不揮発性メモリであって、
2 番目の操作を実行するために十分な数のデータラッチの対応するセットがあることを判断することに対応して、メモリが最初の操作の間に、2 番目の操作を実行する不揮発性メモリ。

【請求項 1 6】

請求項 1 3 記載の不揮発性メモリであって、
最初の操作が、消去操作のソフトプログラムフェーズである不揮発性メモリ。

【請求項 1 7】

請求項 1 3 記載の不揮発性メモリであって、
最初の操作が、プログラム操作である不揮発性メモリ。

【請求項 1 8】

請求項 1 7 記載の不揮発性メモリであって、
2 番目の操作が、読み出し操作である不揮発性メモリ。

【請求項 1 9】

請求項 1 8 記載の不揮発性メモリであって、
読み出し操作が、プログラム操作における使用のためのルックアヘッド読み出し操作である不揮発性メモリ。

【請求項 2 0】

請求項 1 3 記載の不揮発性メモリであって、
最初の操作が交互プログラムとベリファイフェーズを有する書き込み操作であり、データの最初のセットがメモリセルの最初のグループに書き込まれるデータである不揮発性メモリ。

10

20

30

40

50

【請求項 2 1】

請求項 1 3 記載の不揮発性メモリであって、

前記メモリセルは N が 1 以上である N ビットのデータを保存する多値メモリセルであり、前記データラッチのそれぞれのセットは N 個のデータラッチを含み、前記最初のデータセットは N ビットデータである不揮発性メモリ。

【請求項 2 2】

請求項 1 3 記載の不揮発性メモリであって、

最初の操作の実行中に 2 番目の操作を求める要求を受け取る不揮発性メモリ。

【請求項 2 3】

請求項 1 3 記載の不揮発性メモリであって、

最初の操作の実行を始める前に、2 番目の操作を求める要求がある不揮発性メモリ。

【請求項 2 4】

請求項 1 3 記載の不揮発性メモリであって、

データラッチのそれぞれのセットの少なくとも 1 つのラッチが 2 番目の操作に利用可能であるという判断が、Ready / Busy 信号に基づいている不揮発性メモリ。

【請求項 2 5】

請求項 1 3 記載の不揮発性メモリであって、

データラッチのそれぞれのセットの少なくとも 1 つのラッチが 2 番目の要求された操作に利用可能であるという前記判断と、最初の操作の間に、2 番目の操作を実行するために十分な数のデータラッチの対応するセットがあるかどうかの前記判断と、前記 2 番目の操作を遅らせることを実行するステートマシンをさらに備える不揮発性メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般的には電氣的に消去可能でプログラム可能な読み出し専用メモリ (EEPROM) やフラッシュ EEPROM などの不揮発性半導体メモリに関し、特にメモリ操作のオーバーラッピングを可能とする共有ラッチの構造に基づくキャッシュ操作に関する。

【背景技術】

【0002】

フラッシュメモリなどの不揮発性メモリのデザインには、それらの記憶密度を増大させること、性能を向上させること、および消費電力を削減することなどによって、これらのメモリを改良していく継続的プロセスがある。これらの要求事項の 1 つにおける改良はしばしば否定的に他の要求事項に影響を与えることがある。例えば、記憶密度を改良するならば、1 セルあたり 2 つの値のチップを置き替えるのに 1 セルあたり複数のレベルを有するフラッシュメモリを使用することができる。しかし、複数状態記憶ではデータを書き込む場合などのように各状態間の許容誤差がより厳しくなり、操作のスピードはより遅くなる場合がある。そのため、複数レベルのセルを有するメモリの性能水準には改良の余地が多く残っている。

【0003】

これらの問題および関連する問題は、追加の背景技術情報と一緒に、米国公開特許出願第 2006 / 0221704 号 (特許文献 1) と米国公開特許出願第 2007 / 0109867 号 (特許文献 2) の背景技術の欄で挙げられている。また、米国公開特許出願第 2006 / 0233023 号 (特許文献 3)、米国公開特許出願第 2006 / 0233021 号 (特許文献 4)、米国公開特許出願第 2006 / 0221696 号 (特許文献 5)、米国公開特許出願第 2006 / 0233010 号 (特許文献 6)、米国公開特許出願第 2006 / 0239080 号 (特許文献 7)、および米国公開特許出願第 2007 / 0002626 号 (特許文献 8) は、追加の背景技術情報を提供している。以下に記述するように、これらすべての特許出願が本願明細書において参照により援用されている。

【0004】

したがって、高性能および大容量不揮発性メモリの一般的な必要性がある。特に、改良されたプロセッサを有するエンハンスされた読み出しおよびプログラム性能のコンパクトな不揮発性メモリの必要性があり、それはコンパクトで効率的でありながらさらに読み出し/書き込み回路中のデータ処理に対して非常に多用途である。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】米国公開特許出願第2006/0221704号

【特許文献2】米国公開特許出願第2007/0109867号

【特許文献3】米国公開特許出願第2006/0233023号

【特許文献4】米国公開特許出願第2006/0233021号

【特許文献5】米国公開特許出願第2006/0221696号

【特許文献6】米国公開特許出願第2006/0233010号

【特許文献7】米国公開特許出願第2006/0239080号

【特許文献8】米国公開特許出願第2007/0002626号

【特許文献9】米国特許出願第11/099,049号

【特許文献10】米国特許出願第11/618,569号

【特許文献11】米国特許出願第11/618,578号

【特許文献12】Yan Liにより2008年3月19日出願された「Different Combinations of Wordline Order and Look-Ahead read to improve Non-Volatile Memory performance」という米国特許出願

【発明の概要】

【0006】

不揮発性メモリおよび対応する操作方法を開示する。メモリはメモリセルのアドレス指定可能なページを有し、そして、アドレス指定されるページの各メモリセルは既定のビット数のデータをラッチできる対応するデータラッチのセットと共に提供される。メモリは対応するデータラッチのセットに保持された最初のデータのセットを使用して、1つ以上のアドレス指定されたページの指定されたグループに最初の操作（例えば、書き込み操作）を実行し、また、2番目のデータのセットで、これらに対応するデータラッチを使用する2番目の操作（例えば、読み出し操作）の要求を受け取ることができる。最初の操作の間に、対応するそれぞれのセットの少なくとも1個のラッチが2番目の操作に利用可能になると、最初の操作中に2番目の操作を実行するための対応する十分な数のデータラッチのセットがあるかどうか判断される。十分な数ではない場合には2番目の操作は遅れることになる。追加の態様として、十分な数のラッチが利用可能になると、次に、メモリは最初の操作を行っている間に2番目の操作を実行する。2番目の操作を実行するために十分な数のデータラッチのセットがあるかどうかを判断することに対応して、十分な数があると判断され、最初の操作の間に2番目の操作を実行する。

【0007】

本願発明の種々の態様、利点、特徴、および実施例は例示された以下の説明に含まれ、その説明は添付の図面と共に扱われるべきである。本願発明にて参照されているすべての特許、特許出願、記事、その他の刊行物、ドキュメント、および事物はその全体がすべての目的のために本願発明において参照により援用されている。援用されているいずれの刊行物、ドキュメントまたは事物と本願発明との間での定義や用語の使用におけるどのような矛盾や不整合の範囲にも、本願発明は及んでいるものとする。

【図面の簡単な説明】

【0008】

【図1】キャッシュプログラム操作で読み出しの挿入を示す図である。

【図2】キャッシュ消去操作で読み出しの挿入を示す図である。

【図3】ページに対する特定のプログラムの順序と対応するルックアヘッド読み出しを示す図である。

【図 4】利用可能なラッチが不十分であるときの、キャッシュプログラム操作で読み出しの挿入を示す図である。

【図 5】利用可能なラッチが不十分であるときの、キャッシュ消去操作で読み出しの挿入を示す図である。

【図 6】利用可能なラッチが不十分であるときの、キャッシュプログラム操作で読み出しの挿入の別の実施例を示す図である。

【図 7】様々なキャッシュポイントがどのように起こるかを図式的に示す図である。

【図 8】適応型アルゴリズムの 1 つの基本的な実施例のためのフローチャートである。

【発明を実施するための形態】

【0009】

10

1 セルあたり多値レベルを有する N A N D フラッシュメモリなどの不揮発性メモリが 2 値のチップを置き替えるのに使用され、性能改善の必要性が一般に賛同されている。性能強化の 1 つのセットは同時に並列操作を行う複雑なキャッシュアルゴリズムを利用するのに基づいている。そのようないくつかの強化の実施例は、米国公開特許出願第 2 0 0 6 / 0 2 2 1 7 0 4 号 (特許文献 1) と米国公開特許出願第 2 0 0 7 / 0 1 0 9 8 6 7 号 (特許文献 2) に挙げられている。また、米国公開特許出願第 2 0 0 6 / 0 2 3 3 0 2 3 号 (特許文献 3) 、米国公開特許出願第 2 0 0 6 / 0 2 3 3 0 2 1 号 (特許文献 4) 、米国公開特許出願第 2 0 0 6 / 0 2 2 1 6 9 6 号 (特許文献 5) 、米国公開特許出願第 2 0 0 6 / 0 2 3 3 0 1 0 号 (特許文献 6) 、米国公開特許出願第 2 0 0 6 / 0 2 3 9 0 8 0 号 (特許文献 7) 、および米国公開特許出願第 2 0 0 7 / 0 0 0 2 6 2 6 号 (特許文献 8) も参照され、これらは多くの態様に関する追加の詳細を明らかにする。これらの参照のすべてがそこに引用された文献と共に前述したように完全に本願明細書において参照により援用されている。引き続きの展開の文脈を提供するために以下で技術のいくつかについて説明するが、さらなる詳細のためにこれらの先願が再び参照される。この点で、以下のものがそこで説明されたことに関するさらなる展開であることがある程度考慮できる。

20

【0010】

前述した特許文献では、データラッチの利用と読み出しのような 1 つの操作をプログラムのようなより長い 2 番目の操作に挿入する際にどのようにこれらを使用できるかを説明するセクションに特定の参照がされている。前の議論の多くが主としてセルあたり 2 ビットの実施例としてされているが、ここでの議論の多くは 1 セルあたり 3 ビット以上のケースで最も適切な態様に関連している。

30

【0011】

ルックアヘッド読み出しは次のワードのデータに関係する修正読み出しを使用する 1 つのアルゴリズムである。L A (ルックアヘッド) 修正を有する読み出しは基本的に、隣接しているワード線のセルの中にプログラムされたメモリ状態を調べて、現在のワード線で読み出されるメモリセル上に発生するどのような摂動効果も修正する。ページが引用されている特許文献に記載されている好ましいプログラム方法通りにプログラムされているのならば、隣接しているワード線は現在のワード線のすぐ上のワード線となる。L A 修正方法は、現在のページの前の隣接しているワード線に関する読み出しデータを必要とする。

40

【0012】

L A 読み出しをするのに必要となるデータラッチの数は必要となる修正の数に依存する。いくつかの場合には、これは 1 ビット修正になるであろうし、他の場合には 2 ビットまたは 3 ビットの修正を使用することになる。各ページに必要となる修正は、そのページと隣接ページで実施されたプログラムシーケンスに依存する。いくつかの場合には、1 ページは 1 ビット修正だけを必要とするが、場合によっては別の 1 ページが 2 ビットの修正を使用する。これらの異なった修正レベルは、L A 読み出しを扱うのに異なった数のデータラッチを使用する。コピー機能のためにキャッシュプログラムに読み出しを挿入するかまたはキャッシュ消去操作に読み出しを挿入などの複雑なキャッシュ操作をするとき、望ましくは、読み出しのためのデータラッチの要求数の変動はキャッシュアルゴリズムに任される。また、ユーザ (例えば、コントローラまたはホスト) がアドレスを発行する前

50

もデータラッチの要求数は未知である。これらの複雑さをよりよく扱うために、以下の適応型アルゴリズムと呼ばれる新しいキャッシュアルゴリズムを導入する。

【0013】

文脈を提供するために、これらの技術は多値状態データへの「ルックアヘッド」(LA)読み出しと「Lower Middle」(LM)コーディングを使用した実施例として以下に記載されている。このような処理が、前述した米国公開特許出願第2006/0239080号(特許文献7)中で、例えば、段落[0295]から始まる「Cache Read Algorithm for LM code with LA Correction」と題するセクションなどにさらに詳細に開示されている。簡潔にそこで説明されているように、キャッシュ読み出しデータのための方法は、まさに読み出し操作における修正が物理的に隣接しているページまたはワード線からのデータに依存するように実装され、データラッチとI/Oバスは現在のページがメモリアクセスからセブスされている間、前に読み出されたページを切り変えるのに効率的に使用される。1つの好ましい読み出し操作が「ルックアヘッド」(LA)読み出しであり、そして、メモリ状態のための好ましいコーディングは「Lower Middle」(LM)コードである。現在のワード線上の現在のページの読み出し時には、隣接しているワード線上のデータの必須の読み出しが先行しなければならない。前に読み出されるページが入出力アクセスでビジー状態であっても、現在のページの読み出しを実行できるようにするために、入出力アクセスと共に必須の読み出しが前のページを読み出すサイクル中に先行的に行われる。LA読み出し方法が、その全体が本願明細書において参照により援用されている、2005年4月5日に開示された「Read Operations for Non-Volatile Storage that Includes Compensation for Coupling」という米国特許出願第11/099,049号(特許文献9)で開示されている。LA(ルックアヘッド)修正を有する読み出しは基本的に、隣接しているワード線のセルの中にプログラムされたメモリ状態を調べて、現在のワード線で読み出されるメモリセル上に発生するどのような摂動効果も修正する。ページが前に説明した好ましいプログラム方法通りにプログラムされているのならば、隣接しているワード線は現在のワード線のすぐ上のワード線となる。LA修正方法は現在のページの前の隣接しているワード線に関する読み出しデータを必要とする。

【0014】

ここで開示するこの例の実施例のさらなる展開に戻ると、データラッチの要求数がLMフラグに関連するとき、次にユーザコマンドが実行可能となり、コマンドの実行を終了することができるだけのデータラッチがないことが内部的に判断できるということである。適応型アルゴリズムはユーザコマンドを記憶しておき、十分な数のデータラッチが利用可能になるのを待ち、データラッチが操作の過程の間に利用可能になるとコマンドを実行する。

【0015】

図1と2は、それぞれキャッシュプログラム操作とキャッシュ消去操作に読み出しを挿入する実施例を出す。図1のコピー操作を有するキャッシュプログラムでは101で始まるプログラム操作でプロセスは始まる。これは最初のラッチが103でデータラッチの対応するスタック中で解放されるまで続く。プロセスのさらなる詳細が、米国公開特許出願第2006/0221704号(特許文献1)と米国公開特許出願第2007/0109867号(特許文献2)で説明されている。このポイント105で読み出しをプログラム操作に挿入でき、その後書き込み操作は107で引き続き行われる。プログラムの過程で2番目のラッチは再び109で利用可能になる。この2番目のラッチは103での同じラッチであるかもしれないし、または同じスタックの別のラッチであるかもしれない。一方、このプロセスがページレベルで一般に実装されるとき、典型的な実施例はページの各セルのために対応するラッチを必要とし得る。どのような場合でも、読み出しは再び111で挿入され、その後プログラム操作が113で引き続き行われる。

【0016】

図2は、読み出しを有するキャッシュ消去のための対応する処理である。ここでソフトウェアプログラム操作を含んだ消去プロセスが201で始められる。203ではデータラッチは

挿入された操作のために利用可能である。ソフトウェアプログラム操作を一種のバイナリのプログラム操作であると考慮できるので、N - 状態記憶セルに関して通常これは (N - 1) 個の利用可能なラッチの存在を結果としてもたらす。そして、205で読み出し操作を挿入でき、その後ソフトウェアプログラムフェーズを引き続き行うことができる。

【0017】

挿入読み出し操作 (図1の105または111、図2の205) がルックアヘッド読み出し操作であるときに、データラッチの要求数は使用される修正の量に依存する。1つのアルゴリズムで1ビット修正はワード線 n (WL_n) にルックアヘッド読み出しを実行するのに2個のデータラッチを使用し、1つのデータラッチは WL_{n+1} のデータ用で、1つは WL_n のデータの1ページ用のものである。同様に、2ビットの修正で3個のデータラッチ (2つが WL_{n+1} のデータ用で、1つが WL_n のデータの1ページ用) が使用され、3ビットの修正で4個のデータラッチ (3つが WL_{n+1} のデータ用で、1つが WL_n のデータの1ページ用) が使用されている。すべてのLA修正のために2個のラッチだけを必要とする代替の実施例は、米国特許出願第11/618,569号 (特許文献10) と米国特許出願第11/618,578号 (特許文献11) に記載されている。

【0018】

次に、Lower Middle (LM) ページ命令と対応するラッチの要求数を包含することはLA読み出しと一緒にになるときに考慮される。Yan Liにより2008年3月19日に出願された「Different Combinations of Wordline Order and Look-Ahead read to improve Non-Volatile Memory performance」という米国特許出願 (特許文献12) に処理のさらなる詳細が展開されている。セルあたり3ビットを扱う場合、ページは下側と中央が連続して一緒にプログラムされるように配置され得る。しかし、上側のページプログラムが中央ページから中央ページへのWL-WL結合効果を排除する傾向のあるやり方で上側のページが跳ばされる。上側のページは次のワード線の中央ページプログラムの後にプログラムされる。

【0019】

プロセスが図3に示されている。そこではページ0と1は最初のワード線 (WL_0) の下側と中央のページとして一緒にプログラムされ、引き続きページ2と3が次のワード線 (WL_1) の下側と中央のページとして一緒にプログラムされる。次にプロセスは1ページ (WL_0 への) 後退させて、上側のページ (ページ4) をプログラムし、次にワード線を2つ (WL_2 への) 前方に跳んで、下側と中央のページ (ページ5と6) をプログラムする。上側のページへのこの後退と下側の2ページへの前方ジャンプはデータセットの残りの部分に続き、a、bとcは16進法で10、11と12ページであることを表している。このように、事実上WL-WLとBL-BL結合効果の多くが上側のページプログラムで修正される。上側のページプログラムの間に、下側と中央のページがLA読み出しで読み出されてメモリセルからのデータの修正読み出しが行われる。このページ処理では、上側のページが次のWLの上側のページプログラムと結合されるだけであるので、上側のページの読み出しは1ビットのみの修正を必要とする。一方、中央ページ読み出しは下側と中央のページが前のワード線の中央ページの電圧しきい値と結合できるので、LA読み出し修正に2ビットを使用する。

【0020】

動的データラッチの要求に対処する適応型アルゴリズム

開示した実施例から理解することができるよう、このようなキャッシュ操作のためのデータラッチの要求数は状況に依存して可変である。ここに開示された適応型アルゴリズムはこのことを考慮に入れている。

コピーの場合の挿入読み出しのキャッシュプログラムの実施例に戻ると、これを図4に示し、そこではプログラム操作が401で始まる。操作が継続し、幾つかのポイントでページ中の各セルの1組のラッチが403で解放される。このポイントで405に示されているように読み出しを挿入できる。これはラッチが解放されるのを待って、ステートマシンが既に保持していた読み出し、または、ラッチが解放された後に読み出しが入るまでブ

10

20

30

40

50

プログラムが続くであろう読み出し要求のどちらかであり得る。どちらの場合でも、読み出しがいったん挿入されると2個のラッチではこの読み出しを完了できないことが判断され得る。2つのデータラッチが利用可能であるときに読み出しコマンドを入力することができるが、上側のページの読み出しが1ビットのみのLA読み出しを使用すると仮定することによって実行できるだけである。しかし、ページで上側のページをプログラムしなければLA読み出しに2ビットを要する。通常、ラッチはプログラムデータで満たされてしまうだろうが、さらにラッチが必要であることがいったん判断されると読み出しデータは無効として扱われる。このような状況ではより多くのデータラッチが利用可能になるまで、ユーザ(すなわち、コントローラ)が発行した読み出しコマンドは完了できない。この実施例では、3つのデータラッチが利用可能になるまで読み出しを実行できない。一旦メモリが、ラッチが不十分であると判断し、読み出しが完了できないと、必要なラッチが利用可能になるまで、矢印で示されるようにコマンドは保持される。

10

【0021】

この間、409で別のラッチが解放されるまで書き込みプロセスは407で持続する。読み出しが次に再び挿入されて411で完了し、その後書き込みは413で継続される。これは多くの要求数の変動を持つことができるプロセスの単なる1つの一般例であることに留意すべきである。例えば、このケースでは書き込みがステップ413の前に完了しないと仮定している。

同様の状況は図5に示されているように、読み出しを挿入するキャッシュ消去でも起こり得る。ソフトプログラムによる消去は501で始まる。1セルあたり $N = 3$ ビットのデータのために、1ビットのLA読み出しを扱うことができるソフトプログラム(503における)で利用可能な2つのデータラッチがある。しかし、2ビットのLA読み出しが必要であるなら、読み出しは全体のソフトプログラム完了状態の後に実行されなければならない。その結果、読み出しが505で挿入されても、首尾よく読み出しを完了するためのラッチの必要な数がなければ保持され、ソフトプログラムは507で再開されて509で完了し、その後、読み出しは511で再び挿入される。

20

【0022】

図6は、別の状況を示す。ここでは制御をするために適応型キャッシュ操作が複雑になっている。図6は前述した特許文献のような利用可能なラッチより多くのラッチを参照する必要がない最初の読み出しが601~607で実行される実施例を示している。この読み出しページはECCがチェックされ、次に別の位置へプログラムされるのに準備される。上側のページプログラム(607の一部)の間、611で2番目の読み出しを挿入できる。十分な数のデータラッチが使用可能ではないために2番目の読み出しを実行できない場合には、2番目の読み出しはすぐには実行され得ずに上側のページの処理が終了(613)するまでプログラムの終了を待っている。

30

【0023】

上側のページプログラムの最後のときには、(まだプログラムされていない)最初の読み出しデータは正しい位置に転送されるべくまだデータラッチの中に残っている。上側のページプログラムが完了した後に、2番目の読み出しコマンドを実行できる。一旦プログラムが再始動されなければならなくなると(615)、図4に関して多くを説明したように、再度不完了となっていた読み出しを実行できる(617)。

40

【0024】

適応型アルゴリズムのための全般的な制御

図7と8に一般的な適応型キャッシュ操作アルゴリズムを示すことができる。キャッシュ操作には、別の操作を挿入できることを示す複数のキャッシュポイントがある。図7は概念的にこれを示している。ここでは時間軸は右に向かって流れ、進行中の書き込みコマンドの操作中に多かれ少なかれ幾つかの任意ポイントが図中で選択される。様々な利用可能なキャッシュポイントは701、703、...713で示すとおりであり、図7では書き込み操作は処理中に731で終了し、その後次の書き込みが始められる。

【0025】

50

図 8 は、1つの実施例のフローチャートである。操作のためのコマンドが発行され、キャッシュポイント（例えば、Ready / Busy 信号で示される）でコマンドが入力される。ユーザコマンド発行後に、803でステータマシンはこのコマンドを実行するのに十分なデータラッチがあるかどうかをチェックする。十分なデータラッチあれば（805からYesで抜ける）、次にユーザコマンドはすぐに807で実行され、801に戻ることができる。

【0026】

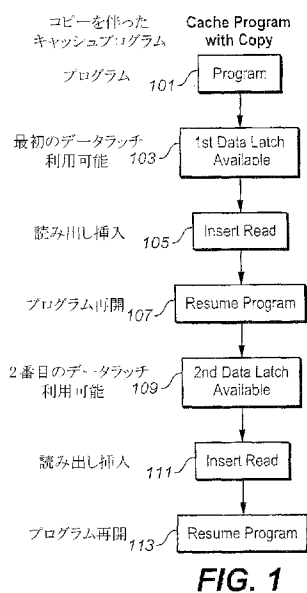
利用可能な十分なデータラッチがない（805からNoで抜ける）か、または前のキューイングしているキャッシュがまだパイプラインにあると、キャッシュポイントが次の利用可能なキャッシュポイントを取得するために追跡されている間に、古い操作が再開される（809）。次のキャッシュポイントでは、前のユーザコマンドの実行は、再度（1）パイプラインのキャッシュキューと（2）データラッチの利用可能性という2つの要因に基づいて評価される（811）。一旦コマンドがキューの先頭にあって十分なラッチがあれば、次に807でコマンドを実行できる。すべてのキャッシュ操作では、アドレスおよびコマンドはFIFOパイプラインに保存されなければならない。

【0027】

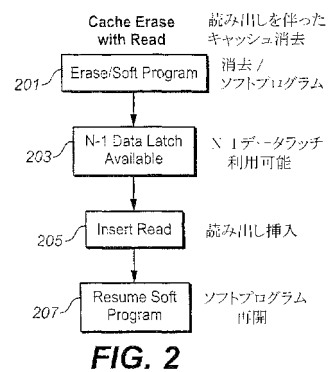
ある特定の実施例に関して本発明の種々の態様について説明したが、本発明が添付された特許請求の範囲の完全な範囲の中の保護の権利を与えられることが理解されよう。

10

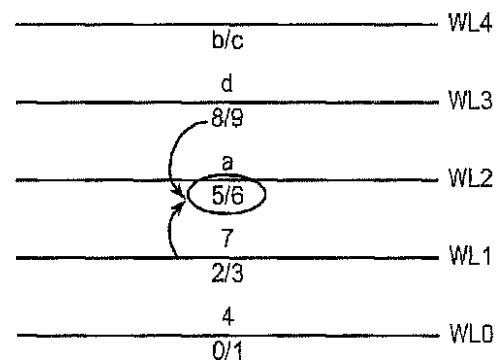
【図 1】



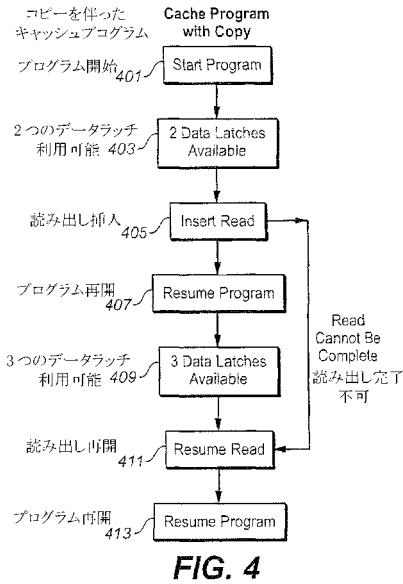
【図 2】



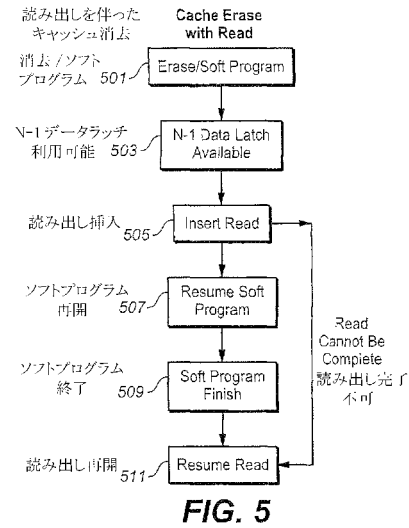
【図 3】



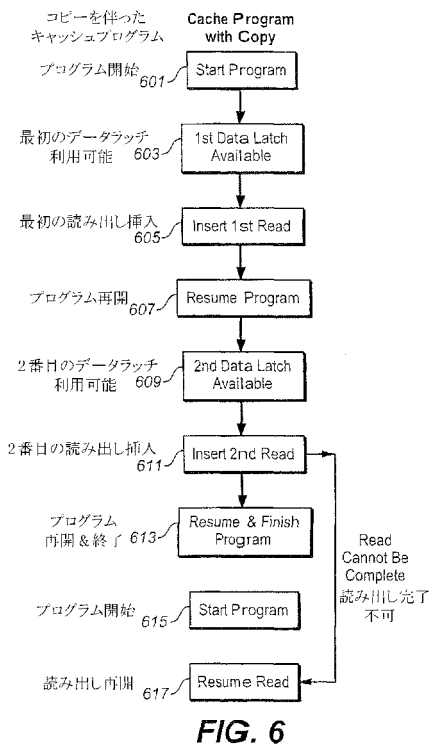
【図 4】



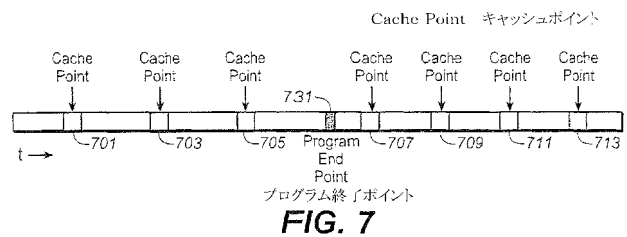
【図 5】



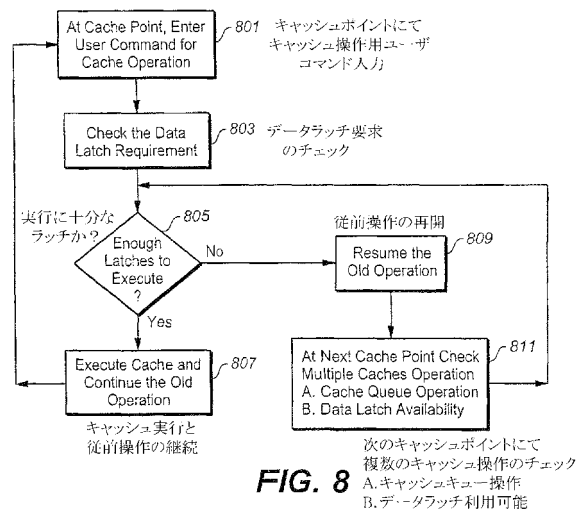
【図 6】



【図 7】



【図 8】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2009/034573

A. CLASSIFICATION OF SUBJECT MATTER INV. G11C16/10 G11C7/10 G11C11/56		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2007/131062 A (SANDISK CORP [US]; LI YAN [US]) 15 November 2007 (2007-11-15) paragraphs [0043] - [0049], [0212]; figure 9	1-25
X	EP 1 326 257 A (FUJITSU LTD [JP]) 9 July 2003 (2003-07-09) figure 13	1
X	EP 1 134 746 A (TOKYO SHIBAURA ELECTRIC CO [JP]) 19 September 2001 (2001-09-19) figures 9-18	1
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *Z* document member of the same patent family		
Date of the actual completion of the international search 22 April 2009		Date of mailing of the international search report 29/04/2009
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Ramcke, Ties

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2009/034573

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 2007131062	A	15-11-2007	EP 2016590 A2	21-01-2009
EP 1326257	A	09-07-2003	JP 4104395 B2	18-06-2008
			JP 2003196989 A	11-07-2003
			KR 20030052943 A	27-06-2003
			TW 550573 B	01-09-2003
			US 2003117850 A1	26-06-2003
EP 1134746	A	19-09-2001	DE 60100716 D1	16-10-2003
			DE 60100716 T2	15-07-2004
			DE 60125932 T2	18-10-2007
			JP 3983969 B2	26-09-2007
			JP 2001325796 A	22-11-2001
			US 2008225618 A1	18-09-2008
			US 2009052254 A1	26-02-2009
			US 2002126531 A1	12-09-2002

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 1 1 C 17/00 6 1 2 D

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

Fターム(参考) 5B125 BA01 BA19 CA01 CA08 DA02 DA03 DB01 DB08 DB10 DC01
DD06 DE02 DE03 DE08 DE14 DE17 ED07 EE04 EE19 EK07
FA01