

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年8月6日(06.08.2015)



(10) 国際公開番号

WO 2015/114787 A1

- (51) 国際特許分類:
H03K 17/16 (2006.01) H01L 29/78 (2006.01)
H01L 29/739 (2006.01) H03K 17/687 (2006.01)
- (21) 国際出願番号: PCT/JP2014/052196
- (22) 国際出願日: 2014年1月31日(31.01.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 株式会社日立製作所 (HITACHI, LTD.)
[JP/JP]; 〒1008280 東京都千代田区丸の内一丁目
6番6号 Tokyo (JP).
- (72) 発明者: 橋本 貴之 (HASHIMOTO Takayuki); 〒
1008280 東京都千代田区丸の内一丁目6番6号
株式会社日立製作所内 Tokyo (JP).
- (74) 代理人: 井上 学, 外 (INOUE Manabu et al.); 〒
1008220 東京都千代田区丸の内一丁目6番1号
株式会社日立製作所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

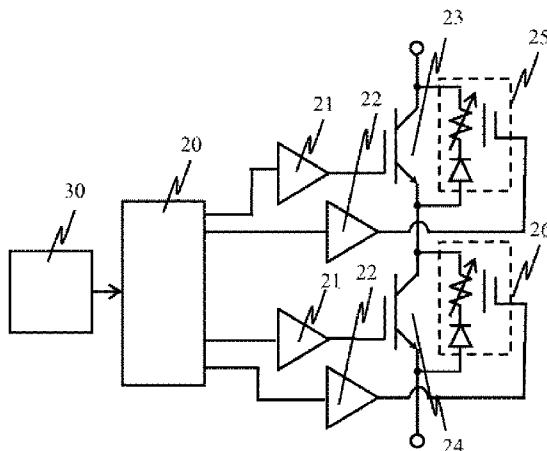
添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR ELEMENT DRIVE APPARATUS AND POWER CONVERSION APPARATUS USING SAME

(54) 発明の名称: 半導体素子の駆動装置およびそれを用いた電力変換装置

[図17]



(57) Abstract: For the purpose of reducing loss and noise of a diode, this semiconductor element drive apparatus is characterized in switching an insulating gate from a positive voltage to a negative voltage just before recovery when an anode current is large, and holding the insulating gate at a positive voltage when the anode current is small in a semiconductor element that is provided with: a first conductivity-type first semiconductor layer (n⁻ type drift layer); a second conductivity-type second semiconductor layer (p type anode layer), which is adjacent to the first semiconductor layer, and which is exposed on one main surface (anode side); a first conductivity-type third semiconductor layer (n type cathode layer) adjacent to the first semiconductor layer, said third semiconductor layer being exposed on the other main surface (cathode side), and having an impurity concentration higher than that of the first semiconductor layer (n⁻ type drift layer); and the insulating gate on the other main surface (cathode side).

(57) 要約: ダイオードの損失とノイズを低減することを目的として、本発明の半導体素子の駆動装置は、第1導電型の第1半導体層 (n⁻型ドリフト層) と、前記第1半導体層と隣接し、一方の主表面 (アノード側) に露出する第2導電型の第2半導体層 (p型アノード層) と、前記第1半導体層と隣接し、第1導電型で、他方の

主表面 (カソード側) に露出し、前記第1半導体層 (n⁻型ドリフト層) より不純物濃度が高い第3半導体層 (n型カソード層) と、前記他方の主表面 (カソード側) に絶縁ゲートを設けた半導体素子において、アノード電流が大きい時は、リカバリー直前に絶縁ゲートを正電圧から負電圧に切り替え、アノード電流が小さい時は、絶縁ゲートを正電圧に保持することを特徴とする。

明 細 書

発明の名称：

半導体素子の駆動装置およびそれを用いた電力変換装置

技術分野

[0001] 本発明は半導体装置及びそれを用いた電力変換装置に係り、特に、エアコンや電子レンジなどの小電力機器から、鉄道や製鉄所のインバータなどの大電力機器まで広く使われているものに好適な半導体素子駆動装置及びそれを用いた電力変換装置に関する。

背景技術

[0002] 従来、フライホイールダイオードの導通損失とリカバリー損失を低減する技術として、アノード側にMOSゲートを設けた構造と、カソード側にMOSゲートを設けた構造とがあった（例えば、特許文献1および特許文献2参照）。

[0003] また、従来、IGBTのコレクタ側にMOSゲートを設けた構造に関する技術として、スイッチング損失の低減に着目したものがあった（例えば、特許文献3、特許文献4、および特許文献5参照）。

[0004] また、従来から、カソード側の電荷減少による振動発生メカニズムが知られている（例えば、非特許文献1および非特許文献2参照）。

先行技術文献

特許文献

- [0005] 特許文献1：特開平10-163469号公報
特許文献2：特開2010-283132号公報
特許文献3：特開2001-320049号公報
特許文献4：特開2010-123667号公報
特許文献5：特開2010-251517号公報

非特許文献

- [0006] 非特許文献1：M. Rahimo、 et al., “Freewheeling Diode Reverse-Recovery

ry Failure Modes in IGBT Application,” IEEE Trans. Industry Application, vol. 37, no. 2, Mar. 2001, pp. 661-670.

非特許文献2: K. Nakamura, et al., “Evaluation of Oscillatory Phenomena in Reverse Operation for High Voltage Diodes,” Proc. IEEE ISPSD '08, May 2009, pp. 156-159.

発明の概要

発明が解決しようとする課題

[0007] 近年の省エネルギーや新エネルギーの電力変換装置には、多くのインバータやコンバータが使われているが、低炭素社会を実現するには、それらの格段の普及が不可欠になっている。図18は、モータ950を可変速制御し、省エネルギーを実現するインバータの例を示す。電源960からの電気エネルギーを、パワー半導体の一種であるIGBT (Insulated Gate Bipolar Transistor) 700を使って、所望の周波数の交流に変え、モータ950の回転数を可変速制御する。モータ950は3相モータで、U相910、V相911、W相912の入力を持つ。U相910の入力電力は、プラス側の電源端子900にコレクタが繋がるIGBT 700 (以下、上アームのIGBTとすることにする) のゲート回路800をオンすると、供給される。一方、U相910の入力電力を停止するには、そのゲート回路800をオフすればよい。これを繰り返すことにより、所望の周波数の電力をモータ950に供給することができる。

[0008] IGBT 700には、IGBT 700と逆並列にフライホイールダイオード600が接続されている。フライホイールダイオード600は、例えば上アームのIGBT 700がオフした場合、そのIGBT 700に流れていた電流を、マイナス側の電源端子901にエミッタが繋がるIGBT 700 (以下、下アームのIGBTとすることにする) と逆並列のフライホイールダイオード600に転流することで、モータ950のコイルに貯まっているエネルギーを開放する。再び上アームのIGBT 700をオンすると、下アームのフライホイールダイオード600は非導通状態となり、上アームのIG

B T 7 0 0を通じてモータ 9 5 0に電力が供給される。I G B T 7 0 0とフライホイールダイオード 6 0 0は導通時に導通損失を発生し、スイッチング時にスイッチング発生するので、インバータを小形化・高効率化するには、I G B T 7 0 0とフライホイールダイオード 6 0 0の導通損失とスイッチング損失を低減する必要がある。

[0009] 上述の通り、フライホイールダイオード 6 0 0の導通損失とリカバリー損失を低減する技術として、特許文献 1 と特許文献 2 が報告されている。特許文献 1 には、アノード側に M O S ゲートを設けた構造（特許文献 1 の図 1 から図 5）と、カソード側に M O S ゲートを設けた構造（特許文献 1 の図 6 と図 7）が記載されているが、本発明はカソード側に M O S ゲートを設けた構造に関する。特許文献 1 では、埋め込み絶縁ゲートにより、カソードからの電子注入を制御できるので、順方向電圧とリカバリー損失のトレードオフを改善できると記載されている。

[0010] しかし、前述した特許文献 1 および 2 には、以下の課題があることを本願の発明者らは見出した。例えば、特許文献 1 に実施例として開示された発明（特許文献 1 の図 6 および図 7 参照）は、導通時にゲートに正電圧を印加し、電子蓄積層を形成することで、順方向電圧を低減する。一方、リカバリー時にはゲート電圧をゼロとすることで、カソードからの電子注入を抑制することで、リカバリー損失を低減する。

[0011] 本願の発明者らの実験によれば、アノード電流が小さいと（例えば、定格電流の 1 0 分の 1）、リカバリー時に、アノード電流とアノード電圧が振動することが分かった。振動の原因を解析したところ、ゲート電圧をゼロとすると、カソードからの電子注入が減少するため、リカバリーのテール電流期間に、カソード側に残る電子が急峻に減少し、電圧と電流の振動を引き起こすことが分かった。尚、カソード側の電荷減少による振動発生のメカニズムについては、「特許以外の文献 1」と「特許以外の文献 2」に詳細が記載されている。

[0012] 上記の課題を踏まえて、本発明の目的は、ダイオードの損失を増加させる

ことなく、電流と電圧の振動（＝ノイズ）を抑制することである。

課題を解決するための手段

[0013] 前記課題を解決するため、本発明の半導体素子の駆動装置は、例えば、第1導電型の第1半導体層（n-型ドリフト層）と、前記第1半導体層と隣接し、一方の主表面（アノード側）に露出する第2導電型の第2半導体層（p型アノード層）と、前記第1半導体層と隣接し、第1導電型で、他方の主表面（カソード側）に露出し、前記第1半導体層（n-型ドリフト層）より不純物濃度が高い第3半導体層（n型カソード層）と、前記他方の主表面（カソード側）に絶縁ゲートを設けた半導体素子の駆動装置であって、アノード電流が大きい時は、リカバリー直前に絶縁ゲートを正電圧から負電圧に切り替え、アノード電流が小さい時は、絶縁ゲートを正電圧に保持することを特徴とする。

[0014] また、本発明の電力変換装置は、例えば、一对の直流端子と、交流の相数と同数の交流端子と、前記一对の直流端子との間に接続され、それぞれスイッチング素子と逆極性のダイオードの並列回路を2個直列接続した構成からなり、並列回路の相互接続点異なる交流端子に接続された交流の相数と同数の電力変換単位とを具備し、かつ、前記ダイオードの駆動装置が、上記の半導体素子の駆動装置であることを特徴とする。

発明の効果

[0015] 本発明によれば、低損失かつ低ノイズのダイオードを提供することができるので、半導体装置および電力変換器の高効率化、小形化、低コスト化を実現することが可能である。

図面の簡単な説明

[0016] [図1]本発明の実施例1の半導体素子の断面図である。

[図2]本発明の実施例1のホール密度分布を示す図である。

[図3]本発明の実施例1の出力特性を示す図である。

[図4]本発明の実施例1の順方向電圧（ V_f ）とリカバリー損失（ E_{rr} ）との関係を示す図である。

[図5a]本発明の実施例1の半導体素子のゲート駆動シーケンスであって、アノード電流が定格電流である場合を示す図である。

[図5b]本発明の実施例1の半導体素子のゲート駆動シーケンスであって、アノード電流が小電流である場合を示す図である。

[図6a]従来技術におけるリカバリー波形を示す図である。

[図6b]本発明におけるリカバリー波形を示す図である。

[図7]本発明の実施例1のリカバリー波形とゲート駆動シーケンスとを示す図である。

[図8]本発明の実施例2の半導体素子の断面図である。

[図9]本発明の実施例3の半導体素子の断面図である。

[図10]本発明の実施例4の半導体素子の断面図である。

[図11]本発明の実施例5の半導体素子の断面図である。

[図12]本発明の実施例6の半導体素子の断面図である。

[図13]本発明の実施例6のホール密度分布を示す図である。

[図14]本発明の実施例6の出力特性を示す図である。

[図15a]本発明の実施例6の半導体素子のゲート駆動シーケンスであって、コレクタ電流が定格電流である場合を示す図である。

[図15b]本発明の実施例6の半導体素子のゲート駆動シーケンスであって、コレクタ電流が小電流である場合を示す図である。

[図16]本発明の実施例7の半導体素子の断面図である。

[図17]本発明の駆動回路図である。

[図18]電力変換器の回路構成図である。

発明を実施するための形態

[0017] 本発明は、カソード側に絶縁ゲートを設けたMOS制御ダイオードにおいて、アノード電流の大きさに応じて、リカバリー時の絶縁ゲート電圧の駆動シーケンスを切り替える。

[0018] 以下、本発明の具体的な構造および駆動方法を含む実施形態について、各実施例として図面を参照しながら詳細に説明する。

実施例 1

[0019] 本発明の実施例 1（本発明の代表的な断面構造と駆動方法）について、以下、説明する。

[0020] 図 1 は、本発明の半導体素子の第 1 の実施例の断面図である。本実施例は、 n -型ドリフト層 1、 p -型アノード層 3、 n -型カソード層 6、ゲート電極 8、ゲート絶縁膜 9、アノード電極 10、カソード電極 11、絶縁膜 12、 p +型カソード層 13 から構成される。図中の「+」は不純物濃度が高いことを示し、「-」は不純物濃度が低いことを示す。

[0021] 本実施例の動作を簡単に説明する。導通時は、ゲート電極 8 をカソード電極 11 に対して正電圧とすることで、ゲート電極 8 と n -型カソード層 6 の界面に n -型蓄積層を形成し、 p -型アノード層 3 から注入されるホールが、カソード電極 11 に排出されることを抑制し、順方向電圧 (V_f) が低下する（＝導通損失が低減する）。

[0022] 一方、リカバリー時は、ゲート電極 8 をカソード電極 11 に対して負電圧とすることで、ゲート電極 8 と n -型カソード層 6 の界面に p -型反転層を形成し、 p -型アノード層 3 から注入されるホールが、カソード電極 11 に排出されることを促進し、リカバリー損失を低減する。

[0023] 次に、本実施例の動作の詳細について説明する。図 2 は、導通時のアノードとカソード間のホール密度分布を示す。ゲート電極にゼロボルト（図中の $V_g = 0V$ ）を印加すると、正電圧（図中の $V_g = +1.5V$ ）と比較して、カソード側のホール密度が低下する。ゲート電極に負電圧（図中の $V_g = -1.5V$ ）を印加すると、カソード側のホール密度がさらに低下することが分かる。これは、ゲート電極 8 と n -型カソード層 6 の界面に、 p -型反転層が形成され、 p -型アノード層 3 から注入されたホールが p -型反転層を経由して、カソード電極 11 に排出されるからである。ゲート電極を正電圧（図中の $+1.5V$ ）とすると、 p -型反転層を経由した電流経路が消滅し、 n -型蓄積層が形成されるので、ホールの排出が抑制され、カソード側のホール密度が増加する。

[0024] なお、ここでは、「 p -型反転層」という言葉を使用したけど、必ずしも、ゲ

ート負電圧の絶対値はn型カソード層6の「しきい値（絶対値）」を超える必要はなく、ゲート負電圧の絶対値が「しきい値（絶対値）」より低くても、ホールに対するチャンネルのポテンシャルは低下するので、ホールはポテンシャルが低下したチャンネル経路を通過してカソード電極11に流れ、カソードからのホール排出は促進される。

[0025] 図3に、ゲート電極8に正電圧、ゼロボルト、負電圧を印加した場合の出力特性を示す。ゲート電極8に、正電圧を印加すると、（図2に示す通り）カソード側のホール密度が高いため、アノード電流が大きい（＝順方向電圧 V_f が小さい）。ゲート電極8に、ゼロボルトを印加すると、カソード側のホール密度が下がるため、アノード電流が小さくなる（＝順方向電圧 V_f が大きくなる）。ゲート電極8に、負電圧を印加すると、アノード側のホール密度がさらに下がるため、アノード電流が低減する（＝順方向電圧 V_f が増加する）。

[0026] つまり、本実施例では、ゲート電極8により、順方向電圧（ V_f ）が小さいダイオード（＝リカバリー損失が大きいダイオード）と、順方向電圧（ V_f ）が大きいダイオード（＝リカバリー損失が小さいダイオード）を時間軸で切り替えることで、導通損失とスイッチング損失のそれぞれを低減できる。

[0027] 次に、本発明による効果を説明する。図4は順方向電圧（ V_f ）とリカバリー損失（Err）の関係を示す。点線は従来のpinダイオードに相当する。本発明では、スイッチングの1周期の中で、ゲート電圧をダイナミックに制御することで、順方向電圧（ V_f ）とリカバリー損失（Err）のそれぞれを最少化するので、トレードオフ特性が改善する。

[0028] 以上、述べたように、公知例（特許文献1、特許文献2）では、順方向電圧（ V_f ）とリカバリー損失（Err）のトレードオフを改善し、大幅な低損失化が可能となる。しかし、本願の発明者らが、アノード電流が小さい条件で公知例のリカバリー特性を評価したところ、電圧と電流が振動するという問題があることを見出した。電圧と電流の振動は高温条件より、室温条件におい

て顕著となった。公知例では、リカバリー損失を低減するため、リカバリー直前に、カソード側のホール密度を低減するので、カソード側の空乏層が伸びやすくなる。このため、テール電流期間にアノードから伸びる空乏層が、カソード側に残留する電荷を排出し、電圧と電流の振動を招く。カソード側の空乏層が伸びやすいと、電圧と電流の振動が発生するメカニズムについては、前述した「特許以外の文献1」に詳細が記載されている。

[0029] この課題を解決するため、本実施例では、ダイオードのアノード電流の大きさに応じて、リカバリー直前に、MOS制御ダイオードのゲート電圧の駆動シーケンスを切り替える。図5 a、図5 bに、本実施例の第1ゲート駆動シーケンスを示す。図5 aはアノード電流が定格電流、図5 bはアノード電流が小電流のシーケンスである。ここで、小電流の定量的な定義は難しいが、一般的に定格電流の $1/10$ 以下から $1/2$ 以下程度である。定格電流では、MOS制御ダイオードの対アームにあるIGBTがターンオンする（＝ダイオードがリカバリーする）直前に、MOS制御ダイオードのゲートを正電圧（電荷高注入モード）から負電圧（電荷低注入モード）に切り替え、リカバリー損失を低減する。一方、小電流では、MOS制御ダイオードのゲートを正電圧（電荷高注入モード）に保持することで、カソード側のホール密度を高く保つ。

[0030] 本発明では、小電流では、電荷高注入モードでリカバリー動作に入るので、電荷低注入（高速）モードと比較してリカバリー損失は増加するが、小電流のリカバリー損失は、大電流と比較して小さいので、リカバリー損失の増加は無視できる。つまり、本発明によるメリット（振動抑制）は、デメリット（損失の増加）を上回る。

[0031] 図6 a、図6 bに、小電流リカバリー時のアノード電流とアノード電圧の波形を示す。図6 aは従来のMOS制御ダイオードのゲート駆動方法で、ゲートを正電圧（電荷高注入モード）から負電圧（電荷低注入モード）に切り替えたもの、図6 bは本発明のMOS制御ダイオードのゲート駆動方法で、ゲートを正電圧（電荷高注入モード）に保持したものである。従来では、テ

ール電流期間に、アノード電流が急峻に減少し、アノード電流とアノード電圧に振動が発生する。これに対し、本発明では、このような振動は発生しない。

[0032] 図7に、本発明の第2ゲート駆動シーケンスを示す。図5a、図5bの第1ゲート駆動シーケンスでは、リカバリー期間にわたり、MOS制御ダイオードのゲートは正電圧（電荷高注入モード）を保持していたのに対して、図7では、アノード電圧が低下する（＝カソード電圧が上昇する）タイミングで、ゲートを負電圧（電荷低注入モード）に切り替える。カソード電圧が高い状態で、ゲート電極に負電圧を印加し、ゲート電極8とn型カソード層6の界面にp型反転層を形成すると、p+型カソード層13からホールが注入され、アノード電流とアノード電圧の振動が抑制される。

[0033] 以上述べたように、本実施例によれば、損失と振動（＝ノイズ）を低減できるので、半導体装置とこれを用いた電力変換器の、高効率化、小形化、低コスト化が可能となる。

[0034] なお、本実施例では、カソード電極が基板裏面にある「縦型素子」について述べたが、カソード電極がアノード電極と基板表面にある「横型素子」においても効果は同じである。

実施例 2

[0035] 本発明の実施例2（カソード側p層の無い半導体素子の断面構造）について、以下、説明する。

[0036] 図8は、本発明の半導体素子の第2の実施例の断面図である。本実施例が、第1実施例と異なる点は、p+型カソード層13がないことである。本実施例でも、導通時、ゲート電極8をカソード電極11に対して正電圧とすることで、ゲート電極8とn型カソード層6の界面にn型蓄積層を形成し、p型アノード層3から注入されるホールが、カソード電極11に排出されることを抑制し、順方向電圧（Vf）が低下する（＝導通損失が低減する）。また、リカバリー時は、ゲート電極8をカソード電極11に対して負電圧とすることで、ゲート電極8とn型カソード層6の界面にp型反転層を形成し、p型

アノード層 3 から注入されるホールがカソード電極 11 に排出されることを促進し、リカバリー損失を低減する。

[0037] 本実施例においても、小電流リカバリー時に、図 5 a、図 5 b に示すように、アノード電流に応じて、MOS 制御ダイオードのゲート電圧を制御することで、アノード電圧とアノード電流の振動を抑制できる。

[0038] 以上述べたように、本実施例によれば、損失と振動（＝ノイズ）を低減できるので、半導体装置とこれを用いた電力変換器の、高効率化、小形化、低コスト化が可能となる。

実施例 3

[0039] 本発明の実施例 3（カソード側 p 層が無くゲート電極がカソード電極側に張り出した半導体素子の断面構造）について、以下、説明する。

[0040] 図 9 は、本発明の半導体素子の第 3 の実施例の断面図である。本実施例が、第 2 実施例と異なる点は、カソード電極 11 側のゲート電極 8 が、n 型カソード層 6 の表面より上（図の上下に言うと、下方向）にあることである。このような構造にすることで、ゲート電極 8 が n 型カソード層 6 を深さ方向に覆うことになるので、ゲート電極 8 が n 型カソード層 6 のポテンシャルを制御しやすくなり、損失低減と、振動の抑制が可能となる。

[0041] 本実施例においても、小電流リカバリー時に、図 5 a、図 5 b に示すように、アノード電流に応じて、MOS 制御ダイオードのゲート電圧を制御することで、アノード電圧とアノード電流の振動を抑制できる。

[0042] 以上述べたように、本実施例によれば、損失と振動（＝ノイズ）を低減できるので、半導体装置とこれを用いた電力変換器の、高効率化、小形化、低コスト化が可能となる。

実施例 4

[0043] 本発明の実施例 4（プレーナ型ゲートの半導体素子の断面構造）について、以下、説明する。

[0044] 図 10 は、本発明の半導体素子の第 4 の実施例の断面図である。本実施例が、第 1 実施例と異なる点は、ゲート電極 8 がトレンチ型ではなく、プレー

ナ型であることである。第1実施例と同様に、本実施例も損失の低減と、振動の抑制が可能となる。

[0045] 本実施例においても、小電流リカバリー時に、図5 a、図5 bに示すように、アノード電流に応じて、MOS制御ダイオードのゲート電圧を制御することで、アノード電圧とアノード電流の振動を抑制できる。

[0046] 以上述べたように、本実施例によれば、損失と振動（＝ノイズ）を低減できるので、半導体装置とこれを用いた電力変換器の、高効率化、小形化、低コスト化が可能となる。

実施例 5

[0047] 本発明の実施例5（プレーナ型ゲート型でありカソード側p層の無い半導体素子の断面構造）について、以下、説明する。

[0048] 図11は本発明の半導体素子の第5の実施例の断面図である。本実施例が、第4実施例と異なる点は、p+型カソード層13がないことである。第4実施例と同様に、本実施例も損失の低減と、電圧振動の抑制が可能となる。

[0049] 本実施例においても、小電流リカバリー時に、図5 a、図5 bに示すように、アノード電流に応じて、MOS制御ダイオードのゲート電圧を制御することで、アノード電圧とアノード電流の振動を抑制できる。

[0050] 以上述べたように、本実施例によれば、損失と振動（＝ノイズ）を低減できるので、半導体装置とこれを用いた電力変換器の高効率化、小形化、低コスト化が可能となる。

実施例 6

[0051] 本発明の実施例6（IGBT半導体素子の断面構造）について、以下、説明する。

[0052] これまでは、ダイオードを対象に、小電流リカバリーの電圧と電流の振動抑制を議論してきた。MOSゲートによりn-型ドリフト層1の電荷分布を制御し、振動を抑制するというコンセプトは、ダイオードだけでなく、IGBTにも適用できる。IGBTのコレクタ電圧とコレクタ電流の振動を抑制するには、空乏層が伸びる方向のコレクタ側（裏面）にMOSゲートを設ける

必要がある。ＩＧＢＴのコレクタ側にＭＯＳゲートを設けた構造の先行技術文献としては、上述の通り、特許文献３、特許文献４、および特許文献５がある。しかし、これらの文献においては、スイッチング損失の低減には着目しているが、振動については記載されていない。つまり、これらの文献に記載の先行技術は、ターンオフ損失を低減することのみに着目し、ＭＯＳゲートを制御する。

[0053] 図１２は、本発明の半導体素子の第６の実施例の断面図である。コレクタ側（裏面）の構造は実施例１のカソード側（裏面）と同じであるが、実施例１と異なる点は、エミッタ側にゲート電極４３を設けたことである。本実施例は、 n -型ドリフト層１、 n -型コレクタ層６、ゲート電極８、ゲート絶縁膜９、絶縁膜１２、 p +型カソード層１３、エミッタ電極４０、コレクタ電極４１、 p -型チャネル層４２、ゲート電極４３、 n +型エミッタ層４４から構成される。ゲート電極４３がコレクタ電流のオン・オフを制御し、ゲート電極８が n -型ドリフト層１の電荷分布を制御する。

[0054] 本実施例の動作を簡単に説明する。導通時（＝表面のゲート電極４３は正電圧の時）は、ゲート電極８をコレクタ電極４１に対して負電圧とすることで、ゲート電極８と n -型コレクタ層６の界面に p -型反転層を形成し、 p +型カソード層１３からのホール注入を促進し、オン電圧（ V_{ce} ）を低下する（＝導通損失を低減する）。

[0055] 一方、ターンオフ直前（＝ゲート電極４３を正電圧からゼロボルト or 負電圧に切り替える直前）に、ゲート電極８をコレクタ電極４１に対して正電圧とすることで、ゲート電極８と n -型カソード層６の界面に n -型蓄積層を形成し、 p +型カソード層１３からのホール注入を抑制し、ターンオフ損失を低減する。

[0056] 次に、本実施例の動作の詳細について説明する。図１３は、導通時のエミッタとコレクタ間のホール密度分布を示す。ゲート電極に負電圧（図中の $V_g = -1.5V$ ）を印加すると、ゼロボルト（図中の $V_g = 0V$ ）と比較して、コレクタ側のホール密度が増加する。これは、これは、ゲート電極８と n -型コレクタ

層 6 の界面に、p 型反転層が形成され、p+型カソード層 1 3 から n-型ドリフト層 1 へのホール注入が促進されるからである。

[0057] ゲート電極に正電圧（図中の $V_g=+1.5\text{V}$ ）を印加すると、ゼロボルト（図中の $V_g=0\text{V}$ ）と比較して、コレクタ側のホール密度が低下する。これは、ゲート電極 8 と n 型コレクタ層 6 の界面に、n 型蓄積層が形成され、p+型カソード層 1 3 からのホール注入が抑制されるからである。

[0058] なお、ここでは、「p 型反転層」という言葉を使用した。必ずしも、ゲート負電圧の絶対値は n 型コレクタ層 6 の「しきい値（絶対値）」を超える必要はなく、ゲート負電圧の絶対値が「しきい値（絶対値）」より低くても、ホールに対するチャネルのポテンシャルは低下するので、ホールはポテンシャルが低下したチャネル経路を通して、p+型カソード層 1 3 から n-型ドリフト層 1 に注入される。

[0059] 図 1 4 に、ゲート電極 8 に正電圧、ゼロボルト、負電圧を印加した場合の出力特性を示す。ゲート電極 8 に負電圧を印加すると、（図 1 3 に示す通り）コレクタ側のホール密度が高いため、コレクタ電流が大きい（＝オン電圧が小さい）。ゲート電極 8 に、ゼロボルトを印加すると、コレクタ側のホール密度が下がるため、コレクタ電流が小さくなる（＝オン電圧が大きくなる）。ゲート電極 8 に、正電圧を印加すると、コレクタ側のホール密度がさらに下がるため、コレクタ電流が低減する（＝オン電圧が増加する）。

[0060] つまり、本実施例では、ゲート電極 8 により、オン電圧が小さい IGBT（＝ターンオフ損失が大きい IGBT）と、オン電圧が大きい IGBT（＝ターンオフ損失が小さい IGBT）を時間軸で切り替えることで、導通損失とターンオフ損失のそれぞれを低減できる。

[0061] 図 1 5 a、図 1 5 b に、本実施例のゲート駆動シーケンスを示す。図 1 5 a はコレクタ電流が定格電流、図 1 5 b はコレクタ電流が小電流のシーケンスである。ここで、小電流の定量的な定義は難しいが、定格電流の $1/10$ 以下から $1/2$ 以下である。定格電流では、エミッタ側（表面）のゲート電圧をオフする（＝IGBT のコレクタ電流をオフする）直前に、コレクタ側

（裏面）のゲートを正電圧とし、電荷高注入モードから電荷低注入（高速）モードに切り替え、ターンオフ損失を低減する。一方、小電流では、コレクタ側（裏面）のゲートを負電圧（電荷高注入モード）に保持することで、コレクタ側のホール密度を高く保ち振動を抑制する。

[0062] 以上述べたように、本実施例によれば、損失と振動（＝ノイズ）を低減できるので、半導体装置とこれを用いた電力変換器の、高効率化、小形化、低コスト化が可能となる。

実施例 7

[0063] 本発明の実施例 7（裏面プレーナ型ゲート型の IGBT 半導体素子の断面構造）について、以下、説明する。

[0064] 図 16 は本発明の半導体素子の第 7 の実施例の断面図である。本実施例が、第 6 実施例と異なる点は、ゲート電極 8 がトレンチ型ではなく、プレーナ型であることである。第 6 実施例と同様に、本実施例も損失の低減と、振動の抑制が可能となる。

[0065] 本実施例においても、IGBT の小電流ターンオフ時に、図 15 a、図 15 b に示すように、コレクタ電流に応じて、コレクタ側（裏面）のゲート電圧を制御することで、コレクタ電圧とコレクタ電流の振動を抑制できる。

[0066] 以上述べたように、本実施例によれば、損失と振動（＝ノイズ）を低減できるので、半導体装置と、これを用いた電力変換器の、高効率化、小形化、低コスト化が可能となる。

実施例 8

[0067] 次に、本発明の実施例 8（ダイオード駆動回路）について、以下、説明する。

[0068] 本実施例は、上述の実施例 1 から実施例 5 までの半導体素子（MOS 制御ダイオード）を駆動する回路の実施例である。図 17 は、本実施例の駆動回路の回路図である。

[0069] 本実施例は、制御回路 20、IGBT の駆動回路 21、実施例 1 から実施例 5 の半導体装置の駆動回路 22、上アーム IGBT 23、下アーム IGBT

T 2 4、上アームに適用した実施例 1 から実施例 5 の半導体装置 2 5、下アームに適用した実施例 1 から実施例 5 の半導体装置 2 6、電流検出器 3 0 かなる。半導体装置 2 5 と半導体装置 2 6 の回路記号は、ダイオードの抵抗値をゲート電極により制御することを表現しており、本願の発明者らが便宜的に考案したもので、一般的な記号ではない。

[0070] 本発明では、リカバリーの直前に、ゲート電圧を変化する必要がある。しかし、リカバリーは IGBT のターンオンに伴う現象なので、ダイオードは自分自身が、いつリカバリーに入るのかを知ることはできない。つまり、ダイオードのみで考えていては、リカバリーの前に、ダイオードのゲート電圧を変化させることは難しい。

[0071] そこで、インバータの動作から、ダイオードのリカバリーのタイミングを察知し、リカバリーの直前にゲート電極に正電圧を印加できないかを検討した。ダイオードのリカバリーは、対アーム（下アームから見た時は上アーム、上アームから見た時は下アームに相当）の IGBT がターンオンする時に生じる。よって、IGBT のゲートと対アームの実施例 1 のダイオードのゲートを、1 つの制御回路 2 0 で制御すれば、IGBT がターンオンする直前（＝ダイオードがリカバリーする直前）に、制御回路 2 0 から対アームのダイオードのゲート電圧を変化させることが可能となる。

[0072] 電流検出器 3 0 は、ダイオードに流れる電流を検出するもので、ダイオード電流を直接検出する他に、IGBT 電流を検出することで、間接的にダイオード電流を検出することもできる。また、モータ電流を検出することで、ダイオード電流を推定することもできる。電流検出器 3 0 により検出したコレクタ電流の大きさに応じて、図 5 a に示した定格電流と、図 5 b に示した小電流との、どちらのゲート駆動シーケンスを選択するかを、制御回路 2 0 において決定する。

[0073] 以上述べたように、本実施例によれば、ダイオードの電流を検出し、損失と振動（＝ノイズ）を低減できるので、半導体装置とこれを用いた電力変換器の、高効率化、小形化、低コスト化が可能となる。

実施例 9

[0074] 本発明の実施例 9（本発明のダイオードを適用した電力変換器）について、以下、説明する。

[0075] 本実施例の特徴は、フライホールダイオード 600 に、実施例 1 から実施例 5 で説明したダイオードを適用した点にある。図 18 のインバータ装置では、実施例 1 から実施例 5 のダイオードを適用することで、ダイオードの損失が低減され、インバータの低損失化、小形化が可能となる。

実施例 10

[0076] 本発明の実施例 10（本発明の IGBT を適用した電力変換器）について、以下、説明する。

[0077] 本実施例の特徴は、IGBT 700 に、実施例 6 と実施例 7 で説明した IGBT を適用した点にある。図 18 のインバータ装置では、実施例 6 と実施例 7 の IGBT を適用することで、ダイオードの損失が低減され、インバータの低損失化、小形化が可能となる。

[0078] なお、図 18 のインバータ装置の構成は一例であって、例えば、スイッチング素子とダイオードが逆並列されたものの直列組み合わせが、交流出力の相数と同数結合されたインバータ装置でも効果は同じである。

[0079] また、本実施例では直流を交流に変換するインバータを示したが、もちろんこれに限定されるものではなく、交流を直流に変換するコンバータについても同様の効果を得られることは明らかであろう。

符号の説明

[0080] 1…n-型ドリフト層、
3…p型チャネル層、
6…n型カソード層、
8…ゲート電極、
9…ゲート絶縁膜、
10…アノード電極、
11…カソード電極、

1 2 …絶縁膜、
1 3 …p+型カソード層、
2 0 …制御回路、
2 1 …ＩＧＢＴの駆動回路、
2 2 …ダイオードの駆動回路、
2 3 …上アームＩＧＢＴ、
2 4 …下アームＩＧＢＴ、
2 5 …上アームのダイオード、
2 6 …下アームのダイオード、
3 0 …電流検出器、
4 0 …エミッタ電極、
4 1 …コレクタ電極、
4 2 …p型チャネル層、
4 3 …ゲート電極（ＩＧＢＴ）、
4 4 …n+型エミッタ層、
6 0 0 …フライホイールダイオード、
7 0 0 …ＩＧＢＴ、
8 0 0 …ゲート回路、
9 0 0 …プラス側の電源端子、
9 0 1 …マイナス側の電源端子、
9 1 0 …Ｕ相、
9 1 1 …Ｖ相、
9 1 2 …Ｗ相、
9 5 0 …モータ、
9 6 0 …電源。

請求の範囲

[請求項1]

第1導電型の第1半導体層（n-型ドリフト層）と、前記第1半導体層と隣接し、一方の主表面（アノード側）に露出する第2導電型の第2半導体層（p型アノード層）と、前記第1半導体層と隣接し、第1導電型で、他方の主表面（カソード側）に露出し、前記第1半導体層（n-型ドリフト層）より不純物濃度が高い第3半導体層（n型カソード層）と、前記他方の主表面（カソード側）に絶縁ゲートを備えた半導体素子の駆動装置であって、

アノード電流を検出する手段を備え、アノード電流が大きい時は、リカバリ直前に前記絶縁ゲートを正電圧から負電圧に切り替え、アノード電流が小さい時は、前記絶縁ゲートを正電圧に保持することを特徴とする半導体素子の駆動装置。

[請求項2]

第1導電型の第1半導体層（n-型ドリフト層）と、前記第1半導体層と隣接し、一方の主表面（アノード側）に露出する第2導電型の第2半導体層（p型アノード層）と、前記第1半導体層と隣接し、第1導電型で、他方の主表面（カソード側）に露出し、前記第1半導体層（n-型ドリフト層）より不純物濃度が高い第3半導体層（n型カソード層）と、前記第3半導体層（n型カソード層）を貫き、前記第1半導体層（n-型ドリフト層）に達する絶縁ゲートと、隣り合う前記絶縁ゲート間にあり、半導体層内で前記絶縁ゲートに接し、前記他方の主表面（カソード側）に露出する第2導電型の第4半導体層（p+型カソード層）と、前記第3半導体層と前記第4半導体層と電氣的に接続される電極（カソード電極）を備えた半導体素子の駆動装置であって、

アノード電流を検出する手段を備え、アノード電流が大きい時は、リカバリ直前に前記絶縁ゲートを正電圧から負電圧に切り替え、アノード電流が小さい時は、前記絶縁ゲートを正電圧に保持することを特徴とする半導体素子の駆動装置。

[請求項3]

第1導電型の第1半導体層（n-型ドリフト層）と、前記第1半導体層と隣接し、一方の主表面（アノード側）に露出する第2導電型の第2半導体層（p型アノード層）と、前記第1半導体層と隣接し、第1導電型で、他方の主表面（カソード側）に露出し、前記第1半導体層（n-型ドリフト層）より不純物濃度が高い第3半導体層（n型カソード層）と、前記第3半導体層（n型カソード層）を貫き、前記第1半導体層（n-型ドリフト層）に達する絶縁ゲートと、前記第3半導体層と電氣的に接続される電極（カソード電極）を備えた半導体素子の駆動装置であって、

アノード電流を検出する手段を備え、アノード電流が大きい時は、リカバリー直前に前記絶縁ゲートを正電圧から負電圧に切り替え、アノード電流が小さい時は、前記絶縁ゲートを正電圧に保持することを特徴とする半導体素子の駆動装置。

[請求項4]

第1導電型の第1半導体層（n-型ドリフト層）と、前記第1半導体層と隣接し、一方の主表面（アノード側）に露出する第2導電型の第2半導体層（p型アノード層）と、前記第1半導体層と隣接し、第1導電型で、他方の主表面（カソード側）に露出し、前記第1半導体層（n-型ドリフト層）より不純物濃度が高い第3半導体層（n型カソード層）と、前記他方の主表面（カソード側）に露出する第2導電型の第4半導体層（p+型カソード層）と、前記第1半導体層（n-型ドリフト層）と接する絶縁ゲートと、前記第3半導体層（n型カソード層）と接する前記絶縁ゲートと、前記第4半導体層（p+型カソード層）と接する前記絶縁ゲートと、前記第3半導体層と前記第4半導体層と電氣的に接続される電極（カソード電極）を備えた半導体素子の駆動装置であって、

アノード電流を検出する手段を備え、アノード電流が大きい時は、リカバリー直前に前記絶縁ゲートを正電圧から負電圧に切り替え、アノード電流が小さい時は、前記絶縁ゲートを正電圧に保持する

ことを特徴とする半導体素子の駆動装置。

[請求項5]

第1導電型の第1半導体層（n型ドリフト層）と、前記第1半導体層と隣接し、一方の主表面（アノード側）に露出する第2導電型の第2半導体層（p型アノード層）と、前記第1半導体層と隣接し、第1導電型で、他方の主表面（カソード側）に露出し、前記第1半導体層（n型ドリフト層）より不純物濃度が高い第3半導体層（n型カソード層）と、前記第1半導体層（n型ドリフト層）と接する絶縁ゲートと、前記第3半導体層（n型カソード層）と接する前記絶縁ゲートと、前記第3半導体層と電氣的に接続される電極（カソード電極）を備えた半導体素子の駆動装置であって、

アノード電流を検出する手段を備え、アノード電流が大きい時は、リカバリー直前に前記絶縁ゲートを正電圧から負電圧に切り替え、アノード電流が小さい時は、前記絶縁ゲートを正電圧に保持することを特徴とする半導体素子の駆動装置。

[請求項6]

請求項1乃至5のいずれかに記載の半導体素子の駆動装置において、

アノード電流の大小のしきい値を定格電流の $1/2$ 以下とすることを特徴とする半導体素子の駆動装置。

[請求項7]

第1導電型の第1半導体層（n型ドリフト層）と、前記第1半導体層と隣接し、一方の主表面に露出する第2導電型の第2半導体層（p型アノード層）と、前記第1半導体層と隣接し、第1導電型で、前記一方の主表面に露出し、前記第1半導体層（n型ドリフト層）より不純物濃度が高い第3半導体層（n型カソード層）と、前記第3半導体層（n型カソード層）に隣接して絶縁ゲートを備えた半導体素子の駆動装置であって、

アノード電流を検出する手段を備え、アノード電流が大きい時は、リカバリー直前に前記絶縁ゲートを正電圧から負電圧に切り替え、アノード電流が小さい時は、前記絶縁ゲートを正電圧に保持する

ことを特徴とする半導体素子の駆動装置。

[請求項8]

一対の直流端子と、前記一対の直流端子間に接続され、それぞれスイッチング素子と逆極性のダイオードの並列回路を2個直列接続した構成からなり、並列回路の相互接続点が交流端子に接続され、上記ダイオードに、請求項1乃至7のいずれかに記載の半導体素子が使用され、

前記2直列接続された第1スイッチング素子と第2スイッチング素子と、前記第1スイッチング素子と並列接続された第1ダイオードと、前記第2スイッチング素子と並列接続された第2ダイオードと、ダイオードのアノード電流を検出する電流検出器と、前記第1スイッチング素子と前記第2スイッチング素子と前記第1ダイオードと前記第2ダイオードの、それぞれのゲートを駆動する制御回路を備えることを特徴とする半導体素子の駆動装置。

[請求項9]

第1導電型の第1半導体層（ n -型ドリフト層）と、前記第1半導体層と隣接し、一方の主表面（エミッタ側）に露出する第2導電型の第2半導体層（ p 型チャネル層）と、前記一方の主表面（エミッタ側）に設けられ、主電流（コレクタ電流）をオン・オフする第1絶縁ゲートと、隣り合う前記第1絶縁ゲート間にあり、半導体層内で前記絶縁ゲートに接し、前記一方の主表面（エミッタ側）に露出する第1導電型の第5半導体層（ n +型エミッタ層）と、前記第2半導体層と前記第5半導体層と電氣的に接続される電極（エミッタ電極）と、前記第1半導体層と隣接し、第1導電型で他方の主表面（コレクタ側）に露出し、前記第1半導体層（ n -型ドリフト層）より不純物濃度が高い第3半導体層（ n 型コレクタ層）と、前記他方の主表面（コレクタ側）に設けた第2の絶縁ゲートを備えた半導体素子の駆動装置であって、

コレクタ電流を検出する手段を備え、コレクタ電流が大きい時は、ターンオフ直前に前記第2絶縁ゲートを負電圧から正電圧に切り替え

、コレクタ電流が小さい時は、前記第2絶縁ゲートを負電圧に保持する

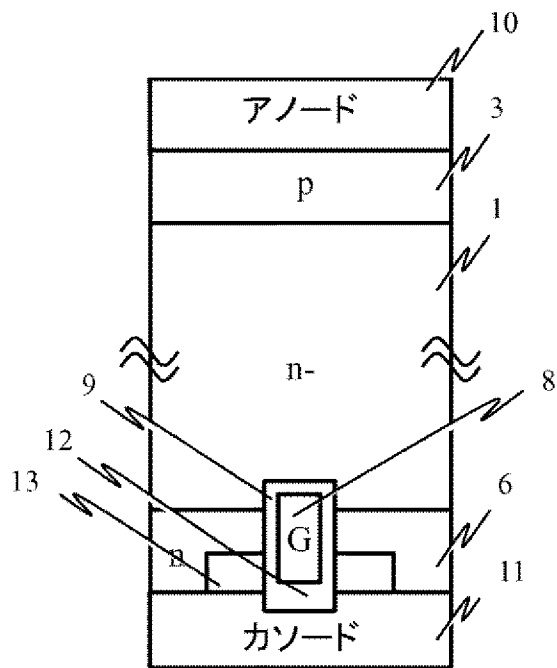
ことを特徴とする半導体素子の駆動装置。

[請求項10] 一対の直流端子と、交流の相数と同数の交流端子と、前記一対の直流端子との間に接続され、それぞれスイッチング素子と逆極性のダイオードの並列回路を2個直列接続した構成からなり、並列回路の相互接続点異なる交流端子に接続された交流の相数と同数の電力変換単位とを具備し、かつ、前記ダイオードの駆動装置が、請求項1乃至8のいずれかに記載の半導体素子の駆動装置であることを特徴とする電力変換装置。

[請求項11] 一対の直流端子と、交流の相数と同数の交流端子と、前記一対の直流端子との間に接続され、それぞれスイッチング素子と逆極性のダイオードの並列回路を2個直列接続した構成からなり、並列回路の相互接続点異なる交流端子に接続された交流の相数と同数の電力変換単位とを具備し、かつ、前記スイッチング素子の駆動装置が、請求項9に記載の駆動装置であることを特徴とする電力変換装置。

[図1]

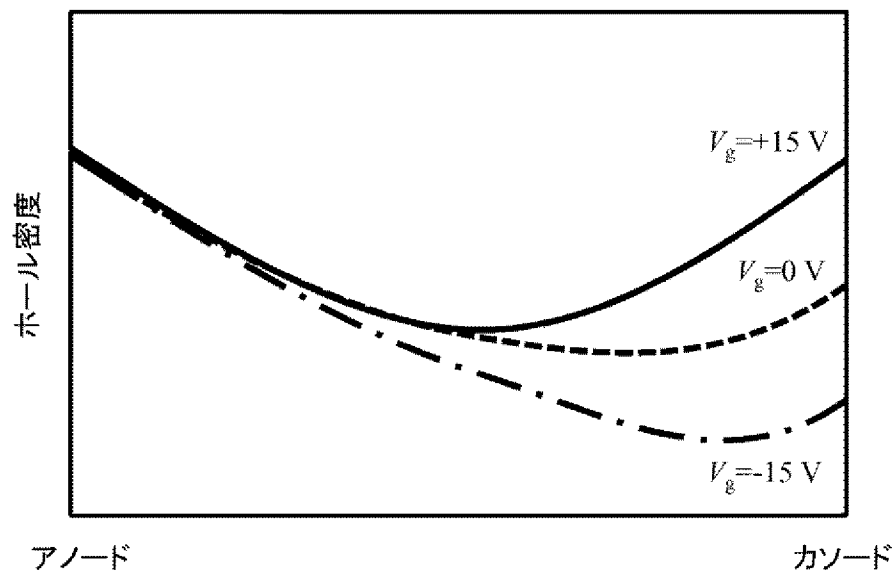
図1



[図2]

図2

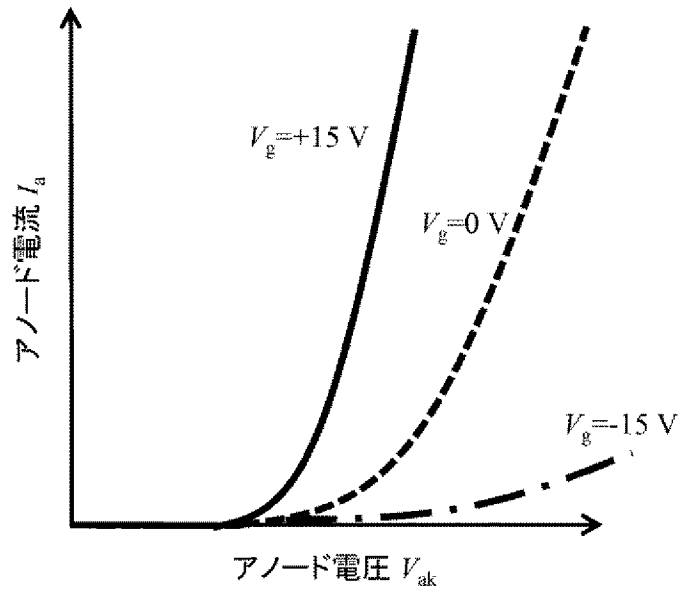
ドリフト層(n-層)のホール密度分布のゲート電圧依存性



[図3]

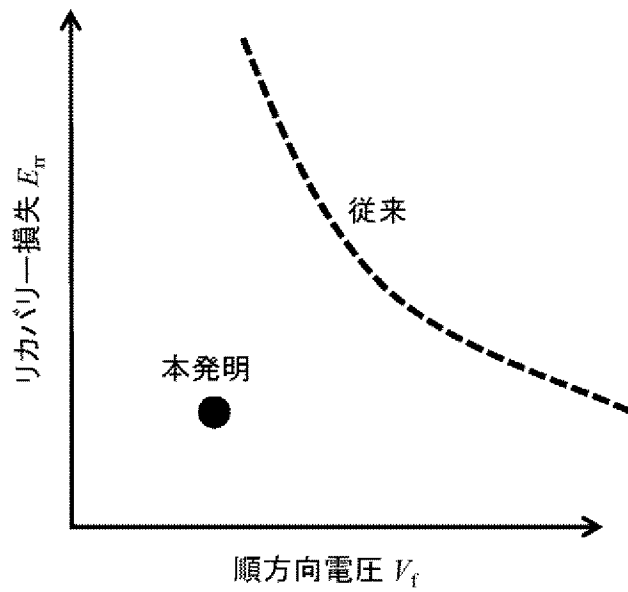
図3

出力特性のゲート電圧依存性



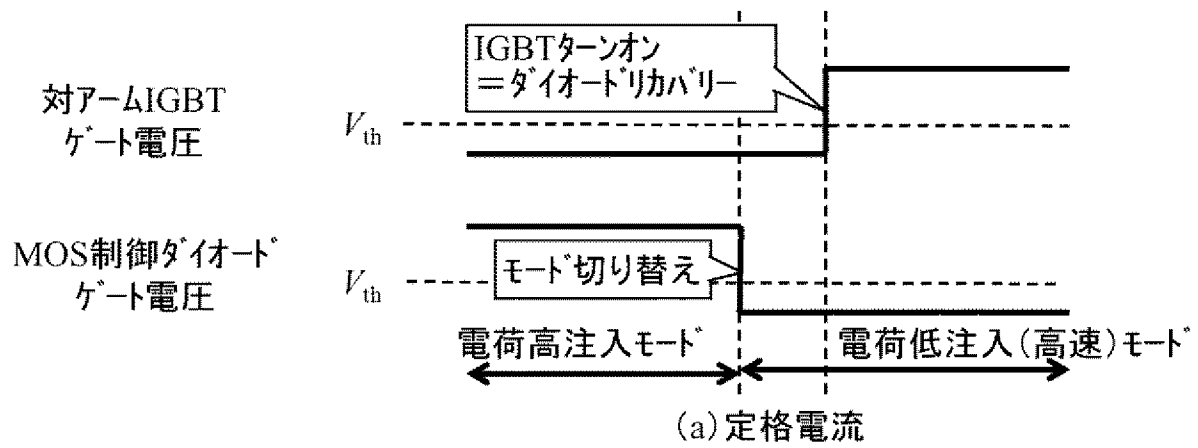
[図4]

図4

順方向電圧 V_f とリカバリー損失 E_{rr} のトレードオフ

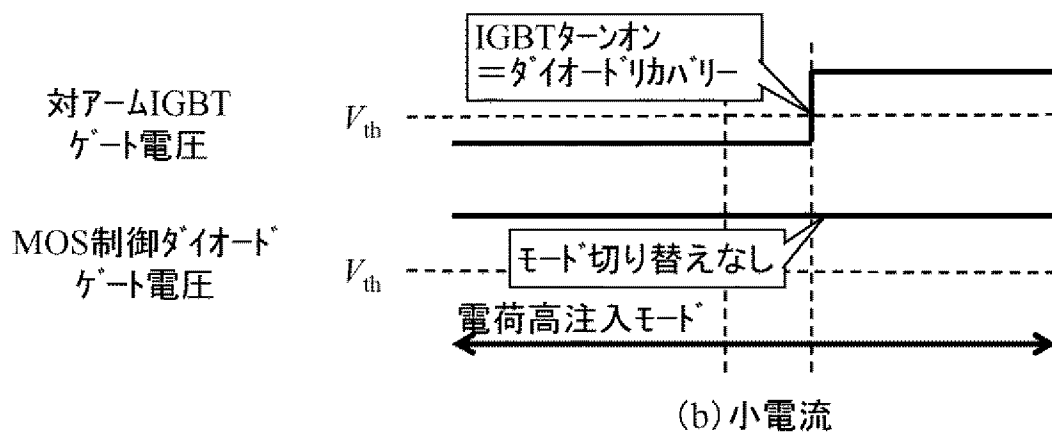
[図5a]

図5a



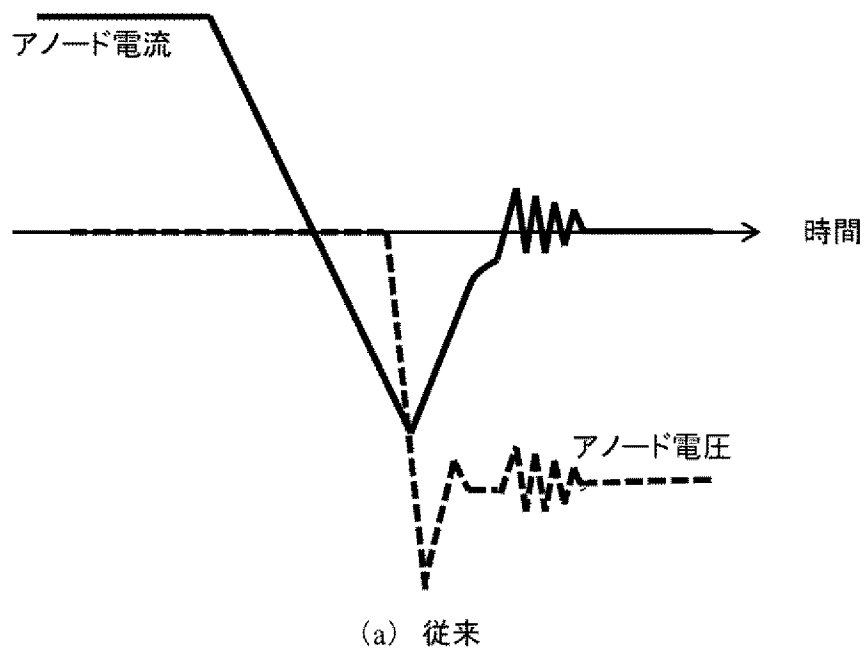
[図5b]

図5b



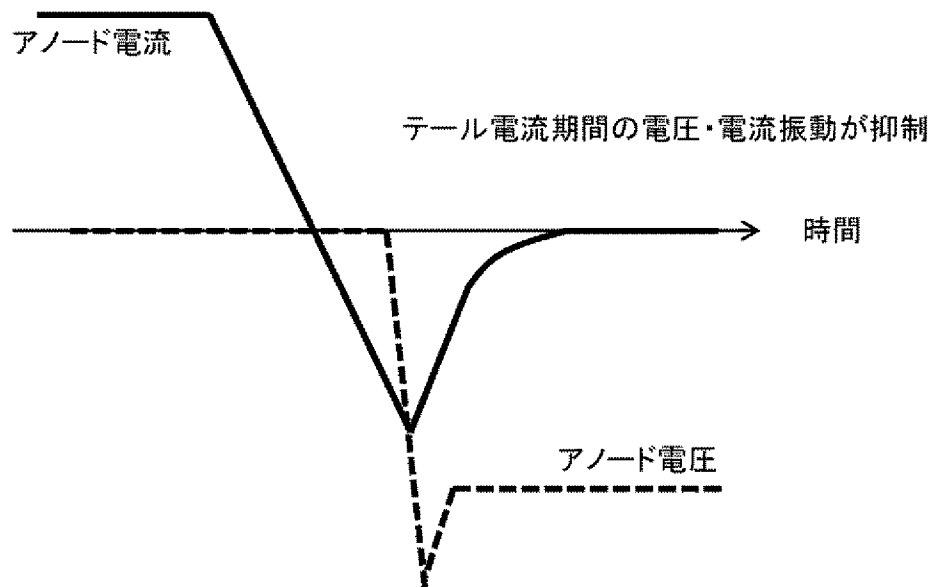
[図6a]

図6a



[図6b]

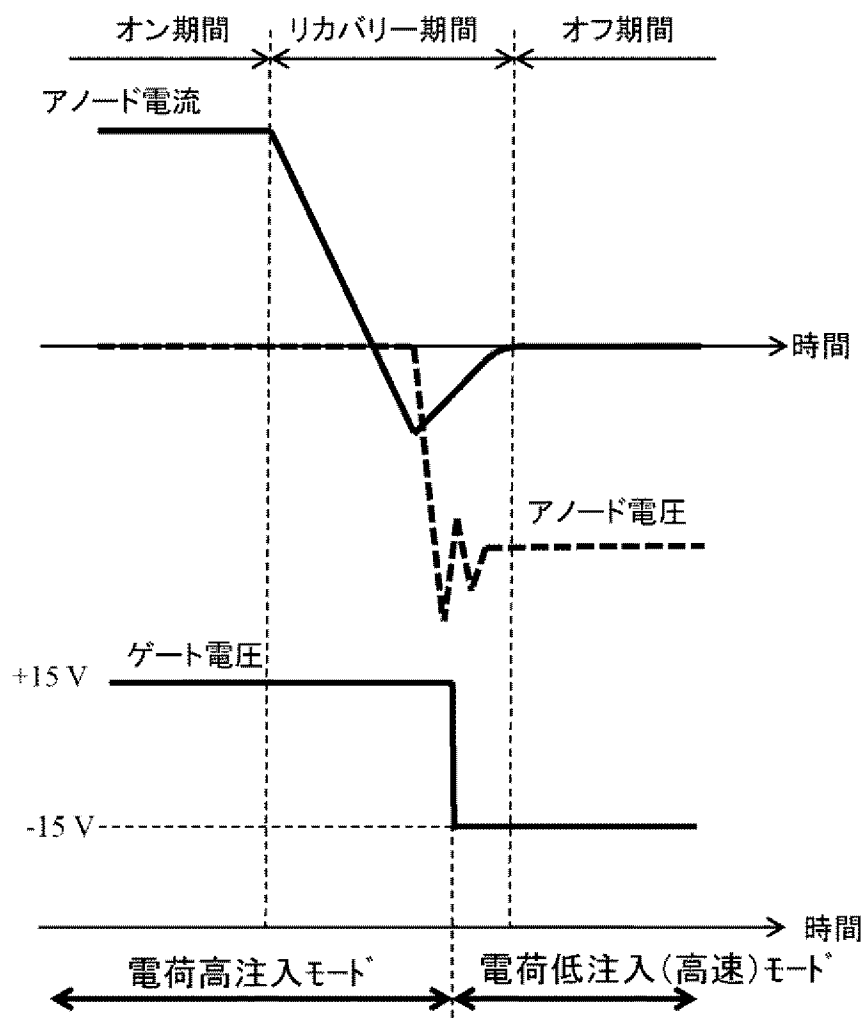
図6b



(b) 本発明

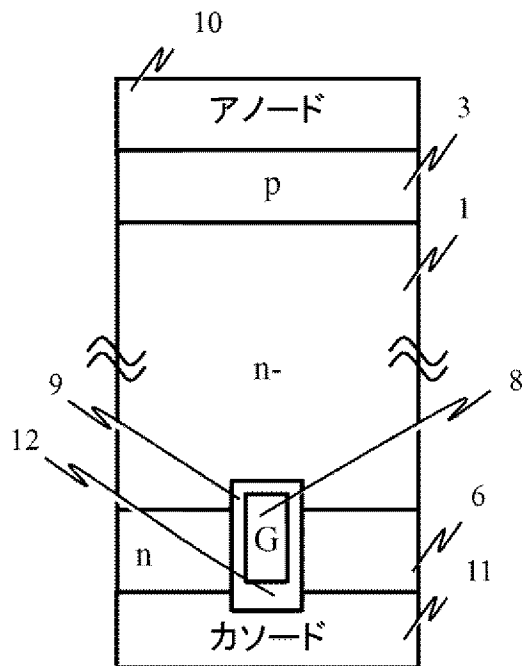
[図7]

図7



[図8]

図8



[図9]

図9

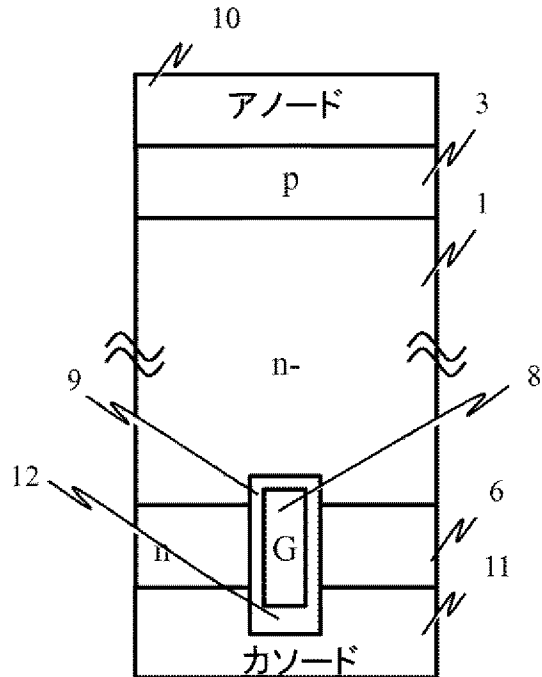


图 10

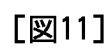
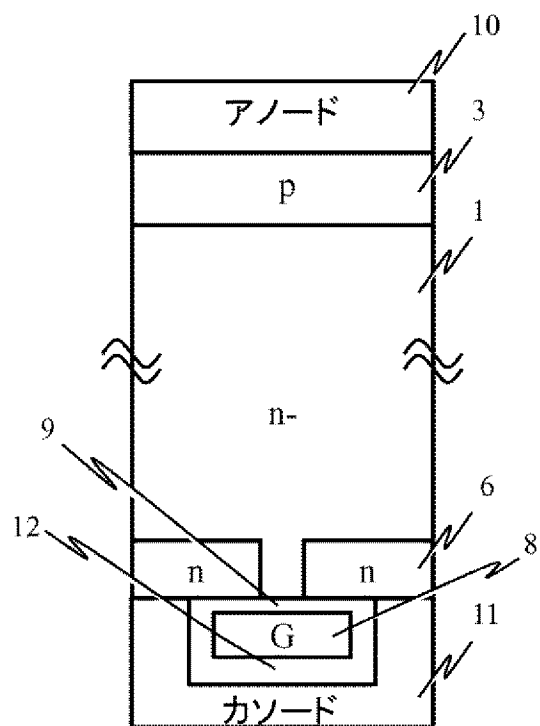
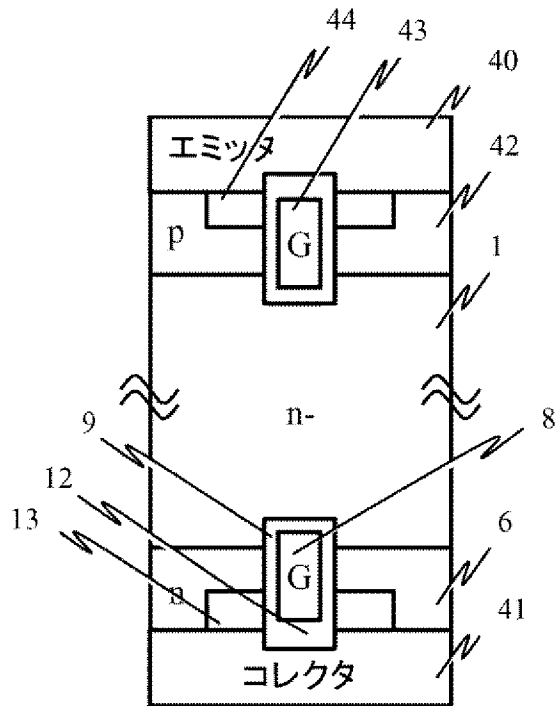


图 11



[図12]

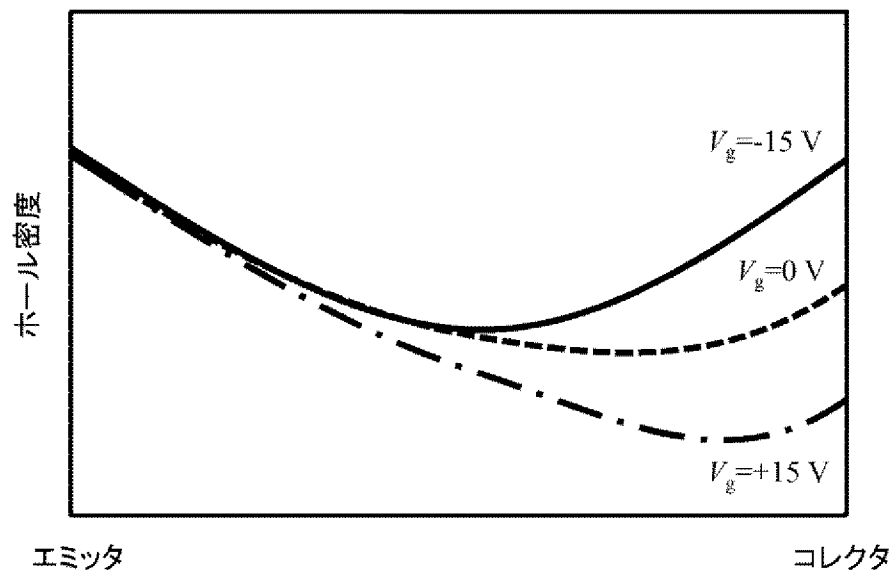
図12



[図13]

図13

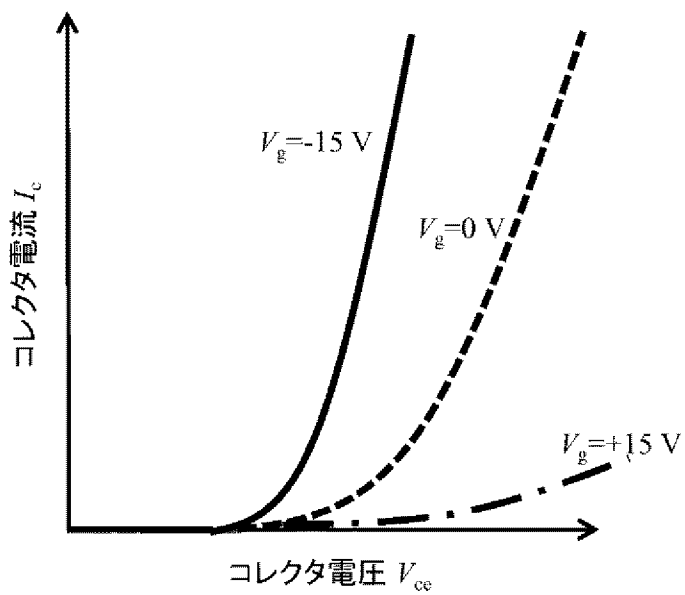
ドリフト層(n-層)のホール密度分布のゲート電圧依存性



[図14]

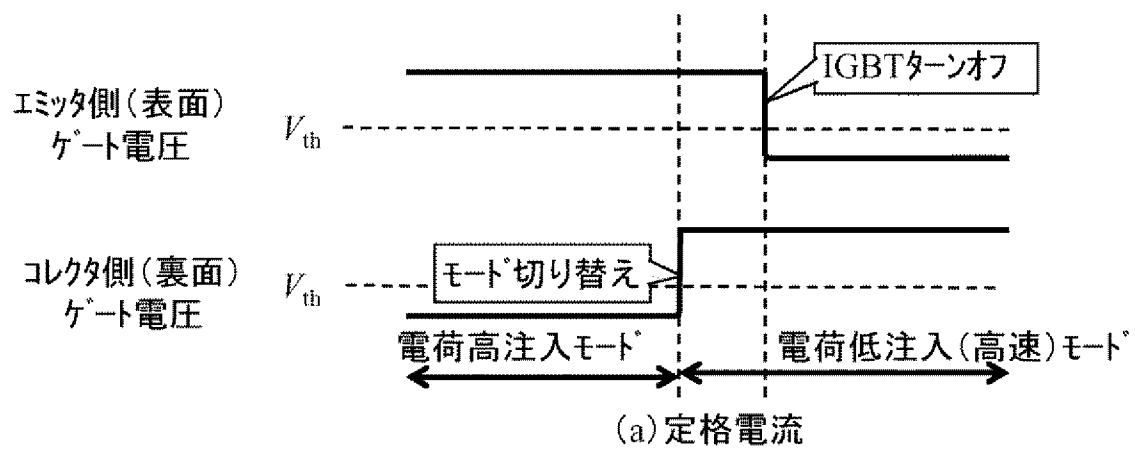
図14

出力特性のゲート電圧依存性



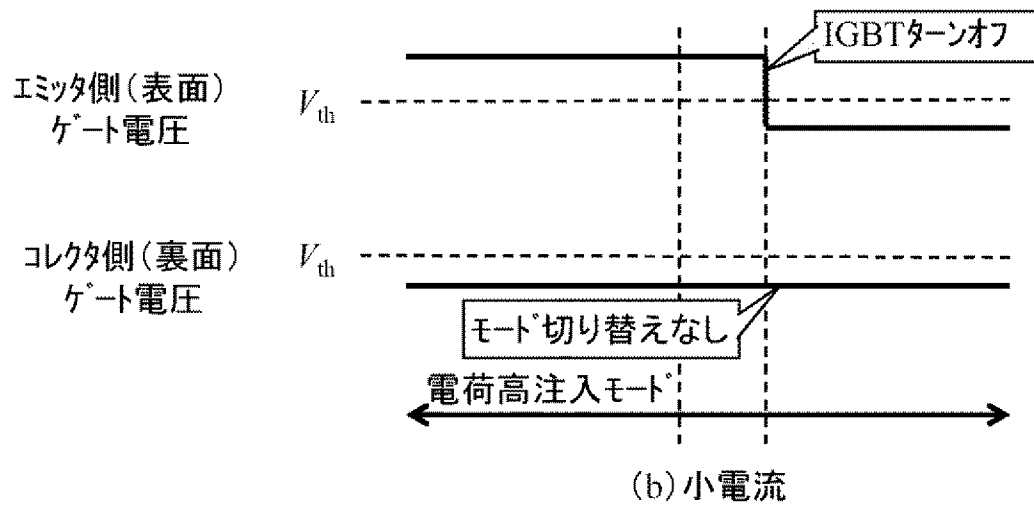
[図15a]

図15a



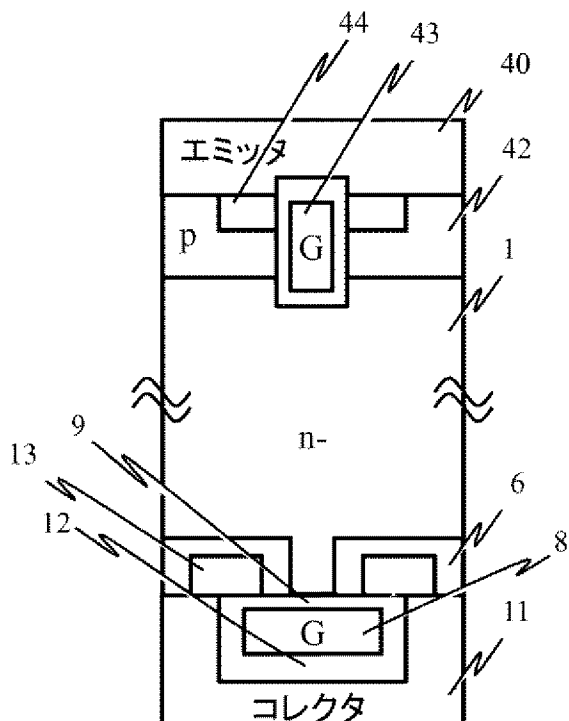
[図15b]

図15b



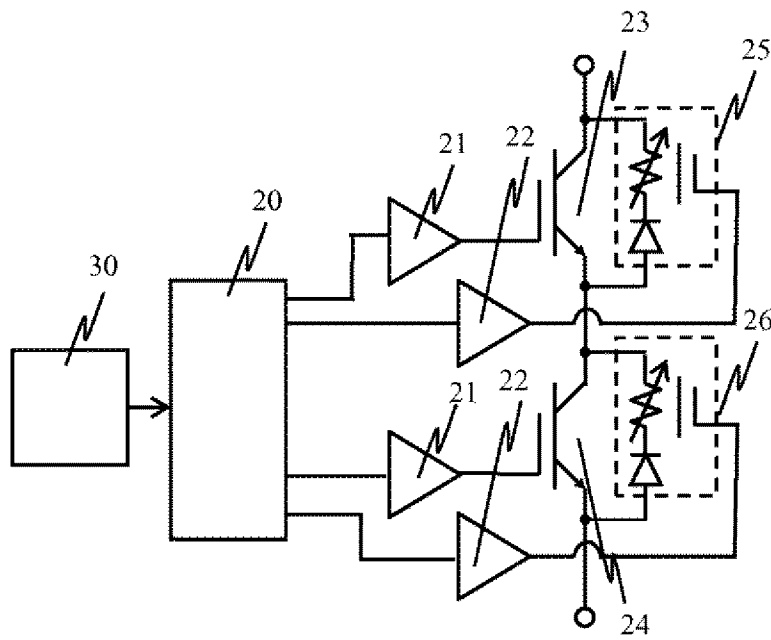
[図16]

図16



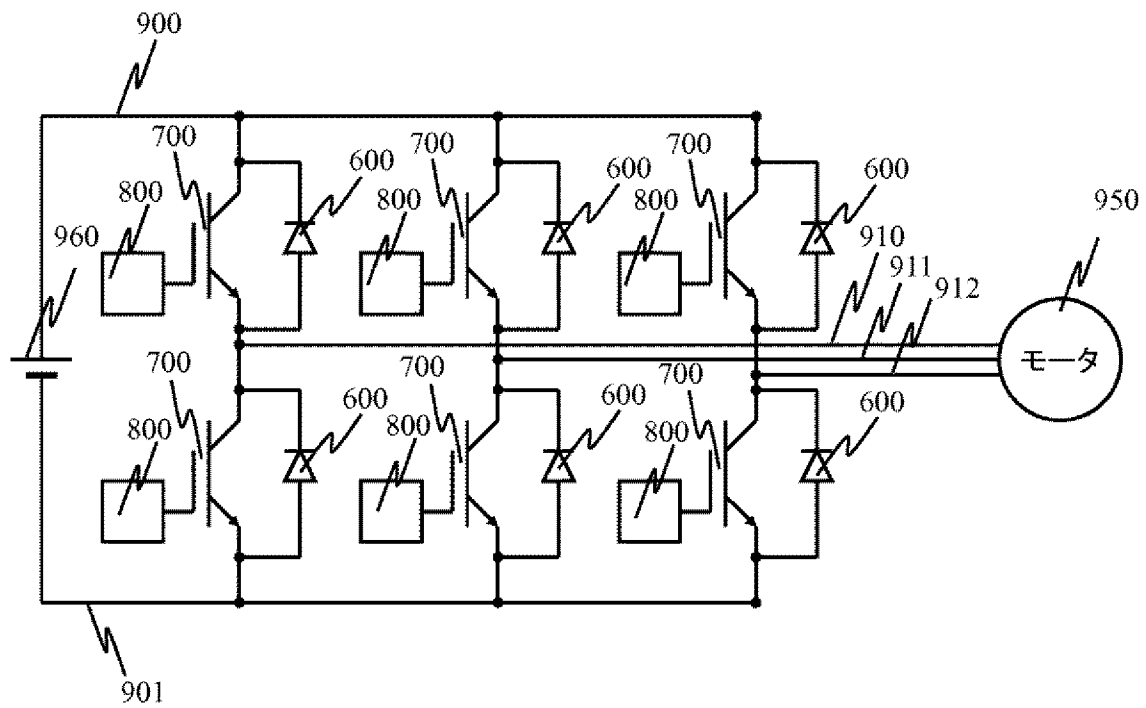
[図17]

図17



[図18]

図18



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/052196

A. CLASSIFICATION OF SUBJECT MATTER

H03K17/16(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i, H03K17/687(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/16, H01L29/739, H01L29/78, H03K17/687

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-283132 A (Mitsubishi Electric Corp.), 16 December 2010 (16.12.2010), paragraphs [0070] to [0077]; fig. 20 to 22 & US 2010/0308446 A1 & DE 102010028978 A1 & CN 101908558 A	1-11
A	JP 2010-251517 A (The Tokyo Electric Power Co., Inc.), 04 November 2010 (04.11.2010), paragraphs [0042] to [0052]; fig. 1 to 2, 11 to 12 (Family: none)	1-11
A	JP 2010-135676 A (Denso Corp. et al.), 17 June 2010 (17.06.2010), paragraphs [0076] to [0079]; fig. 13 (Family: none)	1-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
25 February, 2014 (25.02.14)

Date of mailing of the international search report
04 March, 2014 (04.03.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/052196

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-125256 A (Fuji Electric Co., Ltd.), 06 May 1994 (06.05.1994), entire text; all drawings & US 5459339 A & US 5561393 A & EP 0848497 A2 & EP 0854575 A2 & EP 0568353 A1	1-11

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03K17/16(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i, H03K17/687(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03K17/16, H01L29/739, H01L29/78, H03K17/687

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-283132 A（三菱電機株式会社）2010.12.16, 【0070】－【0077】, 図20－22 & US 2010/0308446 A1 & DE 102010028978 A1 & CN 101908558 A	1－11
A	JP 2010-251517 A（東京電力株式会社）2010.11.04, 【0042】－【0052】, 図1－2, 11－12（ファミリーなし）	1－11
A	JP 2010-135676 A（株式会社デンソー（外1名））2010.06.17, 【0076】－【0079】, 図13（ファミリーなし）	1－11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 0 2 . 2 0 1 4

国際調査報告の発送日

0 4 . 0 3 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

栗栖 正和

5 X

3 9 8 7

電話番号 03-3581-1101 内線 3596

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 6-125256 A (富士電機株式会社) 1994.05.06, 全文, 全図 & US 5459339 A & US 5561393 A & EP 0848497 A2 & EP 0854575 A2 & EP 0568353 A1	1 - 1 1